

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
 G08C 19/12

(45) 공고일자 1991년 10월 19일
 (11) 공고번호 특 1991-0008690

(21) 출원번호	특 1985-0001053	(65) 공개번호	특 1985-0006806
(22) 출원일자	1985년 02월 21일	(43) 공개일자	1985년 10월 16일

(30) 우선권주장	84-2/60342 1984년 02월 21일	벨기에(BE)
(71) 출원인	인터내셔널 스탠다드 일렉트릭 코오퍼레이션	더블유. 제이. 바움
	미합중국, 뉴욕주 10022, 뉴욕, 피아크 애버뉴 320	

(72) 발명자	안나 마리아 시리엘 로이어스 벨기엘왕국, 케젤-로 베-3200, 피아터 노엘켄스-쉬트 라트 59 프란코이스 캐더린 게브릴레판 시메이스 벨기엘왕국, 브루셀 베-1040, 코닝스펠트-쉬트 라트 43 다니엘 클레이 유프 미합중국, 코넥티컷 06688, 사우스 버리, 페퍼트리힐 레인 15 알란 제임스 로렌스 미합중국, 코넥티컷 06492, 스트라트 포트, 50-5 애버뉴 존 마이클 코튼 미합중국, 코넥티컷 06855, 페어필드 카운티 이스트 노어워크 사큐어 로오드 나영환
(74) 대리인	

심사관 : 안대진 (책자공보 제2533호)

(54) 원격통신 스위칭 시스템 및 그에 사용되는 우선순위 배열

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

원격통신 스위칭 시스템 및 그에 사용되는 우선순위 배열

[도면의 간단한 설명]

제1도는 본 발명에 따른 원격통신 스위칭 시스템의 블록도.

제2도는 제1도의 시스템에 사용되는 타이밍 신호를 도시한 타이밍도.

제3, 4 및 5도는 제1도의 제어회로 DPTC ϕ 에 대한 블록도

제6도는 제3, 4 및 5도의 배열 형태를 나타낸 도면

제7도는 이 제어회로에 사용된 타이밍 신호를 도시한 도면.

제8도는 이 제어회로의 동작을 예시하는데 사용되는 프로우 챕트.

제9 및 10도는 제5도의 회로 O1DCINPLS0, C1NS1P0, SBA 및 DMC의 일부를 상세히 나타낸 도면.

제11도는 제9 및 10도의 회로에 사용되는 타이밍 신호를 도시한 도면.

제12도는 제4도의 회로 CAM 및 DMEM을 상세히 나타낸 도면.

제13 및 14도는 각각 제12도의 셀 C 156 및 C15 ϕ 를 상세히 도시한 도면.

제15도는 제4도의 채널 할당 회로 FFS를 상세히 도시한 도면.

제16도는 이 회로에 사용되는 타이밍 신호를 도시한 도면.

제17, 18 및 19도는 제3도의 우선순위 회로 CLHB를 상세히 도시한 도면.

제20도는 제17도의 회로 FSM위 상태도.

[발명의 상세한 설명]

본 발명은 스위칭 회로망과 결합된 프로세서 제어 인터페이스 회로와 시분할 다중전송 링크를 통하여 결합된 공통 제어 회로를 가진 복수의 터미널 회로를 갖추고 있으며, 상기 제어회로가 상기 터미널 회로를 제어하며 상기 터미널 회로들과 상기 인터페이스 회로 사이에서 제어데이터를 교환하도록 되어 있는 원격통신 스위칭 시스템에 관한 것이다.

이러한 시스템은 벨기엘 왕국 특허 제 894,422호를 통해 이미 알려져 있는데 특히 그것의 제4도에 상세히 기재되어 있으며 또한 ISS'81 CIC Montreal의 1981년 9월호 21-25, Session 14B 3책, 페이지 1-7에 J.Cotton씨 등에 의해 발표된 논문 "완전디지털 스위칭 시스템의 회선회로에 대한 기술 및 기법"에도 기재되어 있다.

이 공지의 시스템에 있어서 공통 제어회로(회선 공통 기능 회로)는 이 회로의 일부를 구성하는 프로세서의 13비트 버스를 거쳐 인터페이스 회로에 결합되며 이 버스는 프로세서에 의해 처리되도록 회선회로를 인터페이스 회로에 주사항으로써 얻어진 데이터와 같은 제어 데이터의 전송을 위해 사용 된다.

이 공지의 시스템의 결정은 버스가 비교적 다수의 도선을 포함하므로 인터페이스 회로 뿐만 아니라 공통 제어회로에 다수의 터미널을 필요로 한다는 점이다.

또한 이 공지의 시스템에서는 상기 주사 데이터가 전적으로 인터페이스 회로의 프로세서에 의해 처리되므로 비교적 높은 작업부하가 걸리게 된다.

본 발명에 의하면 이러한 목적은 상기 공통 제어회로가 상기 터미널 회로로부터 수집된 제어 데이터를 처리하도록 되어 있는 제1수단과, 처리된 데이터를 상기 시분할 다중전송 링크상의 상기 인터페이스회로에 송출하도록 되어 있는 제2수단을 구비하도록 함으로써 달성된다.

제어목적을 위해 시분할 다중전송 링크를 사용하는 것으로 공통 제어회로와 인터페이스 회로 사이에서 제어 데이터를 송출하기 위한 버스가 추가될 필요가 없게 되며 이 데이터가 상기 공통 제어회로에서 처리되기 때문에 인터페이스 회로내의 프로세서의 작업부하가 감소된다.

본 발명은 또는 한편으로는 시분할 다중전송의 제1입력 및 출력링크와 프로세서 제어 인터페이스 회로를 거쳐 스위칭 회로망과 결합되고 다른 한편으로는 시분할 다중전송의 제2입력 및 출력링크를 거쳐 상기 터미널회로의 개별 부분에 결합된 공통 제어회로를 가진 복수의 터미널 회로를 갖추고 있으며, 상기 제1 및 제2입력 및 출력 링크가 각각 복수의 제1 및 제2입력 및 출력 시간채널을 가지고 있는 원격통신 스위칭 시스템에 관한 것이다.

이러한 시스템은 이미 상술한 J.Cotton의 논문을 통해 알려져 있다.

본 발명의 또 다른 목적은 상기한 형태로서, 제1입력 시간 채널에서 공통 제어회로로 들어가는 데이터가 받게 되는 시간 지연이 제2출력 시간채널에서 공통 제어회로를 떠나기 전에 최소로 제한되게끔 되어 있는 원격통신 스위칭시스템을 제공하는 것이다.

본 발명에 의하면 이러한 목적은 상기 공통 제어회로에서 복수의 제2출력시간 채널이 상기 각 터미널 회로에 영구적으로 할당되게 하고, 상기 공통 제어회로가 또한 이전에 터미널회로에 할당되었던 제1입력 시간 채널에 할당시키기 위한 채널 할당 수단을 구비하게 하고, 상기 복수의 제2출력시간 채널이 시간을 고려할때 상기 제1입력시간 채널을 거의 근접하여 따르는 상기 터미널회로에 영구적으로 할당 되게 함으로써 달성된다.

이러한 선택에 의하여, 터미널회로에 관계되며 이 터미널회로에 할당된 제 1입력시간 채널에서 공통 제어회로로 들어 가는 데이터는 이 터미널회로에 할당되어 이 제2입력시간 채널을 근접하여 따르는 할당된 제2출력시간 채널에서 이 터미널회로용 공통회로를 떠날 수 있다.

본 발명의 또 다른 특징은 상기 제2출력시간 채널이 m개의 연속 채널의 연속군으로 세분되고, 상기 각군의 p개의 연속 채널이 다른 터미널회로들에 동일한 순서로 할당된다는 것이다.

따라서 이러한 데이터는 터미널 회로의 수와 동등한 채널시간의 수보다 기껏해야 약간 더 큰 공통 제어회로에서 지연을 받게 된다.

예를 들어 후자의 수가 16에 해당될 때 최대지연을 18채널 시간에 해당되는데, 여기서 이러한 2채널 시간은 제1 및 제2의 시분할 다중전송 링크가 동기되지 않고 있다는 사실에 기인한 것이다.

본 발명은 또한 공통 설비에 대한 액세스를 행하는 복수의 유우저회로를 위한 우선순위 배열에 관한 것으로서, 상기 우선 순위 배열은 상기 공통 설비를 액세스하기 위하여 미리 정해진 순서로 상기 유우저회로에 우선순위를 부여하도록 되어 있다.

본 발명의 다른 목적은 여러 유우저회로의 우선순위가 우선 순위회로들 사이의 최소 제어 접속에 의하여 지정되게 하는 상기 형태의 우선순위 배열을 제공하는 것이다.

본 발명에 의하면 이러한 목적은 상기 유우저회로의 각각의 것에 관련되고 복수의 시간채널을 가지는 시분할 다중전송 링크에 결합되는 복수의 우선순위 회로를 구비하고, 또한 상기 각 우선순위회로가 상기 각 시간 채널의 하나동안 그것의 관련 유우저회로에 우선 순위를 부여하고 상기 하나의 시간 채널 동안 상기 링크상에 부여된 우선 순위 신호를 인가함으로써 이 사실을 다른 우선순위 회로에 알리도록 되어 있으며, 상기 우선 순위 신호가 우선 순위를 가진 상기 유우저회로에 의해 액세스되었을 때까지 상기 다

른 유우저회로가 상기 공통 서비스를 액세스 하는 것을 막게 되어 있다는 사실로 인하여 달성된다.

우선 순위 회로들 사이에 단일 전선의 시분할 다중 전송제어 링크를 제공함으로써 여러 유우저회로의 우선 순위는 간편하고 신속한 방법으로 지정된다.

상술한 본 발명의 목적 및 특징과 그밖의 목적 및 특징은 첨부도면과 관련한 실시예에 대한 다음 설명을 통하여 보다 명백해질 것이며 본 발명 자체도 더 잘 이해할수 있을 것이다.

제1도에 도시되된 원격통신 스위칭 시스템은 4개의 링크 TINA/B, TOUA/B, C4096A/B 및 FA/B를 거쳐 32개의 제어회로들 DPTC ψ /31각각에 결합된 두 개의 터미널 제어소자 TCEA 및 TCEB에 접속부 X 및 Y를 거쳐 결합되는 스위칭 회로망 SNW를 구비하고 있다.

이들 제어회로 DPTC ψ /31의 각각은 두개의 링크 LIN ψ /31 및 LOUT ψ /31을 거쳐 관련 코드 변환기(transcoder)와 필터회로 TCF ψ /31에 접속된다.

각 관련 쌍의 DPTC ψ /31과 TCF ψ /31을 종속접속된 DPTC ψ /31, TCF ψ /31, 디지털 신호처리기 DSP ψ /511 및 원격통신회선 TL ψ /511에 결합된 가입자 회선 인터페이스 회로 SLICL ψ /511로 구성된 16회선 또는 터미널회로에 공통 접속된다.

구체적으로 말하여, LIN ψ 및 LOUT ψ 에 의해 상호 접속된 DPTC ψ 및 TCF ψ 는 각각 원격 통신회선 TL ψ /15에 결합된 DSP ψ /15 및 SLIC ψ /15를 추가로 포함하고 있는 16회선 회로(다중화살표로 표시되어 있음)에 공통접속된다.

이와 마찬가지로, LIN31 및 LOUT31에 의해 상호접속된 DPTC31 및 TCF31은 각각 원격통신 회선 TL496/511에 결합된 DPS496/511 및 SLIC496/511을 포함한 16회선 선로에 공통접속된다.

각 DPTC0은 한조의 세링크 COV ψ /31, CDCOD ψ /31 및 DIN ψ /31을 거쳐 관련 16디지털 신호처리기에도 접속된다.

구체적으로 말하자면, DPTC ψ 는 COV ψ 는, COD ψ 및 CIN ψ 를 거쳐 DSP ψ /15에 접속되고 DPTC31은 COV31, COD31 및 CIN31을 거쳐 DSP496/511에 접속된다.

제어회로 DPTC ψ 내지 DPTC31의 각각은 4개의 동종 단자 S ψ 4/S ψ 5 내지 S314/S31 ψ 를 가지며 다시 두 개의 저항 T ψ A, R ψ B 내지 R31A, R31B를 거쳐 전원 단자 VCC=5볼트에 접속된다.

이들은 모든 DPTC ψ 내지 DPTC31을 상호 접속하는 도선 CLA 및 CLB에 접속된다.

상기 코드 변환기 및 필터회로 TCF ψ /31은 벨기에 왕국 특허 제 897,771호 및 제897,773호에 기재된 형태이다.

SLIC ψ /511은 벨기에 왕국 특허 제 898,049, 제 898,050호, 제898,051호 및 제 898,052호에 기재된 형태이다.

DPTC ψ 내지 DPTC31의 각각에 대한 액세스를 하는 TINA/B 및 TOUTA/BS는 32개의 TCE 채널 CM ψ /31의 프레임을 포함하는 시분할 다중전송 또는 TDM 식으로 사용되는 링크들이다.

이들 프레임은 TCEA/B로부터 프레임 도선 FA/B상의 DPTC ψ /31로 송출된 프레임 펄스 FA/B에 의해 한정된다.

각 채널은 TCEA/B로부터 클럭 도선 C4096A/B상의 DPTC ψ /31로 송출된 4,096 MHZ의 클럭펄스 C4096A/B에 의해 정해진 16개의 시간 슬로트 TS ψ 15를 포함한다.

채널 ψ 및 16은 각각 동기 및 제어를 위해 사용되는 반면, 다른 채널들은 정상적으로 음성을 이송하는데 사용된다.

TINA, TOUTA, C4096A 및 FA에 대한 제 2도의 타이밍도에 도시한 바와 같이, 채널 CH ψ /31의 각각은 비트 전송 속도가 4096 M 비트/초로 되도록 비트 ψ , ……, 9, A …… F를 전송하는데 사용된다.

시간일치의 TINA 채널과 TOUTA 채널의 수간의 차이, 예컨대 TINA 채널 ψ 와 TOUTA 채널 14간의 차이는 -18모드 (mod) 32또 14이며, TINA, TOUTA의 TCE채널은 TCEA 및 TCEB가 서로 독립적으로 동작하기 때문에 TINB, TOUTB의 채널과 위상이 비동기적임에 유의하라.

LIN ψ /31 및 LOUT ψ /31은 각각 마찬가지로 32개의 채널 CH ψ /31의 프레임을 포함하여 TDM식으로 사용되는 링크이며, 그 프레임은 국부적으로 발생된 프레임 펄스 FL에 의해 한정된다.

각 채널은 국부적으로 발생된 4096 MHZ의 클럭펄스 C4096L에 의해 정해진 16시간 슬로트를 포함한다.

LIN ψ 및 LOUT ψ 에 대한 제2도의 타이밍도 도시한 바와 같이, 그것의 각 채널은 비트 전송속도가 2048 M 비트/초로 되도록 8비트 ψ 내지 7을 전송하는데 사용된다.

각 쌍의 LIN/LOUT 도선이 32채널에 대해 사용되고 16개의 원격 통신회선에 대한 액세스를 행하기 때문에 이러한 두 채널은 영구적으로 하나의 원격통신회선에 할당된다.

예를 들어 LOUT/LIN 채널들 N 및 N+16은 영구적 회선에 할당된다.

COV ψ /31 및 COD ψ /31은 COV ψ , COD ψ 및 회선 TL ψ /15에 대하여 제2도에 도시한 바와 같이 4096 M 비트/초의 속도로 대응 DPTC ψ /31부터 관련 DSP ψ /511까지의 회선마다 구동비트 ψ /7의 7바이트 (BYTES ψ 6) 및 주사비트 ψ /7의 1비트 (BYTE7)를 TDM 방식으로 전송하는데 사용되는 도선들이다.

CIN ψ /31은 CIN ψ 및 TL ψ /15에 대하여 제2도에 도시한 바와 같이 대응 원격통신 회선 TL ψ /511부터 관련 DPTC ψ /31까지의 주사비트 ψ /7의 1바이트 (BYTE7)를 1024 M비트/초의 속도로 16채널의 프레임을 포

함하며 TDM 방식으로 송신하는데 사용되는 도선들이다.

CLA 및 CLB는 32제어회로를 DPTC ψ /31의 각각의 것에 다양한 방법으로 할당된 32채널의 프레임을 포함하며 각각 16시간 슬롯트를 포함하는 TDM방식으로 사용되는 도선들이다.

그 CLA 및 CLB의 시간슬롯트는 각각 TINA/TOUTA 및 TINB/TOUTB의 채널의 시간 슬롯트와 일치한다.

이하 제6도에 도시한 바와 같이 배열될 때 제1도의 제어회로 DPTC ψ 의 블록선도를 나타내는 제3도 내지 5도를 참조하기로 한다.

이 DPTC ψ 는 다음 회로를 구비한다.

-명칭이 "원격통신에 응용할 수 있는 전송시스템"인 동일날짜의 계류종인 특허출원에 기재된 형태의 채널 16프로세서 CH116RR (제4도).

-제어 메모리 CAM (제4도).

-다이내믹 랜덤 액세스 메모리 DRAM (제5도).

-데이터 메모리 DMEM (제4도).

-우선 순위회로 CLHA 및 CLHB (제3도).

-채널 어드레스 계산회로 CHAC (제3도).

-시간 슬롯트 할당회로 TSALL (제3도).

-논리회로 CLC (제5도).

-주사 바이트 분석기 SBA (제5도).

-채널 할당회로 FFS (제4도).

-제어메모리 CMA에 관련된 스위치회로 CAMS (제4도).

-디코더 회로 DECA, DECB, CLA 및 DLB (제3도).

-채널 16주 디코더 회로 CH16MDEC (제4도).

-채널 16디코더 회로 CH16DEC (제3도).

-멀티플렉서 MUX1 내지 MUX4 (제4, 5도).

-16비트 직렬입력-병렬출력 레지스터 SIPOA, SIPOB, SIPOL (제3도) 및 CINSIPO (제5도).

-16비트 병렬입력-직렬출력 레지스터 PISOA, PISOB, PISOL (제3도) 및 OLDCINPISO, COVPISO 및 CODPISO (제5도).

-임시 래치회로 TLA 및 TLB (제3도).

-DPTC 선택호로 DPTC SEL (제4도).

-8비트 FIFO 레지스터 FIFOA 및 FIFOB (제5도).

-FIFO 제어호로 FIFOAC 및 FIFOBC (제5도).

-16비트 명령 레지스터 IRA 및 IRB (제4도).

-레지스터 SP8 (제4도).

-카운터 AMC, BMC 및 DMC (제3도).

-논리회로 DMCL (제5도).

-DF가 최상위 비트 MSB인 16비트 DF, DE, … DA, 9, …… ψ 를 병렬로 전송할 수 있는 16비트 버스 DF/D ψ (제3, 4도) (이 버스는 PISOL, SIPOL, PISOA, TATLA, SIPOA, DECA, PISOB, TLB, SIPOB, DECB, DMEM, IRA, 및 IRB를 상호 접속한다).

-BB701 최상위 비를 MSB인 8비트 BB7내지 BB ψ 를 병렬로 전송할 수 있는 8비트 버스 BB7/ ψ (제4, 5도). (이 버스는 IRA, IRB, SP8, URAM, FIFOB, FIFOA, CODPISD, COVPLSO, CINSIPO 및 OLDCINPLSO를 상호 접속한다).

-CAMS를 통해 CAM과 FFS를 상호 접속하는 5비트 버스 CAMA4/ ψ (제4도)

-FFS 및 SP8을 상호 접속하는 8비트 버스 FF7/ ψ 상술한 링크 TINA, TOUTA, TINB, TOUTB, LIN ψ 및 LOUT ψ (제3도)는 각각 SIPOA, PISOA, PISOB, SIPOL 및 PIOSL에 접속되며, 후자의 회로는 또한 각각 리이드 또는 라이트 입력 RPA, WPA, RPB, WPB, RSIPOL 및 WPFSOL를 갖는다.

버스 DF/D ψ 상에 수신된 16비트 워어드 TEA15/ ψ 를 기억할 수 있는 SIOPA는 또한 우선순위회로 CLHA에 접속된 출력 TIA3/ ψ 를 갖는다.

이와 마찬가지로 16비트 워어드 TIB15/ ψ 를 기억할 수 있는 SIPOB는 CLHB에 접속된 출력 TIB3/ ψ 를 갖는다.

SIPOA에 관련된 디코더회로 DECA는 CLHA에 접속된 출력 SOPA 및 SOPSCANA를 가지며 임시 래치회로 TLA는

리이드 및 라이트 입력 RTA 및 WTA를 갖는다.

이와 마찬가지로, DECB는 CLHB에 접속된 출력 SOPB 및 SOPSCANB를 가지며 임시래치회로 TLB는 리이드 및 라이트 입력 RTB 및 WTB를 갖는다.

리이드 및 라이트 신호 RPISOL, WPISOL, RTA, RTB, WTA, WTB는 시간 슬롯 할당회로 TSALL에 의해 제공되는 반면, RPA 및 RPB는 각각 카운터 AMC 및 BMC에 관련된 디코더 회로 DLA 및 DLB에 의해 발생된다.

상술한 도선 C4096A, FA, C4096B 및 FB(제5도)는 출력에서 다음 신호들을 공급하는 제어회로 CLC (제5도)에 접속된다.

-TCEA로부터 수신된 펄스 C4096 A와 동기된 4096MHz의 4개의 클럭펄스열 C4A+, C4A+, C4B-, C4B-

-TCEB로부터 수신된 C4096B와 동기된 4096 MHz의 4개의 클럭펄스열 C4B+, C4B+, C4B-, C4B-

-펄스 C4096A 및 C4096B가 선택적으로 인가되는 위상 고정루우프(도시되어 있지 않음)에 의해 CLC에 국부적으로 발생되는 4096MHz의 4개의 클럭펄스열 C4+, C4+, CA-, C4- (마지막에 언급된 클럭펄스는 제7도에 도시한 바와 같으며, 다른 펄스 C4A+, C4B+,……등은 유사하지만 위상이 변이된 것이다).

-C4-와 일치하는 클럭펄스 C4096L

-플레임 펄스FL C4096A와 동일한 주파수를 갖는 클럭펄스 C4A+ ……와 프레임 퍼스 FA는 출력에서 다음의 9개의 비트 AMC8/ψ를 제공하는 9비트 카운터 AMC (제3도)를 제어한다.

-5개의 최상의 비트(MSB) AMC8/4는 32 TCEA 채널, 즉 TINA/TOUAT의 채널을 정의한다.

-4개의 최하의 비트(LSB) AMC3/ψ는 TCEA 채널마다 16시간 슬롯 TS15/ψ를 정의한다.

비트 AMC8/4 및 AMC3/ψ는 각각 채널 어드레스 계산회로 CHAC 및 AMC에 관련된 디코더 회로 DLA를 제어한다.

DLA는 TSALL을 제어하는 SIP0A의 내용을 임시 래치회로 TLA로 읽어내고 채널 17신호 CH17A를 발생하는데 사용된다.

이 신호는 채널 17의 시간슬롯 TSψ 동안 작용되어 우선순위회로 CLHA를 제어한다.

9비트 카운터 BMC (제3도) 및 관련 디코더회로 DLB는 클럭펄스 C4B+, …에 의해 제어되어 AMC 및 DLA와 동일한 방법으로 동작하여 CHAC, TSALL 및 SIP0B를 제어하는 출력신호 BMC8/ψ 및 RPB를 공급한다.

카운터 DMC (제3도) C4096L과 동일한 주파수를 갖는 클럭펄스 C4+, …… 의해 제어되어 출력에서 다음의 9비트 DMC8/ψ를 제공한다.

-5개의 최상위 비트 DMC8/ψ는 32회선채널, 즉 LINψ/LOVTψ의 채널을 정의한다.

-3개의 비트 DM 3/1은 채널마다 8비트 또는 1바이트를 정의한다.

-비트 DMCψ는 비트당 2시간 슬롯을 정의하고, 그비트 전송속도는 2024 Mb/sec에 해당한다.

DMC의 출력 DMC8/ψ는 SBA (제5도)와 DMLC를 제어하고, 출력 DMC8/4는 CHAC를 제어하고, 출력 DMC3/ψ는 TSALL을 제어하며, 출력 DMC8/3는 MUX3 (제5도)를 제어한다.

상술한 것으로 부터 어드레스 계산회로 CHAC는 카운터 출력 AMC 8/4, BMC 8/4 및 DMC 8/4에 의해 제어된다.

CHAC는 그것의 출력 CHC4/ψ에서 제어메모리 CAM, FFS뿐만 아니라 채널 16디코더 회로 CH16DEC에 공급되는 출력값 CH4/ψ를 제공한다.

CHC2/ψ는 MUX3에 공급된다.

CHAC는 감산 회로(도시되지 않음)를 구비하며 DMC8/4와 AMC8/4또는 DMC8/4의 차이 뿐만아니라 AMC8/4또는 DMC8/4와 1또는 17의 차이를 계산할 수 있다.

CHAC는 또한 CAM 또는 FFS에 대한 채널 어드레스로서 감산 회로의 출력신호를 래치하는 래치회로(도시되지 않음)를 구비하고 있다.

위와 관련하여 AMC 또는 BMC에 기억된 TCE 채널 AMC8/4 또는 BMC8/4의 번호 m은 m-1이 TLA 또는 TLB에 데이터가 이미 기억된 채널번호가 되도록 TINA 또는 TINB로부터 데이터가 수신되는 중인 채널의 번호임을 유의하여야 한다.

회선회로에 전동될 데이터가 TCE 채널 m에서 TINA 또는 TINB로부터 수신되는 중일 때 이 회선회로로부터 들어오는 데이터는 나중에 설명될 바와 같이 TOVTA 또는 TOUTB의 TCE 채널 m-18상의 TCEA/B로 전송된다.

그 순간에 AMC 또는 BMC에 기억된 TCE채널번호의 수는 m-17에 해당된다.

이 때문에 CHAC는 각각 AMC 또는 BMC에 기억된 채널번호 AMC8/4 또는 BMC8/4의 값으로 부터 m-1 및 m-17을 계산하도록 설계되어 있다.

시간 슬롯 할당회로 TSALL은 다음의 출력 신호들을 발생한다.

-데이터 메모리 DMEM에 인가되는 ROP, WDP, ELIN 및 ETCE. (여기서 RDP 및 WDP는 DMEM에서 데이터를 읽고 써넣는 것을 제어하고, ELIN은 DMEM으로 부터 전송될 회선에 관계된 데이터를 인에이블시키고, ETCE는 DMEM으로 또는 DMEM으로 부터 전송될 TCEA 또는 TCEB에 관계된 데이터를 인에이블 시킨다).

-CHAC에 의해 제공된 값 CHC4/ψ가 DMC에 의해 제공된 회선 채널번호 DMC8/ψ와 각각 AMC 및 BMC에 의해 발생된 TCEA 또는 TCEB 채널번호 AMC8/4 또는 BMC8/4의 차이에 해당할 때 1인 되는 L-A 및 L-B,

-상술한 바의 WTA, WTB, RSIPOL 및 RPISOL,

-각각 AMC8/4, BMC8/4 또는 8/4를 선택하는 MA, MB, ML,

-AMC8/4와 BMC8/4의 차이를 계산하기 위해 AMC8/4를 선택하는 MAL

-BMC8/4와 BMC8/4의 차이를 계산하기 위해 BMC8/4를 선택하는 MBL

-AMC8/4 또는 BMC8/4와 1의 차이를 계산하기 위해 일정값 1을 선택하는 M1

-AMC8/4 또는 BMC8/4와 17의 차이를 계산하기 위해 일정값 17을 선택하는 M17

-CAM 또는 FFS에 대한 채널 어드레스로서 CHAC내의 상술한 감산회로의 출력신호를 래치하는 MUSB

-DRAM은 상승한 회선당 8바이트 즉 7개의 구동 바이트 BYTESψ 16개와 1개의 주사 바이트 BYTE7를 기억 한다.

논리회로 DMCL은 DMC의 출력신호 DMC8/ψ, CLC의 클럭신호 C4+, C4- 및 선택비트 A/B에 의해 제어된다.

이 비트는 상술한 계류중인 벨기에 왕국 특허 출원에 설명한 바와 같이 채널 16프로세서 CH16PROI 작업하거나 작업해야하는 사이드(side) 즉A 사이드(TCEA) 또는 B사이드(TCEB)로 나타낸다.

DMCL은 다음의 출력신호를 발생한다.

-1024 MHZ의 주파수를 갖도록 4로 분주함으로써 클럭신호 C4+, C4+, C4-, C4-로 부터 유기된 클럭신호 C1+, C1+, C1-, C1-.

-각각 데이터를 DRAM에 써넣고 데이터를 DRAM으로 부터 읽어내어 DRAM을 인에이블 시키도록 DRAM에 인가되는 WRAM, RRAM 및 DRAM,

-4개의 어드레스 CC3/ψ, DMC8/3, CHC3/ψ 및 BYAD2/ψ 중 어떤것이 DRAM에 인가되는 방식으로 멀티플렉서 MUX3을 제어하는 선택신호 T1, Tψ 및 Sψ, S1(CC3/ψ는 CH16MDEC에 의해 제공된 회선 어드레스이고, CHC3/ψ는 CHAC에 의해 발생된 TCE채널 어드레스이고, DMC8/301 DMC에 의해 제공되어 CIN 및 COV/CO 회선을 취급할때 사용되는 어드레스이며 BYAD2/ψ는 8바이트 중에서 1을 정의하는 바이트이다)

-각각 DRAM 및 OLD CINPI0에 공급되어 버스 BB7/ψ를 거쳐 데이터를 CINSI0로 부터 읽혀져서 DRAM에 써놓어질수 있게하는 RCIN 및 WCIN.

-각각 COVPISO 및 CODPISO에 접속되어 데이터를 COVPISO 및 CODPISO에 써넣을 수 있게 하는 WCOV 및 WCOD.

상술한 압력도선 CIN은 CINSI0의 입력에 접속되어 COVPISO 및 CODPISO의 출력은 각각 상술한 출력도선 COV 및 COD에 접속된다.

OLDCINPI0 및 CINSI0의 출력은 주사 바이트 분석회로 SBA에 접속되는데, 그 분석회로 SBA DMCL 의해 의해 발생된 C1+, C1-, DMC의 출력 DMC8/ψ, FIFOAC 및 FIFOBC의 FFFA 및 FFB, ASS, ACT 및 CAM에 의해 제공된 MMIE에 의해 제어된다.

FFFA 및 FFFB는 FIFOA 및 FIFOB가 제각기 완전하고 ASS, ACT 및 MMIE는 할당비트, 기동비트 및 불일치 보고를 인에이블 또는 디스에이블하기 위한 비트를 나타낸 것이다.

CAM에 기억된 이 비트는 회선상태를 정의한다.

주사 바이트 분석회로 SBA의 목적은 OLDCINPI0 및 CINSI0의 내용으로 부터 불일치 정보를 꺼내어 불일치 데이터를 FIFOA 또는 FIFOB에 써넣는 것이다.

이러한 목적을 위하여 그것은 관련 제어회로 FIFOAC 및 FIFOBC를 제어하는 출력라이트 신호 WFIFOA 및 WFIFOB와 WCAM 신호를 CAM의 디코더 DEC에 인가하도록 채널 16어드레스 프로세서 CH16PR에 공급되는 리아드 상태신호 RSTATUS를 제공한다.

RSTATUS는 또한 DMC8/5 및 CC3/ψ가 인가되는 멀티플렉서 회로 MUX4의 선택입력에 공급된다.

MUX4의 출력신호는 동일한 디코더 DEC의 입력에 공급된다.

FIFOAC 및 FIFOBC는 각각 관련 FIFOA 또는 FIFOB가 채워졌는가 비어있는가 지시해주는 제어 출력신호 FFFA, FFFB 및 FFEA, FFEB를 발생한다.

채널 16프로세서 CH16PR은 각각 리아드 신호 RFIFOA 및 RFIFOB를 FIFOAC 및 FIFOBC에 공급할 수 있다.

DMCL가 1024 MHZ의 클럭신호 C1+, C1-10에 의해 제어되기 때문에, DMCL로 부터 수신된 9비트 DMC8/ψ가 SBA에서 다음의 의미를 갖는다는 것에 유의하여야 한다.

-비트 DMC8/4는 16원격통신회선 TLψ/15를 정의한다.

-비트 DMC4/2는 회선당 8바이트를 정의한다.

-비트 DMC1/9는 바이트당 4시간 슬로트를 정의한다.

우선순위회로 CLHA는 위의 일치입력 $S\psi 4/\psi\psi$, SIPOA에 의해 제공된 비트 TIA3/ ψ , DECA의 신호 SOPA 및 SOPSCANA, AMC의 신호 AMC3/ ψ , DLA의 출력신호 CH17A 및 FIFOAC의 출력신호 FFEA에 의해 제어된다.

그것의 출력 CLA는 제1도의 공통도선 CLA에 접속되어 그것의 출력 MYTURNA 및 EOPSCANA는 CH16PR에 관련된 멀티플렉서 MUX2(제4도)에 접속되어 선택신호 A/B에 의해 제어된다.

우선순위회로 CLHB는 CLHA에 동일하며 유사한 방식으로 접속된다.

CLHA의 목적은 DPTC ψ 가 다른 DPTC1/31에 대해 제 1우선순위 체인에서 제 1순위를 갖는지를 결정하여 TCEA에 FIFOA에 기억된 불일치 정보를 전송하는 것이다.

이 경우에는 출력 MYTURNA가 작동된다.

모든 DPTC ψ /31의 불일치정보가 TCEA로 전송될 경우 출력신호 EOPSCANA가 발생된다.

CLHA의 목적은 CLHA의 목적과 비슷하나 제2우선순위 체인에 있다.

제어메모리 CAM은 16회선 TL ψ /15 각각, 말하자면 N에 대하여 이 회선에 관련된 LOVT/LIN 회선 채널 번호 N 또는 N+16과 TCEA 또는 TCEB에 의해 이 회선에 할당된 TINA/B 채널의 최상위 비트 MSBL 작업비트 ACT, 할당비트 ASS 및 MIMIE 비트를 포함한다.

한 회선은 다음 코드에 따라 TCEA 또는 TCEB에 비할당 또는 할당된다.

ACT	ASS	
ϕ	ϕ	비할당
1	ϕ	TCEA에 할당
1	1	TCEB에 할당

MMIE 비트는 대응 회선의 불일치 정보가 TCEA 및 TCEB에 보고되어야 하는지의 여부를 표시하는 인에이를 비트이다.

CAM에 관련된 디코더 DEC는 R/WCAM 및 MUX4의 출력 어드레스 LI3/ ψ 의 제어하에서 CAM의 행들중 하나를 읽어낼 수 있게 하는데, 상기 어드레스는 RSTATUS=1일 때 CC3/ ψ 이다.

이와같은 방법으로 예를들어 상태비트 ASS, ACT 및 MMIE는 동일한 명령의 CMA출력에서 발생되고 주사 바이트 분석회로 SBA에 인가된다.

데이터 메모리 DMEM은 CAM에 관련되어 16회선 TL ψ /15를 위해 데이터를 기억할 수 있다.

상술한 채널 16디코더 CH16DEC(제3도)의 목적은 CMAC의 출력 CHC4/ ψ 가 채널 16를 표시하는가의 여부를 검출하는 것이다.

이 경우에 CH16DEC는 각각 명령 레지스터 IRA 및 IRB를 제어하는 출력신호 R16A, W16A, R16B, W16B를 공급한다.

이 레지스터들은 또한 CH16PR에 의해 제공된 리아드 및 라이트 신호 R8A, W8A, 및 R8B, W8B에 의해 제어되어 IRA 및 IRB로부터 데이터를 읽어내고 그 데이터를 8비트 버스 BB7/ ψ 상에 두어 이 버스로 부터 IRA 또는 IRB에서의 데이터를 써넣는데 사용된다.

IRA 및 IRB는 각각 16비트 출력을 갖는데, 그 16비트 출력은 멀티플렉서 MUX1에 접속되며, 그것의 선택 입력은 CH16PR에 의해 제공된 선택신호 A/B에 의해 제어된다.

MUX1의 16비트 출력 IRF/ ψ 는 주디코더 CH16MDEC에 접속된다.

5TCEA 또는 TCEB로 부터 수신된 터미널 또는 회선 선택명령 TS에서 DPTC의 일치를 정의하는 MUX1의 5개의 출력신호 IR 8/4 또한 DPTC 선택회로 DPTCSEL에 공급된다.

이 회로는 또한 DPTC ψ 의 일치를 정의하는 상술한 터미널 $S\psi 4/\psi\psi$ 에 접속되고 입력신호 TS, EOP 및 A/B는 또한 CH16MDEC에 의해 제공된 그것의 TS 및 EOP에 인가된다. 이러한 명령 TS가 수신될 때 DPTCSEL의 입력 TS는 이 회로의 동작을 가능케하도록 작동되고, TCEA 또는 TCEB로 부터 수신된 일치가 DPTC ψ 의 일치에 해당될 때 후자가 선택된다.

따라서, 회로 DPTCSEL의 출력 SEL이 작동되고 이 사실이 CH16PR에 전달된다.

EOP는 DPTCSEL을 리세트하는데 사용된다.

이러한 리세트는 또는 새로운 TS 명령을 수신할 경우나 비교된 일치가 서로 다를 경우에 발생한다.

CH16MDEC의 목적은 16비트 버스 IRF/ψ의 패킷 형태로 수신된 여러 명령을 해독하여 다음의 출력신호(많은 다른것 중에서)를 발생하여 래치하는 것이다.

CC3/ψ : 라인 어드레스,

BYAD2/ψ : 바이트 어드레스,

SOP : 패킷 명령 SOP의 개시가 TCEA 또는 TCEB로 부터 수신될때 작동됨.

EOP : 패킷 명령 SOP의 종료가 수신될때 작동됨.

EOPSCAN : 주사명령의 개시가 수신될때 작동됨.

TS : 터미날 회로 또는 라인 회로가 선택되어야 할때 작동됨.

BYTE1 : 한 명령에서 수신된 바이트가 DRAM에 회선단 기억된 8바이트의 BYTE 1 일 때 작동됨.

R/W : 그 명령이 라이트 명령일때 작동됨.

ACT : 상기 작업 비트임.

마지막에는 언급한 출력신호 SOP, EOP, SOPSCAN, TS, BYTE1, R/W 및 ACT는 SEL, RSTATUS 신호 및 MUX2의 출력신호 EOPSCAN 및 MYTURN과 함께 CH16PR에 공급된다.

CH16PR은 다음의 출력신호 PFIFOA, RFIFOB, RBA, WBA, RFA, WFA, FFW, RBB, WBB, WSP8C4+, RSP8C4+, WSP8C4-, R/WCAM, STARTFFS 및 MSBLALC4+를 제공한다.

RFIFOA 및 RFIFOB는 각각 FIFOAC 및 FIFOBC에 공급되고, RBA, WBA 및 RBB, WBB는 각각 IRA 및 IRB에 공급되며, R/WCAM은 CMA에 공급되며, STARTFFS, MSBLVALC4+, WFA, RFA 및 FFW는 FFS에 공급되며, WSP8C4+, RSP8C4+는 SP8 및 CAMS에 인가되고 RSP8C4-는 SP8에 공급된다.

회선 채널 할당회로 FFS는 TINA/B는 회선 N에 할당된 후 이 회선에 영구적으로 관련된 두 개의 LOUTψ 회선 채널 N 및 N+16중에서 적당한 회선 채널을 설치하도록 되어있다.

LINψ에 대하여 통일채널이 LOUTψ에 대하여 사용된다는 것에 유의하라.

FFS는 CHAC에 의해 제공된 CHC4/ψ, CH16MDEC에 의해 제공된 CC3/ψ, TSALL에 의해 공급된 L-A 및 L-B 및 CH16PR에 의해 발생된 A/B, WFA, RFA, FFW 및 STARTFFS에 의해 제어된다.

선택된 LOUTψ/LINψ회선 채널이 N 또는 N+16에 관계되는 것인가에 따라 ψ 또는 1인 FFS의 출력신호 MSBL은 회선에 영구적으로 관련되는 그것의 행에 있는 CAM의 대응 비트 MSBL을 세트하는데 사용된다.

TCEA 와 TCEB는 전기통신 V01. 56, N. 2/3, 1981. pp.135-147에 발표된 논문 "LT 1240 디지털 교환 하드웨어의 설명"에 기재된 형태임에 유의하여야 한다.

주로 제3도 내지 5도와 제8도의 플로우차트를 참조로 하여, DPTCψ의 동작은 나중에 간략히 설명하기로 한다.

DPTCψ에 관련된 16 DSPψ 15는 외선 CINψ를 거쳐 DPTCψ로 회선 TLψ/15의 주사 데이터의 바이트를 연속적으로 전송한다.

후자는 16채널의 프레임과 1024M 비트/초의 비트 전송 속도는 TDM 방식으로 사용된다.

이러한 연속적인 비트열은 DINSIPO (제5도)에 공급되고 회선에 대한 새로운 주사 바이트가 그 내부에 들어갈때마다 논리회로 DMLC는 리이드 및 라이트 신호 RCINOLD 및 WCINOLD를 발생하고 라인 및 주사 바이트 (BYTE7) 어드레스 DMC8/3을 MUX3를 거쳐 DRAM이 인가한다.

결과적으로 TCINOLD의 제어하에서 관련회선의 이전의 주사바이트가 DRAM으로 부터 읽혀져서 8비트버스 BB7/ψ에 공급된 다음 WCINOLD의 제어하에서 OLDCINPISO에 써 넣어진다.

새로운 주사바이트와 이전의 주사 바이트의 대응 비트들은 주사바이트 분석회로 SBA에서 비교되어 관련회선에 대한 상대비트 ACT, ASS 및 MMIE의 값을 얻도록 리이드 상태신호 RSTATUS를 발송한다.

구체적으로 말하자면, 멀티플렉서 회로 MUX4의 선택입력에 인가된 신호 RSTATUS는 회선 일치부 DMC8/4를 선택하여 그것을 CAM의 디코더 입력에 인가한다.

그 신호 RSTATUS는 또한 채널 16프로세서 CH16PR에 이송되고 그 결과 채널 16프로세서 CH16PR는 마찬가지로 CAM의 디코더 입력에 인가되는 신호 R/WCAM을 발송한다.

결과적으로 관련회선에 대응하는 CAM의 행이 읽혀져나와 그것의 비트 ACT, ASS 및 MMIE가 SBA에 인가된다.

따라서 SBA는 무엇이 비교된 데이터와 함께 행하여져야 하는지 결정할 수 있다.

ACT=ψ, ASS=0, MMIE=1이라는 것은 회선이 아직 TCEA 또는 TCEB에 할당되지 않았음을 의미하고 회선에 대한 MMI 데이터가 TCEA 및 TCEB에 보고되는 것으로 가정한다.

이러한 이유때문에, CINSIPO와 OLDCINPISO의 두 개의 비교된 데이터 사이에 불일치가 검출될때마다, 다음의 불일치 정보는 SBA에 의해 발생된 WFIFOA 및 WFIFOB의 제어하에서 FIFOAC 및 FIFOBC에 의해 FIFOA 및 FIFOB 양자에 써 넣어진다.

DMC8/5, DMC4/2(여기서 DMC8/5는 회선 일치이고, N은 비트의 새로운 상태이며, DMC4/2는 변화를 보이는

비트의 주사바이트에서의 비트 위치이다.

따라서, 최소한 하나의 불일치 정보 바이트가 FIFOA 및 FIFOB에 써 넣어진 후 FIFOAC 및 FIFOBC의 출력 FFEA 및 FFEB는 비작동되어 이들 레지스터가 비어 있지 않음을 나타낸다.

이들 신호 FFEA와 FFEB에 의해서 우선순위 회로 CLHA와 CLHB는 DPTC ψ 에서 MMI데이터가 각각 TCEA와 접속되어 함을 보고 받는다.

MMIE=1이고 ACT=1 및 ASS=ψ일 경우 MMI데이터가 FIFOA에만 써 넣어지고 ACT=1 및 ASS=1인 경우에는 FIFOB에만 써 넣어진다는 것에 유의하라.

만일 MMIE=ψ이면, 아무런 MMI데이터도 FIFOA 및 FIFOB에 써 넣어진다.

따라서 주사바이트의 모든 8비트가 분석된 후, DMCL는 리이드 및 라이트 신호 RCIN 및 WICN을 발송하며 그 신호의 제어하에서 CINSIP0의 내용이 먼저 8비트 버스 BB7/ψ에 전달된 다음 DMCL에 의해 제공된 회선 및 바이트 어드레스 DMC8/3에 있는 DRAM에 MUX3를 거쳐 써 넣어진다.

상술한 바와 같이, DPTC ψ 의 우선순위 회로는 공통 회선 CLA에 접속되고 모든 다른 DPTC1/31은 공통회선 CLA에 결합된다.

여러 CLHA는 TINA 채널과 동기적으로 작용하는 32 CLA채널중에서 명백하지만 변할 수 있는 채널이 각 CLHA에 할당되도록 되어 있는 우선순위 체인에 접속된다.

이 채널시간동안 CLHA는 MMI 데이터가 FIFOA에 나타날 때 공통 회선 CLA를 점지시킬 수 있다. (FFFA=0로 표시됨).

이와같은 방법으로 DPTC ψ 는 다른 DPTC1/31에 MMI데이터를 TOUTA의 채널 16에서 TCEA에 송출하는 것이 우선순위를 가진다는 사실을 알린다.

이 경우에 CLHA의 출력신호 MYTURNA는 작동되어 CH16PRO이 실제로 MMI 정보를 TCEA에 전송하도록 CH16PR에 전달된다.

이는 DPTC ψ 도 이 우선 체인에서 우선순위를 가질 수 있도록 다른 우선순위 체인의 일부를 형성하여 MMI 데이터를 TCEB에 전송하는 CLHB의 경우에도 그러하다. 이 경우에는 CLHB의 출력신호 MYTURNB가 작동되어 CH16PRO이 정보를 받는다.

신호 MYTURNA와 MYTURNB는 실제로 CH16PR에 관련된 멀티플렉서 MUX2에 공급된다.

TCEB가 패킷 SOP의 명령개시와 주사 SOPSCAN의 개시를 송출한다고 가정한다.

따라서 이 명령들은 SOPB와 SOPSCANB로 불리운다.

그 명령 SOPB는 각 DPTC ψ /31의 SIPOB에서 수신된 다음 IRB에 로오드되고 CH16MDEC에서 해독되며 그것으로 인해 출력 SOP가 작동된다.

결과적으로 이전에 대기위치 A에 있었던 채널 16프러세서 CH16PR은 제8도의 플로우차트에서처럼 다른 명령을 기다리는 위치 B로 된다.

다음의 명령8 SOPSCAN은 또한 DPTC ψ /31의 각각의 SIPOB에 수신된 다음 IRB에 로오드되고 CH16MDEC에서 해독된다.

이로 인하여 출력 SOPSCAN 01작동되어 CH16PR은 C위치로 가게 되는데, 이위치에서 나중에 그것은 MYTURN 신호의 존재여부를 검사할 것이다.

이어서 프로세서는 예를들어 MUX2의 출력 MYTRUN0이 작동되도록 선택신호 A/B에 의해서 신호 MYTURNB를 선택하여 FIFO 리이드 신호 RFIFOB를 작동시킨다.

이 신호에 의해서 FIFOB의 예컨대 회선 TL ψ 에 관계된 하나의 MMI 바이트가 읽혀져서 8비트 버스 BB7/ψ에 인가된다.

라이트 신호WBA의 제어하에서 이 MMI 바이트는 이 8비트 버스로 부터 IRB에 써 넣어진다.

그후 코드를 가진 이들 데이터와 DPTC ψ 의 일치가 TOUTB 채널에서 PISOB를 거쳐 TCEB에 전달된다.

이것은 CH16DEC에 의해 제공된 리이드 및 라이트 신호의 제어하에서 일어난다.

따라서 FIFOB에 기억된 모든 MMI 바이트는 TOUTB 채널 16의 DPTC ψ 에 전달되고 CH16PRD은 매번 대기위치 C(제18도)로 가게 된다.

CLHB가 모든 DPTC ψ /31중 어떠한 것도 TCEB에 전송될 MMI 데이터를 가지고 있지 않음을 검출할 때, CLHB는 MUX2에 접속된 그것의 출력을 작동시킨다.

CH16PRO이 이신호의 존재를 검출할 때 CH16PR은 신호 EOP를 전송하고 TCEB에 대한 위치 A로 복원시킨다.

TCEB가 회선 TL에 관련된 MMI 데이터를 수신할때 그것에서 이 회선 TL ψ 를 감시하고 TCE 채널을 이 회선, 예컨대 CH31에 할당하는 것이 결정된다.

이러한 이유 때문에 TCEBO이 연속채널 16에서 다음의 세 명령을 연속적으로 모든 DPTC ψ /31에 보낸다.

-SOP : "패킷 명령의 개시"

-"터미날 또는 회선 선택"명령 TS : 1ψ ψ ψ 111Sψ4/ψψ, CC3/ψ 여기서 Sψ4/ψψ는 DPTC ψ 의 식별부

이고 CC3/ψ는 회선 TLψ의 식별부이다.

-터미날 또는 회선 라이트 명령 TW(바이트 모드) : 1ψ ψ11, BYAD2/ψ, D, D, ACT, CH31 여기서

-BYAD2/ψ는 BYTE1의 식별부이다.

-비트 DD는 "돈트 캐어(don't care)"비트이다.

-ACT는 새로운 작업비트이다.

-CH31는 TCEB에 의해 선행 명령 TS에서 지시된 회선 TLψ에 할당되는 TINB채널이다.

-제5비트는 명령이 라이트(R/W=1) 또는 리아드((R/W=ψ) 명령인지 표시하는 R/W 비트이다.

명령 SOP는 각 DPTCψ/31의 SIPOB에서 수신된 다음 IRB에 로오드되어 CH16MDEC에서 해독되며 그로 인해 출력 SOP가 작동된다.

결과적으로 이전에 대기위치 A에 있던 채널 16프로세서 CH16PR은 제8도의 플로우챠트에 처럼 또 다른 명령을 기다리는 위치 B로 가게된다.

다음 명령 TS는 또한 각 DPTCψ/31의 SIPOB에서 수신된 다음 IRB에 로오드되어 CH16MDEC에서 해독된다.

CH16PR에 의해 발생된 선택신호 A/B는 B 사이드(TCEB)가 선택되었음을 표시하는 ψ가 되는 것으로 생각한다.

이 신호의 제허하에서 후자의 디코더는 작동된 TS 신호를 그것의 동일 명칭터미널에 제공하고 그 명령에 포함된 TLψ의 회선어드레스 CC3/ψ를 래치한다.

따라서 TLψ가 선택되었다.

따라서 프로세서는 대기 위치 B로 복원한다.

CH16MDEC의 출력 신호 TS는 DPTCSEL에 인가되어 후자를 작동시키며 이 선택기에서 명령 TS에 포함된 DPTCψ의 식별부 CC는 DPTCSEL에 연속적으로 인가된 DPTCψ/31의 식별부와 비교된다.

그러므로 DPTCψ의 DPTCSEL만이 CH16PR에 인가된 터미널 또는 회선 선택회로 SEL을 발생한다.

다음 명령 TW도 또한 각 DPTCψ/31의 SIPOB에서 수신된 다음 IRB에 로오드되고 CH16MDEC에서 해독된다.

그러나 DPTCψ에서만 CH16MDEC의 출력 SEL이 작동되기 때문에, 거기에서만 이 디코더의 출력 TS, R/W, ACT 및 BYTE1이 검사된다.

이 출력들은 모두 작동된다.

플로우챠트에 도시한 바와 같이 프로세서는 다음을 검사한다.

- 터미널 또는 회선이 출력터미널 TS를 검사항으로써 선택되었는지의 여부에 대한 검사 : 이 회선 TLψ가 선택되었기 때문에 그때 프로세서가 다음을 검사한다.

- 출력 터미널 R/W를 검사항으로써 명령이 리아드 명령인가 라이트 명령인가에 대한 검사 : 명령 TW가 라이트 명령이기 때문에 그때 프로세서가 다음을 검사한다.

-TW의 바이트 BYAD2/ψ가 BYTE1의 식별부인지의 여부에 대한 검사 : 이것이 그러하기 때문에(출력BYTE=1) 이때 프러세서는 IRB 특허 ACT 및 CH31의 내용의 일부를 SP8에 전달되는데 그것은 먼저 IRB의 상기 내용을 읽어내어 8비트 버스상에 둔 다음 이 버스로 부터 레지스터 SP8에 써넣는 신호 R8B 및 WSP8C4-의 제어하에서 이루어진다.

프로세서는 또한 R/WCM 신호를 발송하여 SP8의 내용 ACT, CH31를 RSTATUS가 ψ이므로 MUX4의 출력에서 제공된 회선 TLψ의 회선 어드레스 L13/ψ=CC3/ψ에서 WSP8C4+에 의해 제어된 CAMS를 거쳐 CAM에 써 넣는다.

할당 비트 ASS를 구성하며 1에 해당하는 **A/B**도 CAM에 써 넣어진다.

이와같은 방법으로 TINB 채널 CH31은 회선 TLψ에 할당되고 ACT-ASS=1이기 때문에 TLψ는 처리를 위해 TCEB에 할당된다.

그후 프로세서는 출력 AG의 작동여부를 검사한다.

AG가 작동하기 때문에 이때 프로세서는 LOUTψ 채널을 회선 TLψ에 할당하는, 따라서 TINB 채널 CH31에 할당하는 동작을 개시한다.

이것은 신호 STARTFFS를 선택신호 A/B와 함께 회로 FFS에 인가함으로써 일어난다.

FFS는 또한 다음에 의해 제어된다.

-CHAC에 의해 제공된 CHA4/ψ

-CH16MDEC에 의해 발생된 CC3/ψ

-TSALL에 의해 제공된 L-A 및 L-B 이미 언급한 바와 같이 CHC4/ψ는 DMC에 의해 제공된 회선 채널번호 DMC8/ψ와 각각 AMC 및 BMC에 의해 발생된 TCEA 또는 TCEB 채널번호 AMC8/4 또는 BMC8/4의 차이에 해당 할 때 L-A 또는 L-B는 1상태이다.

FFS의 목적은 회선 TLψ에 영구적으로 할당된 두 개의 LOUTψ 회선 채널번호 ψ 또는 16중 어느 것이 이

회선, 따라서 TINB 채널 CH31에 효과적으로 할당될 것인지 계산하는 것이다.

회선 채널 할당회로 FFS는 다음과 같이 동작한다.

-그것은 먼저 31+L-B를 계산함으로써 TINB 채널 번호 CH31과 실질적으로 시간이 일치하는 LOUT ψ 채널 번호를 계산하는데, 여기서 L-B는 한쌍의 시간일치의 TOUT ψ 및 TINB 채널의 번호들간의 차이이다.

-이어서 그것은 (31+L-B- ψ) 모듈로 32(ψ 는 TL ψ 에 의한 것)를 계산한 다음 대수 합이 16보다 큰지 작은지에 대한 여부를 검사한다.

따라서 그것은 두 개의 LOUT ψ 채널 CH ψ 또는 CH16중 어느 것이 가장 근사하게 TINB 채널 CH31을 따를 것인지 검사한다.

-만일 L-B가 예컨대 2라면 이 합은 1에 해당하고 이합이 16보다 작기 때문에 LOUT ψ 채널 CH16이 가장 근사하게 TINB 채널 CH31을 따르게 되므로 선택되어 진다.

-만일 L-B가 예컨대 19에 해당된다면 LOUT ψ 채널 CH ψ 가 선택된다.

LOUT ψ 채널 CH16이 선택되었다고 가정한다.

이 채널의 식별부가 1에 해당하는 추가 최상위 비트 MSBL을 갖는다는 사실에 의해 회선 TL ψ 의 식별부와 다르다.

이 비트 MSBL은 최선 TL ψ 에 할당된 행 즉 행 ψ 상의 CAM에 써넣어진다.

LIN ψ 채널 CH16도 또한 회선 TL ψ 에 할당되며 TINB 채널 CH130이 이 동일 회선에 할당되었기 때문에 TOUTB 채널 CH(31+14)모듈로 32=CH130이 회선에 할당된다.

일단 TINB, TOUTB, LIN ψ 및 LOUT ψ 채널이 회선 TL ψ 에 할당되었다면 TCEB와 TL ψ 사이에서 DPTC ψ 를 경유한 데이터 예컨대 음성의 전달은 다음과 같이 행하여 진다.

-TCEB로부터 TINB를 거쳐 데이터가 CAM의 제어하에서 DMEM의 행 ψ 에 써넣어지고 그후 다시 CAM의 제어하에서 DMEM으로부터 LOUT ψ 를 거쳐 TL ψ 로 써넣어지는 DPTC ψ 로 전달된다.

-위와 같이 LOUT ψ 의 전달이 행하여진 후, LOUT ψ 의 CH16와 일치하는 LIN ψ 채널 CH16을 거쳐 DPTC ψ 로 들어오는 TL ψ 로부터의 데이터는 DMEM에 써 넣어진 후 TOUTB의 CH13을 거쳐 TCEB로 전달된다.

마지막에 기재된 전송절차를 위해서는 동일 회선에 할당된 TOUT 채널과 TIN 채널 사이에 18채널 시간에 해당하는 시간 간격을 제공하는 것이 필요하다.

실제로는 임의의 TIN 채널이 가장 근사하게 TIN 채널을 따르는 임의의 16 LOUT 채널(32중에서)에 할당될 수 있어야 하기 때문에 이 TIN 채널과 TOUT 채널 사이의 시간 간격이 최소한 16에 해당되어야 한다.

더우기 TIN과 TOUT 채널 사이의 위상차 때문에 두 개의 추가 채널 시간이 필요하게 된다.

이것은 총 18채널 시간이 되게 한다.

상기한 결과로서 본 시스템은 다음의 특징을 갖게된다.

-TCEA 및 TCEB의 존재로 시스템의 신뢰도가 커지는데, 그 이유는 이들 각 TEC가 모든 DPTC ψ /31의 정보를 처리할 수 있기 때문이다.

사실상 MMI 데이터는 TCEA/B가 비트 ACT 및 ASS에 의해서 회선에 양도되지 않았던 한에는 각 TCEA/B에 보내진다.

두 개의 TCE에 존재로 인해 아무런 문제없이 보수를 위한 서비스로부터 벗어나게 하는 것도 가능하다.

-MMI 데이터와 같은 제어 데이터를 음성의 전달을 위해 사용되는 TDM 링크 TINA/B 및 TOUTA/B을 거쳐 전송함에 의하여, TCEA/B 와 DPTC ψ /31 사이에 아무런 추가 제어링크도 필요치 않게 된다.

-주사 바이트를 처리하여 MMI 바이트를 꺼내는 주사 바이트 분석회로 SBA의 각 DPTC ψ /31의 존재에 의하여 TCEA/B의 포로세서의 작업부하가 감소된다.

-프로세서 CH16PR로 신호 EOPSCAN을 송출할 수 있는 우선순위회로 CLHA/B의 존재에 의하여 확실히 DPTC ψ /31로터의 모든 MMI 데이터가 TCEA/B의 개입중단(interruption)없이 전송되므로, 이것은 최소의 시간에서 발생한다.

-두 개의 CLHA/B의 존재로 인하여 이 시간이 더욱 감소된다.

-회선 채널 할당회로 FFS의 존재로 인하여 동일 회선에 할당된 TIN 채널과 LOUT 채널 사이의 변동 가능한 최소의 시간이다.

따라서 DPTC ψ /31의 처리능력이 증가된다.

다음부터는 회로 SBA, DMCL, OLDCINPISO, CINSIPO(제9도 내지 11도) : CAM, CAMS, FFS(WP12도 내지 16도) 및 CLHB (제17도 내지 20도)와 그들의 동작에 대하여 상세히 설명하기로 한다.

레지스터 OLDCINPISO 및 CINSIPO는 제9도의 상부에 SBA의 일부를 형성하는 추가 래치 회로 LCC와 함께 도시되어 있다.

제9도는 또한 이더드 및 라이트 신호 RCIN, WCIN, RCINOLD 및 WIFIOB를 발생하는 DMLC의 일부를 도시한 것이다.

레지스터 OLDCINPISO의 셀들의 입력은 8비트 버스 BB7/ψ에 결합되고 이 셀들은 클럭펄스 C1+, C1-(제11도)와 라이트 신호 WCINOLD에 의하여 제어된다.

CINSIPO의 셀들의 출력도 또한 BB7/ψ에 결합되고 이 셀들은 클럭펄스 C1+, C1- 및 리이드 신호RICN에 의해 제어된다.

OLDCINPISO 및 CINSIPO의 출력 01 및 02는 게이팅 회로 GC4에 접속된 출력 MMIB를 갖는 배타적 OR회로 EXOR에 접속된다.

출력 02는 또한 셀 LC7/ψ를 포함한 래치회로 LCC의 셀 LC3의 입력에 접속되고 그것의 출력은 FIFOA 및 FIFOB에 대한 라이트 버스 WF7/ψ에 접속된다.

이래피 셀들은 VCC=5 볼트와 C4-, **DMCΦ**, DMC1 및 C4-에 의해 제어되는 PMOS 트랜지스터 PM1ψ와 NMOS 트랜지스터 NMψ1, NMψ2 및 NMψ3의 접지와의 사이의 직렬접속을 포함한 NAND 게이트 NAND1의 출력에 의해 구성되는 공통 리이드 입력 R을 갖는다.

C4-가 ψ일 때 게이트의 출력 R은 10이 되는 반면 C4-가 10이 될 때, 즉 주사 바이트의 모든 8비트의 시간 슬로트 TS1 동안 $DMC=\psi=DMC1=10$ 이면 출력 Rψ가 되고 그렇지 않을 경우에는 1상태에 머무른다.

다시 말하여, C4-ψ 동안 출력 R의 캐퍼시턴스는 미리 충전되므로 그때 이 출력 R은 10이 되고 C4=1일 동안에는 출력이 유효하게 되므로 부울합수 **DMCΦ**, DMC1=1일때에만 ψ가 된다.

회선 L의 주사 바이트의 비트 7, 회선 L+1의 주사 바이트의 비트 ψ, 1, 2, … 및 여려시간 슬로트는 제11도에 나타나 있다.

SBA (제10도)는 상술한 NAND 게이트 NAND1과 유사하며 동일한 방법으로 동작하는 NAND 게이트 NAND2를 포함한다.

이 게이트는 $DMC\psi$, DMC1, **DMC2**, **DMC3**, **DMC4** 및 **C4+**에 의해 제어되므로 그것의 출력은 주사 바이트의 비트 ψ의 시간 슬로트 TS3 동안 ψ가 된다.

NAND2의 출력은 인버터 I1, C4- 및 **C4-**에 의해 제어되는 통과 트랜지스터 PTψ1, 그리고 직렬 접속된 인버트 I2 및 I3를 거쳐 출력 터미널 TSTATUS에 접속되므로 실질적으로 제11도에 도시한 바와 같이 비트 ψ의 TS3의 후반부와 비트1의 TS4의 전반부동안 RSTATUS =10이 된다.

I2의 출력도 또한 C4+에 의해 제어되는 터미널과 접지 사이의 NMOS 트랜지스터 NMψ4와 직렬 접속된 PMOS 트랜지스터 PMψ2를 제어한다.

PMψ2와 NMψ4의 접합점은 동일명칭의 출력신호 LSTATUS가 나타나는 출력터미널 LSTATUS를 구성한다.

이 신호는 실질적으로 비트 1의 TSψ의 저반부동안 1상태이다(제11도)

이 신호와 인버터 I4에 의해 제공된 그것의 반전 신호는 게이팅회로 GC1의 일부를 형성하는 통과 트랜지스터 PTψ2와 PTψ3를 제어한다.

후자는 입력단자 ASS(CAM)와 게이팅회로 GC4의 단자들 ASS와 **ASS** 사이에 접속되며, 그 게이팅회로 GC4는 NAND1과 동일한 형태의 게이트로서 구성된다.

즉, 선충전 및 유효화 회로를 포함한다.

GC1과 유사한 게이팅회로 GC2 및 GC3는 각각 입력단자 ACT(CAM) 및 MMIE(CAM)과 GC4 입력단자 ACT, **ACT** 및 MMIE사이에 접속된다.

GC1 단자에서 ASS(CAM) 및 ASS는 인버터 I5, 통과트랜지스터 PTψ2 및 인버터 I6의 직렬접속을 거쳐 접속되는데, 인버터 I6는 메모리 소자를 형성하도록 인버터 I7 및 통과트랜지스터 PTψ3를 가진 루우프에 접속된다.

PTψ2의 출력도 또한 GC4의 입력 **ASS**에 직접 접속된다.

게이팅회로 GC4는 또한 FIFOAC 및 FIFBC에 의해 제공된 입력단자 **FFFFA** 및 **FFFFB**, DMC에 의해 발생된 **DMCΦ** 및 DMC1, EXOR의 MMIB 및 **C4+**를 가지고 있다.

GC4는 선충전 시간동안 1이고 대응부울 함수가 1인 **C4+** 동안에는 ψ인 출력 LF1 및 LF2를 갖는다. 이 부울 함수는 $LF1 = \overline{FFFFA} \cdot \overline{DMC1} \cdot \overline{DMC\Phi} \cdot MMIB \cdot MMIE \cdot (ACT + ACT \cdot ASS)$, $LF2 = \overline{FFFFB} \cdot \overline{DMC1} \cdot \overline{DMC\Phi} \cdot MMIB \cdot MMIE \cdot (ACT + ACT \cdot ASS)$

여기서, **DMCΦ**, **DMC1** = TSψ이다.

그 출력 터미널(단자) LF1 및 LF2는 출력단자

WFIFOB 및 WFIFOB에 C4- 및 **C4-**에 의해 제어되는 각 인버터 I8, I9 및 통과 트랜지스터 PTψ4, PTψ5를 거쳐 접속된다.

동일 명칭의 라이트 신호 WFIFOA 및 WFIFOB는 이들 출력상에 발생된다.

DMLC는 GC4에 유사한 것으로 입력단자 **FFFFA**, **FFFFB**, ACT, **ASS**, DMC4/ ψ , **DMC4/Φ** 및 **C4+**와 선 충전 시간 동안에는 1이고 대응 부울함수가 1인 **C4+** 동안에는 ψ 인 출력단자 LF3 및 LF4를 가진 게이팅 호로 GC5를 포함하고 있다.

이 부울함수는 다음과 같다.

LF3= **DMC4**, **DMC3**, **DMC2**, **DMC1**, DMC ψ

LF4=DMC4, DMC3, DMC2, DMC1, DMC ψ

(**FFFFA**, **FFFFB+FFFFA**, ACT, **ASS+FFFFB**, ACT, ASS

여기서, **DMC4**, **DMC3**, **DMC2**, **DMC1**, DMC ψ 는 비트 ψ 의 시간 슬롯트 TS1을 정의하고 DMC4, DMC3, DMC2, DMC1, DMC ψ 는 비트 7의 시간 슬롯트 TS3를 정의한다.

출력단자 LF3 및 LF4는 C4- 및 **C4+**에 의해 제어되는 각 인버터 I1 ψ , I11과 각 통과 트랜지스터 PT1 ψ , PT1 ψ 를 거쳐 출력단자 RCINOLD 및 WCIN에 접속된다.

PT1 ψ 와 PT ψ 7의 출력은 C4+ 및 **C4+**에 의해 제어되는 각 인버터 I12, I13 및 각 통과 트랜지스터 PT08, PT09를 거쳐 각 PMOS 트랜지스터 PM ψ 3, PM ψ 4를 제어한다.

PM ψ 3은 C4-와 접지 사이에서 NMOS 트랜지스터 NM ψ 5와 직렬접속 되고, NM ψ 5는 C4+에 의해 제어된다.

마찬가지로 PM ψ 4는 C4-와 접지 사이에서 NMOS트랜지스터 NM ψ 6과 별 접속되며, NM ψ 6는 C4-에 의해 제어된다.

단자 WCINOLD 및 RCIN은 각각 PM ψ 3와 NM ψ 5 및 PM ψ 4와 NM ψ 6의 접합점들로서 구성된다.

신호 WCIN, RCIN, RCINOLD 및 WCINOLD는 동일 명칭의 출력에서 발생된다.

주로 제11도를 참조하여, 회선 L+1에 관계된 주사 바이트의 비트 ψ , 1,가 C1+의 각 하강구간에서 회선 CIN ψ 로부터 CINSIPO로 유입된다고 가정한다.

이 비트들의 시간 슬롯트 TS ψ /3 동안 관련회선 L+1에 대하여 MMIE=1이고 ACT=ASS= ψ 이며, **FFFFA=FFFFB**=1이라고 가정할 때 다음의 상황이 발생한다.

회선 식별부를 표시하는 비트 DMC8/5는 셀 LS4/7에서 래치되고 검사 또는 시험중인 비트의 주사 바이트에서 위치를 표시하는 비트 DMC/2는 셀 LC ψ /2에서 래치된다.

비트 ψ :

TS ψ , TS1 : 이 시간 슬롯트 동안 CINSIPO에 기록된 주사 바이트와 래치회로 LCC에 기억된 비트7의 MMI 데이터 및 양자의 관련 회선 L은 각각 DRAM 및 FIFOA 및 /또는 FIFOB에 유입된다.

TS2 : 이 시간 슬롯트 동안 회선 L+1에 관련된 주사 바이트는 RCINOLD에 의해 DRAM으로부터 읽혀져서 WCINOLD의 제어하에서 TS2의 후반부동안 OLDCINPISO에 써넣어진다.

비트 ψ 의 TS1 동안 실제로 LF3=1이다.

TS3 : 이 시간 슬롯트 동안 CINSIPO 및 OLDCINPISO의 비트 ψ 가 비교되거나 시험된다.

이 비트들이 다르기 때문에 EXOR의 출력 MMIB가 1이 된다고 가정한다.

이 출력비트 MMIB는 GC4에 공급된다.

또한 CINSIPO의 비트 ψ 는 래치회로 LCC의 셀 LC3에서 래치되므로 이때 이 회로는 회선 L+1의 비트 ψ 의 모든 MMI데이터를 포함한다.

이 시간 슬롯트의 후반부와 비트 1의 TS ψ 의 전반부 동안 RSTATUS=1이기 때문에 이때 CAM은 회선 L+1에 관련된 상태 비트 MMIE(CAM), ACT(CAM) 및 ASS(CAM)를 얻도록 상술한 바와 같은 방법으로 읽혀진다.

비트 1 :

TS ψ : DL 시간 슬롯트의 전반부 동안 신호 LSTATUS는 1이기 때문에 마지막으로 언급한 상태 비트들은 게이팅회로 GC4에 인가되고 그 결과 GC4의 LF1 및 LF2가 작동된다.

TS1 : 이 시간 슬롯트 전반부동안 WFIFOA 및 WFIFOB와 NAND의 출력신호 ROI 작동되므로 MMI데이터는 LCC로부터 읽혀져 나와 FIFOA 및 FIFOB에 써 넣어진다.

이어서 그 동작은 모든 다른 비트에 대하여 동일한 방법으로 계속되지만, 회선 L+1의 비트 7에 대해서는 GC5의 출력 LF3가 ψ 로 되고 그 결과 RCINOLD 및 WCINOLD가 회선 L+2의 비트 ψ , TS ψ (후반부)동안 작동된다.

또한 이로 인하여 CINSIPO에 기억된 회선 L+1의 전체 주사 바이트는 이제 DRAM으로 들어가게 된다.

다음의 시간 슬롯트 TS1 동안 회선 L+1의 마지막 비트 7의 MMI 데이터는 FIFOA 및 FIFOB에 유입된다.

MMI 데이터는 CINSIPO로 들어가는 각각의 새로운 비트에 대하여, 즉 이 비트의 값에 무관하게 래치회로

LCC에 기억된다.

그러나, 이 MMI 데이터는 이 비트의 조건이 이전 비트의 조건과 다른 때 FIFOA/B에만 기억되는데, 그 이유는 WFIFOA와 WFIFOB가 EXOR 출력신호 MMIB에 좌우되기 때문이다.

이미 상술한 바와 같이 이 MMI 데이터는 그 다음 채널 16프로세서 CH16PR의 제어하에서 T0RT 채널 16의 TCEA 및 TCEB로 전송된다.

이하 제12도내지 16도를 참조로 하여 CAM, DMEM (제12-14)와 FFS (제15-16)에 관하여 상세히 설명하기로 한다.

데이터 메모리 DMEM은 회선 TL ϕ 내지 TL15의 각각의 것에 관련되며, 이들 회선에 관련되는 데이터를 기억하는데 사용되는 16행의 셀 DM ϕ 7/ ψ 내지 DM157/15 ψ 를 갖는다.

16열의 각 셀은 16비트 버스 DF/D ψ 의 각 도선에 접속되고 각 행의 셀은 각각 리이드 및 라이트 입력 R 및 W를 가지고 있다.

제어메모리 CAM은 회선 TL ϕ 내지 TL15의 각각에 관련되며 두 개의 LIN 채널 N 및 N+16과 두 개의 동일 명칭의 LOUT 채널이 상술한 바와 같이 각 회선 L에 영구적으로 관련되기 때문에 각각의 LIN/LOUT 회선 채널에도 결합되는 16행의 셀 C ϕ 7/ ψ 내지 C157/15 ψ 를 갖는다.

이들 두 개의 LIN/LOUT 회선 채널은 결코 동시에 사용되지 않으며 이들 두 회선 채널의 코드는 그 회선과 동일한 4비트 코드를 포함하지만 추가로 N에 대하여 ψ 이고 N+16에 대하여 1인 제5코딩 비트(MSBL)를 갖는다.

CAM의 각 행의 셀들은 대응 회선에 대하여 다음의 데이터를 기억하는데 사용된다.

-대응 LIN/LOUT 회선 채널 번호의 MSBL(셀 C ϕ 1/157). 이 회선 채널 번호의 4개의 최하위 비트들은 CAM의 행에 관련된 회선의 식별부의 것과 동일하기 때문에, 그 비트 MSBL 및 그 행은 전체 회선 채널 번호를 정의한다.

-TCEA 또는 TCEB에 의해 이 회선에 할당된 TIN 채널 번호(셀 C ϕ 6/ ψ 2 내지 C156/152):

-이 회선(셀 C ϕ 1/151)에 대한 할당 비트 ASS:

-이 회선(셀 C ϕ ψ/15 ψ)에 대한 작업(Activiuy)비트 ACT.

상술한 사항으로부터 CAM의 회선에 관련된 각 행은 이 회선에 할당된 LIN/LOUT 회선 채널 번호와 TIN 채널 번호의 MSBL을 기억하도록 되어 있다.

데이터는 SP8 및 FFS에 접속된 도선 **MSBL**, MSBL, **CAM4**, CAM4, **ACT**, ACT를 거쳐 CAM으로부터 읽혀지거나 CAM에 써 넣어진다.

이러한 목적상 CAM의 각 행의 셀들 C ϕ 7/ ψ 내지 C157/15 ψ 는 상술한 NAND1과 동일한 형태인 NAND 게이트 NAND ϕ ψ 내지 AND15 ψ 의 출력에 의해 구성된 공통 리이드/라이트 입력 RW ϕ 내지 RW15를 갖는다.

이들 각 게이트는 클럭신호 C4+, CH16PR에 의해 제공된 R/W CAM 신호 및 MUX4에 의해 제공된 회선 식별부 L13/ ψ 에 의해 제어된다.

데이터는 또는 16비트 버스 DF/D ψ 로부터 DMEM에 써 넣어지거나 DMEM으로부터 이 버스상에 읽혀질 수 있는데 이 데이터는 TINA/B 채널동안 TCEA/B로 부터 수신되거나 LIN 회선 채널 동안 한 회선으로 부터 수신되거나 각각 TOUR채널시간 또는 LOUT 회선 채널 시간 동안 각각 TCEA/B 또는 한 회선에 전송되어야 한다.

이러한 이유때문에 비교수단은 그 내부에 기억된 TIN 또는 LOUT 채널식별부와 입력도선 **CHC4**, CHC4 내지 **CHC6**, CHC ψ 에 인가되는 TIN 또는 LOUT 채널과 비교하여 그 비교 결과의 함수로서 데이터가 써 넣어지거나 데이터가 읽혀져 나와야 하는 DMEM의 대응행을 선택하기 위하여 CAM의 각 행에 관련된다.

이들 수단은 제12도의 셀 C156 및 C15 ψ 를 도시한 제13 및 14도를 참조로 하여 차후에 상세히 설명될 것이다.

모든 셀들은 C15 ψ 와 동일한 형태의 행 C ϕ ψ/15 ψ 의 것을 제외하고서는 C156과 동일한 형태이다.

제13도에 나타난 C156과 같은 셀은 PMOS 트랜지스터 PM1 ψ 및 PM11와 NMOS 트랜지스터 NM1 ψ 및 NM11에 의해 구성되는 플립플롭을 포함하는데, 트랜지스터 PM1 ψ 및 NM1 ψ 뿐만 아니라 PM11 및 NM11은 VCC와 접지 사이에 직렬로 접속된다.

플립플롭의 출력 Q를 구성하는 PM1 ψ 및 NM1 ψ 의 접합점은 PM11 및 NM11의 상호 접속된 게이트 전극에 접속되고 이와는 반대로 출력 **Q**:의 경우에는 PM1 ψ 와 NM11의 접합점에 의해 구성된다. 출력 **Q**: 및 Q는 리이드/라이트 입력 RW15에 의해 게이트 전극이 제어되는 각 NMOS 트랜지스터 NM12 및 NM13을 거쳐도 선 **CAM** 및 CAM4에 접속된다. 출력 Q 및 **Q**:는 또한 역의 방법으로 통과 트랜지스터 PT1 ψ 및 PT11을 제어한다.

이 트랜지스터들의 데이터 입력을 입력 **CHC4** 및 CHCr에 접속되고 그들이 출력은 단일 출력단자 0156에 공통 접속된다.

제13도의 셀회로는 다음과 같이 동작한다.

-RW15는 작동시킴으로써 트랜지스터 NM12 및 NM13은 플립플롭의 상태가 도선 **CAM4**, CHC4를 거쳐 읽혀지거나 변경될 수 있도록 도통 상태가 된다..

-통과 트랜지스터 PT1 ϕ 및 PT11은 **CHC4**, CHC4의 조건을 플립플롭의 조건, 즉 **Q** 및 Q와 비교하는데 사용된다.

실제로 $=Q=1$, $\bar{Q}=0$ 일 때, PT11은 도통되므로 출력 0156은 CHC4와 동일한 조건으로 된다. $=\bar{Q}=1$, $Q=\psi$ 일 때, PT1 ϕ 는 도통되므로 출력 0156은 **CHC4**와 동일한 조건으로 된다.

이것은 CHC4 및 **CHC4**가 **Q** 및 Q와 동일한 조건일 때 출력은 1인 반면, 그밖의 경우에는 0가 된다는 것을 의미한다.

제14도에 도시한 C15 ϕ 와 같은 셀은 제13도의 유사한 것으로서, 트랜지스터 PM12, PM13 및 NM14 내지 NM17을 포함하지만, PT1 ϕ 및 PT11과 같은 비교용 트랜지스터를 가지고 있지 않다. 출력 015 ϕ 는 플립플롭의 Q 출력이다. 열 C ϕ 6/156 내지 C ϕ 2/152의 셀들의 도선 **CAM4**, CAM4 내지 **CAM4**, CAM ϕ 는 그것의 하단부에서 CAM들과 FFS를 거쳐 SP8에 공통 접속되며 또한 이 셀들의 입력 어드레스 도선은 **CHC4** 및 CHD4 내지 **CHC4**, CHC ϕ 도 그것의 상단부에서 CHAC에 공통 접속한다.

열 C ϕ 7/57의 셀들이— 도선 **MSBL**, MSBL은 그것의 하단부에서 FFS에 공통 접속되는 반면 이 셀들의 입력 도선은 **CHC4** 및 CHC4에 접속된다. 열 C ϕ 1/151의 셀들의 도선 **ASS**, ASS는 그들의 하단부에서 CAM들을 거쳐 CH16PR의 **A/B** 및 **A/B**에 공통 접속된다.

그들의 입력도선은 시간 슬로브 할당회로 TSALL의 출력 **A/B** * 및 A/B *에 접속되는데, 상기 회로는 이 출력들이 교번적으로 1이 되게 한다. 마지막으로, R/W 도선 **ACT**, ACT는 또는 C ϕ 1/15 ϕ 는 그들의 하단부에서 SP8에 접속된다.

CAM의 각 행은 NAND1과 동일한 형태로 된 두 개의 NAND 게이트에 관련되고, 그것의 출력은 각각 U15, T15의 대응 인버터 U ϕ , T ϕ 를 거쳐 DMEM 셀들의 대응 행의 리이드 및 라이트 입력 R 및 W에 접속된다.

예를 들어,

-행 C ϕ 7/ ψ 는

-직렬 접속된 NMOS 트랜지스터 N ϕ 8, N ϕ 9/ ψ 6, N ϕ 9/ ψ 9, M ϕ 10 및 PMOS 트랜지스터 R ϕ 를 구비한 제1게이트와

-직렬 접속된 NMOS 트랜지스터 M ϕ 8, M ϕ 9/ ψ 5, M ϕ 9/ ψ 7, NM069, M ϕ 10 및 PMOS 트랜지스터 S ϕ 를 구비한 제2게이트에 관련되며

-행 C157/15 ϕ 는

-직렬 접속된 NMOS 트랜지스터 N158, N15 ϕ 156, N159 ϕ , N151 ϕ 및 PMOS 트랜지스터 R15를 구비한 제1게이트와,

-직렬 접속된 NMOS 트랜지스터 M158, M15, M152/155, M157, M159, M151 ϕ 및 PMOS 트랜지스터 S15를 구비한 제2게이트와에 관련된다.

트랜지스터 N ϕ 8/158, M ϕ 8/158, N ϕ 9/159 ; M ϕ 9/156 ; M ϕ 1 ϕ 15 ϕ ; M ϕ 1 ϕ 151 ϕ 및 R ϕ 15, S ϕ 15는 각각 C4- ETCE ; ELIN ; WLP ; RDP 및 C4-에 의해 제어된다.

출력 N ϕ 9 및 N ϕ 9 내지 M ϕ 9 내지 N159는 상호 접속된다.

셀들 C ϕ 7/ ψ 6 내지 C15 ϕ 6/156의 출력 0 ϕ 9/ ψ 6는 각각 제1게이트의 대응 NMOS 트랜지스터를 제어한다.

셀들 C ϕ 7/157의 출력 0 ϕ 7/157은 각각 제2게이트의 대응 NMOS 트랜지스터 M ϕ 7/157을 제어하며, 그것의 다른 NMOS 트랜지스터는 행 ϕ 내지 15에 관련된 트랜지스터가 각각 코드 ψ ψψψ, 즉 **CHC3=CHC2=CHC1=CHC4=1**과 코드 1111, 즉 CHC3=CHC2=CHC1=CHC4=1에 대하여 도통되게끔 CHC3, CHC3 내지 **CHC4**, CHC ϕ 에 의해 제어된다.

제15도에 도시된 회선 채널 할당 회로는 가산기 입력 X4/ ϕ 및 Y4/ ϕ 와 합출력 S4/ ϕ 및 **S4/ ϕ** 를 가진 셀 FA4/ ϕ 를 갖는 가산기 회로 FA를 구비하고 있다. 후자는 NMOS 트랜지스터 NM54/5 ϕ 및 NM64/6 ϕ 를 거쳐 레지스터 SP8의 셀 SP84/8 ϕ 의 단자 FF4/ ϕ 및 **FF4/ ϕ** 에 접속된다. 후자는 모두 CH16PR에 의해 제공된 리이드신호 RFA에 의해 제어된다. 또한 SP8은 셀 SP84/87을 가지고 있으며 CH16PR에 의해 발생된 리이드 및 라이트 신호 RSP8C4-, WSP8C4-, RSP8C4+ 및 WSP8C4+에 의해 제어된다. SP8은 또한 8비트 버스 BB7/ ϕ 에 접속된다.

FFS는 반전이 행하여지는 CAM 스위치 CAMS1 및 CAMS2를 거쳐 CAM의 단자 MSBL, MSBL, ..., ACT **ACT**에 접속되며 각각 상술한 RSP8C4+, WSP8C4+ 및 CH16PR에 의해 발생되는 MSBLVALC 4+에 의해 제어되는

MSBL : **MSBL** : CAM4/ ϕ , **CAM4/ ϕ** , A/B, **A/B**, ACT 및 **ACT**를 갖는다.

단자 **A/B** 및 A/B는 동일 명칭의 CH16PR의 단자에 접속되고 **ACT** 및 ACT는 SP8의 셀 SP85의 동일 명칭의 출력에 결합된다.

FFS에서 단자 **CAM4**, CAMψ, CHCψ, CCψ 내지 **CAM3**, CAM2, CHC2, CC3,는 유사한 방법으로 SP8ψ 내지 SP84에 접속되므로 다음부터는 단자 **CAM4**, CAMψ, CHCψ, CCψ 및 **CAM 4**, CAM4, CHAC4의 접속만을 고려하기로 한다. CC3/ψ는 CH16MDEC에 의해 제공된 회선 식별부를 정의한다는 것을 유의하라.

CAMψ 및 **CAM4**는 각각 FFψ 및 **FF4**에 직접 접속된다. CAMψ는 또한 CH16PR에 의해 제공된 라이트 신호 **WFA** 및 WFA (제16도)에 의해 제어되는 통과트랜지스터 PT20ψ를 거쳐 FAψ의 입력단자 X에 접속된다.

CHCψ는 인버터 I2ψ 통과트랜지스터 PT3ψ, 인버터 I3ψ 및 , 통과트랜지스터 PT4ψ를 거쳐 입력단자 Y에 접속된다.

CCψ는 직렬접속된 인버터 I4ψ와 통과트랜지스터 PT5ψ를 거쳐동일단자 Y에 접속되는데, PT4ψ와 PT5ψ는 신호 STARTFFS 및 **STARTFFS**에 의해 제어된다. 후자의 신호는 또한 FA의 캐리(carry)입력을 제어 한다. 마지막으로 CCψ는 또한 NMOS 트랜시스터 NM2ψ를 거쳐 FFA에 접속됨과 동시에 임버터 I4ψ 및, NMOS 트랜지스터 NM3ψ를 거쳐 **FF4**에도 접속되는데, NM2ψ와 NM3ψ는 CH16PR에 의해 제공된 신호 FFW에 의해 제어된다. 통과트랜지스터PT3ψ는 PMOS 트랜지스터 PM4ψ와 NMOS 트랜지스터 NM4ψ 내지 NM44를 구비하는 게이트 G에 의해 제공된 신호에 의해 제어된다.

PM4ψ는 VCC와 접지사이에서 NM4ψ 및 NM41과 직렬접속되고 NM42 및 NM43는 NM40 및 NM41과 병렬접속된다.

PM4ψ 및 NM44는 C4-에 의해 제어되는 반면, NM4ψ, NM41, NM42 및 NM43은 각각 L-B, **A/B**, L-A 및 A/B에 의해 제어된다. G의 출력은 각각 PT3ψ에 직접 접속되고 인버터 I5ψ에도 접속된다. **CAM4**, CAM4 및 CHC4에 관련된 회로망은 VCC가 PT54에 연속인가되고 FA4의 출력 **S4** 가 MSBL에 직접 접속되고 FFW에 의해 제어되는 NMOS 트랜지스터 NM24를 거쳐 CAM4에, 인버터 I6ψ를 거쳐 **MSBL**에 그리고 동일 인버터 I6ψ 및 NMOS 트랜지스터 NM34를 거쳐 **CAM4** 및 **FF4**에 접속되는데, 트랜지스터 NM34도 역시 FFW에 의해 제어된다.

상기 회로망의 동작은 다음과 같은데, TW 명령이 TINB의 채널 16에서 수신되었고, 한 회선, 예컨대 TLψ가 선택되었고 수신된 바이트가 BYTE10이다는 것이 이미 검사 되었던 것으로 가정한다.

앞서 기재한 바와 같이, 이때 프로세서는 IRB의 내용을 읽어내어 8비트 버스 13137/ψ 상에 둔 다음 레지스터 SP8에 그 내용을 써넣는 신호 R8B 및 WSP8C4-의 제어하에서 IRB내용의 일부, 즉 ACT=1 및 TINB 채널번호 예컨대 CH31 을 SP8에 전달한다. 이 데이터와 함께 할당비트 ASS= **A/B** =1도 CAM에 써 넣어지는데, 이 비트는 회선 TLψ가 TCEB에 할당됨을 나타낸다.

포로세설 CH16PR은 또한 R/WCAM신호를 발출하여 RSP8C4+에 의해 제어되는 CAMS 를 거쳐SP8의 내용을 읽어서 이 내용을 RSTATUS가 ψ이기 때문에 MUX4의 출력에 제공되는 TLψ의 회선어드레스 L13/ψ 예컨대 ψ ψ ψ ψ에서 CAM에 써넣는다.

이러한 써넣기 동작은 CAM의 행 ψ에 관련된 NAND 게이트 NAND ψ ψ의 출력 RWψ (제12도)가 그때 비작동되기 때문에 실행된다.

수신된 작업비트 ACT를 검사한 후 프로세서는 STARTFFS 신호(제16도)를 발생하여 상술한 바와 같이 ψ로 가정된 선택신호 A/B와 함께 FFS DP 인가함으로써 최초의 자유서치 동작을 개시한다.

TSALL에 의해 제공된 L-B가 1인 순간에 CHAC에 의해 제공된 값 CHC4/ψ는 DMC4/ψ는 DMC에 의해 제공된 LOVT 회선 채널번호 DMC8/ψ와 BMC에 의해 발생된 시간일치의 TINB 채널번호 BMC8/4의 차이에 해당된다.

이 차이 L-B는 2, 즉 CHC4/=ψ 1ψ에 해당한다고 가정한다.

STARTFFS=1이기 때문에 통과 트랜지스터 PT44/4ψ는 도통되고, L-8=1이고 **A/B** =1이기 때문에 게이트 G의 출력이 비작동되므로 통과 트랜지스터 PT34/3ψ도 도통된다. 결과적으로 CHC4/ψ는 인버터 I2ψ/24, 통과트랜지스터 PT3ψ/34 인버터 I3ψ/34 및 통과트랜지스터 PT4ψ/44를 거쳐 FA4/ψ의 가산기 입력 X에 인가된다.

SRARTFFS=1일 동안 신호 WFA(제16도)도 역시 비작동되므로 통과 트랜지스터 PT24/2ψ도 도통되고 RSP8C4+=1이기 때문에 SP83/8ψ에 기억되고 그것의 출력 FFψ/4 DP 제공된 TINB 채널번호 CH31은 FA4/ψ의 가산기 입력 X에 인가된다.

가산기 FA는 이어서 TINB 채널번호 CH31과 시간이 일치하는 LOUT 회선 채널번호를 출력 S4/ψ에서 얻기 위하여 현재의 TINB 채널번호 CH31=11111의 합모듈을 32와 상기 차이=ψ ψ ψ ψ를 계산한다. 그러므로

이 회선 채널 번호는 CH10이 되고 S4/ψ=ψ ψ ψ ψ 10이 된다.

그후 신호 WFA 및 RFA가 작동된다. 결과적으로 후자의 값 ψ ψ ψ ψ 1과 그것의 보수는 도선 FF4/ψ, **FF4/ψ** 및 각 트랜지스터 NM54/5ψ 및 NM64/6ψ를 거쳐 SP8에 인가된다.

값 ψ ψ ψ ψ 1은 또한 새로운 연산을 위하여 FF4/ψ를 거쳐 FA의 가산기 입력 X에 인가된다. 이 연산에서 회선번호 ψ, CC3, CC2, CC1, CCψ 예컨대 TLψ의 ψ ψ ψ ψ ψ는 이제 이 번호의 2의 보수를 이 결과에 가산함으로써 상기 값 ψ ψ ψ ψ 1으로부터 감산된다. 이 2의 보수는 CC3/ψ가 143/4ψ에 의해 반전되기 때문에 통과 트랜지스터 PT43/ψ3의 출력에서 얻어지고, VCC는 PT54에 직접 인가되며, FAψ의 캐리입력

은 이때 **STARTFFS**=1이기 때문에 STARTFFS의 종료시에 작동된다. 2의 보수는 이 통과 트랜지스터부 터 합을 계산하는 FA의 가산기 입력 Y에 인가된다. 만일 이 합이 최소한 16에 해당되면 FA4의 출력 **S4** 또는 MSBL은 ψ이고 이 경우에 LOUT 회선채널 번호는 ψ이고 이경우에 LOUT 회선채널 번호는 ψ, CC3, CC2, CC1, CCψ가 된다.

이와는 반대로, 만일 이 합이 ψ ψ ψ ψ 1에 해당하기 때문에 16보다 작으면 FA4의 출력 **S4** 및 MSBL은 1이 되고 이 경우에 LOUT 회선채널 번호는 ψ, CC3, CC2, CC1, CCψ 즉 1ψ ψ ψ ψ 또는 CH16이 된다. CH16PR에 의해 제공된 신호 MSBLVALC4+의 제어하에서 이 비트 MSBL은 CAM에, 구체적으로 말하여 TLψ에 할당된 행 ψ의 처음셀에 써넣어지며 이 경우에 라이트 입력 RWψ/15는 ψ가 된다.

이 라이트 입력은 회선번호 L13/ψ 또는 CC3/ψ에 의해 제어되는 NAND 게이트 NAND ψ ψ에 의해 작동된다.

따라서 LOUT회선 채널번호 CH16은 비트 ACT 및 ASS와 함께 이미 행 ψ에 기억된 TINB 채널번호 CH31에 할당된다.

예를들어 TLψ를 위한 음성정보가 TLψ에 할당된 timb 채널 CH31의 TCEB로부터 16비트 버스 DF/Dψ상에 수신되고 TLψ에 할당되어 CAM의 행 ψ에 기억된 LOUT 채널 CH16상의 TLψ에 전송될 경우에 다음의 상황이 발생한다. 즉,

-LOUT 회선채널번호 CH16은 1ψ ψ ψ ψ이고:

-TINB 채널번호 CH31은 11111이다.

TSAL은 신호 ETCE 및 WDP를 작동시켜서 16비트 버스 DF/Dψ상의 데이터의 일부를 DMEM에 써넣을 수 있게 한다.

이 신호에 의하여 트랜지스터 Nψ9/159 및 Nψ1ψ/151ψ가 도통된다.

TINB 채널번호 111110I CAM의 입력 CHC4 내지 CHCψ에 인가될때 그것의 여러 비트 셀 Cψ6/ψ2 내지 C156/152에 기억된 비트들과 비교되며, 11110I CAM의 행 ψ의 셀. CCψ6/ψ2에 기억되므로 트랜지스터 Nψ2 내지 Nψ6만이 도통된다.

또한 작업비트들이 일치하기 때문에 트랜지스터 Nψ ψ는 도통되고 이것은 A/B=1인 때의 Nψ의 경우에도 그려하다.

이러한 이유 때문에, C4=1일 때 Nψ8도 도통되고 그 결과 DMEM의 셀들 DMψ7/ψ ψ의 행의 라이트 입력 W가 작동된다.

이 신호에 의하여 16비트 버스상에 기억된 데이터의 일부는 DMEM에 써넣어진다.

그후 TSALL이 신호 ELIN 및 RDP를 작동시켜서 데이터가 DMEM으로부터 읽혀져서 16비트 버스 DF/Dψ상에 써넣어지게 할 수 있다.

이 신호에 의하여 트랜지스터 Mψ9/159 및 Mψ1ψ/151ψ가 도통된다.

LOUT 회선채널번호 1ψ ψ ψ ψ가 CAM의 입력 CHC4 내지 CHCψ에 인가될때 트랜지스터 Mψ2 내지 Mψ5는 도통되며 ACT=1이기 때문에 Mψ ψ의 경우에도 그려하다.

이러한 이유 때문에, C4=1일대 Mψ8도 도통되고 그 결과 DMEM의 셀들 DMψ7/ψ ψ의 행의 라이트 입력 ROI 작동된다.

이 신호에 의하여 이 행의 데이터가 16비트 버스 DF/Dψ상에 써넣어진다.

이하 우선 순위회로 CLHB에 대하여 제17도 내지 20도를 참조로 하여 상세히 설명하기로 한다. 이 회로는 유한상태머신 FSM은 구비하는데, 그것의 여러상태는 제20도에 나타나 있으며 그것의 상세도는 제17도에 도시되어 있다. FSM은 동일명칭의 입력신호가 인가되는 입력단자들 C1B, **C13**, C2B, **C2B**, CLIB, POB, **POB**, SSB, **SSB**, FRB, EOPCB, SCPCB 및 TS2, 3B를 갖는다. FSM은 FSM의 7가지 가능한 상태, 즉 ψ ψ ψ 또는 ψ, ψ ψ 1또는 1, ……, 11ψ 또는 VI를 정의하는 동일명칭의 출력신호가 나타나는 출력단자 Zψ, Z1 및 Z2를 갖는다.

FSM은 각각 제19도의 하부의 열과 상부의 행에 배열된 NAND 게이트와 NOR 게이트를 구비하고 있다. 도시된 바의 두 NAND 게이트 각각은 VCC=5V와 접지 사이에 접속되고 입력신호 TS2, 313에 의해 제어되는 PMOS 트랜지스터 PM7ψ, PM71와 상술한 입력 및 출력신호의 하나 또는 그 이상에 의하여 제어되는 복수의 NMOS 트랜지스터 NM7ψ/75, NM76/81의 직렬접속부를 구비하고 있다. 구체적으로 말하여, 출력신호 Z

ψ , Z1, Z2는 각각 인버터 I99, I100, I101 통과트랜지스터 PT6 ψ , PT61, PT62, 및 인버터 I7 ψ , I71, I72를 거쳐 NMOS트랜지스터 쌍들 NM72, NM78, NM71, NM77 및 NM7 ψ , NM76을 제어한다. 입력신호 CLIB는

인버스 I73 및 TS ψ , **TS ϕ** 에 의해 제어되는 통과트랜지스터 PT63을 거쳐 어레이의 NAND 게이트(도시도지 않음)를 제어하며 또한 직접 혹은 인버터 I74를 거쳐 제어한다. 각 NAND 게이트의 출력은 PM7 ψ , PM71 및 NM7 ψ , NM71의 접합점에 구성되며 인버터 I75, I76을 거쳐 하나 또는 그 이상의 NMOS 트랜지스터 NM82/83, NM84의 게이트 전극에 접속된다. 후자의 각 트랜지스터는 5개의 NOR 게이트 어레이의 한 NOR 게이트의 일부를 형성하는데, 각 NOR- 게이트의 구성요소 NMOS 트랜지스터는 2행의 전선 X1, Y1, 내지 X5, Y5 사이에 접속된다. 구체적으로 말하여 NM82, NM83 및 NM84는 각각 X4와 Y4, X5 및 X3, Y3 사이에 접속된다. 각 행 전선 Y1/5는 두 개의 NMOS 트랜지스터의 직렬 접속을 거쳐 접지에 접속된다. 이들 트랜지스터의 처음것은 TS2, 313에 의해 제어되고 나중것은 인버터 177을 거쳐 리세트 신호 MAINRESETB DP 의해 제어된다. 구체적으로 말하여 Y3, Y4 및 Y5는 각각 직렬 접속된 NMOS 트랜지스터 NM85/86 ; NM87/88 및 NM89/9 ψ 를 거쳐 접지에 접속된다.

각행 전선 X1/5는 TS2, 3B에 의해 제어되는 DMOS 트랜지스터 PM72/76을 거쳐 VCC에 접속된다. 또한 행전선 X1 및 X2는 각각 인버터 I78 및 I79를 거쳐 출력단자 ESB 및 MTB에도 접속되고 한편 행 전선 X3, X4 및 X5도 인버터 I8 ψ , I81, I82 및 입력신호 TS2B 및 **TS2B**에 의해 제어되는 통과 트랜지스터 PT63, PT64 및 PT65를 거쳐 출력단자 PT63, PT64 및 PT65에 접속된다.

제20도의 상태도는 상술한 입력 및 출력신호의 제어하에서 FSM한 상태에서 다른 상태로 어떻게 변동되는지 명확히 도시한 것이다. 예를들어, FSM이 I상태에 있을 때 :

-SSB, EOPCB=1인 한에는 이 상태를 유지하고 :

-SSB, P0B=1일때 상태 VI로 진행한다.

이것은 또한 TS ψ B, TS2B 및 TS2, 3B가 TS2B+TS3B에 해당될 동안 무엇이 발생되는지 고려할 경우에 제17도에서 다음과 같이 된다.

TS ψ B : 이 시간 슬롯 동안 Z2, Z1 및 Z ψ 의 값은 각각 NM7 ψ , 76 ; NM71, 77 및 NM72, 78에 인가되며 FSM이 Z2=Z1=0이고 Z0=1인 상태 I가 있기 때문에 이들 트랜지스터 NM70/72 및 NM76/78의 게이트 전극이 작동된다. 이 조건은 한 채널 시간동안 즉 다음 TSO까지 유지된다. 입력신호 CLIB는 통과 트랜지스터 PT63을 거쳐 대응 NAND 게이트(도시도지 않음)에 인가된다.

TS2, 3B : 시간 슬롯트 TS2 및 TS3 밖에서 VCC는 상기 NAND 게이트의 출력에 인가되며 그로 인해 모든 NOR 게이트가 금지(inhibit)되고 또한 각각 PM78 내지 PM82를 거쳐 모든 출력 ESB, MTB, Z1, Z1, Z2에도 인가된다.

TS2, 3B : 이 시간 슬롯 동안 AND 게이트 트랜지스터 NM85, NM87 및 NM89와 통과 트랜지스터 PT63/65는 도통된다. 이와는 반대로 PM72/76은 차단된다. FSM이 Z2=Z1=ψ이고 Z ψ =1인 상태 I에 있기 때문에 PM7 ψ 를 포함한 NAND게이트 출력은 P0B.SSB=1인 경우에 접지되는 반면, PM71을 포함한 NAND 게이트의 출력은

SSB, EOPCB=1인 경우에 접지된다. 처음의 경우에 트랜지스터 NM82/83은 도통되며 나중의 경우에는 트랜지스터 NM84가 도통된다. 결과적으로 처음의 경우에는 출력 Z1 및 Z2가 작동되는 반면, 나중의 경우에는 출력 Z ψ 가 작동된다. 이는 처음의 경우에는 새로운 상태 Z2Z1Z ψ 가 VI 또는 11ψ가 되는 반면 나중의 경우에는 FSM이 Z2Z1Z ψ =ψψ1 또는 I를 유지한다는 것을 의미한다. 이것은 또한 제20도의 상태도 상에 도시되어 있다.

TS 3B : 이 시간 슬롯 동안 NM85, NM87, NM89는 도통상태를 유지하고, PM72/75는 차단 상태를 유지한다.

상술한 입력신호는 제18 및 19도를 참조함으로써 차후에 설명될 방법으로 발생된다.

게이팅 회로 GC6은 상술한 FSM의 것과 동일한 방법으로 동작하는 복수의 NAND 게이트를 구비하고 있다.

GC6의 입력신호는

-VCC와 VCB- ;

-카운터 DMC에 의해 제공된 **DMC ϕ** , DMC ψ , **DMC1**, DMC1, **DMC2**, DMC2, **DMC3** ;

-상술한 SSB, **SSB**, FRB ;

-TCEB부터 수신중인 명령 SOPSCAN에 따라 작동되는 SOPSCANB ;

-Z1, **Z2** 및 **C4B+**에 의해 제어되고 출력이 인버터 I83, 통과트랜지스터 PT66, 인버터 I84, 통과트랜지스터 PT67 및 인버터 I85를 거쳐 GC6의 입력 II+III에 접속되는 NAND 게이트 NAND3에 의해 다음과 같이 발생되는 입력신호 II+III. **C4B+** 가 ψ가 될 경우 게이트 출력은 Z1= **Z2** =1이면 즉 FSM의 상태 II 또는 III동안 접지된다.

이 경우에 GC6의 입력 II+III은 C48- 및 C4+에 의해 제어 되는 동안 트랜지스터 PT66 및 PT67이 연이어 도통된 후 작동된다.

이들 입력신호와 함께 G06은 다음 출력신호를 발생한다.

TS_ψB= **DMC3.DMC2.DMC1.DMCΦ** ;

TS2B= **DMC3.DMC2.DMC1.DCMΦ** ;

TS2, 3B= **DMC3.DMC2.DMC1** ;

WPNTB=TS_ψB.SOPSCANB ;

LSTRB=TS1B.SSB+TS5B(11+111) ;

RPNTB=TS1B. **SSB** .(VI+V) ;

IPNTB=TS3B. (11+111) ;

ROBB=TS4B. (11+111) ;

래치회로 LC(제14도)는 시간 슬롯 TS_ψ 동안 다음 신호를 래치하므로 이들 신호는 다음 시간 슬롯 TS_ψ까지 유지된다.

SOPCB=SOPB.TS_ψ ;

EOPCB=EOPB.TSOB ;

SSB=SOPSCANB.TS_ψB ;

FRB=CH17B.TS_ψB ;

여기서 SOPB는 패킷 명령의 개시가 TCEB로 부터 수신될 때 작동되는 신호이고, EOPB는 패킷명령의 종료가 TCEB로부터 수신될 때 작동되는 신호이고, SOPSCANB는 주사신호의 개시가 TCEB로부터 수신될 때 작동되는 신호이며, CH17B는 TINB의 채널 17의 TS_ψB 동안 1상태인 신호이다.

신호 LSTRB 및 WPNTB는 DPTC_ψ의 식별부를 정의하는 제1세트의 입력 S_ψ4/ψ ψ와 기준어드레스 즉 MMI 데이터를 TCEA 및/또는 TCEB에 전송하기 위하여 제1우선순위가 주어지는 DPTC_ψ/31중의 임의의 DPTC의 식별부를 정의하는 제 2세트의 입력 TIB3/ψ 및 ψ를 가진 멀티플렉서 MUX5의 출력CLB4/ψ은 신호 ROBB 및 WOBB에 의해 제어되는 래치회로 LC의 대응셀의 입력, 신호 WPNTB, RPNTB 및 IPNTB에 의해 제어되는 포인터(pointer)회로 PNTB의 대응셀의 입력과 출력 C0를 갖는 비교기 C0를 구성하는 대응 배타적 NOR 게이트 EXB4/ψ의 제1입력에 접속된다.

이들 게이트의 제2입력은 PNTB의 셀들의 출력에 접속된다.

신호 WPNTB 및 RPNTB는 VCC와 접지사이에 접속되고 또한 PM77 및 NM93과 직렬 접속된 병렬접속 트랜지스터 NM91 및 NM92(제19도)를 제어하며, PM77과 NM91, NM92의 접합점은 VCC 접지 사이에 직렬 접속된 PM78과 NM94의 게이트 전극에 접속되며, PM77 및 NM93은 C4B-에 의해 제어된다.

따라서 WPNTB+RPNTB에 해당하는 출력신호 WOBB가 PM78과 NM94 사이의 출력단자 WOBB에 나타난다.

신호 C0, ROBB 및 LS TRB는 또한 다음과 같은 방법으로 동일명칭의 단자상의 신호 C1B 및 C2B를 발생하는데 사용된다(제19도) :

-C0는 메모리 소자를 형성하기 위하여 인버터 I86, ROBB 및 **ROBB**에 의해 제어되는 통과 트랜지스터 PT68 및 역병렬로 접속된 인버터 I87 및 I88를 거쳐 단자 C1B에 인가된다.

-C0는 인버터 I86, ROBB 및 **ROBB**에 의해 제어되는 통과트랜지스터 PT69 및 마찬가지로 역병렬로 접속된 인버터 I90 및 I91을 거쳐 단자 C2B에 인가된다.

상기 입력신호 P0B는 프리세트 입력 PR1 및 PR2와 중분입력 I를 가진 패킷길이 카운터 PLC(제19도)의 출력에 제공된다. 프리세트 입력 PR1은 트랜지스터 PM79와 NM95의 접합점에 접속되고 그것의 게이트 전극들은 각각 C4B+ 및 NAND 게이트 NAND4의 출력신호에 의해 제어된다. 후자는 동일명칭의 프리세트 신호가

인가되는 입력 SOPB 및 **P1**를 갖는다. 프리세트 입력 PR2는 NAND 게이트 NAND5, PM80 및 NM96을 거쳐 프리세트 신호 P1 및 SOPB에 의해 동일한 방법으로 제어된다. 그리고 중분입력 I도 NAND 게이트 NAND6,

PM81 및 NM97을 거쳐 **SOPB** 및 CH17B에 의해 동일한 방법으로 제어된다. 이와같은 방법으로 카운터 PLC는 NAND4의 출력이 비작동되는 경우, 즉 P1=1 및 SOPB=1인 경우에는 제2값으로 프리세트 되고 NAND5의 출력이 비작동되는 경우, 즉 P1=0 및 SOPB=1인 경우에는 제1값으로 프리세트 된다. 카운터 PLC는 NAND6의 출력이 비작동될 때마다, 즉 SOPB=ψ 및 CH17B=1인 때마다 증분된다.

입력신호 CLIB는 다음과 같이 얻어진다(제9도). 모든 DPTC_ψ/31에 공통접속된 도선 CLB는 접지와 VCC사이에 직렬접속된 NM98과 저항 R_ψB의 접합점에 접속되고 이 접합점은 인버터 I92를 거쳐 상술한 입력단자 CLIB에 접속된다. NOR 게이트 NOR의 출력은 인버터 I93 및 I94를 거쳐 NM98의 게이트 전극에 직렬접속된다. NOR의 제1입력은 NAND 게이트 NAND7을 거쳐 FSM의 출력 Z_ψ 및 Z2(인버터 I95를 거쳐)에 의해 제어된다. NOR의 제2입력은 직렬 접속된 인버터 I96, I97과 통과트랜지스터 P70를 거쳐 FIFOAC의 출력신호 FFE8에 의해 제어되는데, 여기서 P70은 직접 혹은 인버터 I98을 통하여 NAND7의 출력에 의해 제어된다. 마지막으로, NOR의 제3입력은 플립플롭 FF1의 Q출력에 의해 제어되는데 그것의 입력에는 입력신호 SOPSCANB가 공급된다. 이와같은 방법으로 NOR의 출력은 작동되며 이에따라 트랜지스터 NM98은 MMI가

TCEB로 전송되었음을 의미하도록 동시에 $\overline{\text{FFF}B}$ =1인 경우, 즉 FIFOB가 비어있지 않을 경우에는 ; 동시에 $\overline{Q}=0$ 인 경우, 즉 SOPSCANB 신호가 수신되었을 경우에 : 동시에 ZψZ1Z2 즉 FSM이 상태 III에 있을 경우에 도통된다.

DPTCψ의 NM980이 도통될 때 도선 CLB는 접지되므로 입력단자 CLIB는 모든 DPTCψ/31에서 1상태이다.

따라서, 이들 DPTCψ/31은 어디엔가 상태 III인 DPTC가 있으며 MMI 데이터를 TCEB로 전송하길 원한다는 사실을 통보받는다.

마지막으로 CLBH도 역시 GC4의 출력신호 MTB 및 ESB에 의해 제어되는 플립플롭 FF2 및 FF3을 구비하며 각각 출력신호 MYTURNB와 EOPSCANB를 제공한다.

DPTCψ의 우선순위회로에 CLHB의 동작을 상세히, 설명하기 전에, 이 동작을 간략히 설명하기로 한다.

패킷길이 카운터가 P0B=1인 종료위치에 아직 도달하지 않았다고 가정한다.

기준 어드레스 B4의 처음부분 TIB3/ψ는 SOPSCANB명령에 의해서 모든 DPTCψ/31에 전송되어 기준 어드레스 BA=TIB31ψ, ψ를 형성하도록 완성된다.

이 어드레스는 래치회로 L과 포인터 회로 PNTB의 각 DPTC에 기억된다.

각 채널 시간 동안 각 DPTCψ/31에서 자체 식별부는 기준 어드레스 BA와 비교되고 그후 PNTB의 내용은 아무런 MMI 정보도 TCEB로 전송되지 않아야 한다면 1씩 증분된다.

DPTC에서 자체 식별부가 기준 어드레스 BA와 동일한 경우 우선순위 요구(C2B=1), 즉 TOUTB의 채널 16에서 MMI 정보의 전송에 대한 요구가 승인된다. 우선 순위요구를 갖는 DPTC에서 FSM은 상태 III으로 되는

반면, 다른 DPTC의 FSM은 상태 II로 된다. 만일 우선순위 요구를 갖는 DPTC에서 요구신호 $\overline{\text{FFF}B}$ =1인 경우에는 우선순위 승인신호 CLIB=1이 되며 그로 인하여 FSM은 상태 V로 가게 된다. 우선순위 요구를 갖는 DPTC에서 FSM은 상태 II로 건너가서 프로세서 CH16PR로 전송하도록 다음 프레임 (FRB=1)은 기드리며 리세트 신호 MYTURNB에 의하여 그 MMI 정보가 전송되어야 한다. 다른 DPTC에서는 FSM이 상태 VI로 진행되고 그후 우선순위를 가진 DPTC의 FSM과 함께 상태 II로 돌아온다.

상태 VI 및 V에서 PNTB는 더이상 증분되지 않으며 상태 II와 III을 제외한 다른 상태의 경우에도 그러하다. 이는 우선순위가 DPTC에 승인한후 그리고 그것이 MMI 정보를 전송하길 원한 후 다음 프레임까지 다시 PNTB를 스텝하여 새로운 우선순위를 승인하는 것을 기다린다는 것을 의미한다.

우선순위 승인이 무한정 계속되지 않게하기 위하여, 각 CLHB에서 MMI 정보의 마지막 전송이래로 모든 DPTC 최소한 우선순위를 가졌는가 검사되며 DPTC 중 어떠한 것도 모든 DPTC의 이러한 정보를 송출하지 않아야 하는 경우에는 FSM이 영상태로 가게된다. 이러한 모든 것은 DPTC가 우선순위를 갖고 MMI 정보를 전송하기 원할때(상태 V) 그리고 PNTB가 1씩 증분된후 래치회로 L 내용을 PNTB의 내용과 동일하게 만듦으로써 일어난다. 이 내용은 각 채널 시간동안 PNTB의 내용과 비교되며 비교가 성공적으로 행하여 질때 신호 C1B=1이 각 DPTC에 발생되어 FSM을 영상태로 되게한다.

이하 CLHB의 동작에 대하여 상세히 설명하기로 한다.

여기서는 CPTCψ에서 FIFOB가 $\overline{\text{FFF}B}$ =1로 나타낸 바와 같이 비어있지 않으며 모든 다른 DPTC1/31에서 $\overline{\text{FFF}B}$ =0라고 가정한다.

TINB에 대하여 여러 채널 연속 시간동안 다음의 상황이 발생한다고 가정한다.

1) 채널 16

이 채널 16동안 패킷 명령의 개시가 TCEB로 부터 수신되어 DCEB에서 해독되고 그 결과 그것의 출력 SOPB 가 작동된다.

2) 채널 17

이 채널의 시간 슬로트 동안 다음의 상황이 발생한다 :

TS₁B

-패킷 길이 카운터 PLC는 $\overline{P1}=1$ 또는 $P1=1$ 이냐에 따라서 상술한 바의 제 1 또는 제 2값으로 프리세트

-FRB=CH17B.TSψB=1 따라서 신호 CH17B는 다음 TSψB까지 래치되지만, 이제 FRB는 아무런 영향도 받지 않는다.

-SOPCB=SOPB.TSψ=1 ;

TS₂B

FSM은 SOPCB=1이기 때문에 상태 ψ에서 상태 I로 가게된다.

3) 채널 16

TINB의 다음 채널 16동안 입력명령 SOPSCANB가 수신되어 DECB에서 해독된다.

그 결과 DECB의 출력 50PSCANB가 작동되고 이 명령에 포함된 상술한 기준 어드레스 BA의 일부를 정의하

는 비트 T1B3/ψ가 동일 명칭의 멀티플렉서 MUX5의 입력에 인가된다.(제18도)

4) 채널 17

이 채널의 시간 슬로트 동안 다음 상황에 발생한다.

TS₄B

-PLC는 1씩 증분된다 :

-SSB=SOPSCANB.TSψB=1 :

-FRB=CH17B.TSψS=1 :

따라서 신호 SSB와 FRB는 다음 TSψB의 발생할때까지 존재한다.

-WPNTB=SOPSCANB.TSψB=1

W0BB=WPNTB+RPNTB=1

W0BB와 WPNTB에 의해서 MUX5에 인가된 완전한 기준 어드레스 BA=T1B3/ψ, ψ는 래치회로와 포인터 PNTB DP 써널어 진다.

TS₁B

SSB=1이기 때문에 LSTRB=TS1B.SSB+TS5B.(11+111)=10이다.

이 신호에 의하여 DPTCψ 식별부 Sψ4/ψ는 MUX5의 출력 CLB4/ψ에 공급되고 그로부터 비교기 C0의 한 입력에 공급된다.

이 식별부는 포인터 PNTB에 기억되어 C0의 다른 입력에 인가되는 기준 이드레스 BA와 일치한다고 가정한다.

이는 DPTCψ가 MMI 정보를 T1NB 채널 16의 TCEB로 전송할 수 있도록 우선순위를 갖는다는 것을 의미한다.

이 경우에 출력 C0가 작동되어 인버터 I9ψ, I91의 출력 C2B에 출력신호 C2B=1이 발생된다(제19도)

TS₂B

C2B=1이고 SSB=1이며 PLC 카운터가 아직 종료위치에 도달하지 않았으므로 POB=1이라고 가정함으로 인하여, FSM은 상태 111으로 가게된다. FFFB=10이기 때문에, 트랜지스터 NM98은 도통되므로 접지가 공통회선 CLB에 인가된다. 그결과 모든 DPTCψ31에서 입력 CLIB=1이므로 이것은 우선 순위를 갖고 있으며 T1NB 채널의 TCEB로 MMI 데이터를 전송하길 원하는 DPTC가 있음을 알려준다.

TS₃B

FSM이 상태 111에 있기 때문에 IPNTB=TS3B.

(11+111)=10이다. 이 신호에 의하여 PNTB의 내용은 1씩 증분되므로 이제 어드레스 BA+1이 그 내부에 기억된다.

TS₄B

FSM이 상태 111에 있기 때문에, ROBB=TS4B(11+111)=10이다.

이 신호에 의하여 L에 기억된 기준 어드레스 B4는 PNTB에 기억된 어드레스 BA+1과 비교된다. 그 결과 비교기의 출력 C0은 ψ가 되고 출력 C2B의 경우에도 그려하다. 또한 출력 C1B는 ψ상태에 머무른다.

TS₅B

FSM이 상태 111에 있기 때문에 LSTRB=TS1B.

SSB+TS5B.(11+111)=10이다. 이 신호에 의하여 DPTCψ의 식별부는 PNTB에 기억된 어드레스 BA+1과 비교된다. 이 DPTC 식별부는 BA와 일치하기 때문에 비교기의 출력 C0는 ψ가 된다.

5) 채널 18

이 채널의 TS2B 동안 C1B=1이고 CLIB=1이기 때문에 FSM은 상태 V로 가게 되며 FRB=1인 한에는, 즉 다음 채널 17까지 이 상태를 유지한다.

6) 채널 19, 20, ……, 31, ψ, ……, 19

이 채널들의 TS1B동안 FSM이 상태 V에 있기때문에 RPNTB=TS1B. SSB (V1+V)=1이 되고 W0BB=PRNTB+WPNTB=1이 된다.

그 결과 포인터 PNTB에 기억된 어드레스 BA+1은 매번 PNTB로 부터 읽혀져서 L에 써널어지므로 이때 후자는 BA+1을 기억한다.

7) 채널 17

TS_ψB : **SSB**=1이고 FRB=1이다 :

TS1B=FSM 이 상태 V에 있기 때문에 RPNTB=TS1B.SSB(V1+V)=1이고 WOBB=RPNTB+ WPNTB =1 또한 BA+1 RNTB에 써 넣어진다.

TS2B : FSM은 FRB=1이기 때문에 상태 II로 가게 되며 그 조건하에서 **POB**=1이고 출력신호 MTB=1이 발생된다.

그 결과 플립플롭 FF2는 Q출력 MUTURNB가 작동되는 조건으로 트리거 된다.

TS3B : FSM이 상태 II에 있기 때문에 IPNTB=TS3B.(II+III)=1이다.

따라서 포인터 PNTB는 1씩 증분되므로 그것의 내용은 BA+2와 일치하게 된다.

TS4B : ROBB=RS4. (II+III)

이 신호에 의하여 L에 기억된 어드레스 BA+1은 PNTB에 기억된 어드레스 BA+2와 비교되며 이 어드레스가 다르기 때문에 비교기의 출력 C0는 ψ가 되고 C1B의 경우에도 그렇게 된다.

TS5B : FSM이 상태 II에 있기 때문에 LSTRB=TS1B. SSS+TS5B. (II+III)=1이다. 그 결과 DPTCψ의 식별부는 BA+2와 비교되며 이 어드레스들이 다르기 때문에 출력신호 C2B=ψ이다.

8) 채널 18

TS2B : 모든 다른 DPTC1/31에서 **FFFFB**=ψ이므로 **CLIB**=1이라고 가정했던바와 같이 CLIB=ψ이고 또 **CIB=C2B**=1이기 때문에 FSM은 상태 II를 유지한다.

TS3B : IPNTB+TS3(II+III)=1이므로 그때 PNTB에 기억된 어드레스는 BA+3과 일치되게 하기 위하여 1씩 증분된다.

TS4B : FSM이 상태 II에 있기 때문에 ROBB=TS4B.(II+III)=1이며 CIB는 ψ상태에 머무른다.

TS5B : FSM이 상태 II에 있기 때문에 LSTRB=TS1B.SSB+TS5B. (II+III)=1이다. 따라서 DPTCψ의 식별부는 BA+3과 비교되므로 C2B=ψ가 된다.

9) 채널 19, 20,채널 15

이들 각 채널의 시간 슬롯 동안에는 다음의 상황이 발생한다 :

TS2B : FSM은 상태 II를 유지한다.

TS3B : IPNTB=TS3B.(II+III)=1이므로 그때 PNTB에 기억된 어드레스는 BA+32=13A가 될때까지 BA+4, BA+5, 등과 일치하게 된다.

TS4B : ROBB=TS4B.(II+III)=1이며 그결과 C1B=ψ가 된다.

TS5B : LSTRB=TS1B.SSB+TS5B. (II+III)=1 따라서 DPTCψ의 식별부는 BA+4, BA+5, , BA와 비교되므로 C2B=ψ, , C2B=1이 된다.

10) 채널 16

TS2B : C2B=**C1B=CLIB**=1이기 때문에 FSM은 상태 III으로 가게 된다.

TS3B : IPNTB=TS3B.(II+III)=1이며 그로 인하여 PNTB에 기억된 어드레스는 BA+1과 일치되게 하기 위하여 증분된다.

TS4B : ROBB=TS4B.(II+III)=1이며 그 결과 L과 PNTB의 내용이 비교된다.

양자가 BA+1과 일치하기 때문에 출력 C1B=1이 된다.

TS5B : LSTRB=TS1B.SS1B+TW5B(II+III)=1이 된다.

그 결과 C2B=ψ가 된다.

11) 채널 17

TS2B : C1B=**CLIB**=1이기 때문에 FSM은 상태 II에서 ψ로 가게 되고 신호 EOPSCANB 또는 ESB는 DPTCψ가 전송될 MMI 정보를 가지고 있지 않음을 CH16PR에 알리도록 발생된다.

위에서 고려한 채널 동안 다른 DPTC 예컨대 DPTC1의 CLBH의 동작은 차후에 설명하기로 한다.

1) 채널 16 : DPTCψ와 동일한 동작 :

2) 채널 17 : DPTCψ와 동일한 동작 :

3) 채널 16 : DPTCψ와 동일한 동작 :

4) 채널 17 :

TS1B : DPTC1의 식별부는 BA와 비교되며 그 결과 C2B=ψ가 된다.

TS2B : FSM은 상태 II로 가게 된다.

TS3B : PNTB에 기억된 BA+1.

TS4B : 이제 DPTC10I 우선순위를 갖는다는 것을 나타내는 C2B=1.

5) 채널 18

TS2B : $\overline{\text{C1B}}=\text{CLIB}=10$ 이기 때문에 FSM은 상태 VI로 가게되며, CLIB는 DPTC ψ 가 접지를 CLB에 인가함으로 인하여 10이 된다.

6) 채널 19, 20, ……, ψ , 0, 00, 16

PNTB에 기억된 어드레스 BA+1은 매번 L에 써넣어지므로 L과 PNTB 양자가 BA+1을 기억한다.

7) 채널 17

TS ψ B : $\overline{\text{SSB}}=1$ 및 FRB=1 ;

TS1B : BA+10I PNTB에 써넣어진다.

TS2B : C2B= $\overline{\text{C1B}}=\overline{\text{CLIB}}=10$ 이기 때문에 FSM은 상태 II로 가게된다.

TS3B : PNTB는 1씩 증분되므로 BA+2를 기억한다.

TS4B : C1B= ψ

TS5B=C2B= ψ

8) 채널 18

TS2B : C1B= $\overline{\text{CLIB}}=10$ 이고 DPTC ψ /31 중 어떠한 것도 전송될 MMI 데이터를 가지고 있지 않으므로 $\overline{\text{CLIB}}=1$ 이기 때문에 FSM은 상태 II로 가게된다.

TS3B : BA+3은 PNTB에 기억된다.

TS4B : C1B= ψ

TS5B : C2B= ψ

9) 채널 19, 20, ……, 16

TS2B : $\overline{\text{C2B}}=\overline{\text{C1B}}=\overline{\text{CLIB}}=10$ 이기 때문에 FSM은 상태 II를 유지한다.

TS3B : PNTB의 내용은 BA+4, BA+5, ……, BA=1과 일치하게 된다.

TS4B : L의 내용 BA+1과 PNTB의 BA+4, ……, BA+10I 비교되므로 C1B= ψ , ……, C1B=10I 된다.

10) 채널 16

TS2B : C1B= $\overline{\text{CLIB}}=10$ 이기 때문에 FSM은 상태 ψ 로 가게된다.

패킷길이 카운터 PLC는 각 CH17B의 발생시에 스텝되고 이 카운터가 최대값에 도달했을때 그것의 출력 POB가 작동된다는 것에 유의하여야 한다.

이러한 경우에, FSM은 다음조건에서 한 채널의 시간 슬로트 TS2동안 상태 VI로 가게 된다.

- 상태 II와 III의 경우 : C1B, CLIB, POB=1 즉 모든 DPTC들이 주사되었을때(C1B=1)와 MMI 데이터를 송출 하길 원하는 최소한 하나의 DPTC가 남아있을때 (CLIB=1). 상태 III의 경우 MUTUTNB 신호가 CH16PR에 공급되며,

-상태 VI와 V의 경우에 FRP, POB=1 즉 FRB=1일때 상태 V의 경우 MYTURNB 신호가 CH16PR에 인가된다.

마지막으로, FSM은 신호 FRB가 작동될 때 상태 VI로 부터 휴지 상태로 가게되며, 그 경우에 신호 EOPSCANB(ESB로 간단히 표시됨)가 발생된다.

이 신호는 또한 FSM이 상태 II 또는 상태 III으로부터 상태 ψ 로 진행 될때에도 발생된다.

상태도와 관련하여, 그것의 상태 III에서 C2B= ψ 이므로 FSM을 상태 III으로 변화시키기 위하여 이 조건이 검사되지 않았음을 유의하길 바란다.

지금까지 본 발명의 원리를 특정의 장치와 관련하여 설명해 왔지만, 이러한 설명은 예시하기 위한 것일 뿐 본 발명의 범위를 제한하려는 것이 아님을 명백히 이해해야 한다.

(57) 청구의 범위

청구항 1

스위칭 회로망과 결합된 프로세서 제어 인터페이스 회로와 시분할 다중 전송링크를 통하여 공통 제어회로를 가진 복수의 터미널 회로를 구비하여, 상기 제어회로가 상기 터미널 회로를 제어하여 상기 터미널

회로와 상기 인터페이스 회로 사이에서 제어 데이터를 교환하도록 되어 있는 원격통신 스위칭 시스템에 있어서, 상기 공통 제어회로(DPTC ψ /31)가 상기 터미널 회로로 부터 수집된 제어 데이터를 처리하는 제1수단(EXOR)과, 그 처리된 데이터(MMI)를 상기 시분할 다중 전송 링크(TOUTA/B)상의 상기 인터페이스 회로(TCEA/B)에 전송하는 제2수단(CH16PR)을 구비하고 있을 것을 특징으로 하는 원격통신 스위칭 시스템.

청구항 2

제1항에 있어서, 상기 제어 데이터가 상기 터미널 회로의 조건에 관계되는 것을 특징으로 하는 원격통신 스위칭 시스템.

청구항 3

제1항에 있어서, 상기 제2수단(CH16PR)이 미리 정해진 시간 채널동안 상기 처리된 데이터를 상기 시분할 다중전송 링크(TOUTB)상에 전송하도록 되어 있는 것을 특징으로 하는 원격통신 스위칭 시스템.

청구항 4

제2항에 있어서, 상기 제2수단(CH16PR)이 상기 터미널 회로에 관련된 상기 제어 데이터를 상기 미리 정해진 간격동안 상기 시분할 다중 전송링크(TOUTB)상의 인터페이스 회로(TCEA/B)에 연속적으로 전송하도록 되어있는 것을 특징으로하는 원격통신 스위칭 시스템.

청구항 5

제2항에 있어서, 상기 제1수단(EXOR)이 상기 터미널 회로의 조건의 변화를 검출함으로써 이러한 조건에 관계되는 상기 데이터를 처리하도록 되었으며, 상기 제2수단(CH16PR)이 조건의 변화가 검출되지만 하면 각 조건을 상기 인터페이스 회로(TCEA/B)에 전송하게 되어 있는 것을 특징으로 하는 원격통신 스위칭 시스템.

청구항 6

제5항에 있어서, -상기 각 터미널 회로에 대하여 상기 터미널 회로의 여러가지 특징의 현재 조건을 포함한 제1데이터 워어드를 기억하기 위한 제1레지스터(OLDCNPISO)와 : -상기 각 터미널 회로에 대하여 상기 터미널 회로의 상기 특징의 이전의 조건을 포함한 제2데이터 워어드를 기억하기 위한 제2레지스터(CINSIPO)와 : -상기 터미널 회로의 상기 특징의 변화된 조작을 검출하도록 상기 제1데이터 워어드 및 제2데이터 워어드 대응 조건들을 비교하기 위한 수단(EXOR)과 : -각 특징에 대하여 이 특징의 현재 조건뿐만 아니라 상기 터미널 회로의 특별부를 포함한 불일치 워어드 제3레지스터(LCC)에 기억하기 위한 수단과 : -상기 현재 조건이 이전의 조건과 다른 경우에만 제4레지스터(FIFOA/B)에 상기 불일치 워어드를 기억하기 위한 수단을 구비하고 있으며, 상기 제2수단(CH16PR)이 상기 제4레지스터(FIFO A/B)의 내용을 상기 인터페이스 회로에 전송하도록 되어 있는 것을 특징으로 하는 원격통신 스위칭 시스템.

청구항 7

제6항에 있어서, 상기 제어회로가 최소한 두 개의 프로세서 제어 인터페이스 회로(TCEA/B)에 결합되고 상기 각 인터페이스 회로(TCEA/B)에 관련되는 최소한 두개의 상기 제4레지스터(FIFO A/B)를 구비하며, 상기 제1수단은 상기 터미널 회로가 각각 상기 인터페이스 회로에 할당되지 않았는가 또는 상기 인터페이스 회로중 하나에 할당되었는가의 여부에 따라 상기 제4레지스터의 양자 또는 하나에 상기 불일치 워어드를 기억하도록 되어있는 것을 특징으로 하는 원격통신 스위칭 시스템.

청구항 8

제7항에 있어서, 상기 터미널 회로가 상태비트(ACT, ASS)에 의하여 상기 터미널 회로의 양자 또는 하나에 할당되지 않거나 할당되는 것을 특징으로 하는 원격통신 스위칭 시스템.

청구항 9

한편으로는 시분할 다중전송 제1입력 및 출력링크와 프로세서 제어 인터페이스 회로를 거쳐 스위칭 회로망과 결합되고 다른 한편으로는 시분할 다중전송 제2 입력 및 출력링크를 거쳐 상기 터미널 회로의 개별부분에 결합되는 공통제어 회로를 가진 복수의 터미널 회로를 구비하며, 상기 제1 및 제2 입력 및 출력링크가 각각 복수의 제1 및 제2 입력 및 출력시간 채널을 가지고 있는 원격통신 스위칭 시스템에 있어서, 상기 공통 제어회로(DPTC ψ)에서 복수의 제2출력시간 채널이 상기 각 터미널 회로에 영구적으로 할당되고, 상기 공통 제어회로(DPT ψ)가 또한 이전에 터미널 회로(TL ψ)에 할당되었던 제1입력시간 채널(CH31)에 할당하기 위한 채널 할당수단(CHAC, FFS)을 구비하며, 상기 복수의 시간채널(CH ψ , CH16)중 제2출력시간(CH16)이 시간을 고려할때 상기 제1입력시간 채널(CH31)을 가장 근접하게 따르는 상기 터미널 회로(TL ψ)에 영구적으로 할당되는 것을 특징으로하는 원격통신 스위칭 시스템.

청구항 10

제9항에 있어서, 상기 제2출력시간 채널이 m개의 연속채널의 p개의 연속군(ψ -15, 6-31)로 세분되고, 각군(ψ -15, 16-31)의 개의 연속 채널이 터미널 회로(TL ψ /15)를 구별하도록 동일한 순서로 할당 되는 것을 특징으로하는 원격통신 스위칭 시스템.

청구항 11

제9항에 있어서, 상기 공통 제어회로(DPTC ψ)가 상기 제1출력시간 채널(LOUT ψ)과 시간이 일치하는 제2 입력시간채널(LIN ψ) 뿐만아니라 상기 복수의 터미널 회로에 일치한 다수의 시간 채널에 해당하는 상기

제1입력시간 채널(TINB)로 부터 시간 지연된 제1출력 시간채널(TOUTB)을 상기 터미날 회로에 할당하는 것을 특징으로하는 원격통신 스위칭 시스템.

청구항 12

제9항에 있어서, 상기 채널 할당수단(CHAC, FFS)이 상기 터미날회로(TL ψ)에 이전에 할당된 상기 제1입력 시간채널(CH31)과 시간이 일치한 제2출력시간 채널(CH1)을 결정하기 위한 제1수단과, 이 일치한 제2출력시간 채널(CH1)을 가장 근접하게 따르는 상기 제2출력시간 채널(CH ψ , CH16)중 하나를 결정하기 위한 제2수단을 구비한 것을 특징으로하는 원격통신 스위칭 시스템.

청구항 13

제12항에 있어서, 상기 공통 제어회로가 각각 상기 제1입력시간 채널(TINB)의 수와 상기 제2출력시간 채널(LOUT ψ)의 수를 계산하기 위한 제1(AMC, BMC) 및 제2 (DMC) 카운터를 구비하며, 상기 제1수단이 상기 일치한 제2출력시간 채널(CH1)을 얻기 위하여 상기 제1 및 제2 카운터에 의해 표시된 채널 번호들 사이의 차이(L-B)를 계산하는 제3수단과, 상기 터미날 회로(TL ψ)에 이전에 할당된 상기 제1입력시간 채널(CH31)의 수와 상기 차이(L-B)의 대수합을 계산하는 제4수단(FFS)을 구비하고 있는 것을 특징으로하는 원격통신 스위칭 시스템.

청구항 14

제10항 또는 12항에 있어서, 상기 제2수단이 상기 일치한 제2출력시간 채널을 가장 근접하게 따르며 상기 터미날 회로에 할당된 p개의 제2출력 시간중 제2출력시간 채널을 선택하도록 되어있는 원격통신 스위칭 시스템.

청구항 15

제14항에 있어서, m(16)개의 터미날 회로 각각이 추가 최상위 비트 ψ 및 1에 의해 상기 터미날 회로의 식별부의 형태와 다른 식별부를 갖는 두 개($p=2$)의 제2출력시간에 할당되며, 상기 제2수단이 상기 일치한 제2출력시간 채널과 상기 터미날 회로의 식별부와의 차이를 계산하여 차이가 각각 m보다 크냐 혹은 작은냐에 따라서 최상위 비트가 ψ 또는 1인 이 회로에 할당된 제2출력시간 채널번호를 선택하도록 되어있는 원격통신 스위칭 시스템.

청구항 16

제11항 또는 15항에 있어서, 상기 시간 지연이 18채널 시간에 해당하는 것을 특징으로 하는 원격통신 스위칭 시스템.

청구항 17

제9항에 있어서, 상기 공통 제어회로(DPTC ψ)가 각각 이와같이 할당된 제1입력 및 제2출력시간 채널의 식별부와 상기 시간 채널들에 할당된 데이터를 기억하기 위한 제1(CAM) 및 제2 (DMEM) 메모리 수단을 구비한 것을 특징으로하는 원격통신 스위칭 시스템.

청구항 18

제17항에 있어서, 상기 제1(CAM) 및 제2(DMEM) 메모리 수단이 각각 추가 최상위 비트 ψ 또는 1에 의해 상기 터미날 회로(TL ψ)의 식별부와 다른 식별부를 가진 두 개의 제2출력시간 채널(CH ψ , CH16)에 할당되는 상기 복수의 터미날 회로(TL ψ)중 하나를 구별하도록 할당되는 다수행의 기억셀과, 상기 터미날 회로(TL ψ)에 관련된 1행의 상기 제1메모리 수단(CAM)에 상기 제1입력시간 채널(CH31)과 상기 제2출력시간 채널(CH1 ψ , CH16)의 추가 최상위 비트(MSBL)를 기억하기 위한 수단과, 상기 제1 및 제2 메모리 수단에 관련되며 상기 제1입력시간 채널(CH31)의 식별부 또는 1행위 상기 제1메모리 수단(CAM)에 기억된 상기 제2출력시간 채널(CH ψ , CH16)의 식별부에 응답하여 대응행의 상기 제2메모리수단(DMEM)의 리아드-라이트 입력을 작동시키는 수단을 갖추고 있는 것을 특징으로 하는 원격통신 스위칭 시스템.

청구항 19

제18항에 있어서, 상기 제1메모리 수단(CAM)의 각셀들이 이 셀에 기억된 비트를 제1입력채널(CH31)의 식별부의 대응 비트 또는 제2출력 시간채널의 식별부의 최상위 비트를 비교하여 이 비교된 양비트들이 일치할때 작동신호를 발송하기 위한 비교회로에 관련되는 것을 특징으로 하는 원격통신 스위칭 시스템.

청구항 20

제19항에 있어서, 상기 각행의 제1메모리 수단(CAM)이 상기 최상위 비트(MSBL)를 기억하는 것을 제외하고 상기 셀에 관련된 비교회로에 의해 제어되는 입력을 가지며 또한 대응행의 상기 제2메모리 수단(DMEM)의 리아드/라이트 입력(T ψ , U ψ)를 제어하는 출력을 가지는 제1게이팅 회로에 결합되는 것을 특징으로 하는 원격통신 스위칭 시스템.

청구항 21

제19항에 있어서, 상기 각행의 상기 제1메모리 수단(CAM)이 상기 제2출력채널(CHC4/ ψ)의 식별부의 최상위 비트(CHC4)를 제외한 비트들(CHC ψ /3) 및 상기 최상위 비트를 기억하는 셀에 관련된 비교회로에 의해 제어되는 입력을 가지며 대응행의 제2메모리수단(DMEM)의 리아드/라이트입력(T ψ , TU)를 제어하는 출력을 가지는 제2게이팅회로에 결합되는 것을 특징으로 하는 원격통신 스위칭 시스템.

청구항 22

제19항에 있어서, 상기 셀(C156)이 플립플롭(PM1ψ, PM11, NM1ψ, NM11)에 의해 구성되며 상기 비교회로가 상기 플립플롭의 출력(Q, \bar{Q})에 의해 역으로 제어되는 두 개의 통과 트랜지스터(PT1ψ, PT11)를 구비하며, 상기 통과 트랜지스터(PT16, PT11)가 상기 식별부의 한 비트(CHC4)와 그의 보수(CHC4)에 의해 제어되는 데이터 입력과 상기 비교회로의 출력(0156)을 구성하는 공통출력을 가지는 것을 특징으로 하느 원격통신 스위칭 시스템.

청구항 23

제9항에 있어서, 상기 공통 제어회로(DPTCψ)가 상기 시분할 다중 전송 제1입력(TINA/B) 및 출력(TOUTA/B)링크를 거쳐 복수의 상기 인터페이스 회로의 각각에 결합되며, 상기 인터페이스 회로는 상기 스위칭 회로망(SNW)에 결합되는 것을 특징으로 하는 원격통신 스위칭 시스템.

청구항 24

공통 설비에 대한 액세스를 행하는 것으로, 상기 공통설비를 액세스하기 위하여 미리 정해진 순서로 유우저 회로에 우선순위를 부여하도록 되어있는 복수의 유우저 회로용 우선순위 배열에 있어서, 상기 유우저회로(DPTCψ31)의 각각에 관련되며 복수의 시간채널을 갖는 시분할 다중전송 링크(CLB)에 의해 상호 결합되는 복수의 우선순위 회로(CLHB)를 구비하여, 상기 각 우선순위 회로가 상기 각 시간채널동안 그것의 관련 유우저 회로에 우선 순위를 부여하고 상기 한 시간 채널동안 우선순위 승인(부여) 신호(CLIB)를 상기 링크상에 인가함으로써 이 사실을 다른 우선순위 회로에 알리도록 되어 있는 것을 특징으로 하는 우선순위 배열.

청구항 25

제24항에 있어서, 상기 각 유우저회로(DPTCψ)는 상기 공통설비(CH16PR, TOUTB)에 대한 액세스를 요구하기 위하여 요구신호(~~FFEB~~=1)를 관련 우선순위회로(CLHB)에 발송하는 수단(FIFOBC)을 구비하며, 상기 각 우선순위 회로는 상기 각 시간채널동안 관련 유우저회로가 상기 공통 설비에 대한 액세스를 요구하는 다른 유우저 회로보다 앞선 우선 순위를 요구하였다는 사실을 나타내는 우선순위 요구신호(C2B=1)를 발송하는 수단(NAND7)을 구비하며 아울러 상기 요구신호(FFFB=1)과 상기 우선순위 요구신호(C2B=1)에 응답하여 상기 우선 순위승인신호(CLIB)를 발송하는 수단(NM98)을 구비하는 것을 특징으로하는 우선순위 배열.

청구항 26

제25항에 있어서, 상기 각 우선순위 회로가 또한 상기 우선순위(LIB)를 발송한 후 액세스 신호(MIB)를 관련 유우저회로(DPTCψ)에 발송하기 위한 수단(FF2)을 구비하는 것을 특징으로 하는 우선순위 배열.

청구항 27

제26항에 있어서, 상기 각 우선순위 회로(CLHB)가 상기 우선순위 요구신호(C2B=1)에 의해 제1상태(I)로부터 제2상태(II)로 가게되고 상기 우선순위 승인신호(CLIB)에 의해 상기 제2상태(II)로부터 제3상태(V)로 가게되며 그후 상기 액세스 신호(MTB)를 발생함으로써 상기 제3상태(V)로부터 제4상태(II)로 가게되는 유한상태머신(FSM)을 구비하는 것을 특징으로 하는 우선순위 배열.

청구항 28

제27항에 있어서, 상기 각 우선순위 회로에서 상기 유한 상태머신(FSM)이 우선순위 요구신호(C2B=1)를 발송하지 않는 경우에 이 머신이 상기 제1상태(I)로부터 상기 제4상태(II)로 건너뛴 다음 제5상태(VI)로 가고 그후 상기 우선순위 요구신호(C2B=1)를 발송한 유한 상태머신과 동시에 상기 제4상태(II)로 다시 돌아가며, 상기 우선순위 승인신호(CLLB)와 상기 액세스 신호(MTB)가 제1상태(I)로부터 상기 제2상태(II) 건너뛴 다음 상기 제3상태(V)로 가게되고 그후 상기 제 4상태(II)로 가게되는 것을 특징으로 하는 우선순위 배열.

청구항 29

제28항에 있어서, 상기 각 우선순위 회로(CLHB)가 포인터(PNTB)와, 우선순위 동작을 개시할 때 상기 포인터에서 미리 정해진 값을 기억하는 수단과, 상기 유한 상태머신(FSM)이 상기 제2(II) 또는 제3(II)상태에 있을 때 각 시간채널 동안 상기 포인터의 값을 증분하는 수단을 구비하는 것을 특징으로 하는 우선순위 배열.

청구항 30

제29항에 있어서, 상기 각 우선순위 회로가 각 시간 채널동안 관련 유유저 회로의 식별부를 증분에 앞서 상기 포인터(PNTB)의 값과 비교하여 이 비교가 성공적일때 상기 우선순위 요구신호(C2B=1)를 발송하는 수단을 구비하고 있는 것을 특징으로 하는 우선순위 배열.

청구항 31

제29항에 있어서, 상기 각 우선순위 회로가 상기 미리 정해진 값을 레지스터회로(L)에 기억하는 수단과, 증분이 이루어진후, 상기 유한상태 머신(FSM)이 상기 제3(V) 또는 제5(VI)상태에 있을 때 상기 포인터(PNTB)의 값을 상기 레지스터회로(L)에 기억하기 위한 수단과, 각시간 채널동안 상기 포인터(PNTB)와 상기 레지스터(L)에 기억된 값을 비교하여 이 비교가 성공적일때 리세트신호(C1B=1)를 발송하기 위한 수단을 구비하는데, 상기 리세트 신호는 상기 유한상태 머신으로 하여금 휴지상태(ψ)로 건너뛰게 하고 그로 인하여 관련 유우저 회로에 알리도록 종료신호(ESB)를 발생하는 것을 특징으로 하는

우선순위 배열.

청구항 32

제31항에 있어서, 상기 유한 상태머신(FSM)이 상기 미리 정해진값이 상기 포인터(PNTB)와 상기 레지스터 회로(L)에 기억될때 상기 휴지 상태로부터 상기 제1상태(I)로 가게되는 것을 특징으로 하는 우선순위 배열.

청구항 33

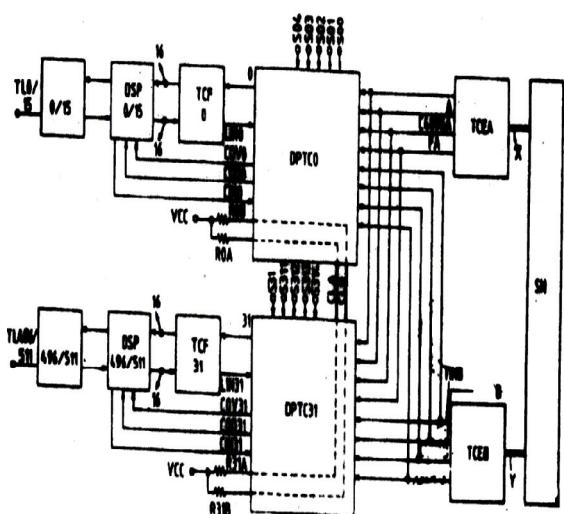
제24항에 있어서, 상기 공통 설비가 상기 유우저 회로를 구성하는 복수의 제어회로를 원격 통신 스위칭 회로망(SNW)에 결합된 인터페이스회로(TCEA/B)와 상호 결합시키는 제2시분할 다중전송링크(TOUTB)에 의해 구성되며 상기 제어회로가 각각 복수의 원격통신 터미널 회로에 공통 접속되는 것을 특징으로 하는 우선 순위 배열.

청구항 34

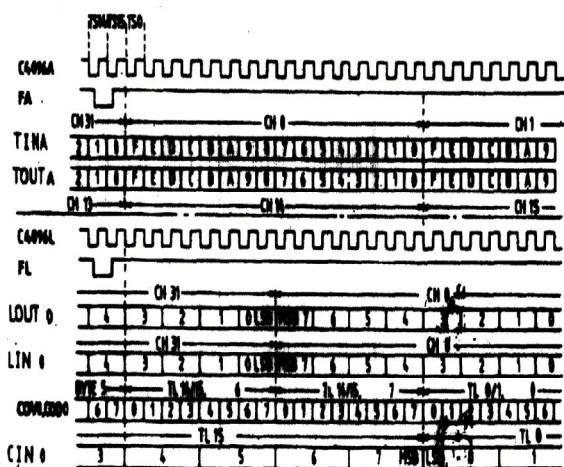
제33항에 있어서, 상기 제2시분할 다중전송 링크(TOUTB)가 상기 제1시분할 다중전송 링크(CLB)의 시간 채널과 일치하는 복수의 시간 채널을 가지고 있는 것을 특징으로 하는 우선순위 배열.

도연

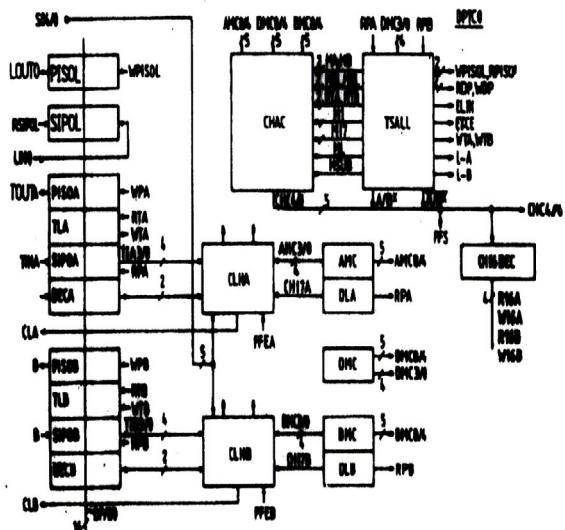
도면1



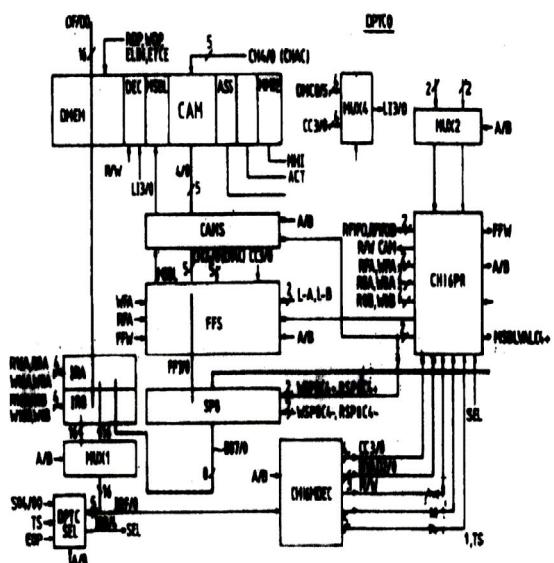
도면2



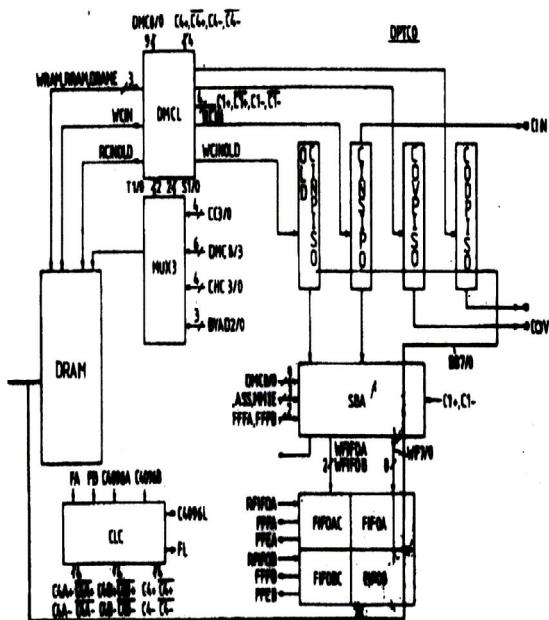
도면3



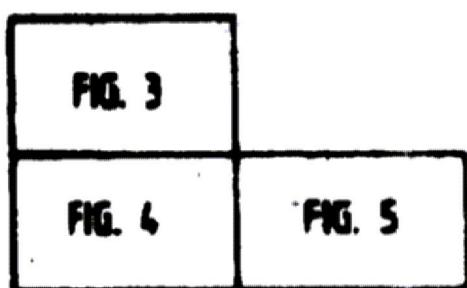
도면4



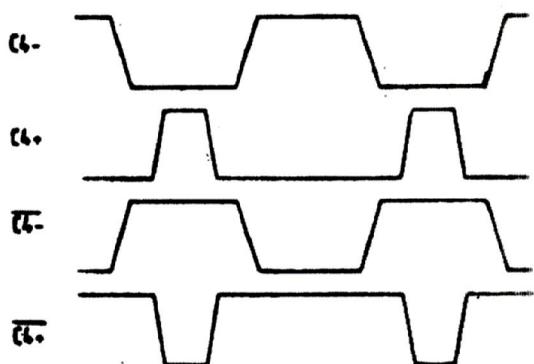
도면5



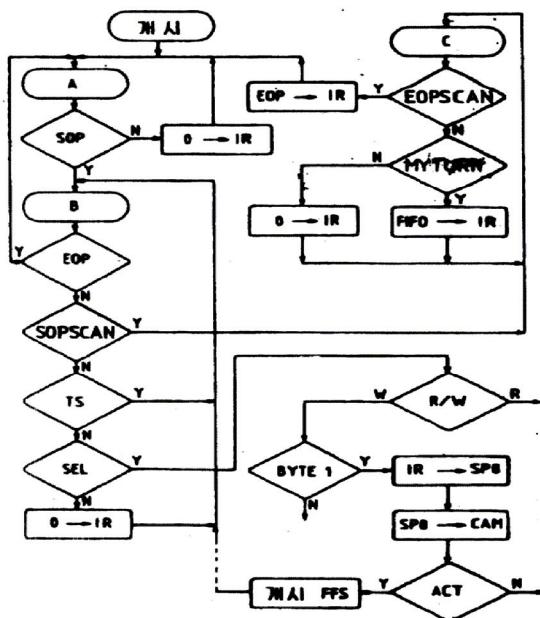
도면6



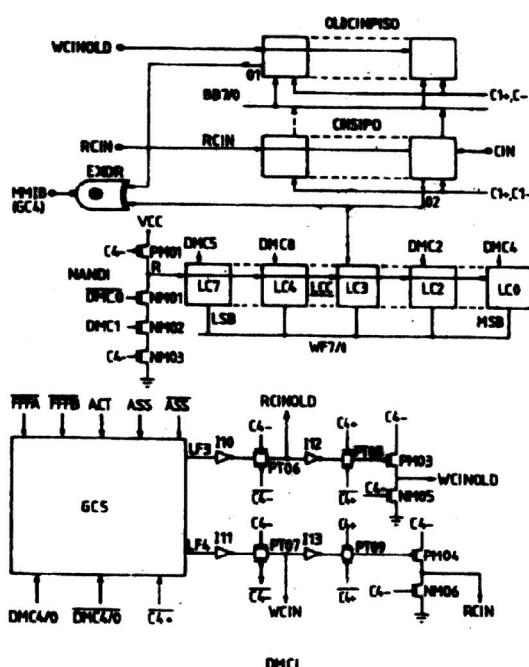
도면7



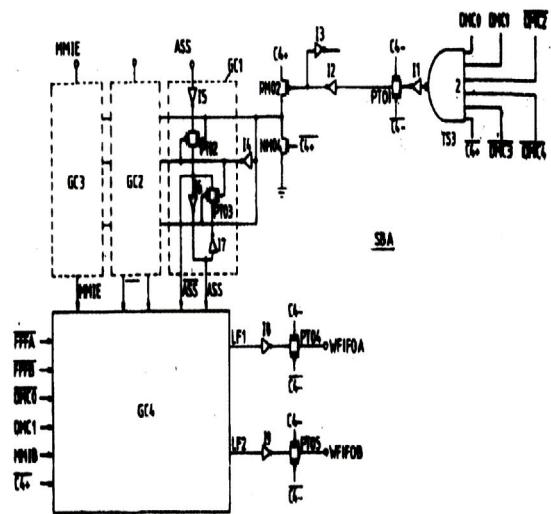
도면8



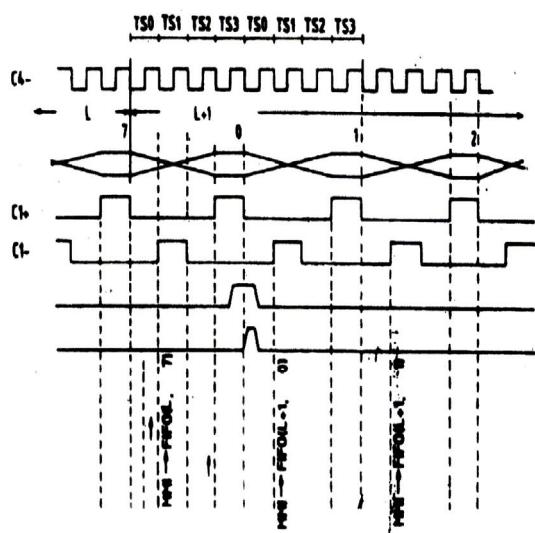
도면9



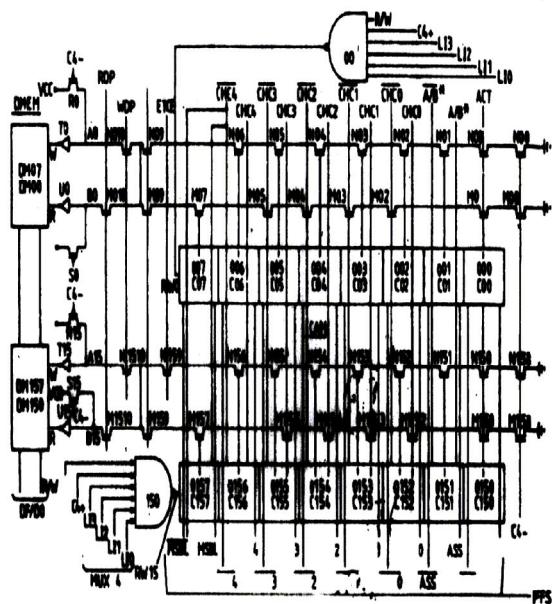
도면 10



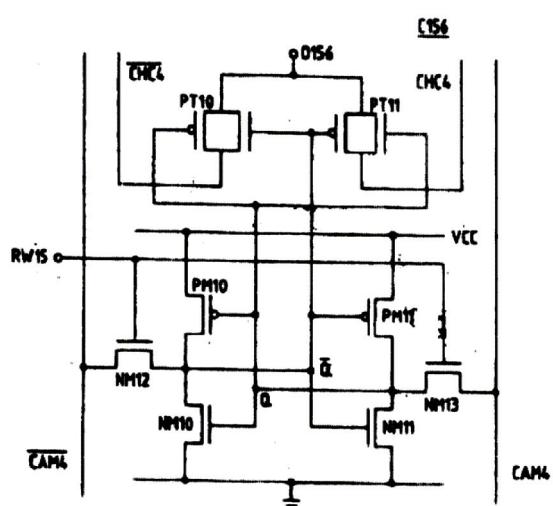
도면11



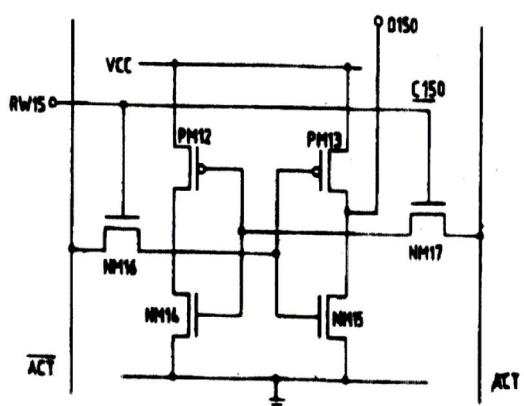
도면 12



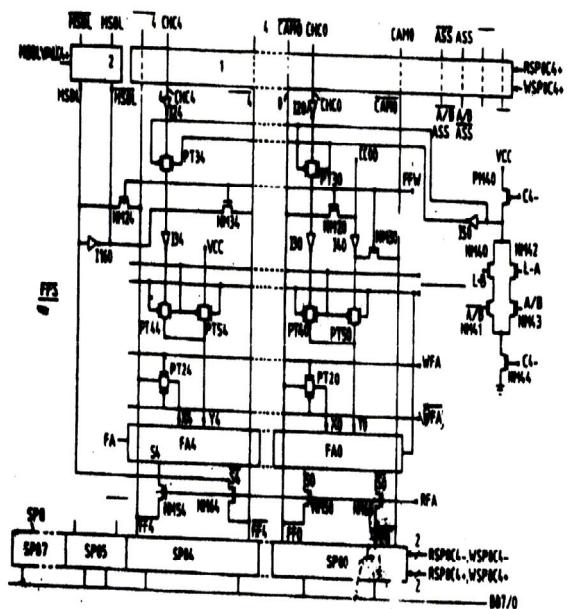
도면 13



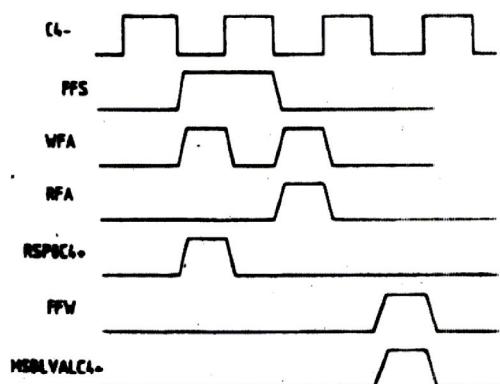
도면 14



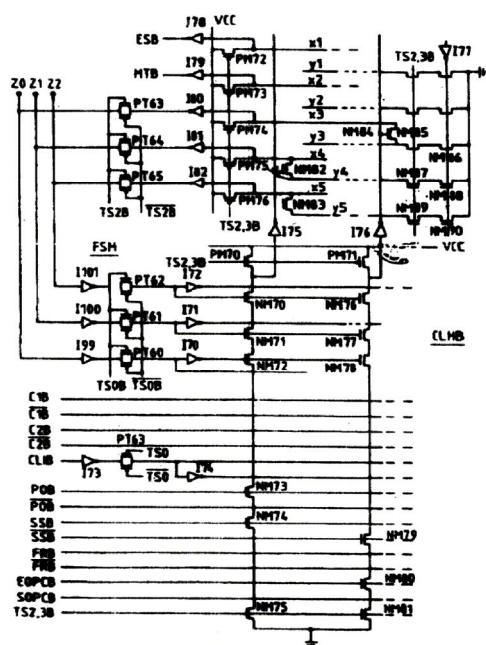
도면 15



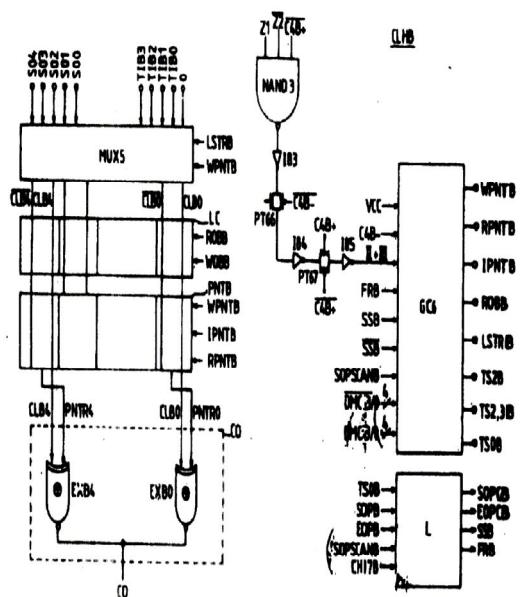
도면 16



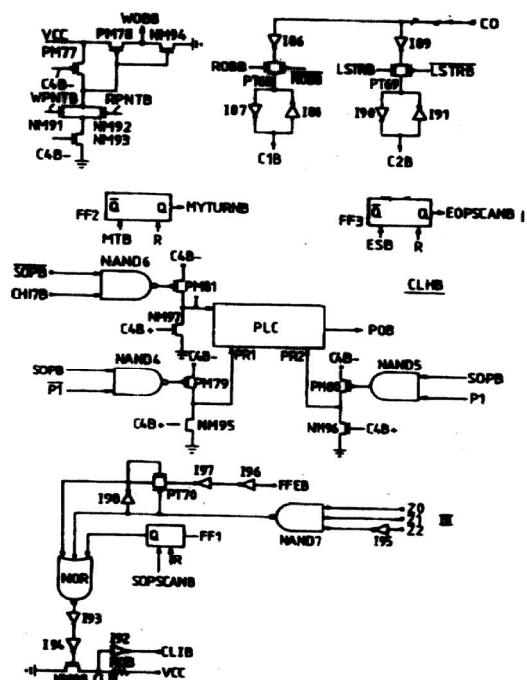
도면 17



도면 18



도면 19



도면20

