

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 12 月 22 日(22.12.2011)

PCT

(10) 国際公開番号
WO 2011/158780 A1

(51) 国際特許分類:

H01L 29/786 (2006.01) H01L 21/336 (2006.01)
G02F 1/1368 (2006.01) H01L 21/8244 (2006.01)
G09F 9/30 (2006.01) H01L 27/08 (2006.01)
H01L 21/20 (2006.01) H01L 27/11 (2006.01)

(21) 国際出願番号: PCT/JP2011/063482

(22) 国際出願日: 2011 年 6 月 13 日(13.06.2011)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2010-136347 2010 年 6 月 15 日(15.06.2010) JP

(71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 山中 雅貴
(YAMANAKA Masaki). 堀田 和重 (HOTTA
Kazushige).

(74) 代理人: 奥田 誠司(OKUDA Seiji); 〒5410041 大
阪府大阪市中央区北浜一丁目 8 番 1 6 号 大
阪証券取引所ビル 1 0 階 奥田国際特許事務
所 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH,
PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.

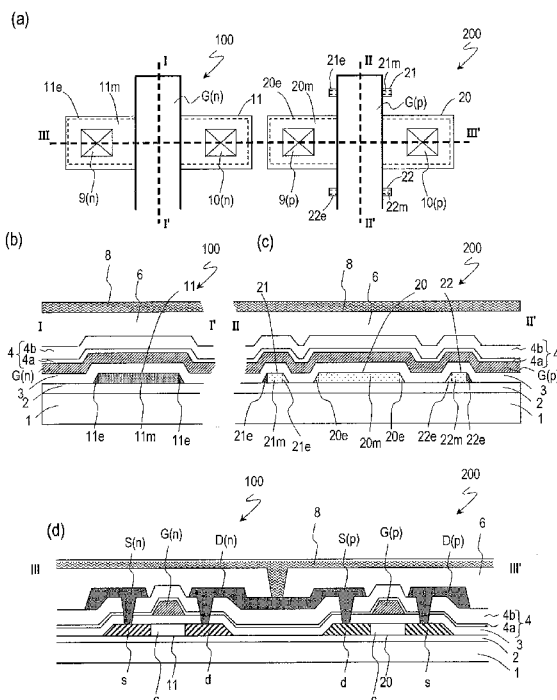
(84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置およびその製造方法

[図1]





(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, 添付公開書類:
NE, SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

nチャネル型の第1薄膜トランジスタおよびpチャネル型の第2薄膜トランジスタを同一基板上に備える半導体装置であって、第1薄膜トランジスタは第1半導体層(11)を有し、第2薄膜トランジスタは第2半導体層(20)、第3半導体層(21)および第4半導体層(22)を有し、第1半導体層(11)、第2半導体層(20)、第3半導体層(21)および第4半導体層(22)は同一の膜から形成され、第1および第2半導体層(11)、(20)は、それぞれ、周縁に位置する傾斜部(11e)、(20e)と、傾斜部以外の部分からなる主部(11m)、(20m)とを有し、第1半導体層の傾斜部(11e)に、第1半導体層の主部(11m)および第2半導体層の主部(20m)よりも高い濃度でp型不純物が導入されている。

明 細 書

発明の名称：半導体装置およびその製造方法

技術分野

[0001] 本発明は、薄膜トランジスタ（Thin Film Transistor：T F T）を備える半導体装置およびその製造方法に関する。

背景技術

[0002] pチャネル型およびnチャネル型の薄膜トランジスタ（T F T）が同一基板上に形成された半導体装置や、そのような半導体装置を有する電子機器の開発が進められている（例えば特許文献1、2）。

[0003] 例えば、アクティブマトリクス型の液晶表示装置や有機E L表示装置において、アクティブマトリクス基板上に、駆動回路を一体的に形成する技術が提案されている。駆動回路には、一般にpチャネル型T F T（以下、「p型T F T」と略す。）およびnチャネル型T F T（以下、「n型T F T」と略す。）を含むC M O S（Complementary Metal Oxide Semiconductor）が用いられている。C M O Sを用いる場合、リーク電流の発生を防止するためには、ゲート電圧を印加しないときに、C M O Sを構成する2種類のT F Tが何れもオフとなるように各T F Tの駆動電圧を調整する必要がある。また、消費電力の低減の観点から、T F Tの駆動電圧をより低く抑えることが望まれている。

[0004] 一方、アクティブマトリクス型の液晶表示装置や有機E L表示装置におけるアクティブマトリクス基板上の各画素に、メモリ回路を設ける技術も提案されている（特許文献1など）。これにより、各画素の画像データを、その画素に設けられたメモリ回路（以下、「画像メモリ」と称する。）に記憶させることができるので、外部から画像データを供給し続けることなく静止画像を低消費電力で表示することができる。

[0005] 画像メモリとしては、D R A M（Dynamic Random Access Memory）やS R A M（Static Random Access Memory）を用いることが提案されている。この

うち、SRAMは、DRAMよりも高速で動作でき、また、DRAMのようにリフレッシュ作業を行う必要が無いので、消費電力をより低く抑えることが可能である。SRAMは、p型およびn型TFETを含む複数のTFETを用いたフリップフロップ回路を有している。このような画像メモリを備えた表示装置に対しても、表示装置の用途によっては、駆動電圧をさらに低く抑えることが要望されている。

[0006] 上述したような表示装置では、p型およびn型TFETを両方とも備えているため、駆動電圧をさらに低減しようとする、p型TFETおよびn型TFETの閾値電圧 V_{th} をそれぞれ低く抑える必要がある。

[0007] しかしながら、p型TFETとn型TFETとでは、その電圧－電流特性（ $V_g - I_d$ 特性）が異なる（例えば図18）。このため、ゲート電圧 $V_g = 0$ Vのときに、両方のTFETがオフ（ノーマリーオフ）となるように閾値電圧 V_{th} を調整することは困難である。この理由を以下に詳しく説明する。

[0008] TFETの半導体層は、一般的に、周縁に傾斜部（テーパー部）を有するようにパターニングされている。このため、半導体層の傾斜部と、平坦な表面を有する平坦部とでは、閾値電圧 V_{th} が異なる。具体的には、図13に例示するように、n型TFETおよびp型TFETの何れのTFETにおいても、傾斜部の電圧－電流曲線の方が、平坦部の電圧－電流曲線よりも、低電圧側にシフトしている。これは、半導体膜（シリコン膜）のエッチング工程やアッシング工程において、半導体層の傾斜部がダメージを受けることに起因すると推測される。

[0009] 図14（a）および（b）は、それぞれ、n型TFETおよびp型TFETの電圧－電流特性を例示するグラフである。各TFETの電圧－電流特性を実線で示し、平坦部および傾斜部の電圧－電流曲線を破線で示している。図示するように、各TFETの電圧－電流特性は、平坦部の電圧－電流曲線と傾斜部の電圧－電流曲線とを重ね合わせた曲線となる。図15は、n型TFETの平面図であり、ドレイン電流が流れる経路を模式的に示している。図16は、n型TFETにおける、閾値電圧 V_{th} の調整を説明するための図である。

[0010] n 型TFETの電圧－電流特性においては、図14(a)に示すように、ゲート電圧 V_g の上昇にともない、ドレイン電流 I_d が2段階で立ち上がる（いわゆるハンプが発生する）。これは、低い電圧 $V_g(e)$ で、半導体層11の傾斜部に流れるドレイン電流 $I_d(e)$ （図15参照）が増大し始め、 $V_g(e)$ よりも高い電圧 $V_g(m)$ で、半導体層11の平坦部に流れるドレイン電流 $I_d(m)$ （図15参照）が増大し始めるからである。すなわち、半導体層11の傾斜部が寄生トランジスタとして作用し、その特性が、 n 型TFETの全体の電圧－電流特性において顕在化している。

[0011] ここで、図16に示すように、 n 型TFETにおいて、例えば半導体層に p 型不純物をドーピング（チャネルドーピング）すると、その電圧－電流曲線を高電圧側にシフトさせることができる。従って、ゲート電圧 $V_g = 0V$ のときにドレイン電流 I_d が最小値（オフ状態）となるように調整することは可能である。しかしながら、そのような調整を行うと、閾値電圧 V_{th} も高電圧側にシフトしてしまうので、閾値電圧 V_{th} を低く抑えることはできない。

[0012] 一方、 p 型TFETでは、図14(b)に示すように、電圧値 $V_g(m)$ で平坦部に流れるドレイン電流 $I_d(m)$ （図15参照）が増大し始め、電圧値 $V_g(e)$ （ $V_g(m) > V_g(e)$ ）で傾斜部に流れるドレイン電流 $I_d(e)$ （図15参照）が増大し始める。傾斜部を流れるドレイン電流 $I_d(e)$ は、平坦部を流れるドレイン電流 $I_d(m)$ よりも極めて小さい。このため、 p 型TFETでは、傾斜部に発生する寄生トランジスタの特性は、平坦部の特性に隠れて顕在化しない。従って、 p 型TFETでは、半導体層のチャネル領域に p 型不純物を導入することによって、ゲート電圧 $V_g = 0V$ のときにドレイン電流 I_d が最小値（オフ状態）となるように調整しても、閾値電圧 V_{th} を低く抑えることができる。

[0013] このように、 p 型TFETでは、閾値電圧 V_{th} を低く抑えつつ、ゲート電圧 $V_g = 0V$ のときにTFETをオフ状態とすることができるが、 n 型TFETでは、 n 型TFETの寄生トランジスタの特性により、困難である。

[0014] これに対し、特許文献1では、 n 型TFETの半導体層の傾斜部に、平坦部

よりも高い濃度で p 型不純物を導入することにより、傾斜部の寄生トランジスタの電圧－電流曲線を、平坦部の電圧－電流曲線に隠すようにシフトさせることが提案されている。

[0015] 図 17 (a) および (b) は、それぞれ、特許文献 1 に開示された n 型 T F T および p 型 T F T の製造方法を説明するための断面図である。図 17 (a) は、n 型 T F T の半導体層の断面図であり、図 17 (b) は、p 型 T F T の半導体層の断面図である。以下、図 17 を参照しながら、特許文献 1 に開示された方法を説明する。

[0016] まず、基板 241 の上に下地絶縁膜 242 を形成し、その上に半導体膜を形成した後、p 型不純物（ボロン）を半導体膜に導入する。次に、半導体膜上に、例えばシリコン酸化膜からなるマスク膜を形成する。次いで、基板 241 上の n 型 T F T 形成領域および p 型 T F T 形成領域において、マスク膜の一部を覆うレジスト膜をそれぞれ形成する。この後、レジスト膜をマスクとして、半導体膜およびマスク膜を島状にエッチングする。

[0017] このようにして図 17 に示す、n 型 T F T 形成領域に島状の半導体層 243 n およびマスク層 244 n、p 型 T F T 形成領域に島状の半導体層 243 p およびマスク層 244 p を得る。上記のエッチングでは、各 T F T 形成領域において、レジスト膜の縁部が徐々に後退する。これに伴って、半導体膜のうちレジスト膜およびマスク層 244 n、244 p からはみ出した部分は、マスク層 244 n、244 p の縁部から離れるにつれて薄くなるようにエッチングされる。従って、半導体層 243 n、243 p の周縁には傾斜部が形成される。

[0018] レジスト膜を除去した後、図 17 (a) および (b) に示すように、p 型 T F T 形成領域の半導体層 243 p 上を覆い、n 型 T F T 形成領域の半導体層 243 n を覆わないようにレジスト膜 R4 を形成する。

[0019] 次いで、マスク層 244 n を透過する条件で、半導体層 243 n の全体に p 型不純物を導入する。続いて、マスク層 244 n を透過しない条件で、半導体層 243 n のうちマスク層 244 n で覆われていない部分（傾斜部）の

みに、選択的に p 型不純物を導入する。このようにして、半導体層 2 4 3 n の傾斜部には、体積密度で、平坦部の 2 倍から 5 倍の p 型不純物を導入する。このように、n 型 T F T において、平坦部より高い濃度で p 型不純物を導入することにより、傾斜部の寄生トランジスタの電圧－電流曲線を高電圧側にシフトさせ、半導体層 2 4 3 n の傾斜部の寄生トランジスタが顕在化することを抑制できる。

[0020] この後、レジスト膜 R 4 を除去し、次いで、マスク層 2 4 4 n、2 4 4 p 上に、絶縁膜およびゲート電極（図示せず）を形成する。マスク層 2 4 4 n、2 4 4 p および絶縁膜は、ゲート絶縁膜として用いられる。

先行技術文献

特許文献

[0021] 特許文献1：特開 2 0 0 3－2 5 8 2 6 2 号公報

特許文献2：特開 2 0 0 0－1 9 6 0 9 6 号公報

発明の概要

発明が解決しようとする課題

[0022] 図 1 7 に示す従来の方法では、半導体層 2 4 3 n、2 4 3 p のうち傾斜部以外の部分（平坦部）の上には、マスク層 2 4 4 n、2 4 4 p およびその上に形成された絶縁膜の 2 層からなるゲート絶縁膜が形成される。これに対し、半導体層 2 4 3 n、2 4 3 p の傾斜部上では、マスク層が形成されていないので、ゲート絶縁膜は 1 層となる。このため、半導体層 2 4 3 n、2 4 3 p の傾斜部では、平坦部よりも耐圧が低下する。

[0023] また、T F T の閾値電圧 V_{th} を低く抑えるためには、寄生トランジスタの影響を抑えるとともに、ゲート絶縁膜を薄くすることが必要であるが、上記方法によると、ゲート絶縁膜は 2 層からなり、十分に薄くできない。なお、マスク層 2 4 4 n、2 4 4 p をゲート絶縁膜として用いずに除去すれば、ゲート絶縁膜を薄くすることは可能である。しかしながら、その場合には、マスク層 2 4 4 n、2 4 4 p の形成工程だけでなく除去工程も必要となり、

工程数が増加する。その上、マスク層 244 n、244 p を除去する際に、マスク層 244 n、244 p と同じ酸化シリコン膜である下地絶縁膜 242 もエッチングされる。この結果、半導体層 243 n、243 p の端部で下地絶縁膜 242 に段差が生じ、ゲート配線の段切れ等の不良が発生し易くなる。

[0024] 本出願人は、PCT/J P 2011/052010号（特願2010-021616号）に、半導体層上に上記マスク層を形成すること無く、かつ、製造工程数を増加させること無く、TFTの閾値電圧を低く抑えたTFTの製造方法を記載している。

[0025] 上記出願に記載されている方法では、p型の半導体層のチャネル領域の傾斜部にもp型不純物（例えばボロン（B））がドーピングされ、その傾斜部をエッチングによって除去する必要がある。p型の半導体層は、半導体層の形成のためのエッチングとこのエッチングを含めて、2回エッチングされることになる。従って、半導体層の下にある例えばSiO₂から形成された下地絶縁膜も2回エッチングされる。図19は、下地絶縁膜のエッチングにより生じる段差を説明するための断面図である。半導体層と下地絶縁膜との選択比を十分に取った（半導体層のエッチングレートが下地絶縁膜のエッチングレートよりも十分に大きくなるようにエッチングする）としても下地絶縁膜もエッチングされるため、図19に示すように、1回のエッチングでもn型の半導体層S1およびp型の半導体層S2の端部の下地絶縁膜11に段差ds1のような僅かな段差が生じる。この後、p型の半導体層S2に2回目のエッチングを行うと、段差ds2のように段差ds1が部分的に大きくなる場合がある。その結果、p型の半導体層S2の厚さを含めるとp型の半導体層S2の端部に、より大きな段差ds3が生じ、ゲート絶縁膜（厚さ10nm以上100nm以下）の表面段差として反映される場合がある。特に、段差ds3が半導体層S1の厚さ（例えば30nm以上80nm以下）の2倍以上となると、ゲート絶縁膜の表面段差として顕著に反映される。その結果、p型の半導体層S2の端部において、ゲート絶縁膜上に形成されるゲート

配線（厚さ 100 nm 以上 500 nm 以下）の段切れ等の不良が発生し易くなる。参考のために、上記出願の記載内容の全てを本願明細書に援用する。

[0026] 本発明は上記の問題を鑑みてなされたものであり、その目的は、n 型 TFT および p 型 TFT を備えた半導体装置において、不良の発生率を低下させ、TFT の閾値電圧を低く抑えることにある。

課題を解決するための手段

[0027] 本発明の半導体装置は、n チャンネル型の第 1 薄膜トランジスタおよび p チャンネル型の第 2 薄膜トランジスタを同一基板上に備える半導体装置であって、前記第 1 および第 2 薄膜トランジスタは、絶縁膜上に形成されており、前記第 1 薄膜トランジスタは、チャンネル領域、ソース領域およびドレイン領域を含む第 1 半導体層と、前記チャンネル領域と重なるように配置されたゲート電極と、前記第 1 半導体層と前記ゲート電極との間に設けられたゲート絶縁膜とを有し、前記第 2 薄膜トランジスタは、チャンネル領域、ソース領域およびドレイン領域を含む第 2 半導体層と、前記第 2 半導体層を間に介して互いに対向するように配置された第 3 半導体層および第 4 半導体層と、前記チャンネル領域および前記第 3 および第 4 半導体層と重なるように配置されたゲート電極と、前記第 2 半導体層と前記ゲート電極との間に設けられたゲート絶縁膜とを有し、前記第 1、第 2、第 3 および第 4 半導体層は同一の膜から形成され、前記第 1 および第 2 半導体層は、それぞれ、周縁に位置する傾斜部と、前記傾斜部以外の部分からなる主部とを有し、前記第 1 半導体層のチャンネル領域の傾斜部は、前記第 1 半導体層の主部および前記第 2 半導体層の主部よりも高い濃度で p 型不純物が導入され、前記第 2 半導体層のチャンネル領域の傾斜部は、前記第 1 半導体層のチャンネル領域の傾斜部よりも低い濃度で前記 p 型不純物が導入されている。

[0028] ある実施形態において、前記ゲート電極の下地表面の段差は、前記第 2 半導体層の厚さ以下である。

[0029] ある実施形態において、前記第 2 半導体層の主部の p 型不純物の濃度は、前記第 1 半導体層の主部の p 型不純物の濃度よりも低い。

- [0030] ある実施形態において、前記同一基板の表面の法線方向から見て、前記第3および第4半導体層は、それぞれチャネル方向に延びる傾斜部を有しており、前記傾斜部のうち、前記第2半導体層側とは反対側に位置する部分には、前記第2半導体層のチャネル領域の傾斜部よりも高い濃度で前記p型不純物が導入されている。
- [0031] ある実施形態において、前記ゲート絶縁膜の厚さは、前記第1および前記第2半導体層の厚さ以下である。
- [0032] ある実施形態において、前記ゲート絶縁膜の厚さは50nm以下である。
- [0033] ある実施形態において、前記第1、第2、第3および第4半導体層は、非晶質半導体膜の結晶化を促進する働きを持つ触媒元素を含んでいる。
- [0034] ある実施形態において、前記触媒元素は、Ni、Co、Sn、Pb、Pd、Fe、Cuから選ばれた一種または複数種の元素を含む。
- [0035] ある実施形態において、上述の半導体装置は、SRAM回路をさらに含み、前記SRAM回路は、前記第1薄膜トランジスタおよび前記第2薄膜トランジスタを有している。
- [0036] 本発明の表示装置は、上述の半導体装置と複数の画素とを有する表示装置であって、各画素は、画素電極と、前記画素電極に接続された画像信号を記憶するメモリ回路と、前記画像信号に基づいて表示を行う表示セルとを備えており、前記メモリ回路は、前記SRAM回路を含む。
- [0037] 本発明の半導体装置の製造方法は、nチャネル型の第1薄膜トランジスタおよびpチャネル型の第2薄膜トランジスタを同一基板上に備える半導体装置の製造方法であって、(a)前記基板上に絶縁膜を形成する工程と、(b)前記絶縁膜上に半導体膜を形成する工程と、(c)前記半導体膜上に、第1マスク膜および第2マスク膜を形成する工程と、(d)前記第1および第2マスク膜をマスクとして、前記半導体膜をエッチングすることにより、前記第1薄膜トランジスタのチャネル領域、ソース領域およびドレイン領域となる領域を含む第1半導体層と、前記第2薄膜トランジスタのチャネル領域、ソース領域およびドレイン領域となる領域を含む半導体層とを形成する工

程であって、前記第1半導体層は、前記第1マスク膜で覆われた主部と、前記第1半導体層の周縁に位置し、前記第1マスク膜で覆われていない傾斜部とを含み、前記半導体層は、前記第2マスク膜で覆われた主部と、前記半導体層の周縁に位置し、前記第2マスク膜で覆われていない傾斜部とを含む工程と、（e）前記第1および第2マスク膜をマスクとして、前記第1半導体層の傾斜部および前記半導体層の傾斜部にp型不純物を導入する工程と、（f）前記第1および第2マスク膜を除去する工程と、（g）前記第1半導体層の全体を覆う第3マスク膜と、前記半導体層のチャネル領域、ソース領域およびドレイン領域となる領域、並びに、前記半導体層のチャネル方向に延びる傾斜部の一部を覆う第4マスク膜とを形成する工程と、（h）前記第3および第4マスク膜をマスクとして、前記半導体層をエッチングして前記チャネル領域、前記ソース領域および前記ドレイン領域となる領域を有する第2半導体層と、前記第2半導体層を間に介して互いに対向するように形成された第3半導体層および第4半導体層とに分離する工程と、（i）前記第2、第3および第4半導体層と重なるようにゲート電極を形成する工程とを包含する。

[0038] ある実施形態において、上述の半導体装置の製造方法は、前記工程（h）と前記工程（i）との間に、（j）前記第1半導体層の一部にn型不純物を導入して前記ソース領域および前記ドレイン領域を形成する工程と、（k）前記第2半導体層の一部にp型不純物を導入して前記ソース領域および前記ドレイン領域を形成する工程とを包含する。

[0039] ある実施形態において、ゲート電極の下地表面の段差は、前記第2半導体層の厚さ以下である。

[0040] ある実施形態において、前記第2半導体層の主部のp型不純物の濃度は、前記第1半導体層の主部のp型不純物の濃度よりも低い。

[0041] ある実施形態において、前記第2半導体層の傾斜部は、チャネル方向に延びる部分を有しており、前記チャネル方向に延びる部分のうち前記ゲート電極と重なる部分のp型不純物濃度は、前記第1半導体層の傾斜部のp型不純

物濃度よりも低い。

[0042] ある実施形態において、上述の半導体装置の製造方法は、前記工程（b）に、結晶化を促進する触媒元素が少なくとも一部に添加された非晶質半導体膜を用意する工程と、前記非晶質半導体膜に対して加熱処理を行って、前記非晶質半導体膜の少なくとも一部を結晶化することにより、前記半導体膜を得る工程とをさらに包含する。

[0043] ある実施形態において、上述の半導体装置の製造方法は、前記第1および第2半導体層上にゲート絶縁膜を形成する工程をさらに含み、前記ゲート絶縁膜の厚さは、前記第1および前記第2半導体層の厚さ以下である。

[0044] ある実施形態において、前記ゲート絶縁膜の厚さは50nm以下である。

発明の効果

[0045] 本発明によると、n型TFETおよびp型TFETを備える半導体装置において、p型TFETの寄生トランジスタがTFET特性に与える影響を顕在化させることなく、n型TFETに発生する寄生トランジスタがTFET特性に与える影響を抑制できる。このため、ゲート電圧 $V_g = 0V$ のときにn型およびp型TFETの両方がオフ状態となるように調整しつつ、各TFETの閾値電圧をより低く抑えることが可能となる。従って、半導体装置の駆動電圧を低く抑えることができる。さらに、下地絶縁膜の段差による不良の発生率を小さくすることができる。

図面の簡単な説明

[0046] [図1]（a）は、本発明による第1実施形態の半導体装置におけるn型TFETおよびp型TFETの模式的な平面図であり、（b）および（c）は、それぞれ、（a）の平面図に示すI-I'線およびI-I''線に沿った断面図であり、（d）は、（a）の平面図に示すI-I''-I-I'線に沿った断面図である。

[図2]（a）および（b）は、それぞれ、本発明による実施形態の半導体装置の製造方法の概略を説明するための平面図および断面図である。

[図3]（a）および（b）は、それぞれ、本発明による実施形態の半導体装置

の製造方法の概略を説明するための平面図および断面図である。

[図4] (a) および (b) は、それぞれ、本発明による実施形態の半導体装置の製造方法の概略を説明するための平面図および断面図である。

[図5] (a) および (b) は、それぞれ、本発明による実施形態の半導体装置の製造方法の概略を説明するための平面図および断面図である。

[図6] (a) および (b) は、それぞれ、本発明による実施形態の半導体装置の製造方法の概略を説明するための平面図および断面図である。

[図7] (a) ~ (l) は、それぞれ、本発明による実施形態の半導体装置の製造方法の一例を説明するための工程平面図および断面図である。

[図8] (a) および (b) は、それぞれ、本発明による実施形態の半導体装置の製造方法の概略を説明するための平面図および断面図である。

[図9] (a) および (b) は、それぞれ、本発明による実施形態の半導体装置の製造方法の概略を説明するための平面図および断面図である。

[図10] (a) および (b) は、それぞれ、本発明による実施形態の半導体装置における n 型 T F T および p 型 T F T の電圧－電流特性を例示するグラフである。

[図11] (a) は、駆動回路が一体的に形成されたアクティブマトリクス基板 1 0 0 0 の模式的な平面図であり、(b) は、1 つの画素の模式的な構造を示す図であり、(c) は、C M O S を用いた回路の一例 (N A N D 回路) を示す図である。

[図12] 画素毎にメモリ回路を有する表示装置における、各画素 2 0 0 0 の回路の一例を示す図である。

[図13] n 型 T F T および p 型 T F T の電圧－電流曲線の一例を示すグラフである。

[図14] (a) および (b) は、それぞれ、従来の n 型 T F T および p 型 T F T の電圧－電流特性を例示するグラフである。

[図15] n 型 T F T の半導体層の平面図である。

[図16] 従来の n 型 T F T において、閾値電圧 V_{th} の調整を説明するための

図である。

[図17] (a) および (b) は、それぞれ、特許文献 1 に開示された n 型 T F T および p 型 T F T の製造方法を説明するための断面図である。

[図18] (a) および (b) は、それぞれ、半導体層の傾斜部に平坦部よりも高い濃度で p 型不純物を導入した場合の、n 型 T F T および p 型 T F T の電圧－電流特性を例示するグラフである。

[図19] 下地絶縁膜の段差を説明するための模式的な断面図である。

発明を実施するための形態

[0047] 本発明者は、上記出願の記載に基づき鋭意検討を行った結果、T F T の不良発生率を小さくしつつ、選択的に p 型不純物を導入する手法を見出し、本願発明に至った。

[0048] 以下、図面を参照しながら、本発明による実施形態の半導体装置を説明する。本実施形態の半導体装置は、C M O S を備えた基板、例えば C M O S を含む駆動回路を備えたアクティブマトリクス基板に適用される。あるいは、n 型および p 型 T F T を含むメモリ回路を各画素に備えた表示装置のアクティブマトリクス基板に適用してもよい。

[0049] 図 1 (a) は、本実施形態の半導体装置における n 型 T F T および p 型 T F T の模式的な平面図である。図 1 (b) および (c) は、それぞれ、図 1 (a) の平面図に示す I - I ' 線および I I - I I ' 線に沿った断面図である。図 1 (d) は、図 1 (a) の平面図に示す I I I - I I I ' 線に沿った断面図である。I - I ' 線および I I - I I ' 線はチャネル方向に垂直であり、I I I - I I I ' 線はチャネル方向に平行である。

[0050] 本実施形態の半導体装置は、基板 1 と、基板 1 上に下地絶縁膜 2 を介して形成された n 型 T F T 1 0 0 および p 型 T F T 2 0 0 とを備えている。

[0051] n 型 T F T 1 0 0 は、ソース領域 s、ドレイン領域 d、およびそれらの間に位置するチャネル領域 c を含む島状の半導体層 1 1 を有している。半導体層 1 1 上には、ゲート絶縁膜 3 を介してチャネル領域と重なるように、ゲート電極 G (n) が配置されている。

[0052] p型TF T 2 0 0は、同様に、ソース領域s、ドレイン領域d、およびそれらの間に位置するチャネル領域cを含む島状の半導体層2 0と、半導体層2 0より小さい半導体層2 1および2 2とを有している。半導体層2 1と半導体層2 2との間に島状の半導体層2 0が形成され、島状の半導体層2 0は、半導体層2 1および2 2と直接接触していない。半導体層2 0上には、ゲート絶縁膜3を介してチャネル領域cと重なるようにゲート電極G (p) が配置されている。また、図1 (b) には図示していないが、例えば半導体層2 1、2 2の端部のうち、半導体層2 0側とは反対側に位置する部分の下地絶縁膜2に、図1 9で示した段差d s 1のような小さな段差（例えば高さ5 nm以上5 0 nm以下）が形成されている。

[0053] ゲート絶縁膜3およびゲート電極G (n)、G (p) 上には、第1の層間絶縁膜4が形成されている。ここでは、第1の層間絶縁膜4は、絶縁膜4 aおよび絶縁膜4 bを含む2層構造を有している。第1の層間絶縁膜4上には、ソース電極S (n)、S (p) およびドレイン電極D (n)、D (p) が設けられている。半導体層1 1のソース領域およびドレイン領域は、それぞれ、第1の層間絶縁膜4に形成されたコンタクトホール内のコンタクト部9 (n)、1 0 (n) により、ソース電極S (n) およびドレイン電極D (n) と接続されている。同様に、半導体層2 0のソース領域およびドレイン領域は、それぞれ、第1の層間絶縁膜4に形成されたコンタクトホール内のコンタクト部9 (p)、1 0 (p) により、ソース電極S (p) およびドレイン電極D (p) と接続されている。

[0054] 第1の層間絶縁膜4上には、第2の層間絶縁膜（保護膜ともいう。）6が形成されている。第2の層間絶縁膜6上には、電極膜8が形成されている。この例では、ソース電極S (p) およびドレイン電極D (n) は、第2の層間絶縁膜6に形成されたコンタクトホール内で電極膜8に接続されており、n型TF T 1 0 0とp型TF T 2 0 0とがCMOSを構成している。なお、ソース電極およびドレイン電極は、回路構成に応じて、適宜選択された配線に接続される。

- [0055] 本実施形態の半導体装置を表示装置に適用する場合、電極膜 8 は、画素電極と同じ導電材料を用いて形成されていることが好ましい。画素電極は、例えば A l あるいは A l 合金等による反射電極であってもよいし、ITO (Indium Tin Oxide) などの透明電極であってもよい。これにより、画素電極と電極膜 8 とを同一の導電膜を用いて同時に形成できる。
- [0056] 本実施形態では、半導体層 11 および半導体層 20、21 および 22 は、同一の半導体膜から形成されている。半導体層 11 は、周縁に位置する傾斜部 11 e と、傾斜部以外の部分からなる主部 11 m とを有している。半導体層 20 も同様に、周縁に位置する傾斜部 20 e と、傾斜部以外の部分からなる主部 20 m とを有している。さらに、半導体層 21 も同様に、周縁に位置する傾斜部 21 e と、傾斜部以外の部分からなる主部 21 m とを有している。さらに、半導体層 22 も同様に、周縁に位置する傾斜部 22 e と、傾斜部以外の部分からなる主部 22 m とを有している。
- [0057] 本明細書では、基板 1 の表面に対して傾斜した側面を有する半導体層において、傾斜した側面と半導体層の下面とによって挟まれた部分（テーパー部）を「傾斜部」と称する。また、半導体層の上面と下面とによって挟まれた部分を「主部」と称する。図示する例では、主部 11 m、20 m ~ 22 m の上面は略平坦であるが、表面凹凸を有していてもよい。例えば、パターニングを行う前の半導体膜の表面凹凸を保持していてもよい。
- [0058] 半導体層 11 の周縁に位置する傾斜部 11 e には、半導体層 11 の主部 11 m、半導体層 20 の主部 20 m よりも高い濃度で p 型不純物が導入されている。一方、半導体層 20 の傾斜部 20 e のうちゲート電極 G (p) と重なっている部分（チャネル領域 c の縁部に位置する部分）の p 型不純物濃度は、半導体層 11 の傾斜部 11 e の p 型不純物濃度よりも低い。傾斜部 20 e のうちゲート電極 G (p) と重なっていない部分の p 型不純物濃度は、半導体層 11 の傾斜部 11 e と同程度の高い濃度で p 型不純物が導入されていてもよい。半導体層 21 の周縁に位置する傾斜部 21 e のうち、半導体層 20 側に位置する部分には、半導体層 20 の主部 20 m とほぼ同じ濃度の p 型不

純物が導入されている。半導体層 2 1 の周縁に位置する傾斜部 2 1 e のうち、半導体層 2 0 側とは反対側に位置する部分には、半導体層 1 1 の傾斜部 1 1 e と同じ濃度の p 型不純物が導入されている。半導体層 2 2 の周縁に位置する傾斜部 2 2 e のうち、半導体層 2 0 側の部分には、半導体層 2 0 の主部 2 0 m と同じ濃度の p 型不純物が導入されている。半導体層 2 0 側とは反対側に位置する部分には、半導体層 1 1 の傾斜部 1 1 e とほぼ同じ濃度の p 型不純物が導入されている。

[0059] 本実施形態では、n 型 T F T 1 0 0 において、傾斜部 1 1 e に主部 1 1 m よりも高濃度で p 型不純物が導入されているので、図 1 0 (a) に示すように、傾斜部 1 1 e に生じる寄生トランジスタの電圧－電流特性を、主部 1 1 m の電圧－電流特性と重なるようにシフトさせることができる。一方、p 型 T F T 2 0 0 においては、半導体層 2 0 の傾斜部 2 0 e のうち、ドレイン電流が流れ得る部分（チャネル領域の縁部に位置し、寄生トランジスタとして動作し得る部分）の p 型不純物濃度は、例えば主部 2 0 m の p 型不純物濃度と同程度である。従って、図 1 0 (b) に示すように、傾斜部 2 0 e に生じる寄生トランジスタの電圧－電流特性はシフトせず、主部 2 0 m の電圧－電流特性に隠れる。

[0060] この結果、n 型および p 型 T F T の何れにおいても、傾斜部 1 1 e 、 2 0 e の特性（寄生トランジスタの特性）が T F T 特性に与える影響を抑制できる。従って、ゲート電圧 $V_g = 0 \text{ V}$ のときに何れの T F T もオフ状態にすることが容易となる。また、プロセス条件（チャネル領域の不純物濃度やゲート絶縁膜の厚さなど）を調整することにより、これらの T F T の駆動電圧を低く抑えることが可能になる。

[0061] 次に、図 1 に示した半導体装置の製造方法の概略を説明する。

[0062] 図 2 ～図 6 は、図 1 に示した半導体装置の製造方法の概略を説明するための模式図である。各図の (a) は平面図であり、(b) は、(a) の平面図に示す A - A' 線に沿った断面図である。A - A' 線はチャネル方向と平行である。図 2 ～図 6 では、図 1 に示す構成とは異なり、n 型および p 型 T F

Tの半導体層は、チャネル幅方向に隣接して配置されている。なお、これらのTF Tの配置関係は特に限定されず、適用する回路構成などにより適宜変更され得る。また、図2～図6では、同一基板上に形成された単一のn型TF Tおよび単一のp型TF Tのみを図示しているが、これらのTF Tは同一基板上に複数個形成されていてもよい。

[0063] まず、図2(a)および(b)を参照する。基板上に下地絶縁膜2を形成する。下地絶縁膜2の上に半導体膜を形成し、半導体膜上に、マスク膜(例えばレジスト膜)13、14を形成する。次いで、マスク膜13、14をマスクとして、半導体膜のパターニングを行う。これにより、図2(a)および(b)に示すように、下地絶縁膜2上に、n型TF Tのチャネル領域、ソース領域およびドレイン領域となる領域を有する半導体層11と、p型TF Tのチャネル領域、ソース領域およびドレイン領域となる領域を有する半導体層12とを得る。半導体層11、12は、それぞれ、マスク膜13、14で覆われた主部11m、12mと、主部11m、12mの周縁に位置し、マスク膜13、14で覆われていない傾斜部11e、12eとを有している。図示する例では、主部11m、12mの上面は略平坦であるが、表面凹凸を有していてもよい。例えば、パターニングを行う前の半導体膜の表面凹凸を保持していてもよい。

[0064] なお、このとき、半導体層11は、n型TF Tのチャネル領域、ソース領域およびドレイン領域となるパターン(最終形態)に加工されているが、半導体層12は、チャネル方向(L方向)に垂直な方向(W方向)に、p型TF Tのチャネル領域、ソース領域およびドレイン領域となるパターン(最終形態)よりも大きくなるように加工されている。ここでは、基板の法線方向から見て、W方向に突出したパターンを有する十字状の半導体層12を形成する。

[0065] 次に、図3(a)および(b)に示すように、マスク膜13、14を残したままの状態、これらをマスクとして、半導体層11、12にp型不純物(例えばボロン)15を注入する。p型不純物は、半導体層11、12のう

ちマスク膜 13、14 で覆われた主部 11m、12m には注入されず、傾斜部 11e、12e のみに選択的に導入される。この後、マスク膜 13、14 を除去する。

[0066] 続いて、図 4 (a) および (b) に示すように、半導体層 11 の全体を覆い、かつ、半導体層 12 のチャネル領域、ソース領域およびドレイン領域となる領域、並びに、半導体層 12 の傾斜部 12e のうちチャネル方向 (L 方向) に延びる部分の全部を覆うようにマスク膜 19 を形成する。マスク膜 19 のうちマスク領域 19b は、半導体層 12 のチャネル領域、ソース領域およびドレイン領域となる領域を覆うように形成され、マスク膜 19 のうちマスク領域 19a および 19c は、半導体層 12 の W 方向に突出した部分の傾斜部 12e のうちチャネル方向に延びる部分 12et を覆うように形成されている。マスク膜 19 のうちマスク領域 19d は、半導体層 11 の全体を覆うように形成されている。マスク膜 19 は、p 型 TFT の活性層となる領域の両端に位置する開口部 19o、19p を有している。図 4 (a) に示すように、傾斜部 12e のうちチャネル方向に延びる部分を全てマスク膜 19 で覆う。

[0067] この後、図 5 (a) および (b) に示すように、マスク膜 19 をマスクとして、半導体層 12 のエッチングを行う。これにより、半導体層 12 のうちマスク膜 19 で覆われていない部分、すなわち、開口部 19o、19p 内に露出される部分がエッチングされる。その結果、半導体層 12 から半導体層 20、21 および 22 が形成される。半導体層 20 は、チャネル領域と、ソース領域およびドレイン領域となる領域を有している。半導体層 20 は、半導体層 21 と半導体層 22 との間に形成され、半導体層 21 および 22 と直接接触していない。このようにして、最終形態に加工された半導体層 20 ~ 22 が得られる。この後、マスク膜 19 を除去する。

[0068] 図 6 (a) および (b) に示すように、半導体層 11 および半導体層 20 ~ 22 を覆うようにゲート絶縁膜 3 を形成し、ゲート絶縁膜 3 上に、半導体層 11 および 20 のチャネル領域となる領域と重なるように、ゲート電極 3

1を形成する。

[0069] 上述のようにして得られた半導体層11では、半導体層11の周縁に位置する傾斜部11eの全体に、主部11mよりも高い濃度でp型不純物が含まれている。半導体層20では、傾斜部20eのうち、半導体層20上に形成されたゲート電極31と重なる部分に、主部20mとほぼ同じ濃度のp型不純物が含まれている。傾斜部20eのうち、ゲート電極と重なる部分のp型不純物濃度は、主部20mのp型不純物濃度と同程度である。半導体層21において、傾斜部21eのうち半導体層20側に位置する部分には、半導体層20の主部20mと同程度の濃度でp型不純物が含まれている。傾斜部21eのうち半導体層20側とは反対側に位置する部分には、主部21mよりも高い濃度でp型不純物が含まれている。同様に、半導体層22において、傾斜部22eのうち半導体層20側に位置する部分には、半導体層20の主部20mと同程度の濃度でp型不純物が含まれている。傾斜部22eのうち半導体層20側とは反対側に位置するには、主部22mよりも高い濃度でp型不純物が含まれている。

[0070] このようにして、半導体層11の傾斜部11eのp型不純物濃度を、半導体層11の主部11m、半導体層20の主部20m、および半導体層20の傾斜部20eのうちゲート電極と重なる部分のp型不純物濃度よりも高めることができる。また、例えば半導体層11と半導体層20との間に位置する下地絶縁膜2は、図2を参照して説明したエッチングしかされない。すなわち、前記出願に記載の方法では、例えば半導体層11と半導体層20との間に位置する下地絶縁膜2は2回エッチングされるのに対し、本実施形態の方法では、上記の下地絶縁膜2は1回しかエッチングされない。従って、下地絶縁膜2のうち例えば半導体層11と半導体層20との間に位置する部分に生じる段差を最小限に抑えることができる。さらに、その上に形成される例えばゲート電極の下地表面（ここではゲート絶縁膜3の表面）の段差を半導体層20の厚さ以下にすることができる。その結果、ゲート電極（配線）などの段切れなどの不良が発生することを抑えることができる。

[0071] 半導体層 11 の一部に n 型不純物を導入して、ソースおよびドレイン領域を形成し、半導体層 20 の一部に p 型不純物を導入して、ソースおよびドレイン領域を形成する。さらに、ソースおよびドレイン領域とそれぞれ電氣的に接続されたソース電極およびドレイン電極を設ける。これにより、図 1 に示した n 型の半導体層 11 を有する n 型 T F T 100、および p 型の半導体層 20 を有する p 型 T F T 200 を得る。

[0072] なお、半導体層 11 に p 型不純物を公知の方法でさらに導入し、半導体層 11 の主部 11 m の p 型不純物濃度を、半導体層 11 の傾斜部 11 e の p 型不純物濃度より高くない範囲で、半導体層 20 の主部 20 m の p 型不純物濃度よりも高めることが好ましい。そうすると、半導体層 11 を用いた n 型 T F T の電圧－電流特性を、高電圧側にシフトさせることができる。従って、ゲート電圧 $V_g = 0\text{ V}$ のときに n 型 T F T がオフ状態となるように調整できる。

[0073] 以下、図面を参照しながら、本実施形態の半導体装置の製造方法をより具体的に説明する。なお、以下の説明では、活性化アニールや水素化等の T F T 作製の一般的な工程は省略する。

[0074] 図 7 (a) ～ (f) は、それぞれ、本実施形態の半導体装置の製造方法の一例を説明するための工程断面図である。これらの図は、チャネル幅方向に沿った断面図である。図 7 (g) ～ (l) は、それぞれ、図 7 (a) ～ (f) の B－B' 線に対応する平面図である。B－B' 線は、チャネル方向と垂直な線である。

[0075] まず、図 7 (a) に示すように、基板 101 上に、下地膜 102、103 を形成した後、その上に、結晶質半導体膜 104 を形成する。次いで、結晶質半導体膜 104 の上に、フォトリソグラフィにより、マスク膜（レジストマスク膜）105、106 を形成する。マスク膜 105 は例えば島状に形成され、図 7 (g) に示すように、マスク膜 106 は例えば十字状に形成される。マスク膜 105、106 は、図示した形状、大きさに限定されない。

[0076] 基板 101 としては、例えば低アルカリガラス基板や石英基板を用いるこ

とができる。本実施形態では低アルカリガラス基板を用いる。下地膜102、103として、酸化ケイ素膜、窒化ケイ素膜または酸化窒化ケイ素膜などを用いることができる。本実施形態では、下層の下地膜102として窒化ケイ素膜、上層の下地膜103として酸化ケイ素膜を用いる。これらの下地膜は、例えばプラズマCVD法で形成できる。なお、本実施形態では、2層の下地膜を使用したか、例えば酸化ケイ素膜の単層でもよい。

[0077] また、本実施形態では、結晶質半導体膜104として、結晶質ケイ素膜（厚さ：例えば20～150nm、好ましくは30～80nm）を形成する。結晶質ケイ素膜は、まず、下地膜103上に非晶質ケイ素膜（a-Si）膜を形成し、a-Si膜にニッケル（Ni）を添加した後、固相結晶化（SPC：Solid Phase Crystallization）を行うことによって形成できる。あるいは、a-Si膜に直接エキシマレーザーを照射して結晶化させることによって形成してもよい。

[0078] 次に、図7（b）に示すように、マスク膜105、106をマスクとして、結晶質半導体膜104を島状にエッチングする。これにより、後にn型TFETの活性層（ソース領域／ドレイン領域、チャネル領域）となる半導体層112と、p型TFETの活性層となる半導体層113とを得る。半導体層113は、p型TFETの活性層となる半導体層の最終形態よりもチャネル幅方向に大きいパターンを有している。半導体層113は、例えば半導体層112よりもチャネル幅方向に大きいパターンを有する。図7（h）に示すように、半導体層113は、例えば十字状に形成される。また、ここでは、半導体層112、113の厚さを例えば50nmとする。

[0079] この状態で、図7（c）および図7（i）に示すように、マスク膜105、106の上方から低濃度でp型不純物109をドーピングする。ここでは、p型不純物109としてボロンを用いる。このときのボロン109の注入条件として、例えば加速電圧を5～20kVとし、ドーズ量を $5 \times 10^{11} \sim 1 \times 10^{13} \text{ cm}^{-2}$ とする。これにより、半導体層112、113のうちマスク膜105、106からはみ出ている部分（傾斜部）112e、113eのみにp型

不純物 109 が注入される。半導体層 112、113 のうちマスク膜 105、106 で覆われている部分（主部）112m、113m には p 型不純物 109 は注入されない。

[0080] 続いて、図 7（d）および図 7（j）に示すように、マスク膜 105、106 を除去した後、半導体層 112 の全体を覆うマスク膜 114a と、半導体層 113 の活性層となる主部 113m の両端に位置する端部 113o を露出するように開口されたマスク膜 114b、114c、114d とを新たに形成する。マスク膜 114c は、半導体層 113 の活性層となる領域を覆うように形成され、マスク膜 114b、114d は、半導体層 113 の傾斜部 113e のうち、チャネル方向に延びる傾斜部 113e を覆うように形成される。

[0081] この後、図 7（e）および図 7（k）に示すように、マスク膜 114a～114d をマスクとして、半導体層 113（図 7（d）および図 7（j）参照）のエッチングを行う。これにより、p 型 TFT の活性層となる半導体層 115 を得る。半導体層 115 の傾斜部のうち、寄生トランジスタとして動作し得る部分（後述するゲート配線 119 と重なる部分）には、p 型不純物が含まれていない。

[0082] 本実施形態では、例えば CF_4 ガスと酸素とをエッチングガスとして用いた RIE（リアクティブ・イオン・エッチング）法により、半導体層 113 のエッチングを行う。このエッチング工程では、例えば下地絶縁膜 103 のうち半導体層 112 と半導体層 113 との間に位置する部分はエッチングされない。従って、下地絶縁膜 103 のうち半導体層 112 と半導体層 113 との間に位置する部分には、図 7（a）を参照して説明したエッチングによる段差しか形成されず、その段差が大きくなる。その結果、ゲート配線の下地表面には半導体層の厚さより大きい段差が生じず、ゲート配線の段切れなどの不良が発生しにくくなる。

[0083] 次いで、マスク膜 114a～114d を除去する。

[0084] このようにして、傾斜部のドーピング状態が互いに異なる半導体層 112

と半導体層 115 とが得られる。また、p 型 T F T となる領域には、半導体層 116、117 が残存する。それぞれの半導体層 116、117 の傾斜部 116 e、117 e のうち半導体層 115 側に位置する部分は、半導体層 112 の主部 112 m とほぼ同じ濃度で p 型不純物を有している。それぞれの半導体層 116、117 の傾斜部 116 e、117 e のうち半導体層 115 側とは反対側に位置する部分は、半導体層 112 の傾斜部 112 e と同じ濃度で p 型不純物を有している。半導体層 115 のチャネル領域となる領域の傾斜部は、半導体層 112 の主部 112 m とほぼ同じ濃度で p 型不純物を有している。

[0085] この後、図 7 (f) および図 7 (l) に示すように、半導体層 112、115、116、117 上にゲート絶縁膜 118、ゲート電極膜 119 を形成する。また、この断面図には図示していないが、半導体層 112 に n 型不純物を公知の方法でドーピングして、ソース・ドレイン領域を形成する。同様に、半導体層 115 に p 型不純物を公知の方法でドーピングして、ソース・ドレイン領域を形成する。続いて、ゲート電極膜 119 の上に、層間絶縁膜 120 を形成する。ここでは、層間絶縁膜は、例えば窒化ケイ素膜を下層とし、酸化ケイ素膜を上層とする積層構造の層間絶縁膜である。

[0086] さらに、層間絶縁膜 120 上に、各 T F T のソース電極およびドレイン電極を設ける。ソース電極は、層間絶縁膜 120 およびゲート絶縁膜 118 に設けられたコンタクトホール内で、それぞれの T F T のソース領域と接続される（例えば図 1 (d) 参照）。同様に、ドレイン電極は、層間絶縁膜 120 およびゲート絶縁膜 118 に設けたコンタクトホール内で、それぞれの T F T のドレイン領域と接続される。このようにして、n 型 T F T および p 型 T F T を得る。

[0087] この後、n 型 T F T および p 型 T F T を覆うように樹脂層 121 を形成する。また、本実施形態では、樹脂層 121 の上に画素電極膜 122 を形成する。画素電極膜 122 は、樹脂層 121 に設けたコンタクトホール内で、n 型 T F T のドレイン電極および p 型 T F T のソース電極に電氣的に接続され

る。

[0088] なお、図7に示すプロセスにおいて、必要に応じて、 n 型TFETと p 型TFETとの閾値電圧 V_{th} を個別に制御するために、半導体層112、115の何れか一方に選択的にチャネルドーピングを行ってもよく、あるいは、別々にチャネルドーピングを行うことにより、これらの半導体層112、115の主部の p 型不純物濃度を異ならせてもよい。

[0089] 次に、他の実施形態について図8および図9を参照しながら、図2～6を参照して説明した半導体装置の製造方法の変形例を説明する。

[0090] 図8および図9は、他の実施形態の半導体装置の製造方法の概略を説明するための模式図である。各図の(a)および(b)は平面図であり、A-A'線はチャネル方向と平行である。図8および図9では、図2～図6と同様に n 型および p 型TFETの半導体層は、チャネル幅方向に隣接して配置されている。なお、これらのTFETの配置関係は特に限定されず、適用する回路構成などにより適宜変更され得る。また、図8および図9では、図2～図6と同様に同一基板上に形成された単一の n 型TFETおよび単一の p 型TFETのみを図示しているが、これらのTFETは同一基板上に複数個形成されていてもよい。

[0091] 図8(a)に示すように、図2(a)および(b)に示した十字状の半導体層12の代わりに p 型TFETのチャネル領域、ソース領域およびドレイン領域となるパターン(最終形態)より W 方向に大きな島状の半導体層12'を形成してもよい。マスク膜14'は、島状の半導体層12'に対応して形成される。

[0092] また、図9(a)に示すように、図4(a)に示したマスク膜19の代わりに、半導体層12の L 方向に突出した部分の傾斜部12eのうちチャネル方向に延びる部分12e1を露出するように形成されたマスク膜19'で覆ってもよい。マスク膜19'の形状や大きさは図示する例に限定されない。

[0093] 次に、図8(b)および図9(b)を参照する。図6(a)および(b)で示した半導体層20の傾斜部20eのうちチャネル方向に延びる部分の p

型不純物について、図8（b）および図9（b）に示すように、半導体層20の傾斜部のうちチャネル方向に延びる部分20e'、20e''が、主部20mと同じ濃度でp型不純物を含むようにしてもよい。さらに、図8（b）に示すように、分離して形成された半導体層21'および22'のチャネル方向の長さが、半導体層20と同じでもよい。

[0094] 本実施形態によると、図10を参照しながら前述したように、n型TFETの電圧－電流特性においても、オン電流の立ち上がり時のコブを消失させることができる。この結果、ゲート電圧 V_g が0VのときにTFETをOFF状態に保つとともに、閾値電圧 V_{th} を低く抑えることが可能になる。

[0095] 本実施形態の製造方法によると、半導体膜のパターニングを2回に分けて行うことにより、n型TFETとp型TFETとの間で、半導体層の傾斜部のドーピング状態を互いに異ならせることができる。また、ゲート配線と重なる下地絶縁膜に段差が生じないのでゲート配線の段切れが生じず、TFETの不良発生率を小さくし得る。

[0096] さらに、上記出願に記載された発明と同様に、ゲート絶縁膜118を他工程の制約無く形成できるため、ゲート絶縁膜118を従来よりも薄膜化できる。また、ゲート絶縁膜118の厚さを、高い自由度で設定できるので、求められるデバイスに最適な厚さに設定することが可能である。

[0097] ゲート絶縁膜118の厚さは、半導体層112、115の厚さ（例えば30nm以上80nm以下）以下であることが好ましい。例えば、ゲート絶縁膜118の厚さは25nm以上50nm以下に設定されることが好ましい。これにより、各TFETの閾値電圧 V_{th} を効果的に低減できるので、半導体装置の駆動電圧をより小さく抑えることが可能になる。

[0098] ここで、本実施形態におけるp型およびn型TFETの半導体層のp型不純物濃度の大小関係を説明する。以下の説明では、n型TFETの半導体層において、傾斜部のうち寄生トランジスタとして動作し得る部分のp型不純物濃度を C_{ne} 、主部のp型不純物濃度を C_{nm} とし、p型TFETの半導体層において、傾斜部のうち寄生トランジスタとして動作し得る部分のp型不純物

濃度を C_{pe} 、主部の p 型不純物濃度を C_{pm} とする。なお、ここでいう「主部の p 型不純物濃度」とは、半導体層の主部のうちチャネル領域（ソース・ドレイン領域を除く領域）の p 型不純物濃度である。また、「傾斜部のうち寄生トランジスタとして動作し得る部分」とは、傾斜部のうちチャネル領域の縁部に位置する部分、すなわち、ゲート電極と重なっている部分を指すものとする。

[0099] 上述してきたように、 n 型 $TFET$ の寄生トランジスタが $TFET$ 特性に与える影響を抑えるためには、

$$C_{ne} > C_{nm} \quad (1)$$

であることが必要である。また、 n 型および p 型 $TFET$ において、閾値電圧を制御する目的で、半導体層に p 型不純物をドーピング（チャネルドーピング）してもよい。ただし、ゲート電圧 $V_g = 0V$ のときに何れの $TFET$ もオフ状態となるように閾値電圧を調整するためには、

$$C_{nm} > C_{pm} \quad (2)$$

であることが好ましい。（１）および（２）式をまとめると、下記のようになる。

$$C_{ne} > C_{nm} > C_{pm} \quad (3)$$

さらに、 p 型 $TFET$ の傾斜部の p 型不純物濃度が高すぎると、 p 型 $TFET$ の寄生トランジスタが $TFET$ 特性に与える影響が大きくなる。これを抑制するためには、

$$C_{pe} < C_{ne} \quad (4)$$

であることが好ましい。より好ましくは、

$$C_{pe} \leq C_{pm} \quad (5)$$

である。

[0100] 本実施形態を適用することにより、 n 型 $TFET$ の閾値電圧 V_{th} を大幅に低減できる。 n 型 $TFET$ では、ゲート絶縁膜の厚さが $70nm$ のとき、 n 型 $TFET$ の閾値電圧の下限は $1.3V$ であった。これに対し、本実施形態では、 n 型半導体層の傾斜部に p 型不純物を導入することにより、 n 型 $TFET$ の

閾値電圧 V_{th} の下限を 0.8 V まで、従来よりも 0.5 V も低減できた。

また、ゲート絶縁膜 118 の厚さが 40 nm のとき、従来の n 型 TFT の閾値電圧の下限は 0.9 V であるが、本実施形態では、n 型 TFT の閾値電圧 V_{th} の下限を 0.5 V まで低減できた。さらに、本実施形態によると、ゲート絶縁膜を例えば 40 nm 以下に薄くしても、信頼性を確保できた。

[0101] 本実施形態の半導体装置は、各画素内に表示データを記憶するメモリ回路（画像メモリ）を備えた表示装置に好適に適用される。画像メモリを備えた表示装置では、表示データが変わらないとデータの転送が不要のため、消費電力を極めて低くできる。このような表示装置の画像メモリとして、本実施形態における半導体装置（SRAM 回路あるいは DRAM 回路など）を用いると、表示装置の消費電力をさらに低く抑えることができる。具体的には、パネル駆動電圧を従来よりも大幅に低く（例えば 2 V 未満）抑えることが可能となる。この結果、例えば、昇圧回路を設けること無く、ボタン電池等によって駆動させることが可能となる（3 V 駆動）。このような表示装置は、例えば常時表示を行う用途にも好適に使用され得る。

[0102] 以下、触媒元素を用いた結晶化方法により、半導体膜（例えば図 7（a）の半導体膜 104）を形成するプロセスの一例を説明する。

[0103] まず、基板上に、例えばプラズマ CVD 法により、非晶質半導体膜（ここでは、非晶質ケイ素膜）を形成する。

[0104] 次いで、非晶質半導体膜の少なくとも一部に触媒元素を添加する。触媒元素としては、ニッケル（Ni）、鉄（Fe）、コバルト（Co）、スズ（Sn）、鉛（Pb）、パラジウム（Pd）、銅（Cu）から選ばれた一種または複数種の元素を用いることができる。これらの元素よりも触媒効果は小さいが、ルテニウム（Ru）、ロジウム（Rh）、オスミウム（Os）、イリジウム（Ir）、白金（Pt）、金（Au）等を用いてもよい。

[0105] ここでは、非晶質半導体膜に対して、重量換算で例えば 5 ppm の触媒元素（例えばニッケル）を含む水溶液（酢酸ニッケル水溶液）をスピンコート法で塗布する。このときに添加される触媒元素の量は極微量である。全反射

蛍光X線分析（TRXRF）法により、非晶質半導体膜表面上の触媒元素濃度を測定すると、例えば $5 \times 10^{12} \text{ atoms/cm}^2$ 程度である。

[0106] なお、スピコート法の代わりに、蒸着法やスパッタ法などにより触媒元素を含む薄膜（本実施形態の場合はニッケル膜）を非晶質半導体膜上に形成してもよい。

[0107] 次いで、不活性雰囲気下、例えば窒素雰囲気中で、触媒元素が添加された非晶質半導体膜に対して加熱処理を行う。加熱処理として、例えば $550 \sim 620^\circ\text{C}$ の温度で $30 \text{ 分} \sim 4 \text{ 時間}$ のアニール処理を行うことが好ましい。加熱処理は、炉を用いて行ってもよいし、ランプ等を熱源として用いるRTA（Rapid Thermal Annealing）装置を用いて行ってもよい。

[0108] 加熱処理において、非晶質半導体膜表面に添加されたニッケルが非晶質半導体膜中に拡散すると共に、シリサイド化が起こり、それを核として非晶質半導体膜の結晶化が進行する。この結果、非晶質半導体膜から、結晶質領域を含む結晶質半導体膜（ここでは結晶質ケイ素膜）が形成される。結晶質半導体膜は結晶質領域を含んでいればよく、その一部が非晶質状態のまま残っていてもよい。

[0109] なお、このようにして得られた結晶質半導体膜にレーザー光を照射して再結晶化させ、結晶性をさらに向上させてもよい。レーザー光の照射には、XeClエキシマレーザー（波長 308 nm ）やKrFエキシマレーザー（波長 248 nm ）を用いることができる。

[0110] この後、上記方法で形成した半導体膜を用いて、図7を参照して説明した方法で、n型およびp型TFETの半導体層を形成する。

[0111] 半導体膜をパターニングする前、またはパターニングした後に、加熱処理を行い、各半導体層の少なくともチャネル領域となる領域に含まれる触媒元素を他の領域（ゲッタリング領域）に移動させる（ゲッタリング）ことが好ましい。ゲッタリング領域は、例えば半導体膜の一部に、触媒元素を移動させる作用を有する周期表第5族Bに属する元素（例えばリン）をドーピングすることによって形成される。ゲッタリングのための加熱処理は、例えば 600

～750℃の温度で30秒～20分程度行われる。

[0112] なお、半導体層のソース・ドレイン領域等に不純物元素をドーピングした後に加熱処理を行い、不純物元素を活性化させるとともに、触媒元素のゲッタリングを行うこともできる。

[0113] 上記の結晶化方法を用いて形成された半導体層は触媒元素を含んでいる。また、半導体層のうち少なくともチャネル領域は、結晶の〈111〉晶帯面が配向した領域で主に構成されている。この理由を以下に説明する。

[0114] 一般に、触媒元素を用いずに非晶質半導体膜を結晶化させると、半導体膜下地の絶縁体の影響（特に非晶質二酸化ケイ素の場合）で、結晶質半導体膜の面配向は、〈111〉に向き易い。これに対して、上記方法のように非晶質半導体膜に触媒元素を添加して結晶化させると、触媒元素の半導体化合物が結晶成長のドライビングフォースとなり、隣接する非晶質領域を一方向に向かって次々と結晶化する。このとき触媒元素化合物は、〈111〉方向に向かって強く成長する性質があるため、〈111〉晶帯面が現れる。

[0115] また、上記方法によると、半導体層の〈111〉晶帯面が配向した領域のうちの50%以上が、〈110〉面配向または〈211〉面配向した領域となる。さらに、個々の結晶ドメイン（ほぼ同一の面方位領域）のサイズ（ドメイン径）は、例えば2μm以上10μm以下になる。面配向および面配向の割合、結晶ドメインのドメイン径は、EBSP（Electron Back Scattering Pattern）測定により測定された値である。

[0116] 以下、本発明による他の実施形態の半導体装置を説明する。本実施形態は、アクティブマトリクス型の液晶表示装置である。本実施形態の液晶表示装置では、アクティブマトリクス基板に、n型TFTおよびp型TFTを含む駆動回路が一体的に形成されている（ドライバモノリシック）。

[0117] 図11（a）は、本実施形態の液晶表示パネルにおけるアクティブマトリクス基板1000の模式的な平面図であり、図11（b）は、1つの画素の模式的な構造を示している。なお、図11（a）には、アクティブマトリクス基板1000の構造を示し、液晶層や対向基板は省略している。このよう

なアクティブマトリクス基板 1000 を用いて形成された液晶表示パネルに、バックライトや電源等を設けることによって液晶表示装置が得られる。

[0118] アクティブマトリクス基板 1000 は、ゲートドライバー 1002 およびソースドライバー 1001 が設けられた額縁領域と、複数の画素が配置された表示領域 1004 とを有している。画素に対応するアクティブマトリクス基板 1000 の領域を参照符号 1005 で示している。なお、ソースドライバー 1001 はアクティブマトリクス基板 1000 に一体に形成する必要は無い。別途作製されたソースドライバー IC 等を公知の方法で実装してもよい。

[0119] 図 11 (b) に示すように、アクティブマトリクス基板 1000 は、液晶表示パネルの 1 つの画素に対応する画素電極 P を有している。画素電極 P は画素スイッチング用の TFT を介して、ソースバスライン 1006 S に接続されている。TFT のゲート電極はゲートバスライン 1006 G に接続されている。

[0120] ゲートバスライン 1006 G には、ゲートドライバー 1002 の出力が接続されており、線順次に走査される。ソースバスライン 1006 S には、ソースドライバー 1001 の出力が接続されており、表示信号電圧（階調電圧）が供給される。

[0121] ソースドライバー 1001 およびゲートドライバー 1002 には、高速駆動のために複数の CMOS が設けられている。例えばゲートドライバー 1002 およびソースドライバー 1001 の少なくとも一方は、CMOS を用いて構成されたシフトレジスタを有していてもよい。本実施形態では、これらの CMOS の少なくとも 1 つが、上述した実施形態における n 型 TFT および p 型 TFT と同様の構成を有している。

[0122] CMOS を用いた回路の一例として、NAND 回路を図 11 (c) に示す。NAND 回路 3000 で用いられる p 型 TFT 3002、3004 および n 型 TFT 3006、3008 に、上述した何れかの実施形態の TFT を適用することができる。

[0123] 本実施形態の半導体装置は、画素毎にメモリ回路を備えた液晶表示装置であってもよい。このような液晶表示装置は、画素毎に、スイッチング用のトランジスタと、画素電極と、スイッチング用のトランジスタから画素電極への入力画像信号を記憶するメモリ回路と、入力画像信号に基づいて表示駆動する液晶セルとを備えている。メモリ回路に記憶されている信号電圧は、その画素の液晶セルに常に加えられている。このため、同一の静止画面を表示し続ける場合には、外部から表示装置に画像信号を入力すること無く、メモリ回路に記憶された信号電圧を用いて画面を表示し続けることができる。

[0124] 図12は、本実施形態の半導体装置における各画素2000の回路の一例を示す図である。

[0125] 本実施形態の半導体装置における各画素2000には、ソースバスライン2003およびゲートバスライン2004と接続されたn型のトランジスタ2005と、トランジスタ2005からこの画素への入力画像信号を記憶するためのメモリ回路とが設けられている。メモリ回路は、p型トランジスタ2007、2008と、n型トランジスタ2009、2010とを用いて構成されたSRAM回路である。SRAM回路を構成するp型トランジスタ2007とn型トランジスタ2009は隣接して配置されており、前述の実施形態の何れかと同様の構成を有している。同様に、p型トランジスタ2008とn型トランジスタ2010も隣接して配置されており、前述の実施形態の何れかと同様の構成を有している。

[0126] トランジスタ2005のゲート端子は液晶表示装置のゲートバスライン2004に、ドレイン端子は液晶表示装置のソースバスライン2003に、ソース端子はメモリ回路へ接続されている。配線2001はメモリ回路の電源ラインであり、液晶2006へ充電される電圧値になっている。

[0127] ソースバスライン2003から入力された信号電圧は、液晶2006に設けられた電極2010に加えられ、液晶2006には電極2010と対向電極2011の間の電位差によって決まる電界が加わる。

[0128] 次に、図12に示す回路の動作を説明する。1/(30×走査線数)また

は $1 / (60 \times \text{走査線数})$ 秒の間、ゲートバスライン 2004 に電圧パルスが加えられ、トランジスタ 2005 はオン状態になる。その間に、ソースバスライン 2003 より画像信号が液晶 2006 とトランジスタ 2009 のゲートに印加される。画像信号がオン電圧（ハイ）とすると液晶 2006 には電界が加わり配向が変化するとともに、トランジスタ 2009 はオン状態、トランジスタ 2010 はオフ状態となる。ゲートバスライン 2004 の電圧がオフ電圧（ロー）になるとトランジスタ 2005 はオフ状態になるが、液晶 2006 はトランジスタ 2008 を通して充電されるのでその配向は変化しない。トランジスタ 2005 がオン状態のときにソースバスライン 2003 からオフ電圧（ロー）が入力されたときは、液晶 2006 には電界が加わらず、トランジスタ 2009 はオフ状態、トランジスタ 2010 はオン状態になる。トランジスタ 2005 がオフ状態になった後も、液晶 2006 はオン状態のトランジスタ 2010 を通じて放電するので電界が加わらないままである。

[0129] なお、図 12 に示す例では、メモリ回路として、シンプルな構成の S R A M 回路を用いているが、S R A M 回路の構成はこれに限定されない。図示する例では、S R A M 回路は 4 個の T F T を含むが、より多くの T F T を含んでいてもよい。また、S R A M 回路の代わりに D R A M 回路を用いることもできる。

産業上の利用可能性

[0130] 本発明の適用範囲は極めて広く、n 型 T F T および p 型 T F T を備えた半導体装置、あるいは、そのような半導体装置を有するあらゆる分野の電子機器に適用することが可能である。例えば、本発明を実施して形成された C M O S 回路は、アクティブマトリクス型液晶表示装置や有機 E L 表示装置などの表示装置の周辺回路に用いることができる。また、本発明は、画素毎にメモリ回路を有する表示装置にも好適に適用され得る。

[0131] このような表示装置は、例えば携帯電話や携帯ゲーム機の表示画面や、デジタルカメラのモニター等に利用され得る。従って、本発明は、液晶表示装

置や有機EL表示装置が組み込まれた電子機器全てに適用できる。

符号の説明

[0132]	1	基板	
	2	絶縁膜	
	3	ゲート絶縁膜	
	4	層間絶縁膜	
	6	保護膜	
	8	画素電極膜	
	9 (n)、9 (p)、10 (n)、10 (p)	コンタクト部	
	11	n型TFTの半導体層	
	20	p型TFTの半導体層	
	21、22	半導体層	
	11e、20e、21e、22e	半導体層の傾斜部	
	11m、20m、21m、22m	半導体層の主部	
	100	n型TFT	
	200	p型TFT	
	G (n)、G (p)	ゲート電極	
	S (n)、S (p)	ソース電極	
	D (n)、D (p)	ドレイン電極	

請求の範囲

- [請求項1] nチャネル型の第1薄膜トランジスタおよびpチャネル型の第2薄膜トランジスタを同一基板上に備える半導体装置であって、
- 前記第1および第2薄膜トランジスタは、絶縁膜上に形成されており、
- 前記第1薄膜トランジスタは、チャネル領域、ソース領域およびドレイン領域を含む第1半導体層と、前記チャネル領域と重なるように配置されたゲート電極と、前記第1半導体層と前記ゲート電極との間に設けられたゲート絶縁膜とを有し、
- 前記第2薄膜トランジスタは、チャネル領域、ソース領域およびドレイン領域を含む第2半導体層と、前記第2半導体層を間に介して互いに対向するように配置された第3半導体層および第4半導体層と、前記チャネル領域および前記第3および第4半導体層と重なるように配置されたゲート電極と、前記第2半導体層と前記ゲート電極との間に設けられたゲート絶縁膜とを有し、
- 前記第1、第2、第3および第4半導体層は同一の膜から形成され、
- 前記第1および第2半導体層は、それぞれ、周縁に位置する傾斜部と、前記傾斜部以外の部分からなる主部とを有し、
- 前記第1半導体層のチャネル領域の傾斜部は、前記第1半導体層の主部および前記第2半導体層の主部よりも高い濃度でp型不純物が導入され、
- 前記第2半導体層のチャネル領域の傾斜部は、前記第1半導体層のチャネル領域の傾斜部よりも低い濃度で前記p型不純物が導入されている、半導体装置。
- [請求項2] 前記ゲート電極の下地表面の段差は、前記第2半導体層の厚さ以下である、請求項1に記載の半導体装置。
- [請求項3] 前記第2半導体層の主部のp型不純物の濃度は、前記第1半導体層

の主部の p 型不純物の濃度よりも低い、請求項 1 または 2 に記載の半導体装置。

[請求項4] 前記同一基板の表面の法線方向から見て、前記第 3 および第 4 半導体層は、それぞれチャネル方向に延びる傾斜部を有しており、

前記傾斜部のうち、前記第 2 半導体層側とは反対側に位置する部分には、前記第 2 半導体層のチャネル領域の傾斜部よりも高い濃度で前記 p 型不純物が導入されている、請求項 1 から 3 のいずれかに記載の半導体装置。

[請求項5] 前記ゲート絶縁膜の厚さは、前記第 1 および前記第 2 半導体層の厚さ以下である、請求項 1 から 4 のいずれかに記載の半導体装置。

[請求項6] 前記ゲート絶縁膜の厚さは 50 nm 以下である、請求項 1 から 5 のいずれかに記載の半導体装置。

[請求項7] 前記第 1、第 2、第 3 および第 4 半導体層は、非晶質半導体膜の結晶化を促進する働きを持つ触媒元素を含んでいる、請求項 1 から 6 のいずれかに記載の半導体装置。

[請求項8] 前記触媒元素は、Ni、Co、Sn、Pb、Pd、Fe、Cu から選ばれた一種または複数種の元素を含む、請求項 7 に記載の半導体装置。

[請求項9] SRAM 回路をさらに含み、

前記 SRAM 回路は、前記第 1 薄膜トランジスタおよび前記第 2 薄膜トランジスタを有している、請求項 1 から 8 のいずれかに記載の半導体装置。

[請求項10] 請求項 9 に記載の半導体装置と複数の画素とを有する表示装置であって、各画素は、

画素電極と、

前記画素電極に接続された画像信号を記憶するメモリ回路と、

前記画像信号に基づいて表示を行う表示セルと

を備えており、

前記メモリ回路は、前記SRAM回路を含む表示装置。

[請求項11]

nチャネル型の第1薄膜トランジスタおよびpチャネル型の第2薄膜トランジスタを同一基板上に備える半導体装置の製造方法であって、

(a) 前記基板上に絶縁膜を形成する工程と、

(b) 前記絶縁膜上に半導体膜を形成する工程と、

(c) 前記半導体膜上に、第1マスク膜および第2マスク膜を形成する工程と、

(d) 前記第1および第2マスク膜をマスクとして、前記半導体膜をエッチングすることにより、前記第1薄膜トランジスタのチャネル領域、ソース領域およびドレイン領域となる領域を含む第1半導体層と、前記第2薄膜トランジスタのチャネル領域、ソース領域およびドレイン領域となる領域を含む半導体層とを形成する工程であって、

前記第1半導体層は、前記第1マスク膜で覆われた主部と、前記第1半導体層の周縁に位置し、前記第1マスク膜で覆われていない傾斜部とを含み、前記半導体層は、前記第2マスク膜で覆われた主部と、前記半導体層の周縁に位置し、前記第2マスク膜で覆われていない傾斜部とを含む工程と、

(e) 前記第1および第2マスク膜をマスクとして、前記第1半導体層の傾斜部および前記半導体層の傾斜部にp型不純物を導入する工程と、

(f) 前記第1および第2マスク膜を除去する工程と、

(g) 前記第1半導体層の全体を覆う第3マスク膜と、前記半導体層のチャネル領域、ソース領域およびドレイン領域となる領域、並びに、前記半導体層のチャネル方向に延びる傾斜部の一部を覆う第4マスク膜とを形成する工程と、

(h) 前記第3および第4マスク膜をマスクとして、前記半導体層をエッチングして前記チャネル領域、前記ソース領域および前記ドレ

イン領域となる領域を有する第2半導体層と、前記第2半導体層を間に介して互いに対向するように形成された第3半導体層および第4半導体層とに分離する工程と、

(i) 前記第2、第3および第4半導体層と重なるようにゲート電極を形成する工程とを包含する、半導体装置の製造方法。

[請求項12] 前記工程(h)と前記工程(i)との間に、

(j) 前記第1半導体層の一部にn型不純物を導入して前記ソース領域および前記ドレイン領域を形成する工程と、

(k) 前記第2半導体層の一部にp型不純物を導入して前記ソース領域および前記ドレイン領域を形成する工程とを包含する、請求項11に記載の半導体装置の製造方法。

[請求項13] ゲート電極の下地表面の段差は、前記第2半導体層の厚さ以下である、請求項11または12に記載の半導体装置の製造方法。

[請求項14] 前記第2半導体層の主部のp型不純物の濃度は、前記第1半導体層の主部のp型不純物の濃度よりも低い、請求項11から13のいずれかに記載の半導体装置の製造方法。

[請求項15] 前記第2半導体層の傾斜部は、チャネル方向に延びる部分を有しており、

前記チャネル方向に延びる部分のうち前記ゲート電極と重なる部分のp型不純物濃度は、前記第1半導体層の傾斜部のp型不純物濃度よりも低い、請求項11から14のいずれかに記載の半導体装置の製造方法。

[請求項16] 前記工程(b)に、

結晶化を促進する触媒元素が少なくとも一部に添加された非晶質半導体膜を用意する工程と、

前記非晶質半導体膜に対して加熱処理を行って、前記非晶質半導体膜の少なくとも一部を結晶化することにより、前記半導体膜を得る工程と

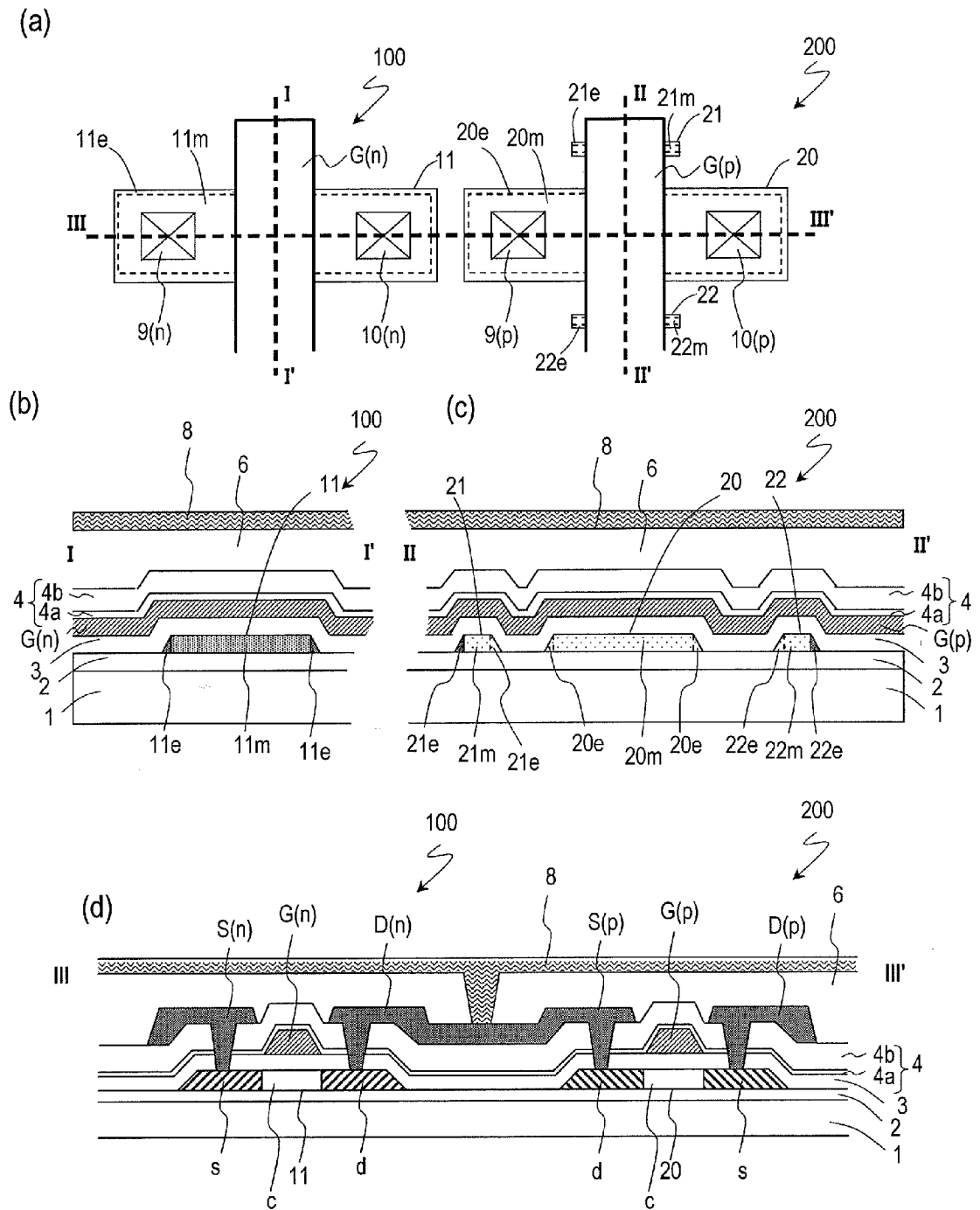
をさらに包含する、請求項 1 1 から 1 5 のいずれかに記載の半導体装置の製造方法。

[請求項17] 前記第 1 および第 2 半導体層上にゲート絶縁膜を形成する工程をさらに含み、

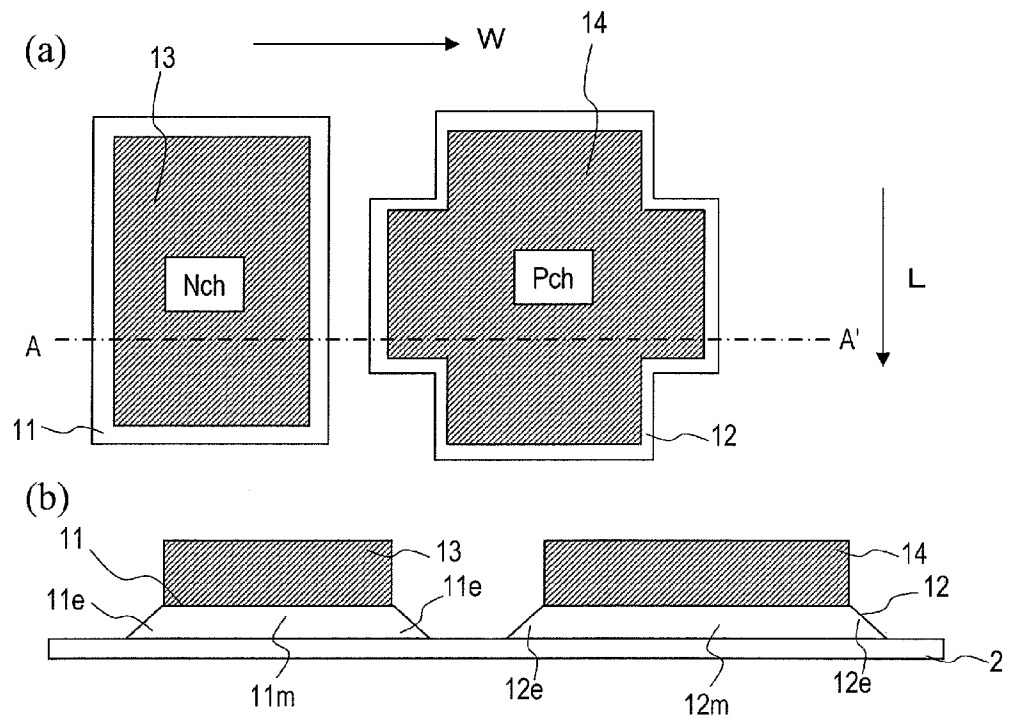
前記ゲート絶縁膜の厚さは、前記第 1 および前記第 2 半導体層の厚さ以下である、請求項 1 1 から 1 6 のいずれかに記載の半導体装置の製造方法。

[請求項18] 前記ゲート絶縁膜の厚さは 5 0 n m 以下である、請求項 1 7 に記載の半導体装置の製造方法。

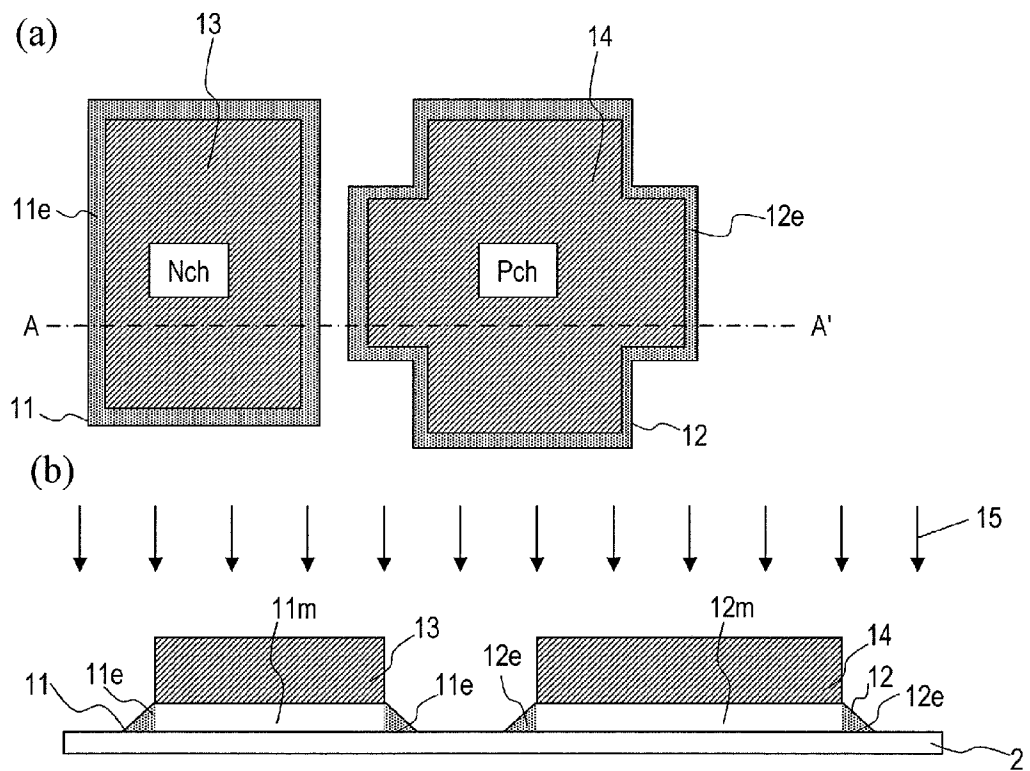
[図1]



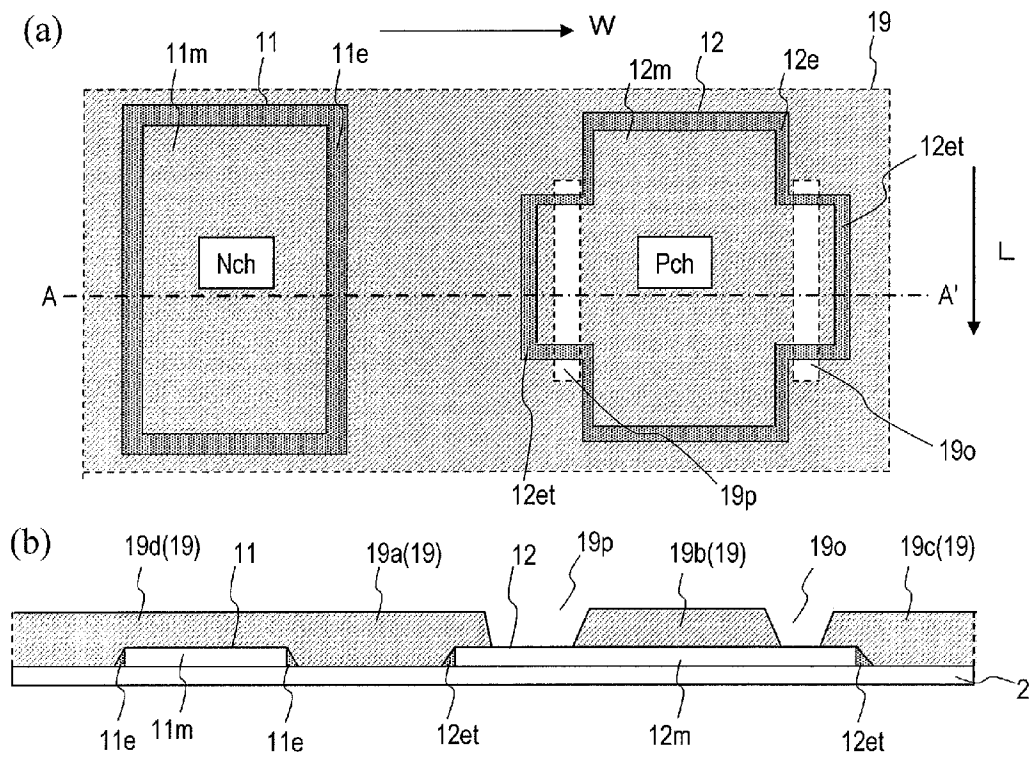
[図2]



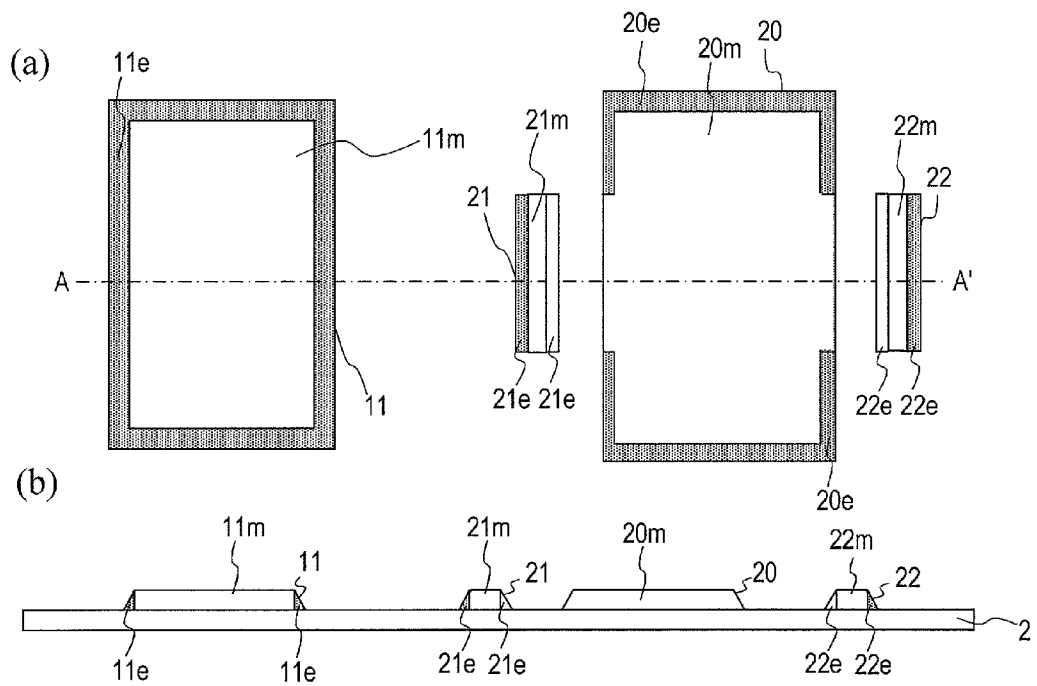
[図3]



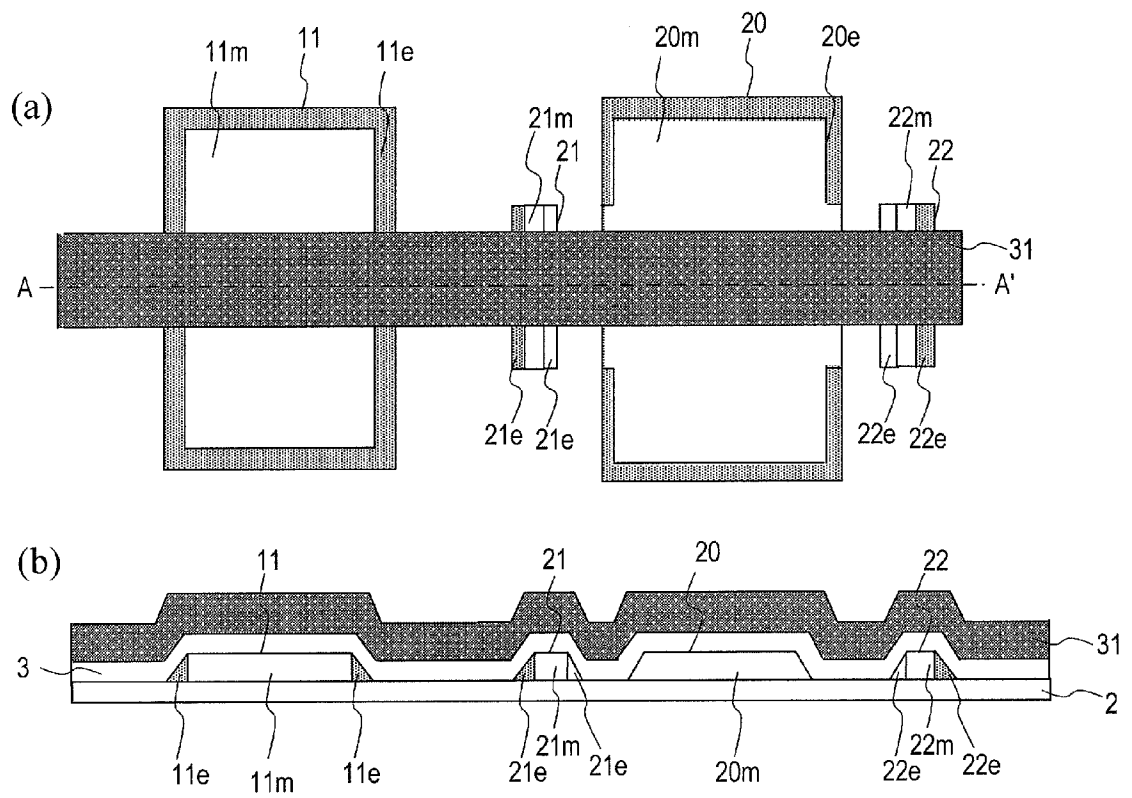
[図4]



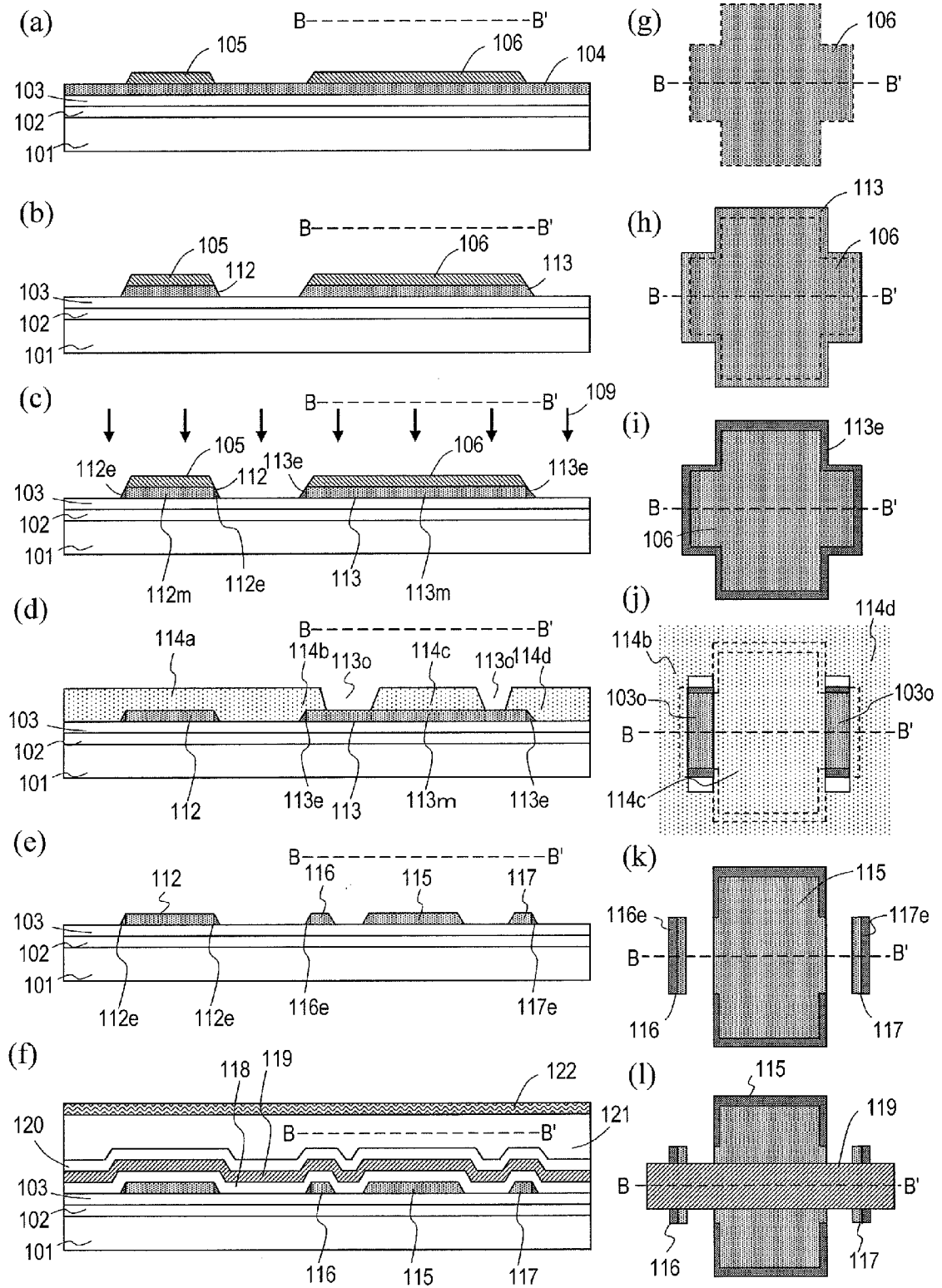
[図5]



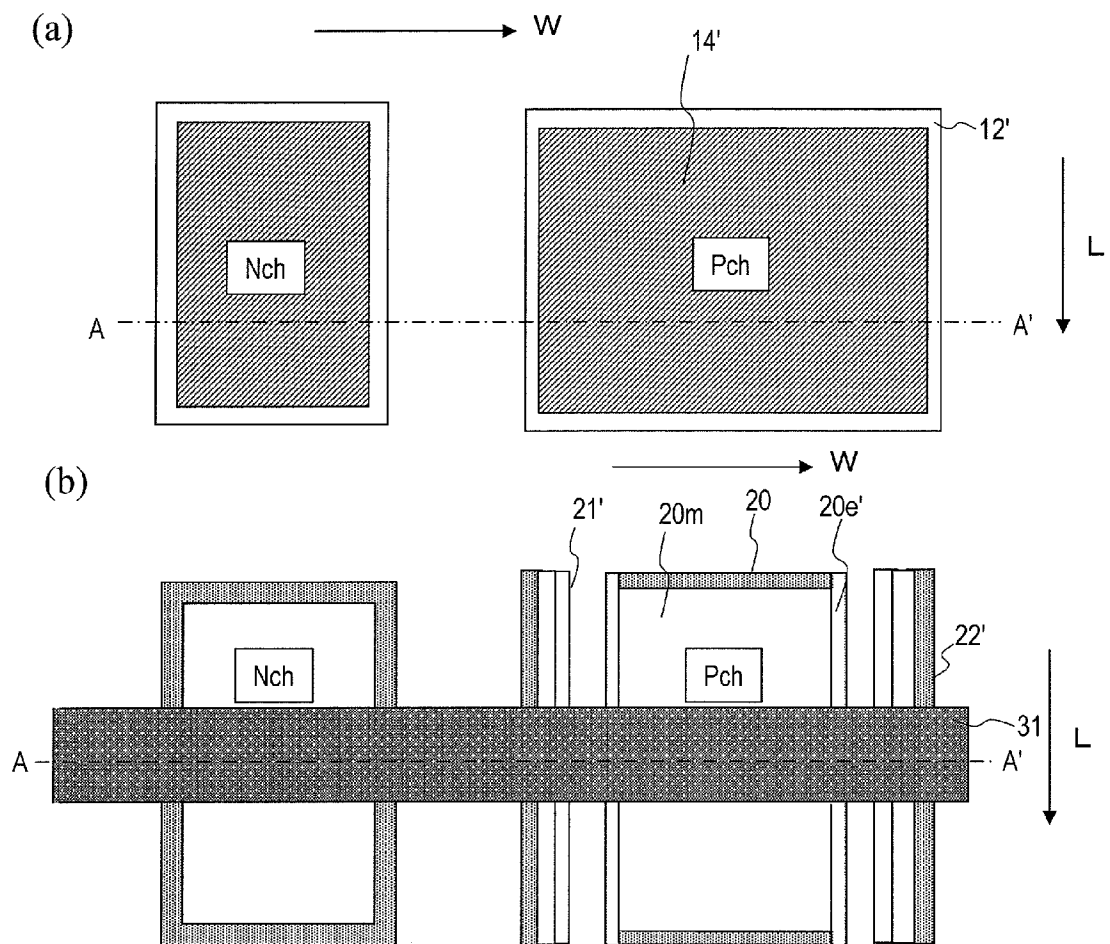
[図6]



[図7]

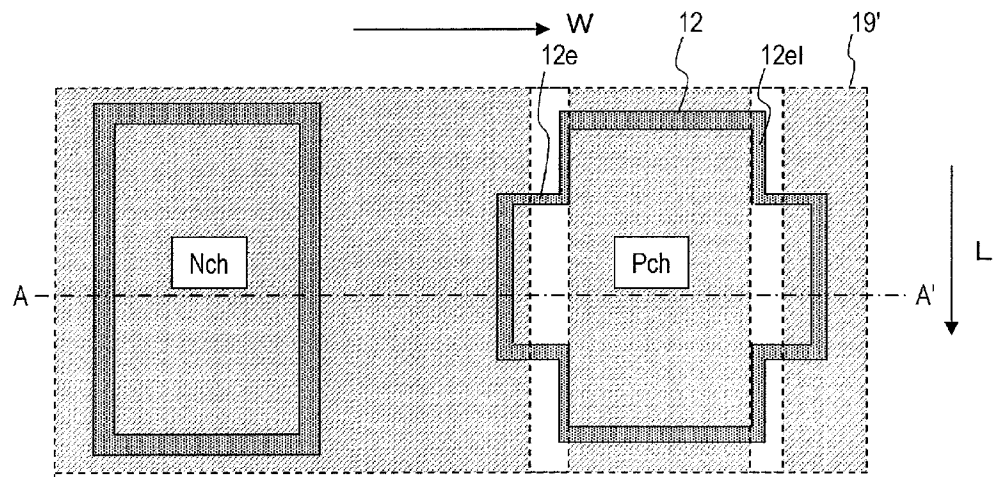


[図8]

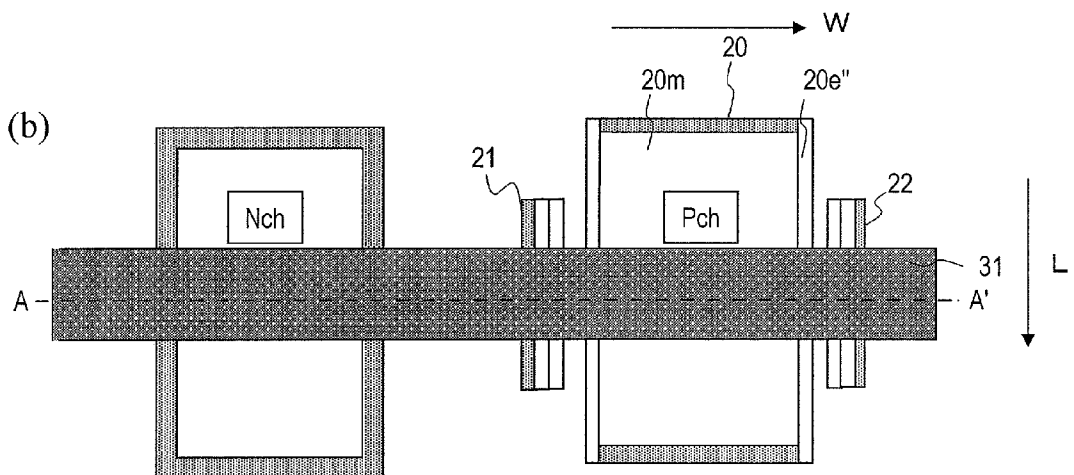


[図9]

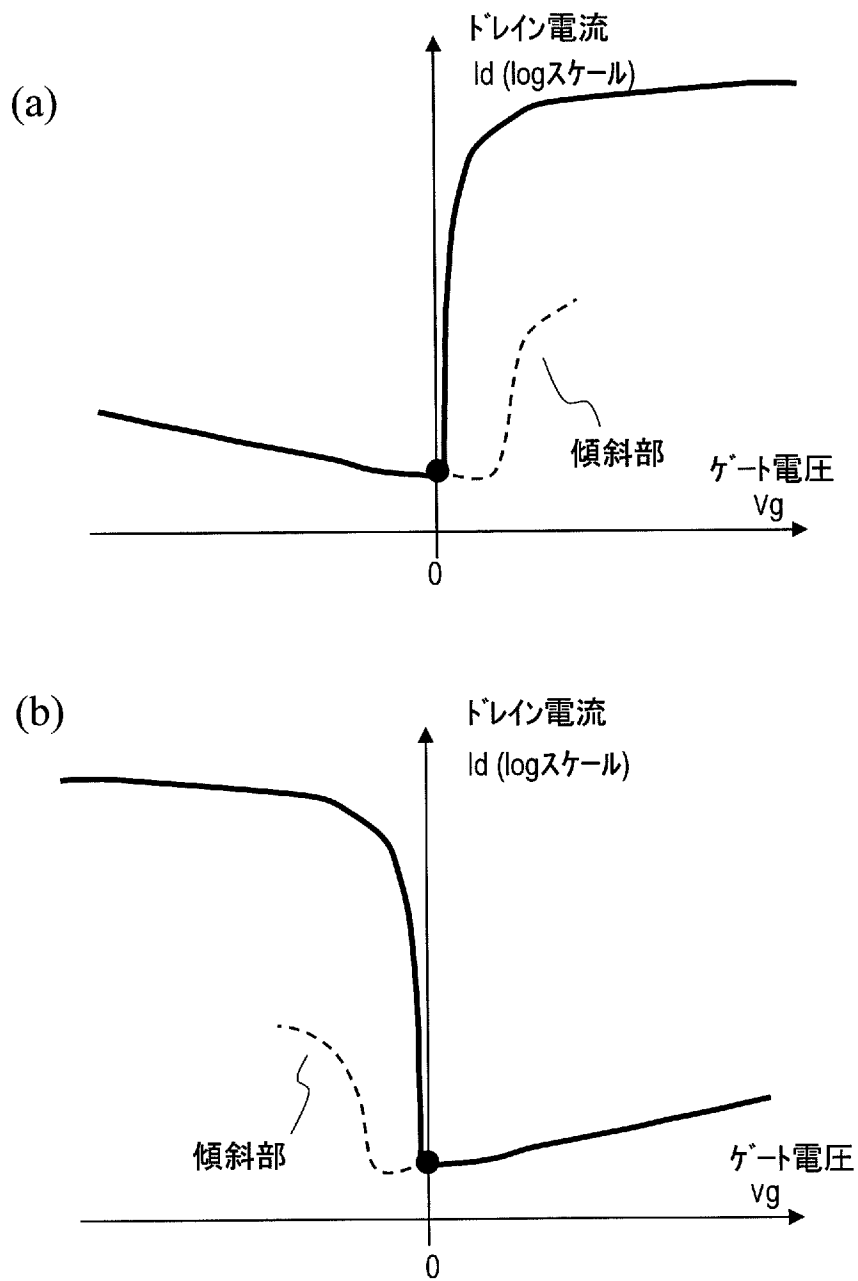
(a)



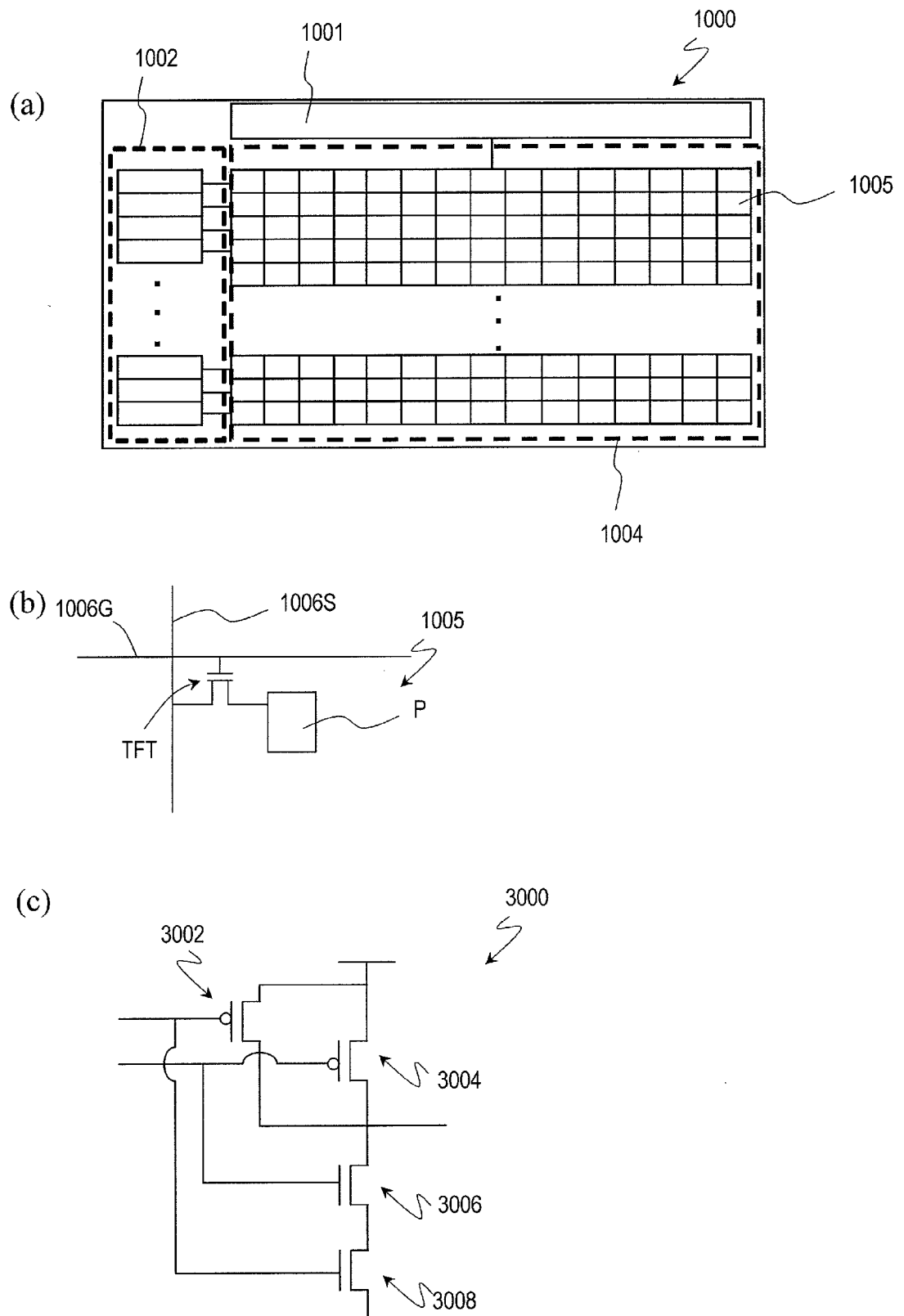
(b)



[図10]



[図11]



[illegible]

ソースドレイン間電流の対数

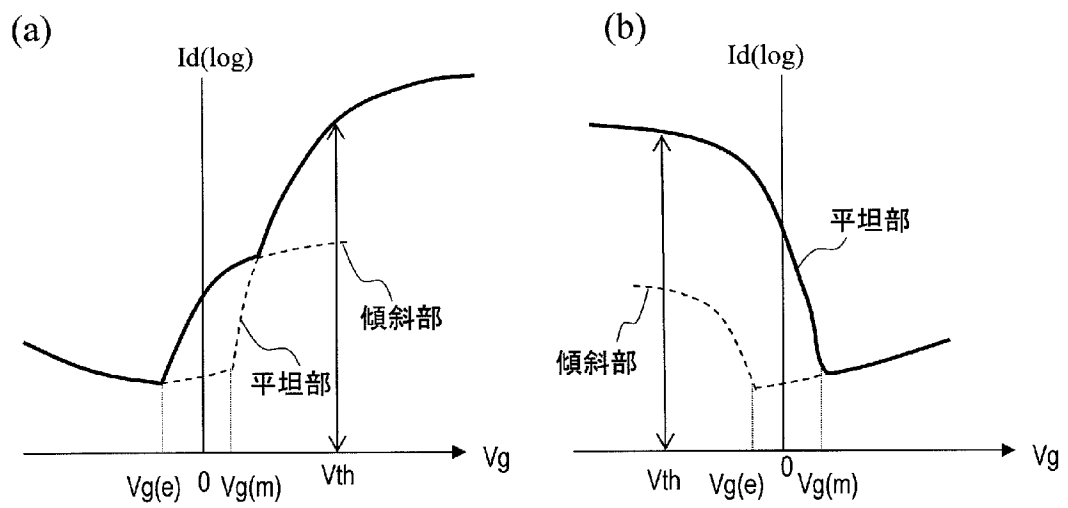
平坦部

傾斜部

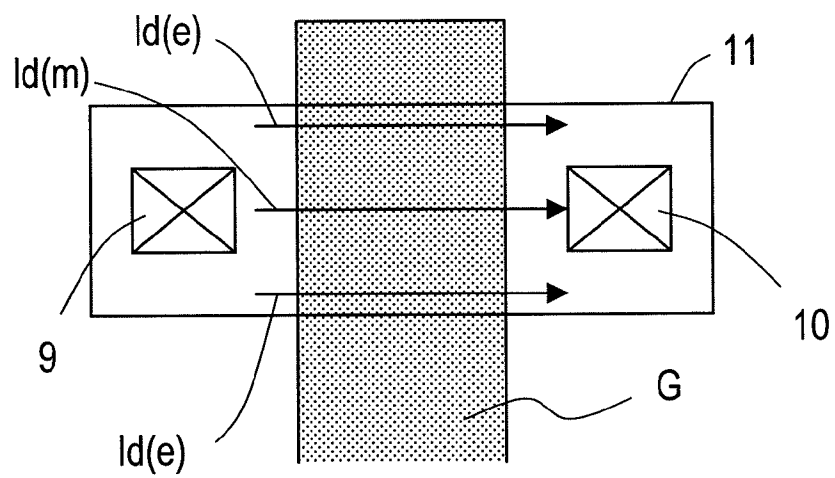
0

ゲート電圧 V_g

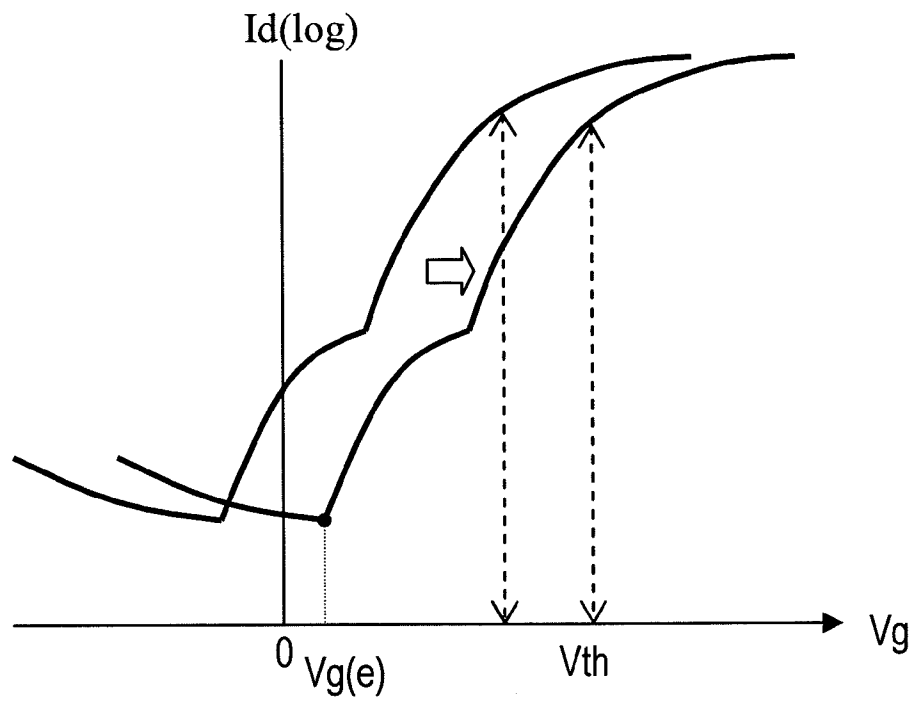
[図14]



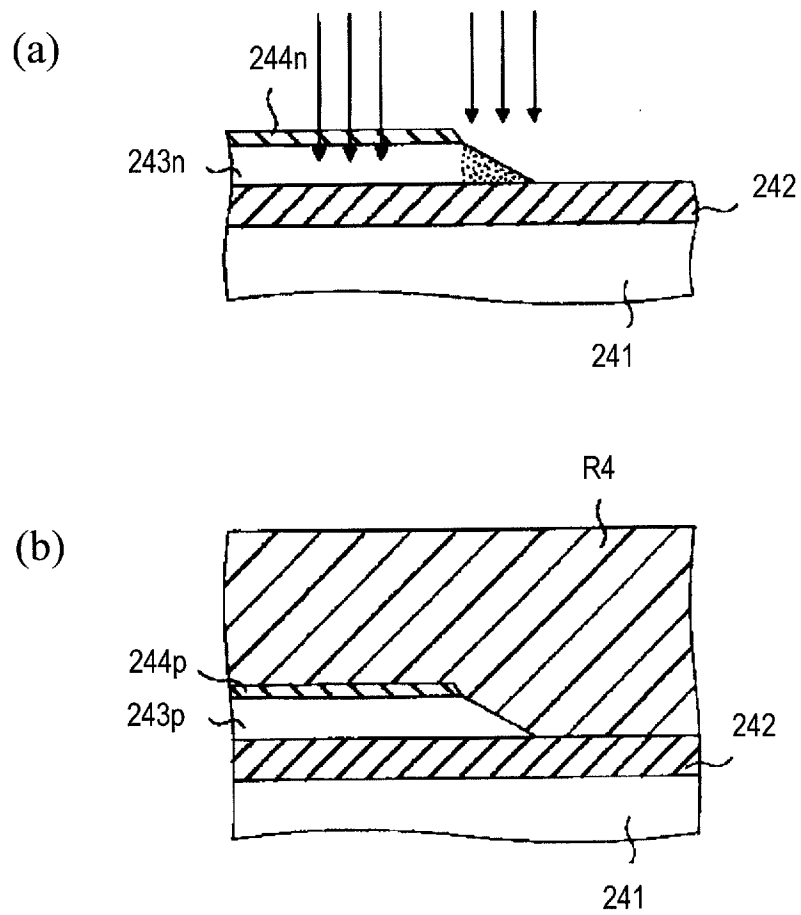
[図15]



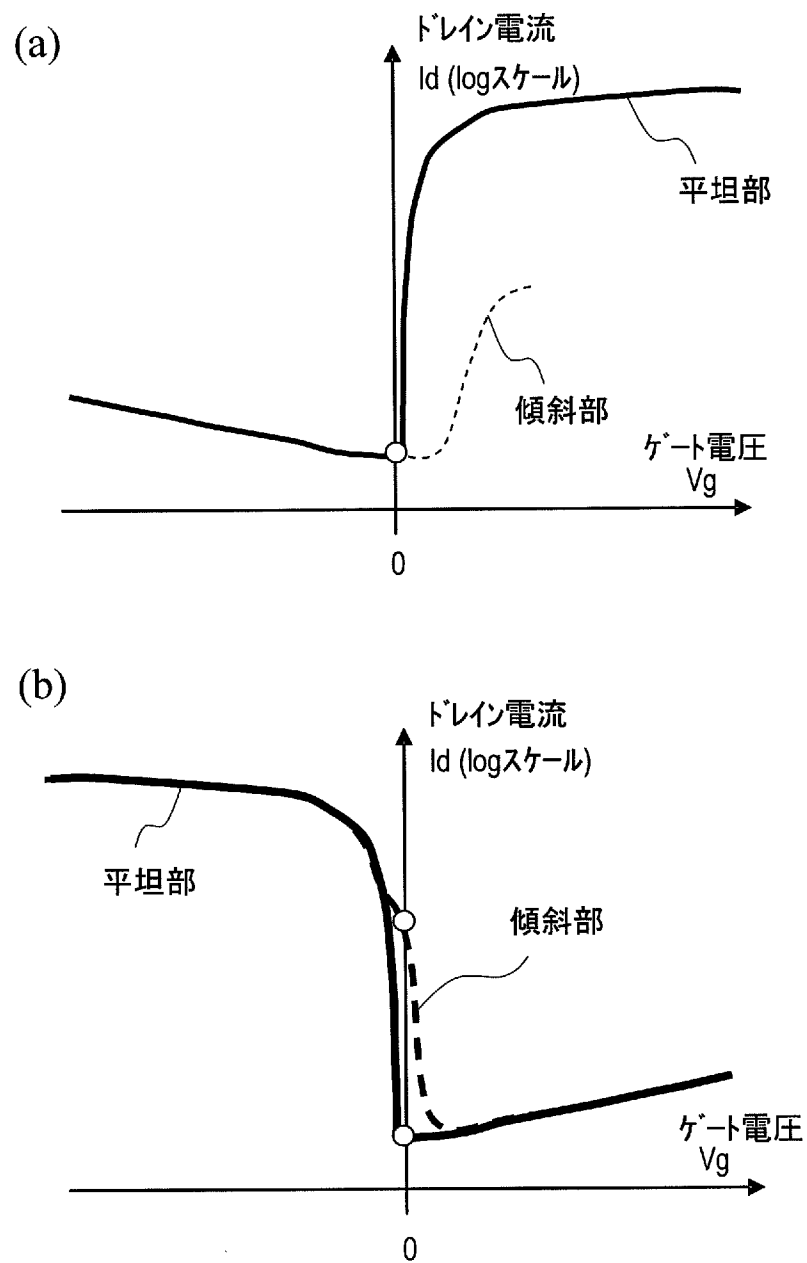
[図16]



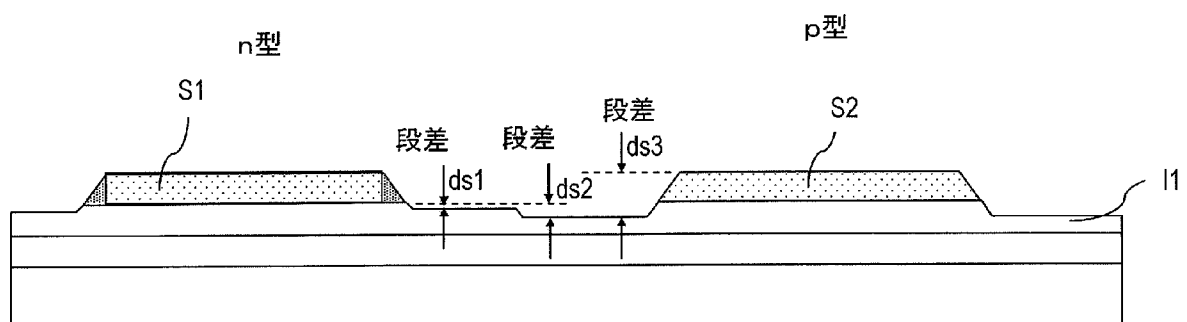
[図17]



[図18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/063482

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01)i, G02F1/1368(2006.01)i, G09F9/30(2006.01)i, H01L21/20(2006.01)i, H01L21/336(2006.01)i, H01L21/8244(2006.01)i, H01L27/08(2006.01)i, H01L27/11(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, G02F1/1368, G09F9/30, H01L21/20, H01L21/336, H01L21/8244, H01L27/08, H01L27/11

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-166597 A (Sharp Corp.), 17 July 2008 (17.07.2008), paragraphs [0038] to [0113]; fig. 1 to 18 (Family: none)	1-18
A	JP 2003-258262 A (Fujitsu Display Technologies Corp.), 12 September 2003 (12.09.2003), entire text; all drawings & US 2003/0160245 A1 & TW 224865 B & CN 1441502 A	1-18
A	JP 2008-300417 A (National Institute of Advanced Industrial Science and Technology), 11 December 2008 (11.12.2008), paragraphs [0032] to [0037]; fig. 34 to 42 & US 2010/0213546 A & WO 2008/146586 A1	1-18



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search
12 July, 2011 (12.07.11)

Date of mailing of the international search report
26 July, 2011 (26.07.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/063482

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-187127 A (Mitsubishi Electric Corp.), 14 August 2008 (14.08.2008), paragraphs [0019] to [0045]; fig. 2 to 8 & US 2008/0179600 A1 fig. 2 to 8 & KR 10-2008-0071897 A & CN 101236993 A	1-18
A	JP 2007-048777 A (NEC LCD Technologies, Ltd.), 22 February 2007 (22.02.2007), fig. 1 and explanations thereof & US 2007/0029614 A1 fig. 1 & CN 1909249 A	1-18

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/786(2006.01)i, G02F1/1368(2006.01)i, G09F9/30(2006.01)i, H01L21/20(2006.01)i,
H01L21/336(2006.01)i, H01L21/8244(2006.01)i, H01L27/08(2006.01)i, H01L27/11(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/786, G02F1/1368, G09F9/30, H01L21/20, H01L21/336, H01L21/8244, H01L27/08, H01L27/11

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-166597 A（シャープ株式会社）2008.07.17, 【0038】 - 【0113】 及び図 1-18（ファミリーなし）	1-18
A	JP 2003-258262 A（富士通ディスプレイテクノロジーズ株式会社） 2003.09.12, 全文及び全図 & US 2003/0160245 A1 & TW 224865 B & CN 1441502 A	1-18

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

1 2 . 0 7 . 2 0 1 1

国際調査報告の発送日

2 6 . 0 7 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

松本 陶子

4 L

4 4 2 9

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-300417 A (独立行政法人産業技術総合研究所) 2008. 12. 11, 【0032】 - 【0037】 及び図 34-42 & US 2010/0213546 A & WO 2008/146586 A1	1-18
A	JP 2008-187127 A (三菱電機株式会社) 2008. 08. 14, 【0019】 - 【0045】 及び図 2-8 & US 2008/0179600 A1 FIG. 2-8 & KR 10-2008-0071897 A & CN 101236993 A	1-18
A	JP 2007-048777 A (NEC液晶テクノロジー株式会社) 2007. 02. 22, 図 1 及び図 1 の説明箇所 & US 2007/0029614 A1 FIG. 1 & CN 1909249 A	1-18