



(12) 发明专利申请

(10) 申请公布号 CN 102308283 A

(43) 申请公布日 2012. 01. 04

(21) 申请号 200980155660. 4

代理人 程伟 王锦阳

(22) 申请日 2009. 11. 27

(51) Int. Cl.

(30) 优先权数据

102008059502. 0 2008. 11. 28 DE

12/604, 532 2009. 10. 23 US

G06F 11/00 (2006. 01)

G01R 31/317 (2006. 01)

H01L 23/34 (2006. 01)

(85) PCT申请进入国家阶段日

2011. 07. 28

(86) PCT申请的申请数据

PCT/EP2009/008470 2009. 11. 27

(87) PCT申请的公布数据

W02010/060638 EN 2010. 06. 03

(71) 申请人 先进微装置公司

地址 美国加利福尼亚州

申请人 AMD FAB 36 有限责任公司

(72) 发明人 V·帕帕耶奥尔尤 M·维亚特尔

J·亨齐尔

(74) 专利代理机构 北京戈程知识产权代理有限公司

公司 11314

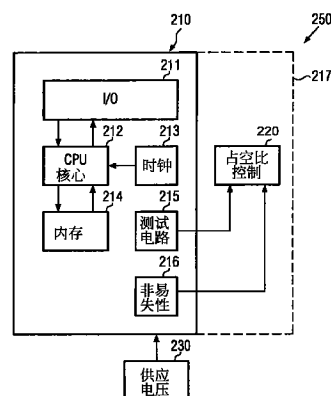
权利要求书 2 页 说明书 9 页 附图 3 页

(54) 发明名称

通过时钟占空比调整的半导体器件的性能退化的补偿

(57) 摘要

本发明是关于通过时钟占空比调整的半导体器件的性能退化的补偿。通过适当地调整时钟信号的占空比可补偿集成电路的器件退化。为此目的,在器件的正常实际工作时,可建立及使用占空比和集成电路的整体性能特性之间的相关性,以改变占空比。因为可以有效控制占空比,同时可不需要时钟信号频率的改变和/或供应电压的增加,因此可以实现有效的控制方法。



1. 一种稳定集成电路器件的性能的方法,该方法包括:
确定参数的更新值,其表示集成电路器件的性能;以及
在更新值的基础上,控制集成电路器件的时钟信号的占空比,以保持在特定范围内。
2. 如权利要求1所述的方法,还包括存储该参数的初始值和比较该初始值与该更新值。
3. 如权利要求1所述的方法,其中,在该集成电路器件的工作寿命至少多次确定该更新值的值。
4. 如权利要求1所述的方法,其中控制该时钟信号的占空比包括获得不同占空比的该参数的多个参考值和选择在指定的范围内与该参考值之一者关联的该不同占空比之一者。
5. 如权利要求1所述的方法,其中在该集成电路的整个工作寿命中实质上维持该集成电路的工作电压。
6. 如权利要求1所述的方法,其中确定该参数的更新值包括测量该集成电路的内部电路部分的最大工作速度。
7. 如权利要求1所述的方法,其中存储该参数的初始值包括存储在器件内部的非易失性内存的初始值。
8. 如权利要求1所述的方法,其中存储该参数的初始值包括存储该集成电路提供的电子保护阵列的初始值。
9. 如权利要求1所述的方法,其中控制该占空比是通过外部提供容纳该集成电路的封装的电路来进行。
10. 如权利要求1所述的方法,其中控制该占空比是通过该集成电路的器件内部电路部分来进行。
11. 如权利要求4所述的方法,其中,在该集成电路的工作寿命的初始阶段得到该多个参考值。
12. 如权利要求4所述的方法,其中,在该集成电路的工作寿命内至少多次得到该多个参考值。
13. 一种集成电路的工作方法,该方法包括:
建立集成电路的性能特性和用于该集成电路的时钟信号的占空比之间的关联;和
在该关联的基础上,于该集成电路的工作寿命内至少多次的该集成电路的工作期间,控制占空比。
14. 如权利要求13所述的方法,其中建立该关联包括确定该占空比和表示该集成电路的最高性能的参数之间的第一关系。
15. 如权利要求13所述的方法,其中建立该关联包括确定该占空比和该集成电路的累计工作时间之间的第二关系。
16. 如权利要求14所述的方法,其中确定该第一关系包括取得该参数的多个值,和对该多个值的每一个取得相关的占空比。
17. 如权利要求16所述的方法,还包括确定该参数的初始值,并永久保存该初始值。
18. 如权利要求17所述的方法,其中该初始值被存储在该集成电路的器件内部组件中。
19. 如权利要求13所述的方法,其中在该集成电路的工作寿命期间实质上保持该集成

电路的供应电压不变。

20. 一种电子电路系统,包括:

集成电路包括内部时钟信号发生器和连接的功能电路部分,以接收时钟信号发生器的时钟信号;以及

占空比控制单元可工作地连接到该时钟信号发生器和配置为在该集成电路的工作寿命期间多次启始该时钟信号的占空比的变化。

21. 如权利要求 20 所述的电子电路系统,还包括可容纳该集成电路的封装。

22. 如权利要求 21 所述的电子电路系统,其中,该封装容纳该占空比控制单元。

23. 如权利要求 22 所述的电子电路系统,其中,该集成电路和该占空比控制单元形成在共同的半导体芯片上。

24. 如权利要求 20 所述的电子电路系统,其中,该集成电路进一步包括确定该功能电路部分的性能表示的性能特性的内部电路部分。

25. 如权利要求 24 所述的电子电路系统,其中该集成电路进一步包括用于存储该性能特性的初始参数值的非易失性内存。

通过时钟占空比调整的半导体器件的性能退化的补偿

技术领域

[0001] 一般而言,本发明系关于先进的集成电路,如包括高度微缩 (highly scaled) 晶体管组件的 CPU,和用来增加产品性能的补偿技术。

背景技术

[0002] 先进的集成电路的制造,如 CPU,存储器件,ASIC(专用集成电路),等等,需要按照特定的电路布局在给定的芯片区域上形成大量电路组件,其中场效应晶体管代表电路组件的一重要类型,其实质确定集成电路的性能。一般来说,目前的多种工艺技术,其中,对于包括场效应晶体管的复杂电路的许多类型,由于鉴于工作速度和 / 或功率消耗和 / 或成本效益的优良特性,MOS 技术是目前最有前途的方法之一。在使用例如,MOS 技术,数百万个晶体管,例如,N 沟道晶体管和 / 或 p 沟道晶体管的复杂的集成电路的制造时,形成在包括结晶的半导体层的基板上。场效应晶体管,不论是 N 沟道晶体管或 P 沟道晶体管,通常包括通过高掺杂区的的接口形成的所谓的 PN 结,称为漏极和源极区,具有轻掺杂或不掺杂的区域,如沟道区域,置于毗邻高掺杂的区域。在场效应晶体管沟道区域的电导率 (conductivity),即导电沟道的驱动电流能力,是通过毗邻区域沟道形成的栅电极 (gate electrode) 控制和通过薄绝缘层由此隔开。导电沟道形成后,由于适当的控制电压施加于栅电极,沟道区域的电导率取决于对掺杂浓度,载子 (charge carrier) 的迁移率,以及 - 在晶体管宽度方向的沟道区域的给定延伸 - 源极和漏极区域之间的距离上,其也称为沟道长度。因此,控制电压施加于栅电极后,结合快速创建绝缘层下的导电沟道的能力,沟道区域的电导率实质影响 MOS 晶体管的性能。因此,因为创建沟道的速度,取决于栅电极的电导率,而且沟道电阻率 (resistivity) 实质确定晶体管特性,沟道长度的微缩 - 与此相关的沟道电阻率的减少和栅极电阻率的增加 - 是为达成集成电路的工作速度的增加的主流设计标准。

[0003] 目前,由于实质无限的可用性,硅及相关材料和工艺的特性和过去 50 年来的技术经验,集成电路绝大部分是基于硅。因此,硅将可能仍是未来大量产品设计用的电路生成的材料的首选。用于制作半导体器件中的硅的优势的重要性的原因,是硅 / 二氧化硅接口的优良特性,使不同区域的可靠的电性彼此绝缘。硅 / 二氧化硅接口是在高温下稳定,因此,使随后的高温工艺的性能如所需要的,例如对于退火周期,激活掺杂和固化晶体损伤 (cure crystal damage),而不牺牲接口的电性特性。

[0004] 对于上述指出的原因,最好是用二氧化硅作为场效应晶体管的栅极绝缘层隔开栅电极 (常由多晶硅或其它含有金属的材料组成) 与硅沟道区域。在稳定改善场效应晶体管的器件的性能中,该沟道区域的长度不断减少,以增加切换速度和驱动电流能力。由于晶体管的性能是通过提供给栅电极的电压来控制,以转化沟道区域的表面为相当高的电荷密度,用以对给定的供应电压提供所需的驱动电流,因此,必须维持由通过栅电极,沟道区域和置于栅电极与沟道区域之间的二氧化硅形成的电容器所提供的一定程度的电容耦合。结果证明,减少沟道长度需要增加电容耦合,以在晶体管工作时避免所谓的短沟道行为。短沟道行为可能会导致增加的漏电流及对于沟道长度的阈值电压的依赖。具有相对低的供应电

压和从而降低阈值电压的积极缩放晶体管器件可能受到漏电流的急剧增加,而也需要栅电极至沟道区域的增强的电容耦合。因此,二氧化硅层的厚度要相应减少,以提供栅极和沟道区域之间需要的电容。例如,约 $0.08\ \mu\text{m}$ 的沟道长度可能需要薄约 1.2nm 的二氧化硅制造的栅极电介质 (dielectric)。虽然,具有极短的沟道的一般高速晶体管组件较佳可以用于高速应用,而具有较长的沟道的电晶体组件可用于不太重要的应用,如存储晶体管组件,由通过超薄二氧化硅栅极绝缘层的载子的直接隧穿所造成的相对高漏电流可能达到范围内或 $1\text{--}2\text{nm}$ 的氧化层厚度的值,其可代表性能驱动电路的限制。也就是说,产品的可靠性和寿命与短沟道效应,即碰撞电离和热载流子注入 (HCI) 组合栅极电介质泄漏,密切相关。此外,其它效应,如负偏压温度不稳定性 (NBTI),其实质影响 p 沟道晶体管,日益成为持续涉及 CMOS 微缩的问题。预期这些效应将越来越重要,因可能不以微缩关键器件的尺寸的相同的方式继续器件的工作电压的微缩,从而产生更高的驱动电流和电场强度。这些可靠性现象的原因是众所周知在阈值电压,栅极泄漏和有效的驱动电流导致明显的器件参数的变化,其是必需的以维持稳定和可预见的电路功能和产品的性能。

[0005] 因此,在试图减少的改善生产技术作出重大努力,以实现在性能,可靠性和寿命方面达到预定的规格的高产量产品。例如,关于功耗的任何改进,其可能关于新技术的引进,只在功耗可转化为增加性能,即由允许的最大供应电压和最大热功率定义的区域,仍然实质不变。同样,进一步的器件微缩可能与产品的增加的工作速度有关,但增加的功耗可能超过所允许的设计功率,从而无法获得利用该组件的减少尺寸的显著优势。因此,在这种情况下,通过高尖端技术制造的产品或许仍需视为与该先进制造技术无关的同样规格类别的产品,其可能增加生产成本。此外,在积极微缩的半导体技术中,尽管采取了任何措施,以保证产品的寿命和可靠性,但在工作时间仍可观察到一个普遍增加的产品性能的退化,其可能在将各种产品分类为具体的类别时予以考虑,因为各产品在产品的整个生命周期要满足规格。例如,在先进的微处理器中,这种性能退化表现本身在随增加的工作时间的最大工作频率的强烈退化。

[0006] 为了确保在整个产品生命周期所需的产品性能,例如微处理器产品十年生命周期,必须使用适当选择规格,其中包括相应的安全保证或“保护频带 (guard band)”,以保证具有对应性能规格的下限的特性的产品仍可在整个生命周期停留在指定的范围内。此意味,例如,具有特定的初始最大工作频率的微处理器可能要被视为低速度等级的产品,因为在整个生命周期中在性能的退化可能最终导致减少的最大工作速度,而不再属于对应较高的速度等级的类别。

[0007] 图 1 示意地说明产品性能的时间进展 (temporal progression),例如微处理器产品的最大工作频率 F_{max} 的形式,在生命周期中,如 10 年,其中产品的初始状态,可以对应特定的最大工作频率,表示为 I,其在一段时间减少或降低,以到达显著降低状态 F 相当于产品在保证寿命的性能。应该明白,连接状态 I 和 F 的曲线是简化的显示,但是其定性地说明先进的集成电路的性能退化。

[0008] 图 1b 示意地说明功耗表现,其中绘示集成电路的设计功率对性能参数,如微处理器的最大工作频率 F_{max} ,其中热设计功率的上限以 TPL 表示。此外,区域 A 说明器件制造后,其中包括的产品具有确定的一定最大工作速度或频率,同时也关联于热设计功率的上限 TPL。此外,对区域 A,确定较低的频率限制,表示最低允许的 F_{max} ,以指定实际产品速度,

以产品部分 A 表示为“产品速度”。产品速度表示在实际应用中之产品所需的性能,但是,由于时间依赖的性能退化,明显低于区域 A 的较低的“ F_{max} ”限制。然而,正如上述图 1a 所述,随着时间的产品的退化,传统上可考虑到相应的“性能保护频带”。例如,制造后具有最大工作频率 I 的产品,其寿命期后可具有状态 F,其中,状态 F 需高于产品速度,而需要适度宽的保护频带。因此,位于保护频带之内的任何具有初始最高频率的产品,可能要归纳为较低的产品速度部分,从而减少整个制造工艺的盈利能力,因为高速产品通常可以较高的价格出售。

[0009] 因此,鉴于增加相应的制造工艺的盈利能力,最好需尽可能多的减少保护频带。为增加技术改进的高性能要求的部件的数量,例如下技术世代或整体产品设计的改进是必需的,但可能关联导致增加的研究和工程计划的重要工艺的修改,从而增加生产成本。

[0010] 除考虑器件退化,例如关于最大工作频率,通过利用相应的保护频带机制,在系统的工作时供应电压的适当控制的基础上,已建议最大工作频率随时间的恢复。在控制机制中,在集成电路的工作寿命期间,可使用供给电压的增加,以增加最大工作频率,从而在一定程度上补偿器件退化。然而,供应电压的增加可能关联于总功率消耗相应的增加,而可能导致器件内部的工作温度不容许的增加。因此,相应的补偿技术限制在器件的相应的允许的总功率消耗范围。此外,适当设计的外围组件要落实到电路系统,如先进的电压调节器,以便在集成系统的工作状态的基础上精确调整供应电压。此外,不超过允许总功率消耗范围的性能退化的高效率的精确补偿,可能需要几个 mV 内的外部供应电压的控制,其可能因此增加整个电子电路系统的整体复杂性。

[0011] 鉴于此种情况,本发明系关于减少或补偿复杂的集成电路的性能退化的方法和器件,同时本发明避免、或至少减少以上所指出的一个或多个问题的影响。

发明内容

[0012] 为提供本发明的一些态样的基本解释,以下提出本发明的简化概要。其概要不是本发明的彻底纵览。它不是要确定本发明的临界或重要组件或叙述本发明的范畴。其主要目的是用简化方式提出一些概念作为稍后讨论更详尽描述的序言。

[0013] 一般而言,本发明是关于先进的集成电路和工作方法,其中调整用于工作集成电路的时钟信号的占空比的基础上,可减少随着时间的性能退化。一般时钟信号的占空比是理解为相对于一块周期的整个周期的高水平的比,其中可忽略相应的下降时间和上升时间。例如,50%占空比关于总周期的 50%的时钟信号的高水平。48%的占空比,例如,关于 48%的高水平及相应 52%的低水平。由于提供给复杂的时钟基集成电路的各组件的时钟信号可显着影响个别电路部分的工作行为,因此,占空比的变化可不实际修改钟信号频率而影响速度关键器件部分。因此,由于速度关键信号路径的性能相应的偏移,占空比的修改可因此导致集成电路整体性能的偏移,而同时可保持器件的时钟频率。因此,基于占空比的调整的相应的补偿机制,可因此视为“中性”对于任何功率限制,如通常在传统策略中遇到的,其中的供应电压可以增加,以补偿性能退化。因此,一旦确定占空比和集成电路的性能特性之间的适当的相关,可提供高效率的控制机制,因为举例来说,比传统的方法使用的相应供电电压的极为敏感的修改,可以有效地修改时钟信号的占空比。

[0014] 本文所披露的例示的方法关于集成电路器件的性能的稳定。该方法包括确定参数

的更新值,其表示集成电路器件的性能。此外,该方法包括在该更新值的基础上,控制该集成电路器件的时钟信号的占空比,以保持特定范围内。

[0015] 本文所披露的进一步例示的方法是关于集成电路的工作。该方法包括建立集成电路的性能特性和该集成电路中使用的时钟信号的占空比之间的相关性。该方法还包括在相关的基础上,于该集成电路的工作寿命内至少多次的该集成电路的工作时,控制占空比。

[0016] 本文所披露的例示的电子电路系统包括集成电路包括内部时钟信号发生器和连接的功能电路部分,以接收时钟信号发生器的时钟信号。此外,该电子电路系统包括占空比控制单元,该占空比控制单元可工作地连接到该时钟信号发生器和配置为在该集成电路的工作寿命期间多次起始该时钟信号的占空比的变化。

附图说明

[0017] 本发明可参考以下结合附加图式的说明而理解,该图式中,同样的组件符号表示同样的组件,且其中:

[0018] 图 1a 和 1b 示意说明实质不变供应电压的基础上工作的包括 CMOS 晶体管的传统方式先进的集成电路的寿命的性能行为的表示图;

[0019] 图 2a 示意说明依据说明实施例的具有不同占空比的给定频率的时钟信号的时序图,可用于较少退化的占空比基的补偿;

[0020] 图 2b 示意说明示范依据说明实施例的集成电路的寿命的使用适当的占空比的基础上的补偿器件退化的工作行为和相应技术;及

[0021] 图 2c 示意说明包括集成电路组合占空比控制单元的电子系统,其配置补偿集成电路寿命的器件退化,其中,可提供占空比控制单元为外部组件或内部组件。

[0022] 虽然本文所揭露之标的容许各种修改及替代形式,但其特定的实施例已通过图式中的例子来显示并于本文中详细描述。然而应该理解,本文中特定实施例的描述不是要限制本发明为所揭露的特定形式,而相反地,本发明欲涵盖落于本发明的精神与范畴内所具有修改物、相等物、以及替代物,其如附加的申请权利范围所定义者。

具体实施方式

[0023] 本发明之各种例示实施例描述如下。为求清楚,并非所具有实际实施方式的特征均描述于此说明书中。当然应该瞭解,在任何此种实际实施例的发展中,必须作出许多特定实施方式之确定,以达成开发者的特定目标,例如遵从与系统具有有关及商业具有有关之限制条件,其随着实施方式的不同而不同。此外,应该瞭解,此种开发努力可能是复杂且耗时的,然而对在此技术领域已受益于本发明之具有通常技艺者将是例行性的工作。

[0024] 现将参考附加的图式来描述本发明主要标的。各种结构、系统以及器件均示意地绘制于图式中仅用于解释的目的,而不致因对此技术领域具有通常知识者已知的细节而模糊本发明。然而,该等附加的图式加入来描述及解释本发明的例示范例。本文中所使用的文字及用辞应被理解及诠释为与此技术领域具有通常知识者所解的文字及用辞一致的意义。没具有特殊定义的名词或用辞(亦即,不同于此技术领域具有通常知识者所解之一般及习惯的意义之定义)要由本文中一致使用的名词或用辞来暗示。对名词或用辞欲具有特殊意义的程度而言(亦即,不是此技术领域具有通常知识者所解的意义),此种特殊定义

将用直接且不含糊地对该名词或用辞提供特殊定义之定义方式于说明书中清楚提出。

[0025] 一般而言,本发明关于电子电路系统及其工作方法,其中,在适当调整时钟信号的占空比的基础上,可减少或补偿集成电路的性能退化,在一些说明性实施例中,供应电压和时钟信号频率也可保持在集成电路的工作寿命不修改。因此,在这种情况下,可提供用于补偿集成电路的自然老化的有效的控制机制而不受总功率消耗的限制,其可为基于供应电压的增加的传统控制战略的关键因素。此外,在基于占空比机制的性能退化的补偿期间,由于可不增加时钟频率,故可不增加动态功率消耗。但是,应该理解,视需要,本发明的补偿机制也可与其它机制结合,如供应电压的适度增加,如果需要增加基于占空比的适当调整的补偿效应的范围,例如在集成电路的累计工作寿命的很先进的阶段。由于例如在最大工作速度方面,在占空比适当调整的基础上,在器件的整个生命周期,可动态减少性能退化,可减少用于指定产品的一定性能的相应的保护频带,产品可分配到特定的性能部分,其通常分到较不复杂的产品部分。因此,可在不更小的狭窄公差范围的基础上实现在高性能区中的产品的分布,从而增加可被分配到特定的高性能产品部分的产品数量。因此,不仅相应的技术标准的盈利能力可增加,而且由于集成电路可在整个生命周期减少的性能损失下工作,因此可增强产品的整体性能,而不过度增加整体的总功率消耗。在器件工作时可以很容易地得到用于估计目前的性能特性的对应的参数值,例如通过实际测量占空比和 / 或通过适当地读出相应的时钟信号发生器的状态或相应的结构控制在时钟信号发生器的占空比。例如,在传统的方法中,在复杂的集成电路(例如 CPU)中用于对应的时钟信号的产生的占空比设置,是“硬连接(hardwired)”,也可以在集成电路的最后测试阶段通过设置相应的电子保险丝而调整。然而,根据本文所披露的原则,可动态调整占空比,例如通过控制电路,对占空比设置,通过更换的相应的硬连接控制机制,其可以动态改变相应的控制设置。例如,可提供多个相应的“硬连接”配置为“可切换”阵列,使多个不同的占空比数值可由致使硬连接阵列组件的各自的一个而选择。在其它情况下,时钟信号发生器可直接由电子电路部分控制,如果取消激活集成电路,其瞬间设置可存储在非易失性内存区域。

[0026] 在一些披露的说明性的实施例中,可先建立占空比和集成电路的性能之间的相应的关系,例如通过执行不同占空比的基础上工作的同类产品的加速老化测试。因此,可实施性能数据和相关的占空比的相应设置至相应的控制组,以适当调整占空比,减少对集成电路的累计寿命的任何性能退化。例如,如果可对多个不同占空比数值所得到器件退化的普通定量估计,控制方法可包括在器件的累计工作寿命的基础上的占空比的相应的调整,而不实际上需要集成电路的瞬间性能的测量。亦即,在相应的控制方法中,在累计寿命的预定时间可“致使”不同占空比数值,其可在器件内部计时器的基础上或结合集成电路用的外部电路部分的基础上确定。在其它说明实施例中,视需要,可建立占空比和器件的性能之间的相应的相关,也就是在不同的时间点可建立相应的关系,例如当已确定性能退化一定程度时。根据占空比数值和器件性能之间的相应的相关性,适当的占空比数值可选择而且可用于器件的进一步工作,以维持其性能特性在特定的范围内。在集成器件的专用电路部分的基础上可完成该集成电路的瞬间性能的评估,其可强烈关联于集成电路的功能部分之内的速度关键信号路径的性能。例如,可以在测试电路部分实施环形振荡器及类似的器件,从而可有效地使用于定量评估集成电路的瞬间性能。在一些说明实施例中,瞬时性能值和占空比之间的关系可在先前得到的相应的“库(library)”数据的基础上建立或在集成电路工

作时可修改占空比,以得到各种关联到相应的占空比数值的性能数据。因此,在所需的时间分辨率的基础上,基于监控集成电路当前的性能,可以完成集成电路的自然老化的非常有效的补偿,其中可通过执行回应占空比的“即时”变化的性能的“即时测试”得到进一步增加的效率。

[0027] 在一些说明性的实施例中,集成电路所需的初始性能可为“重新建立”,至少在指定的范围内,通过存储集成电路的初始性能行为的初始值指标和比较瞬间性能和相关的占空比与初始值。因此,可确定适当的占空比,其可重建初始性能行为或其可至少维持器件的性能于初始性能值围绕的指定范围内。

[0028] 应该明白,本发明的原则,可以用在基于先进的 CMOS 技术(如微处理器,先进的 ASICs(专用集成电路),存储器件和类似的器件)的包括电路部分的先进的集成电路中,因为关于性能特性的减少整体产品的传播方面的显着通常关于制造工艺和电路设计的调整方面的巨大努力。但是,本文所披露的原则,也可适用于任何集成电路器件中,其中可观察到寿命的性能退化的显着的依赖。因此,除非明确规定在说明书或附加权利要求,本文所披露的标的物不应该被视为是限制在任何特定类型的集成电路。

[0029] 现在将参考图 2a-2c 进一步说明详细介绍实施例,其中可参考图 1a 和 1b。

[0030] 图 2a 示意地说明在预定义的频率所提供的时钟信号的时序图,其中,该占空比可能是多样化的。例如,以曲线 A, B 和 C 表示时钟信号的三个不同的占空比,。也就是说,水平轴表示时间,其中对于给定的频率,一定的时间间隔 G 可因此表示全期或每个时钟信号的 A, B, C 的周期。垂直轴表示在任意单元的信号振幅。例如,时钟信号的幅度可实质摇摆于对应的供应电压的下限和上限之间。在图 2a 中,曲线 A 可表示具有 50% 的占空比的时钟信号,即信号 A 的较高水平的时间间隔可等于一区块周期 T 之内的低水平的时间间隔。相应的占空比也可以称为具有“零偏差 (zero skew)”的时钟信号。应该明白,通常时钟信号的上升和下降可具有明显较完整的周期 T 少的持续时间。曲线 B 表示相同频率的时钟信号,但是具有“负偏差 (negative skew)”,即其占空比较曲线 A 少。因此,高水平的持续时间比低水平的持续时间少。例如,占空比可为 45%,其表示在全部时间周期 T 期间,在高信号水平的信号 B 可为 45%,包括上升和下降时间的一半,而另一方面 55% 可对应信号 B 的低水平状态,也包括相应的上升和下降时间的一半。曲线 C 表示具有“正偏差 (positive skew)”的时钟信号,因为关于曲线 A 高水平状态相应的时间持续增加,而相应的低水平时间间隔较短。

[0031] 如前所述,时钟信号的占空比可对集成电路内速度关键信号路径的整体性能有影响。取决于限制电路或速度路径在给定的时钟频率,相应的限制电路或速度路径从而整个集成电路在负或正占空比的基础上可具有增加性能的偏好。也就是说,由于现代集成电路的复杂性,非常不同的电路部分可能必须提供时钟信号,其中,不同的信号传输延迟之类可导致时钟信号或多或少明显变形。因此,通过修改时钟信号的初始占空比,一些电路部分的功能行为,特别是速度关键部分可能受到影响,从而造成在总体上性能(例如,器件的最大工作速度)的增加或退化。此外,由于器件的自然老化,例如对于重要器件参数(如晶体管组件的阈值电压,漏电流和驱动电流)的变化,对于给定的电路配置,集成电路的对占空比的变化回应可随时间而改变。因此,鉴于总体性能特性,电路的占空比和对应的回应之间相应的关系可以有效用于补偿自然性能退化。

[0032] 图 2b 示意地说明时钟信号的占空比的适当调整的基础上的补偿器件退化的方法的示意图。在图 2 中, 水平轴表示集成电路的累计的工作时间, 而垂直轴表示指出器件性能的一个或多个参数, 例如, 最大工作速度, 以 $F_{\max}$ 表示, 等等可用于定量评估集成电路的行为。如图所示, 在时间 T_0 器件的工作寿命“开始”, 即器件可以在相应的电子系统实现, 可以按照系统特定工作条件进行工作。在时间 T_0 可通过相应的值 (例如, 表示最大工作速度及类似的值) 确定器件的性能行为。图 2b 的曲线 D 可表示实质不变的条件 (即在稳定的时钟频率通过使用实质不变的供应电压) 下工作时的器件性能相应的退化。例如, 曲线 D 的行为可表示相应的器件行为, 如之前参照图 1a 讨论的。依据说明实施例, 可测量和可使用在初始时间 T_0 的定量估计的性能器件, 以在集成电路的整个工作寿命确定预期或目标性能或要维持的性能范围。例如, 在初始性能的基础上可以选择表示为 R 的特定范围, 因为相应的性能退化可保持在范围 R 之内, 其可例如允许明显减少的保护频带。一段时间后, 如 T_1 所表示, 可以适当调整相应的时钟信号的占空比, 以便增加性能特性, 其可沿曲线 D 退化。为达此目的, 占空比和器件的性能之间的适当的关系可事先设立, 例如在相应的加速老化试验及类似的试验的基础上, 使根据说明实施例的特定的占空比数值可应用在累计的时间 T_1 以维持性能可靠的在范围 R 内。应该明白, 在此情况下, 只要器件退化的一般行为可以适当地通过曲线 D 表示和电路对占空比的变化相应的回应, 可通过事先设立的关系一般的描述, 而性能特性的实际测量可能没有必要。因此, 随着增加累计工作时间, 各自适当的占空比数值可用于器件的工作, 其中更新占空比的相应的时间分辨率也可事先选定。

[0033] 在其它说明实施例中, 器件的瞬间性能特性可测试或测量, 例如, 在器件内部电路部分的基础上, 如环型振荡器及类似的器件, 其可密切相关功能电路部分的实际性能。例如在时间间隔 U, 可确定相应的参数值, 如 $F_{\max}$ 表示的值, 和鉴于允许而可以评估。也就是说, 可确定瞬间的性能特性是否是在允许范围 R 内以及补偿是否需要, 以在进行更新性能特性之前维持范围 R 内的性能。在一些说明性的实施例中, 控制器的方法可基于前维目前的性能接近初始的性能的概念, 其可通过选择提供必要程度的补偿的适当的占空比数值完成。为达此目的, 在一些说明性的实施例中, 对不同的占空比可确定各自的性能值。例如, 可确定相应的性能值 200, 如值 200a, ..., 200f, 其中每一性能值可与相应的专用占空比数值相关联。例如, 可假设, 一般的器件增加占空比时, 可具有增加性能的趋势。例如, 以高于初始使用的占空比 1% 的占空比工作器件时, 值 200d 可表示性能值。同样, 值 200c 可关于增加 2% 和之类的占空比。另一方面, 值 200e, 200f 可表示相比初始使用的占空比减少的占空比的性能特性。在一些说明性的实施例中, “实时基础 (real time basis)” 上可得到性能值 200 和相关的占空比数值, 其可通过造成器件的时钟信号发生器完成, 以便在特定的短時間间隔内以不同的占空比数值工作, 而在例如器件内部测试部分的基础上, 如前面所述, 可测量相应的性能参数值。在其它说明实施例中, 可事先得到值 200, 例如测试测量的基础上, 其中多个各自集成电路可在加速测试条件下工作。因此, 相应的控制系统可以选择值 200 的适当一个和通过使用新选择的占空比可以继续器件进一步的工作。在本例中, 可以选择对应性能值 200c 的占空比, 以在该器件的初始确定性能维持性能值。但是, 应该理解, 例如通过内插性能特性值和相关的占空比之间的对应关系, 相应的控制方法也可以提供任何中间值。还应当明白, 也可以选择任何需要的时间分辨率, 从而进一步减少器件的变化。

[0034] 可重复在上述的过程的稍后的时间 T_2 , 以进一步补偿相应的器件退化。例如, 可假

设,该器件的退化可沿着曲线 E 进行,可对应与性能值 200c 相关的占空比。因此,占空比可以适当进行调整,例如在时间 T1 使用与性能值 200a 相关的占空比,从而前维器件的整体性能接近初始的性能。但是应该理解在其它说明实施例值 200a 200f 相关时间 t1 可独立确定相应的性能特性值,如前面所述,在相应的测试运行时可通过事先得到相应的性能值和相关的占空比数值或通过使用器件内部资源的实时测量完成。因此,当发现适当的占空比数值,通过使用更新的占空比数值可继续该器件进一步的工作,从而保持器件的整体性能在范围 R 内。

[0035] 图 2c 示意地说明包括集成电路 210 的电子电路系统 250,如前所述,占空比调整的基础上其工作能得到补偿。为达此目的,该系统 250 可包括占空比控制单元 220,其可工作地连接到集成电路 210,并可提供为集成电路 210 的器件内部组件,或可以外部器件表示。此外,电子电路系统 250 可包括供应电压源 230,其可提供至少集成电路 210 的供应电压。该集成电路 210 可包括时钟信号发生器 213,被配置为至少在指定频率提供时钟信号,而,例如由占空比控制电路 220 提供的控制信号的基础上,时钟信号的占空比为可调节的。此外,集成电路 210 可包括至少一功能电路区块,如 CPU 核心 212,连接到区块 212 的内存部分 214,和输入 / 输出 (I/O) 接口 211。但是应该理解取决于整体器件需求,只要发生器 213 提供的时钟信号的基础上可工作至少一速度关键电路部分或信号路径,在集成电路 210 可以提供任何其它功能电路区块。在显示的实施例中,集成电路 210 可以进一步包括测试电路部分 215,其可包括适当的电路组件及类似的器件,以致使该集成电路 210 的实际性能特性的监测。例如,测试电路部分 215 可包括环型振荡器及类似的器件,其可在电路组件的基础上形成如相应的速度关键电路部分或信号路径,例如部分 212,使测试电路部分 215 的性能可强烈关于到速度关键部分 212 的性能,其可实质确定集成电路 210 的整体工作性能。因此,根据任何适当的时间安排,自测试电路部分 215 通过控制单元 220 可得到性能数据。例如,测试电路部分 215 的性能和因此的整个集成电路 210,可以实质连续的方式或以适当的时间间隔的时间离散的方式监测。应该明白,当单元 220 可为集成电路 210 的器件内部组件时,在实施例显示的控制单元 220 可通过器件内部通信(如专用信号总线等组件)与时钟信号发生器 213 和测试电路部分 215 通信。在此情况下,在同一封装 217 内可提供单元 220,其也可容纳集成电路 210 其它功能组件。例如,集成电路 210 可为单芯片系统,其中各种电路部分可在单一的半导体芯片实现,从而提供高效制造工艺。在其它情况下,不同的半导体芯片可提供包括控制单元 220 的集成电路 210 的两个或更多部分,但是结合在共同封装的三维芯片配置。

[0036] 在其它说明实施例(未显示)中,单元 220 可提供为外部组件,可通过接口 211 与集成电路 210 通信。例如,发生器 213 的适当控制信号和自测试部分 215 的各自的数据可以通过接口 211 通信,其可对与单元 220 接口提供相应凹槽。应该明白,适当的控制方法可落实到单元 220 和 / 或相应的非易失性内存,如内存 216,其中可存储所有特定数据,如对多个不同累计工作生命的初始性能值或相应的性能值和相关的占空比数值,如前所述。在其它说明实施例中,相应的控制方法可以实现以在工作时连续或离散监测器件 210 的性能和选择合适的占空比数值,其可造成适当的控制信号的产生以造成时钟信号发生器 213 更新相应的占空比。

[0037] 因此,在系统 250 的工作期间,根据一些例示性的实施例,单元 220 可监测集成电

路 210 的瞬间性能,可选择适当的占空比数值,以补偿相应的器件退化。为达此目的,可使用任何上述方法。如前所述,可通过致能发生器 213 各自的电路组件完成占空比相应的调整,如硬部件,其每一可提供特定的占空比,或可用相应的电子引信。还在其它说明实施例中,可配置时钟信号发生器 213,以便回应或多或少连续控制信号,以在单元提供 220 的控制信号的基础上,实质连续变化时钟信号的占空比。例如,如前所述,可存储初始值或性能特性,例如在非易失性内存 216,适当选择的占空比数值的基础上,可用于实质重建初始性能特性。在一些说明性的实施例,电压源 230 提供的实质不变的供应电压的基础上,可工作系统 250 从而不过度增加静态功耗。同样,可工作时钟信号发生器 213,以提供具有特定的恒定时钟频率的时钟信号,从而也避免动态功耗的增加。

[0038] 因此,本发明提供控制方法和电子电路系统,其中,通过使用相应的占空比控制单元调整时钟占空比,在电子电路系统的正常工作可复原或补偿产品退化。因此,减少的产品频率保护频带系统是必要的,从而提供额外产品性能边距,其也可转为增强盈利能力,因为相应的集成电路可分配到更复杂的产品部分,如更高的速度等级。此外,相较于传统供应电压增加的基础上补偿器件退化的方法,因为单一时钟频率在实质恒定供应电压下可得到有效的补偿,可不须要增加总功率消耗。

[0039] 以上所揭露的特定实施例系仅供例示的用途,本发明可被修改且可用不同却等效的方式来实行,某些方式对已受益于本文的教示的此技术领域具有通常技艺者系显而易见的。例如,以上所述的制程步骤可用不同顺序来执行。此外,本发明并不打算对本文所示的结构或设计细部作限制,除如以下申请专利范围所述者。因此,以上所揭露之特定实施例可被改变或修改是显而易见的,且所具有此种变化系被视为在本发明的范畴与精神内。因此,本文所寻求的保护系如以下申请专利范围所述者。

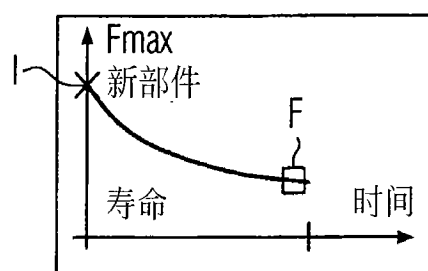


图 1a(现有技术)

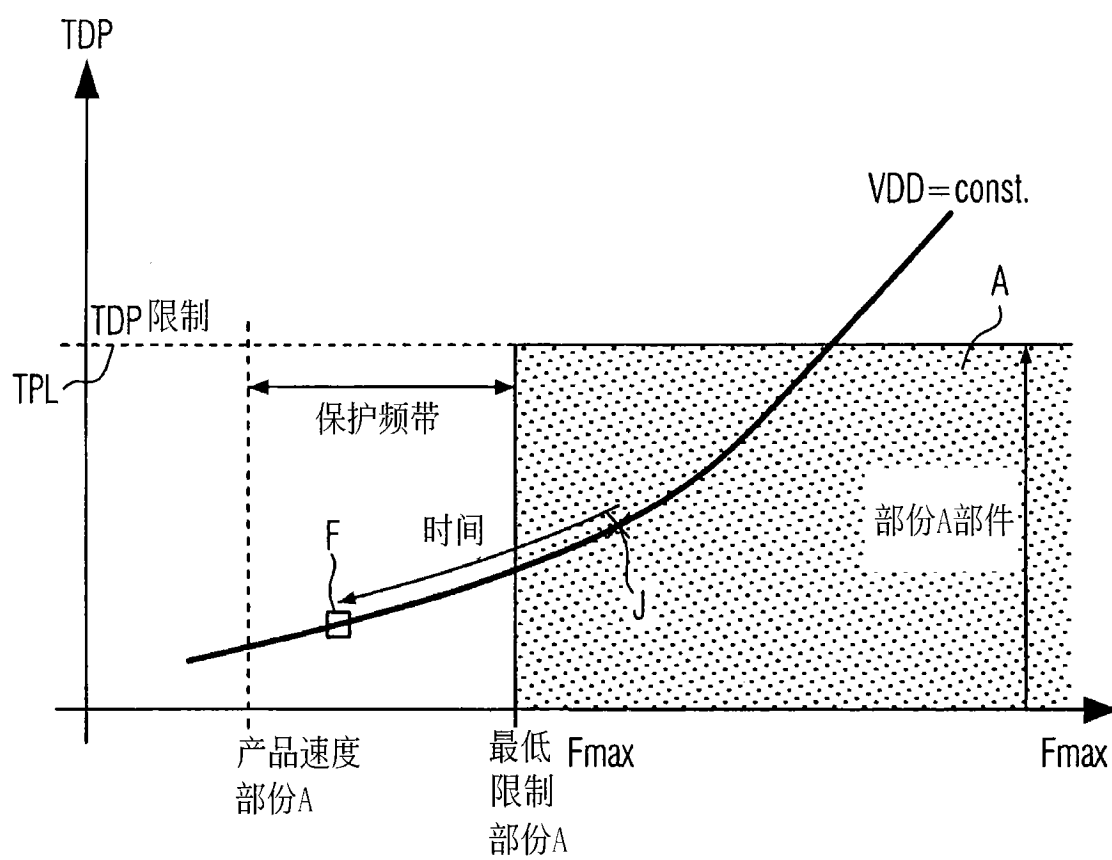


图 1b(现有技术)

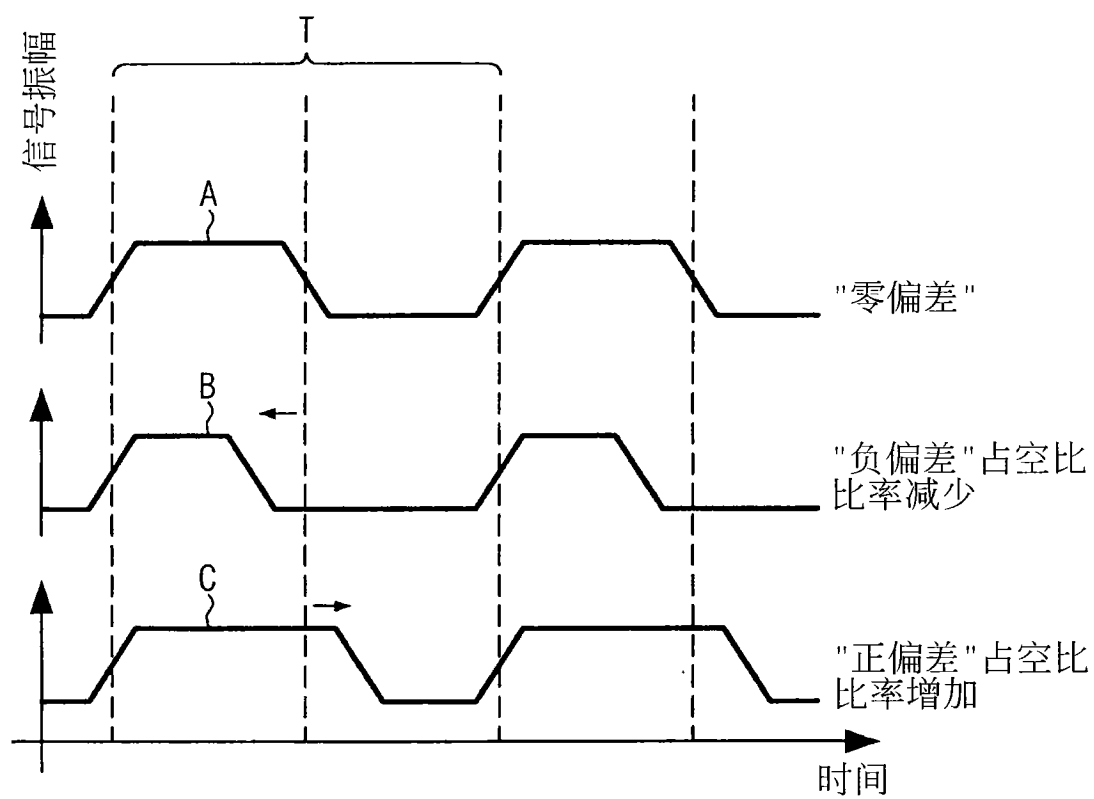


图 2a

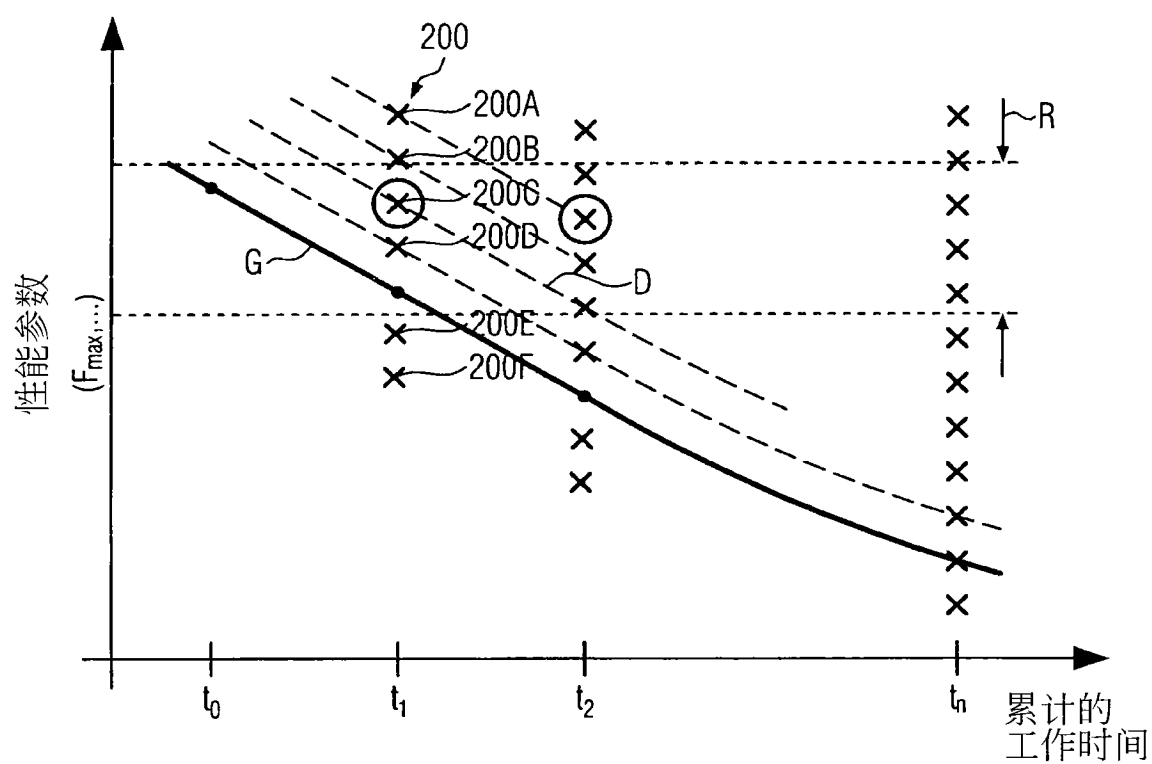


图 2b

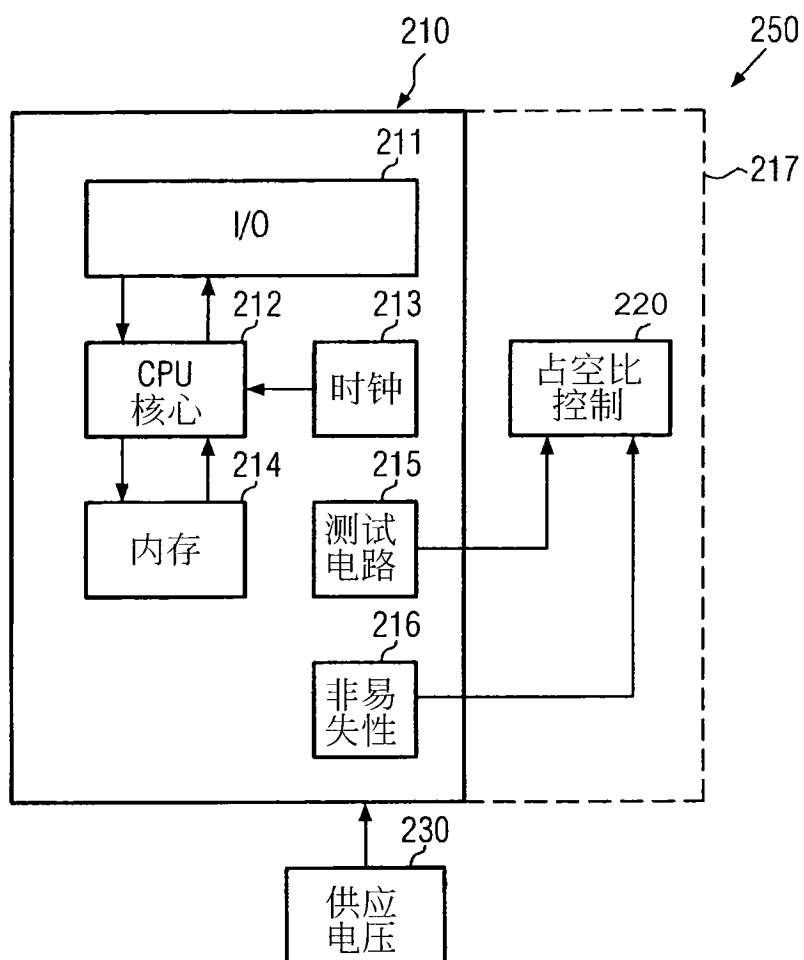


图 2c