



(12) 发明专利

(10) 授权公告号 CN 103000499 B

(45) 授权公告日 2015. 12. 16

(21) 申请号 201110271930. 7

3 段至第 6 页第 2 段, 说明书附图 3A-3C.

(22) 申请日 2011. 09. 14

US 2008079024 A1, 2008. 04. 03, 全文.

(73) 专利权人 中芯国际集成电路制造(上海)有限公司

审查员 许铁柱

地址 201203 上海市浦东新区张江路 18 号

(72) 发明人 禹国宾 涂火金 何永根

(74) 专利代理机构 北京德琦知识产权代理有限公司 11018

代理人 牛峥 王丽琴

(51) Int. Cl.

H01L 21/20(2006. 01)

H01L 21/336(2006. 01)

(56) 对比文件

CN 101064257 A, 2007. 10. 31, 说明书第 3 页  
最后 1 段至第 7 页倒数第 2 段, 附图 1.

CN 101925986 A, 2010. 12. 22, 说明书第  
63-86 段, 说明书附图 1、3F、3M、9E.

CN 1988110 A, 2007. 06. 27, 说明书第 5 页第

权利要求书1页 说明书5页 附图5页

(54) 发明名称

一种锗硅硼外延层生长方法

(57) 摘要

本发明公开了一种锗硅硼外延层生长方法, 在选择性外延生长的 SiGeB 外延层或当 SiGe 种子层存在时选择性外延生长 SiGe 种子层之前, 先选择性外延生长 SiGe 基础层, 然后对所生长的 SiGe 基础层采用干法刻蚀后, 刻蚀掉沟槽底部的 SiGe 基础层, 留下沟槽侧壁的 SiGe 基础层, 然后再在此结构上, 按照现有工艺进行选择性外延生长的 SiGeB 外延层的生长过程。这样, 提高了所生长的锗硅硼外延层性能。

根据半导体工艺需要对晶片进行选择性外延生长的预处理 / 500

↓  
硅衬底 200 表面的源、漏极区域刻蚀凹槽 201 后, 在凹槽 201 表面生长 SiGe 基础层 601 / 501

↓  
采用干法刻蚀在凹槽 201 表面生长 SiGe 基础层 601, 使得凹槽 201 底部的 SiGe 基础层 601 被刻蚀掉, 而凹槽 201 侧壁的 SiGe 基础层 601 留下 / 502

↓  
在凹槽 201 内生长 SiGe 种子层 204 / 503

↓  
在 SiGe 种子层 204 表面选择性外延生长锗硅硼外延层 306, 填充硅衬底 200 的凹槽 / 504

↓  
SiGeB 外延层 306 上生长盖层 408 / 505

1. 一种锗硅硼外延层生长方法,该方法包括 :  
对提供的晶片进行选择性外延生长的预处理 ;  
在所述晶片的硅衬底表面的源、漏极区域刻蚀凹槽后,在凹槽表面生长锗硅 SiGe 基础层 ;  
采用干法刻蚀在凹槽表面生长 SiGe 基础层,使得凹槽 201 底部的 SiGe 基础层被刻蚀掉,凹槽侧壁的 SiGe 基础层留下 ;  
在沟槽内选择性生长锗硅硼外延层,填充硅衬底的凹槽 ;  
在锗硅硼外延层上生长盖层。
2. 如权利要求 1 所述的方法,其特征在于,所述锗硅 SiGe 基础层中锗的含量为 5%~30%。
3. 如权利要求 1 所述的方法,其特征在于,所述凹槽侧壁的 SiGe 基础层留下的厚度为 5 埃到 50 埃。
4. 如权利要求 1 所述的方法,其特征在于,所述锗硅硼外延层的锗的含量为 5%~35%。
5. 如权利要求 1 ~4 任一所述的方法,其特征在于,所述锗硅硼外延层采用原位 B 掺杂形成 SiGeB 外延层,B 的浓度为 1E19 到 1E23 原子每立方厘米。
6. 如权利要求 1 所述的方法,其特征在于,所述在沟槽内选择性生长锗硅硼外延层之前,还包括 :  
在凹槽内生长 SiGe 种子层 ;  
所述沟槽内选择性生长锗硅硼外延层是在凹槽内的 SiGe 种子层表面生长的。

## 一种锗硅硼外延层生长方法

### 技术领域

[0001] 本发明涉及半导体器件的制作技术,特别涉及一种锗硅硼外延层生长方法。

### 背景技术

[0002] 目前,半导体制造工业主要在硅衬底的晶片(wafer)器件面上生长器件,例如,金属氧化物半导体场效应晶体管(Metal-Oxide Semiconductor Field Effect Transistor,MOSFET)器件结构包括有源区、源极、漏极和栅极,其中,所述有源区位于半导体硅衬底中,所述栅极位于有源区上方,所述栅极两侧的有源区中进行离子注入形成源极和漏极,栅极下方具有导电沟道,所述栅极和导电沟道之间有栅极电介质层。根据离子注入的不同类型,空穴型金属氧化物半导体场效应晶体管(PMOS)和电子型金属氧化物半导体场效应晶体管(NMOS)。

[0003] 多年以来,沿着摩尔定律提供的途径,人们一直采用对MOSFET进行等比例微缩来增加器件速度,然而随着MOSFET尺寸的缩小,常规的等比例微缩方法遇到了以短沟道效应为核心的一系列问题。例如,电源电压的等比例缩小在降低动态功耗的同时如何增大驱动电流( $I_{dsat}$ )密度的问题,因此如何提高载流子迁移率成为保持MOSFET性能的关键。

[0004] 由于无应变的硅衬底中空穴的平均迁移率比电子低三倍,所以提高PMOS导电沟道内的空穴迁移率成为关注的焦点。

[0005] 近年来,应变工程技术(strain engineering)被认为是一个将摩尔定律延伸的关键技术之一。所谓应变技术,即通过引入局部单向拉伸或压缩型应力到MOSFET的导电沟道,提升MOSFET的导电沟道内载流子迁移率,从而在栅极电介质层厚度变薄或保持不变的情况下使驱动电流大幅增长,最终提高MOSFET的器件性能。对硅衬底中的导电沟道而言,能够产生局部单向应变的可用结构有SiGeB和 $Si_yC_1-yB$ ,必须针对PMOS和NMOS分别设计局部单向应变的结构。其中,对PMOS引入压缩型应力增加空穴的迁移率称为局部单向压缩型应变,而对NMOS引入拉伸型应力提高电子的迁移率称为局部单向拉伸性应变。

[0006] 目前得到应用的应变工程技术主要有:沉积拉伸或压缩型应力的氮化硅(SiN)覆盖层;在浅沟槽隔离(STI)和金属化前电介质(PMD)结构中增加拉伸或压缩型应力的氧化物层,以及锗硅硼(SiGeB)外延层填充刻蚀或升高的源、漏极区域。

[0007] SiGeB外延层填充刻蚀的源、漏极区域(Recessed SiGe S/D)是一种被广泛应用的应变工程技术,该方法先部分刻蚀去除PMOS器件结构中栅极两侧的源、漏极,再通过选择性外延生长的方法在刻蚀后的源、漏极上方生长SiGeB外延层,由SiGeB外延层导入的压缩型应力被传导至MOSFET的导电沟道,最终提高PMOS中空穴的迁移率。

[0008] 在PMOS的源、漏极区域选择性外延生长SiGeB外延层具有以下几个优点:第一,如上文所述,SiGeB的晶格常数不同于Si从而使硅衬底中的导电沟道产生应变,用于提高空穴载流子的迁移率;第二,SiGeB具有比Si更小的禁带宽度,这样在半导体和硅化物(Silicide)之间的势垒降低;第三,锗增加了掺杂B元素(dopant)在Si中的溶入从而减小了源、漏极区域的电阻以及扩散电阻。正是这三个因素,提升了MOSFET的驱动电流,增加

了器件速度。

[0009] 现有技术中在 PMOS 的源、漏极区域选择性外延生长 SiGeB 外延层工艺包括以下 4 个步骤,结合图 2 ~ 4 说明现有技术中外延生长 SiGeB 外延层的工艺流程:

[0010] 步骤 100、根据半导体工艺需要对晶片进行选择性外延生长的预处理;

[0011] 本步骤中,对晶片的预处理包括去除硅衬底表面的氧化层以及杂质,对于重掺杂的硅衬底必须考虑是否需要背封(backseal)以减少后续选择性外延生长过程中的自掺杂现象。一般都需要通入氢气( $H_2$ )并烘烤(bake)的步骤,其目的在于原位(in-situ)去除硅衬底表面的氧化层和其他杂质,为后续的外延沉积准备洁净的硅衬底表面。

[0012] 步骤 101、硅衬底 200 表面的源、漏极区域刻蚀凹槽 201 后,在凹槽 201 表面生长 SiGe 种子层 204,形成如图 2 所示的剖面结构示意图;

[0013] 本步骤中,如图 2 所示,有源区之间是 STI207 隔离,有源区中的源极和漏极位于栅极 203 和栅极 203 下方的栅氧化层 202 两侧的硅衬底 200 中,在源、漏极区域的硅衬底 200 中刻蚀形成凹槽 201;凹槽 201 表面生长的 SiGe 种子层 204,其中的 Ge 含量低于后续步骤 102 中形成的 SiGeB 外延层中的 Ge 含量,Ge 含量较小的 SiGe 种子层 204 的晶格常数更接近硅衬底 200 中硅的晶格常数,作为选择性外延生长 Ge 含量较大的 SiGeB 外延层过程中的缓冲层,有利于得到高质量的 SiGeB 外延层,生长 SiGe 种子层 204 的方法和后续步骤 102 相同,都采用选择性外延生长工艺,具体步骤为现有技术,不再赘述。需要注意的是,本步骤并不是进行选择性外延生长 SiGeB 外延层之前的必要步骤,也可以省略该步骤。

[0014] 步骤 102、在 SiGe 种子层 204 表面选择性外延生长锗硅硼外延层 306,填充硅衬底 200 的凹槽,形成如图 3 所示的剖面结构示意图;

[0015] 外延生长设备一般为反应腔,将晶片放入反应腔后,向反应腔中通入反应气体 305 并加热,使反应气体在硅衬底 200 的凹槽 201 中生长需要的晶体结构,本实施例中,SiGe 层填充凹槽 201,其上表面与硅衬底 200 表面齐平,低于栅氧化层 202 的高度。在 PMOS 的源、漏极区域生长 SiGeB 外延层 306 通常用选择性外延工艺。所谓选择性外延工艺是指 SiGeB 外延层 306 仅沉积在凹槽 201 中露出的硅衬底 200 表面,或者步骤 101 中外延生长的 SiGe 种子层 204 表面),而在有源区周围的隔离区,例如 STI207 和栅极 203 表面没有形核或生长。由于晶片上会同时制作成百上千个器件,为了每个 MOSFET 能够独立于其他器件工作,由同样位于硅衬底 200 中的隔离区(PN 结隔离、局部氧化隔离或 STI)将有源区分立出来,使 MOSFET 之间互不干扰。对于选择性外延生长 SiGeB 外延层 306,反应气体 305 包括沉积气体和刻蚀气体两部分,通过调节作为沉积气体的硅烷( $SiH_4$ )和锗烷( $GeH_4$ )混合气体与作为刻蚀气体的氯化氢气体(HCl)的流量比例,实现对局部单向应变的精确控制,使得最终在隔离区上的刻蚀速率大于沉积速率,SiGeB 外延层 306 在凹槽 201 中的沉积速率尽可能最大化,从而实现了低压化学气相沉积工艺的选择性。在 100 秒之内将反应腔中的晶片加热到 1100℃以上,利用先进的温度探测装置能将工艺温度误差控制在几度以内,反应气体的流量则可通过质量流量计(MFC)精准控制。

[0016] 在选择性外延生长 SiGeB 外延层 306 时,采用原位 B 掺杂形成 SiGeB 外延层。

[0017] 步骤 103、SiGeB 外延层 306 上生长盖层 408,形成如图 4 所示的剖面结构示意图;

[0018] 本步骤中, SiGeB 外延层 306 上生长的盖层 408 材料是 SiGe 或 Si,最终形成盖层 408 的高度大于栅氧化层 202 的高度。盖层 408 的作用是为后续在源、漏极区域上方形成金

属硅化物提供高质量的硅晶体结构,金属硅化物的作用是降低源、漏极电阻。

[0019] 但是,对于 PMOS 的源、漏极区域上方选择性外延生长的 SiGeB 外延层 306 或当 SiGe 种子层 204 存在时选择性外延生长 SiGe 种子层 204 时,由于凹槽 201 的侧壁及底部的硅晶向不同,侧壁的晶向为 Si(110),底部的硅晶向为 Si(100),所以侧壁的 SiGeB 外延层 306 或 SiGe 种子层 204 的生长速度要小于底部的,使得 SiGeB 外延层 306 的侧壁和底部形成速率不同,导致最终得到的 SiGeB 外延层 306 不均匀,使得 SiGeB 外延层中的 B 容易通过侧壁扩散到沟道区,会引起漏电流增大,从而使得 PMOS 性能降低。

## 发明内容

[0020] 有鉴于此,本发明提供一种锗硅硼外延层生长方法,该方法能够提高所生长的锗硅硼外延层性能。

[0021] 本发明的技术方案是这样实现的:

[0022] 一种锗硅硼外延层生长方法,该方法包括:

[0023] 对提供的晶片进行选择性外延生长的预处理;

[0024] 在所述晶片的硅衬底表面的源、漏极区域刻蚀凹槽后,在凹槽表面生长锗硅 SiGe 基础层;

[0025] 采用干法刻蚀在凹槽表面生长 SiGe 基础层,使得凹槽 201 底部的 SiGe 基础层被刻蚀掉,凹槽侧壁的 SiGe 基础层留下;

[0026] 在沟槽内选择性生长锗硅硼外延层,填充硅衬底的凹槽;

[0027] 在锗硅硼外延层上生长盖层。

[0028] 所述锗硅 SiGe 基础层中锗的含量为 5%~30%。

[0029] 所述凹槽侧壁的 SiGe 基础层留下的厚度为 5 埃到 50 埃。

[0030] 所述锗硅硼外延层的锗的含量为 5%~35%。

[0031] 所述锗硅硼外延层采用原位 B 掺杂形成 SiGeB 外延层,B 的浓度为 1E19 到 1E23 原子每立方厘米。

[0032] 所述在沟槽内选择性生长锗硅硼外延层之前,还包括:

[0033] 在凹槽内生长 SiGe 种子层;

[0034] 所述沟槽内选择性生长锗硅硼外延层是在凹槽内的 SiGe 种子层表面生长的。

[0035] 从上述方案可以看出,本发明提供的方法在选择性外延生长的 SiGeB 外延层或当 SiGe 种子层存在时选择性外延生长 SiGe 种子层之前,先选择性外延生长 SiGe 基础层,然后对所生长的 SiGe 基础层采用干法刻蚀后,刻蚀掉沟槽底部的 SiGe 基础层,留下沟槽侧壁的 SiGe 基础层,然后再在此结构上,按照现有工艺进行选择性外延生长的 SiGeB 外延层的生长过程。这样,即使在后续选择性外延生长 SiGeB 外延层过程中沟槽侧壁的生长速度小于底部的,由于侧壁已经留下了 SiGe 基础层,所以可以阻止 SiGeB 外延层中 B 通过侧壁向沟道区扩散,不会引起漏电流增大,从而提高了 PMOS 的性能。

## 附图说明

[0036] 图 1 为现有技术外延生长 SiGeB 外延层的工艺流程;

[0037] 图 2~图 4 为现有技术外延生长 SiGeB 外延层的剖面结构示意图;

[0038] 图 5 为本发明提供的锗硅硼外延层生长方法流程图；

[0039] 图 6 ~ 图 10 为本发明提供的锗硅硼外延层生长方法剖面流程图。

## 具体实施方式

[0040] 为使本发明的目的、技术方案及优点更加清楚明白，以下参照附图并举实施例，对本发明作进一步详细说明。

[0041] 从背景技术可以看出，原位生长的 SiGeB 外延层能够提高 PMOS 的性能，然而如果 SiGeB 外延层中的 B 扩散到沟道区就会引起漏电流增大，从而使得 PMOS 性能降低。

[0042] 为了解决这个问题，本发明提供的方法在选择性外延生长的 SiGeB 外延层或当 SiGe 种子层存在时选择性外延生长 SiGe 种子层之前，先选择性外延生长 SiGe 基础层，然后对所生长的 SiGe 基础层采用干法刻蚀后，刻蚀掉沟槽底部的 SiGe 基础层，留下沟槽侧壁的 SiGe 基础层，然后再在此结构上，再按照现有工艺进行选择性外延生长的 SiGeB 外延层的生长过程。这样，即使在后续选择性外延生长 SiGeB 外延层过程中沟槽侧壁的生长速度小于底部的，由于侧壁已经留下了 SiGe 基础层起到一个阻挡层的作用，所以也不会导致 SiGeB 外延层中 B 扩散至沟道区域，这样，提高了所生长的锗硅硼外延层性能，从而提高 PMOS 的性能。

[0043] 图 5 为本发明提供的锗硅硼外延层生长方法流程图，结合图 6 ~ 图 10 所示的本发明提供的锗硅硼外延层生长方法剖面流程图，对本发明进行详细说明：

[0044] 步骤 500、根据半导体工艺需要对晶片进行选择性外延生长的预处理；

[0045] 本步骤中，对晶片的预处理包括去除硅衬底表面的氧化层以及杂质，对于重掺杂的硅衬底则必须考虑是否需要 backseal 以减少后续选择性外延生长过程中的自掺杂现象。一般都需要通入 H<sub>2</sub> 并 bake 的步骤，其目的在于原位 in-situ 去除硅衬底表面的氧化层和其他杂质，为后续的外延沉积准备洁净的硅衬底表面。

[0046] 步骤 501、硅衬底 200 表面的源、漏极区域刻蚀凹槽 201 后，在凹槽 201 表面生长 SiGe 基础层 601，如图 6 所示；

[0047] 在本步骤中，有源区之间是 STI207 隔离，有源区中的源极和漏极位于栅极 203 和栅极 203 下方的栅氧化层 202 两侧的硅衬底 200 中，在源、漏极区域的硅衬底 200 中刻蚀形成凹槽 201；凹槽 201 表面生长的 SiGe 基础层 601，采用选择性外延生长工艺，具体步骤为现有技术，不再赘述；

[0048] 在本步骤中，所述 SiGe 基础层 601 中锗的含量为 5% ~ 30%。

[0049] 步骤 502、采用干法刻蚀在凹槽 201 表面生长 SiGe 基础层 601，使得凹槽 201 底部的 SiGe 基础层 601 被刻蚀掉，而凹槽 201 侧壁的 SiGe 基础层 601 留下，如图 7 所示；

[0050] 在这个步骤中，经过干法刻蚀后，在凹槽 201 侧壁的 SiGe 基础层 601 厚度为 5 埃到 50 埃。

[0051] 步骤 503、在凹槽 201 内生长 SiGe 种子层 204，形成如图 8 所示的剖面结构示意图；

[0052] 本步骤中，如图 8 所示，凹槽 201 表面生长的 SiGe 种子层 204，其中的 Ge 含量低于后续步骤 102 中形成的 SiGeB 外延层中的 Ge 含量，Ge 含量较小的 SiGe 种子层 204 的晶格常数更接近硅衬底 200 中硅的晶格常数，作为选择性外延生长 Ge 含量较大的 SiGeB 外延层

过程中的缓冲层,有利于得到高质量的 SiGeB 外延层采用选择性外延生长工艺。

[0053] 需要注意的是,本步骤并不是进行选择性外延生长 SiGeB 外延层之前的必要步骤,也可以省略该步骤。

[0054] 步骤 504、在 SiGe 种子层 204 表面选择性外延生长锗硅硼外延层 306,填充硅衬底 200 的凹槽,形成如图 9 所示的剖面结构示意图;

[0055] 外延生长设备一般为反应腔,将晶片放入反应腔后,向反应腔中通入反应气体 305 并加热,使反应气体在硅衬底 200 的凹槽 201 中生长需要的晶体结构,本实施例中,SiGe 层填充凹槽 201,其上表面与硅衬底 200 表面齐平,低于栅氧化层 202 的高度。在 PMOS 的源、漏极区域生长 SiGeB 外延层 306 通常用选择性外延工艺。

[0056] 所谓选择性外延工艺是指 SiGeB 外延层 306 仅沉积在凹槽 201 中露出的硅衬底 200 表面,或者步骤 101 中外延生长的 SiGe 种子层 204 表面,而在有源区周围的隔离区,例如 STI207 和栅极 203 表面没有形核或生长。由于晶片上会同时制作成百上千个器件,为了每个 MOSFET 能够独立于其他器件工作,由同样位于硅衬底 200 中的隔离区(PN 结隔离、局部氧化隔离或 STI) 将有源区分立出来,使 MOSFET 之间互不干扰。对于选择性外延生长 SiGeB 外延层 306,反应气体 305 包括沉积气体和刻蚀气体两部分,通过调节作为沉积气体的硅烷 ( $\text{SiH}_4$ ) 和锗烷 ( $\text{GeH}_4$ ) 混合气体与作为刻蚀气体的氯化氢气体 (HCl) 的流量比例,实现对局部单向应变的精确控制,使得最终在隔离区上的刻蚀速率大于沉积速率,SiGeB 外延层 306 在凹槽 201 中的沉积速率尽可能最大化,从而实现了低压化学气相沉积工艺的选择性。在 100 秒之内将反应腔中的晶片加热到 1100℃以上,利用先进的温度探测装置能将工艺温度误差控制在几度以内,反应气体的流量则可通过质量流量计 (MFC) 精准控制。

[0057] 在本步骤中,所述 SiGe 基础层 601 中锗的含量为 5%~35%。

[0058] 在选择性外延生长 SiGeB 外延层 306 过程中,采用离子注入的方式注入硼 (B),形成锗硅硼 (SiGeB) 外延层,所述的硼离子注入的剂量为 1E14 到 5E15 原子每立方厘米;

[0059] 在本步骤中,SiGeB 外延层也可以采用原位 B 掺杂形成 SiGeB 外延层,B 的浓度为 1E19 到 1E23 原子每立方厘米。

[0060] 步骤 505、SiGeB 外延层 306 上生长盖层 408,形成如图 10 所示的剖面结构示意图;

[0061] 本步骤中,SiGeB 外延层 306 上生长的盖层 408 材料是 SiGe 或 Si,最终形成盖层 408 的高度大于栅氧化层 202 的高度。盖层 408 的作用是为后续在源、漏极区域上方形成金属硅化物提供高质量的硅晶体结构,金属硅化物的作用是降低源、漏极电阻。

[0062] 以上所述仅为本发明的较佳实施例而已,并不用以限制本发明,凡在本发明的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本发明保护的范围之内。

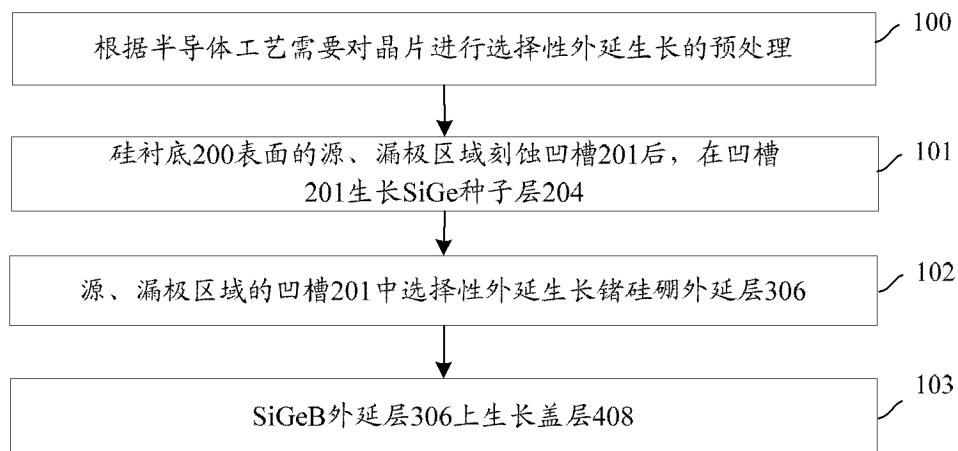


图 1

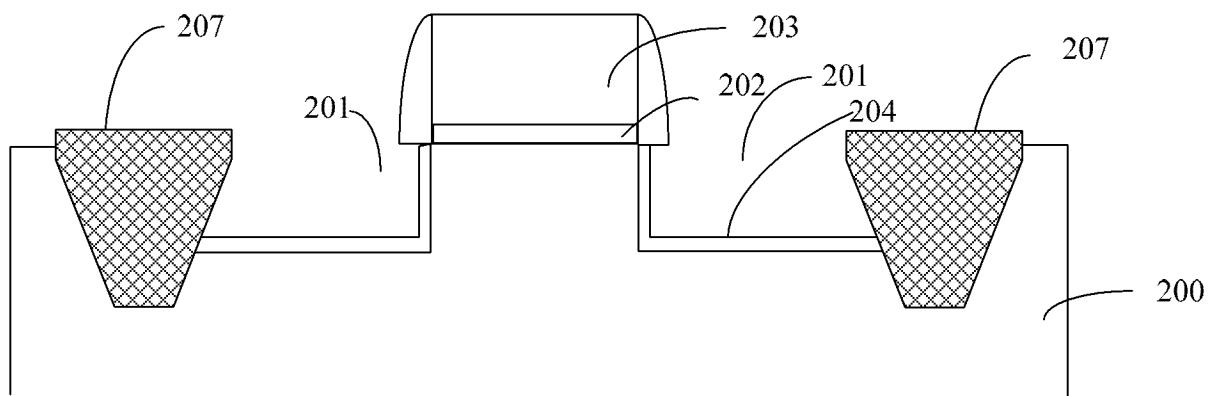


图 2

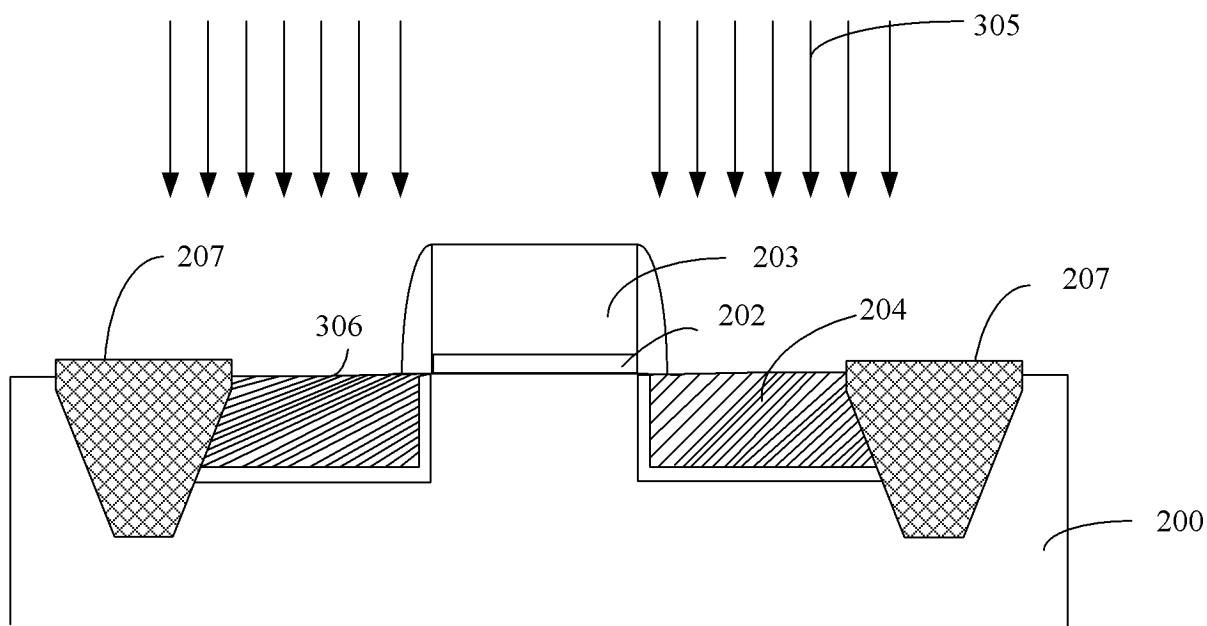


图 3

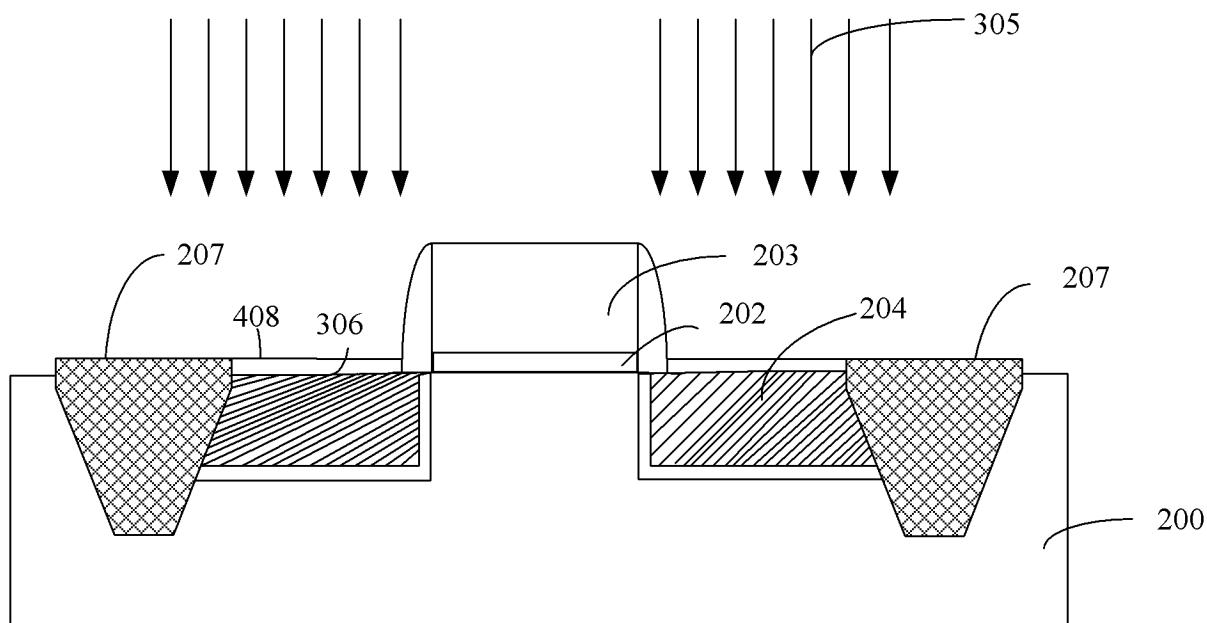


图 4



图 5

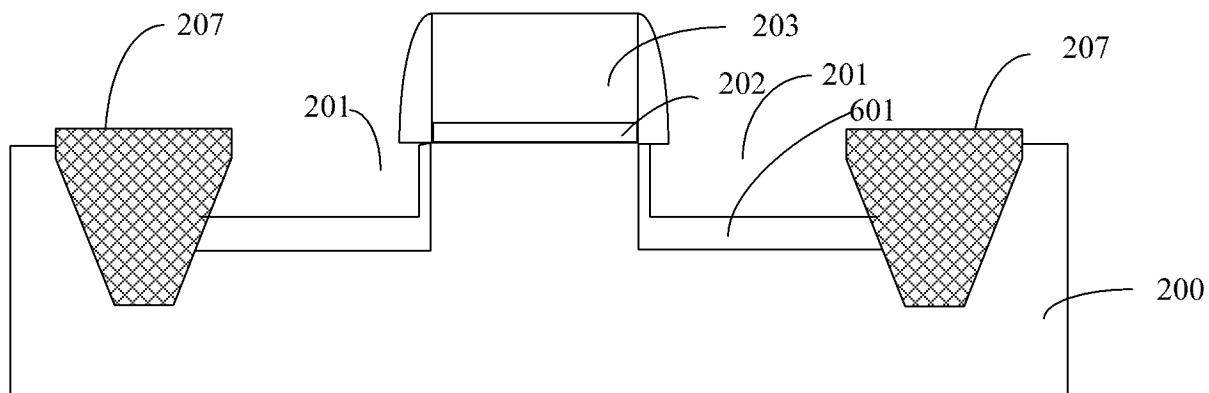


图 6

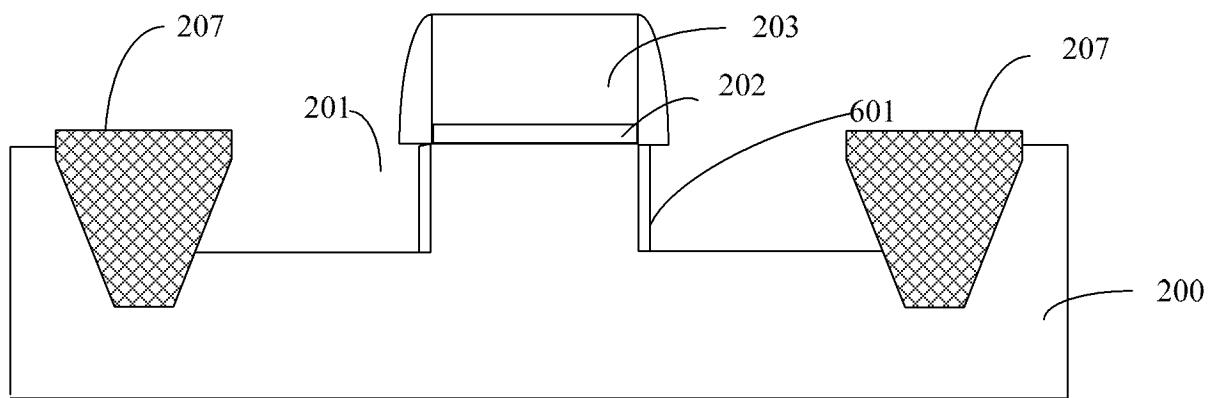


图 7

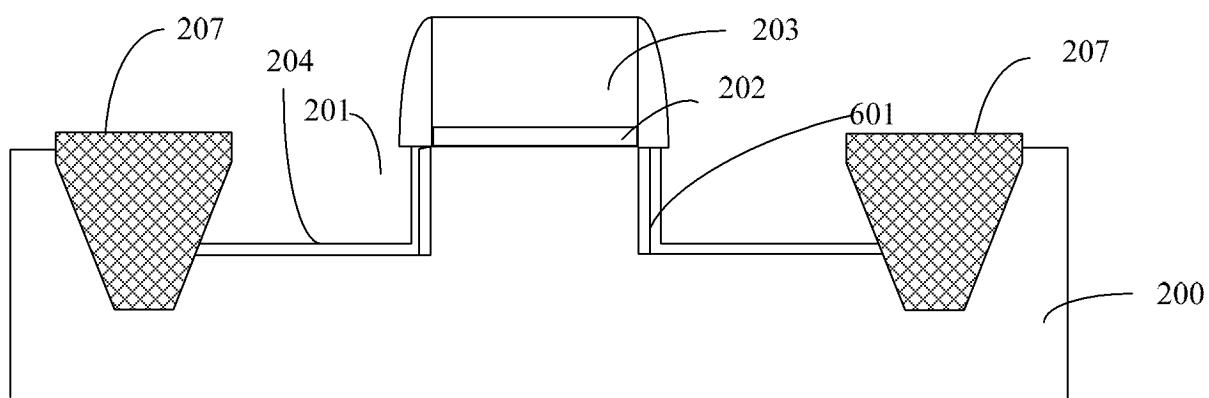


图 8

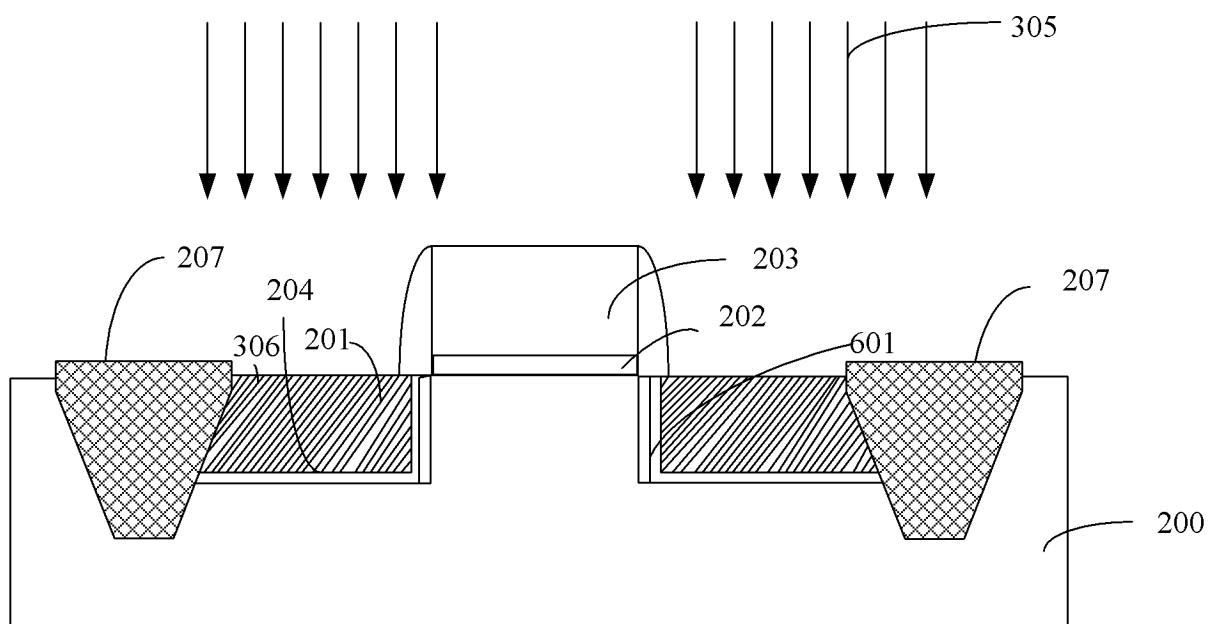


图 9

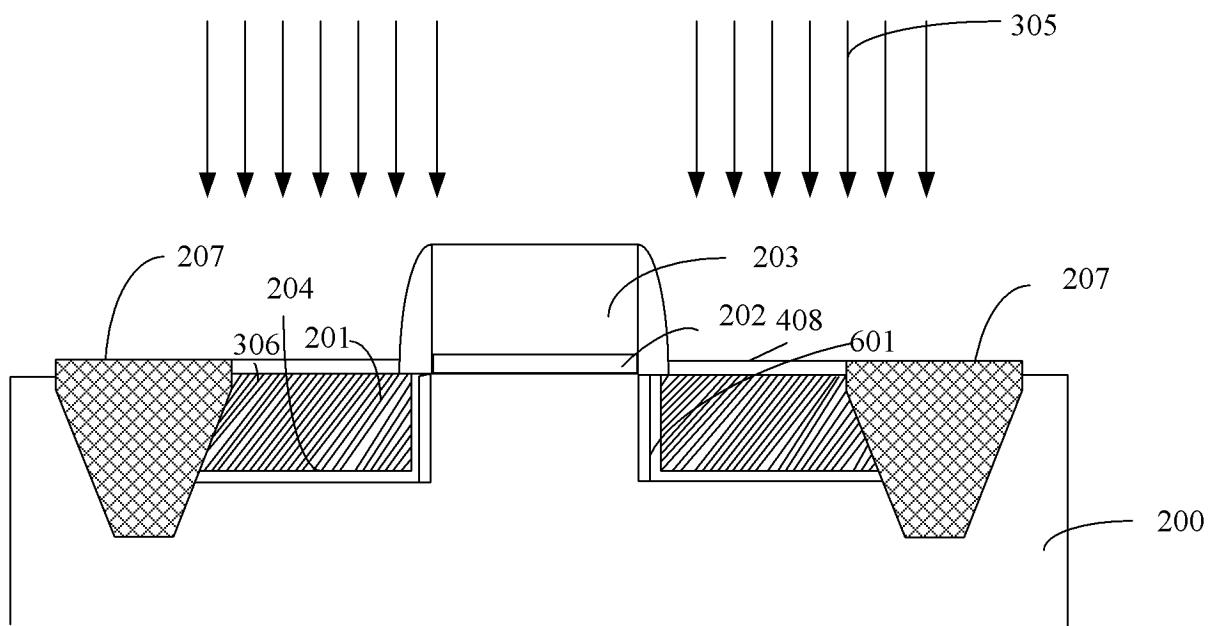


图 10