

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-87303

(P2010-87303A)

(43) 公開日 平成22年4月15日(2010.4.15)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 2 C	2 H O 9 0
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 1 2 D	2 H O 9 2
H O 1 L 29/417 (2006.01)	H O 1 L 29/78 6 2 6 C	4 M 1 0 4
H O 1 L 29/423 (2006.01)	H O 1 L 29/78 6 2 7 C	5 C 0 9 4
H O 1 L 29/49 (2006.01)	H O 1 L 29/78 6 2 7 F	5 F 1 1 0
審査請求 未請求 請求項の数 12 O L (全 20 頁) 最終頁に続く		

(21) 出願番号 特願2008-255689 (P2008-255689)
 (22) 出願日 平成20年9月30日 (2008. 9. 30)

(71) 出願人 000002897
 大日本印刷株式会社
 東京都新宿区市谷加賀町一丁目1番1号
 (74) 代理人 100117226
 弁理士 吉村 俊一
 (72) 発明者 市村 公二
 東京都新宿区市谷加賀町一丁目1番1号
 大日本印刷株式会社内
 Fターム(参考) 2H090 JB02 JB03 JB04 JC07 LA01
 LA04
 2H092 JA25 JA40 JA44 JB23 JB24
 JB56 KA10 MA14 MA15 MA18
 MA27 MA30 MA41 NA21 NA27
 PA01

最終頁に続く

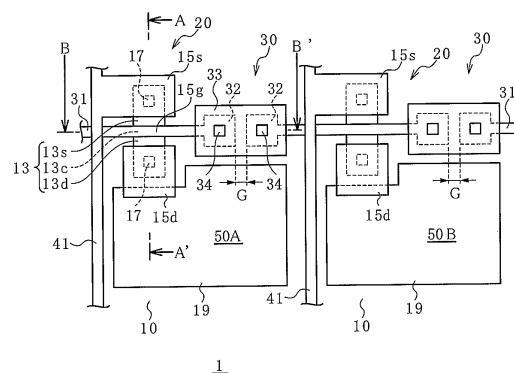
(54) 【発明の名称】 ディスプレイ用薄膜トランジスタ基板及びその製造方法

(57) 【要約】

【課題】 ソースドレイン領域の半導体膜と走査線の下にある半導体膜とが接続されていることに起因して生じる不具合をなくすることができる、アクティブマトリクス方式のディスプレイ用薄膜トランジスタ基板を提供する。

【解決手段】 基板10側から、少なくとも、半導体膜13、ゲート絶縁膜14g、ゲート電極15gの順で設けられたTFT20を有するアクティブマトリクス方式のディスプレイ用薄膜トランジスタ基板1において、ゲート電極15gをその一部として含む走査線31が所定の隙間Gを隔てて分断された導電性パターン32と、その導電性パターン32の下に設けられた半導体膜13と、分断された導電性パターン32を接続する配線膜33とを有するように構成した。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板側から、少なくとも、半導体膜、ゲート絶縁膜、ゲート電極の順で設けられた薄膜トランジスタを有するアクティブマトリクス方式のディスプレイ用薄膜トランジスタ基板において、

前記ゲート電極をその一部として含む走査線が所定の隙間を隔てて分断された導電性パターンと、該導電性パターンの下に設けられた半導体膜と、前記分断された導電性パターンを接続する配線膜とを有することを特徴とするディスプレイ用薄膜トランジスタ基板。

【請求項 2】

前記基板が、非耐熱性基板である、請求項 1 に記載のディスプレイ用薄膜トランジスタ基板。

10

【請求項 3】

前記配線膜が、前記導電性パターン上に直接形成されている、請求項 1 又は 2 に記載のディスプレイ用薄膜トランジスタ基板。

【請求項 4】

前記配線膜が、前記導電性パターン上に形成された絶縁膜のコンタクトホールを介して接続されている、請求項 1 又は 2 に記載のディスプレイ用薄膜トランジスタ基板。

【請求項 5】

前記半導体膜は、前記ゲート電極の下に位置する領域以外の領域がイオン注入されている、請求項 1 ～ 4 のいずれか 1 項に記載のディスプレイ用薄膜トランジスタ基板。

20

【請求項 6】

前記ゲート電極を覆うように層間絶縁膜が形成されている、請求項 1 ～ 5 のいずれか 1 項に記載のディスプレイ用薄膜トランジスタ基板。

【請求項 7】

基板側から、少なくとも、半導体膜、ゲート絶縁膜、ゲート電極の順で設けられた薄膜トランジスタを有し、該ゲート電極をその一部として含む走査線が、所定の隙間を隔てて分断された導電性パターンと、該導電性パターンの下に設けられた半導体膜と、前記分断された導電性パターンを接続する配線膜とを有する、アクティブマトリクス方式のディスプレイ用薄膜トランジスタ基板の製造方法であって、

前記基板の全面に半導体膜を形成する工程と、

30

前記半導体膜上にゲート絶縁膜とゲート電極とを形成するとともに、該ゲート電極をその一部として含む走査線を、所定の隙間を隔てて分断された導電性パターンで形成する工程と、

前記ゲート電極の上方から前記半導体膜に対してイオン注入処理を行い、前記ゲート電極の下に位置する領域以外の領域にイオン注入する工程と、

全面にエネルギービーム照射を行って前記イオン注入した領域を活性化する工程と、

前記活性化した領域のうち、ソース拡散領域及びドレイン拡散領域になる部分以外の半導体膜と、前記導電性パターンの下にある半導体膜以外の半導体膜とを除去する工程と、

前記所定の隙間を隔てて分断された導電性パターンの上に所定パターンの配線膜を形成し、該分断された導電性パターンを接続する工程と、

40

をその順で有することを特徴とするディスプレイ用薄膜トランジスタ基板の製造方法。

【請求項 8】

基板側から、少なくとも、半導体膜、ゲート絶縁膜、ゲート電極の順で設けられた薄膜トランジスタを有し、該ゲート電極をその一部として含む走査線が、所定の隙間を隔てて分断された導電性パターンと、該導電性パターンの下に設けられた半導体膜と、前記分断された導電性パターンを接続する配線膜とを有する、アクティブマトリクス方式のディスプレイ用薄膜トランジスタ基板の製造方法であって、

前記基板の全面に半導体膜を形成する工程と、

前記半導体膜上にゲート絶縁膜とゲート電極とを形成するとともに、該ゲート電極をその一部として含む走査線を、所定の隙間を隔てて分断された導電性パターンで形成する工

50

程と、

前記導電性パターンをなすゲート電極をマスクとして、前記ゲート絶縁膜と前記半導体膜とをパターニングする工程と、

前記所定の隙間を隔てて分断された導電性パターンの上に所定パターンの配線膜を形成し、該分断された導電性パターンを接続する工程と、

をその順で有することを特徴とするディスプレイ用薄膜トランジスタ基板の製造方法。

【請求項 9】

前記基板が非耐熱性基板である、請求項 7 又は 8 に記載のディスプレイ用薄膜トランジスタ基板の製造方法。

【請求項 10】

前記配線膜を、前記導電性パターン上に直接形成する、請求項 7～9 のいずれか 1 項に記載のディスプレイ用薄膜トランジスタ基板の製造方法。

【請求項 11】

前記配線膜を、前記導電性パターン上にコンタクトホールを有する絶縁膜を形成した後に該絶縁膜上に形成する、請求項 7～9 のいずれか 1 項に記載のディスプレイ用薄膜トランジスタ基板の製造方法。

【請求項 12】

前記ゲート電極を覆うように層間絶縁膜を形成する工程を有する、請求項 7～11 のいずれか 1 項に記載のディスプレイ用薄膜トランジスタ基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス方式のディスプレイ用薄膜トランジスタ基板及びその製造方法に関する。

【背景技術】

【0002】

アクティブマトリクス駆動型の表示装置において、薄膜トランジスタ（以下、TFTともいう。）は、個々の画素に設けられるスイッチング素子や、表示装置のディスプレイ基板上の周辺回路を構成する回路素子等として利用されている。アクティブマトリクス駆動型の表示装置である液晶ディスプレイパネルや有機ELディスプレイパネルは、携帯電話やPDA等のモバイルディスプレイ用途に使用されることが多く、さらなる軽量化や耐衝撃性を有するTFT基板が望まれている。特に近年においては、ガラス基板の代わりにプラスチック基板を用いたTFT基板が提案されている。

【0003】

こうしたTFT基板のうち、ポリシリコンTFT基板等で用いられるトップゲート型TFT基板においては、パターニングしたゲート電極をシリコン膜へのイオン注入のマスクとして用いる所謂「セルフアラインプロセス」が各種提案されている（例えば特許文献1を参照）。また、トップゲートスタガ型のTFT基板では、シリコン膜を所定パターンにエッチングする際に、パターニングしたゲート電極を利用するセルフアラインプロセスも提案されている。これらのように、トップゲート型のTFT基板でセルフアラインプロセスを適用する場合であって、ゲート電極を形成する前にあらかじめシリコン膜のパターン形成を行わない場合には、ゲート電極をマスクパターンとしているので、ゲート電極の下には必ずシリコン膜が存在した状態となっている。あらかじめシリコン膜のパターニングを行わない理由としては、（a）基板に耐熱性がないためにイオン注入した不純物の活性化を行うのに基板全体を加熱する熱活性化法を利用できず、そのために全面にレーザー光を照射するレーザー活性化法を採用する場合（前者の場合）において、そのレーザー光がシリコン膜がない部分で基板に対してダメージを与える場合や、（b）ゲート電極パターンでシリコン膜をエッチングすることでフォトリソグラフィ工程を1回省略することを目的とした場合（後者の場合）、などが考えられる。

【0004】

ところで、T F T基板をマトリクス型ディスプレイのスイッチング素子として応用する場合、通常、工程数を低減させる目的で、T F Tのゲート電極と、そのゲート電極に外部の電圧を供給するための走査線とが共有化されている。こうした態様のT F T基板を製造する際に、上記したセルフアラインプロセスを採用すると、走査線の下に必ずシリコン膜が形成されることになる。

【0005】

【特許文献1】特開2004-342753号公報（第0025段落）

【発明の開示】

【発明が解決しようとする課題】

【0006】

上記態様において、走査線にオン電圧が印加されると、その走査線の下にあるシリコン膜も導通状態となるが、そのシリコン膜はソースドレイン領域を介してデータ線や画素電極にも接続されている。そのため、走査線からのオン／オフ電圧をゲート電極に印加することによってソースドレイン間に電流が流れたとき、その電流が、ソースドレイン領域のシリコン膜から走査線の下にあるシリコン膜に流れ込み、漏洩電流として不具合を引き起こすおそれがある。特に、走査線は多くの画素領域に渡って形成されているので、隣の画素領域に不要な電流が流れたり、画素電極に所望の電圧が供給されなかったりする等の不具合を発生させる可能性がある。

【0007】

本発明は、上記課題を解決するためになされたものであって、その目的は、ソースドレイン領域の半導体膜と走査線の下にある半導体膜とが接続されていることに起因して生じる不具合をなくすることができる、アクティブマトリクス方式のディスプレイ用薄膜トランジスタ基板を提供することにある。また、本発明の他の目的は、そうしたディスプレイ用薄膜トランジスタ基板の製造方法を提供することにある。

【課題を解決するための手段】

【0008】

上記課題を解決するための本発明のディスプレイ用薄膜トランジスタ基板は、基板側から、少なくとも、半導体膜、ゲート絶縁膜、ゲート電極の順で設けられた薄膜トランジスタを有するアクティブマトリクス方式のディスプレイ用薄膜トランジスタ基板において、前記ゲート電極をその一部として含む走査線が所定の隙間を隔てて分断された導電性パターンと、該導電性パターンの下に設けられた半導体膜と、前記分断された導電性パターンを接続する配線膜とを有することを特徴とする。

【0009】

この発明によれば、ゲート電極をその一部として含む走査線が、所定の隙間を隔てて分断された導電性パターンと、その導電性パターンの下に設けられた半導体膜と、分断された導電性パターンを接続する配線膜とを有するので、こうして構成されたT F T基板は、導電性パターンの下には半導体膜が存在するものの、導電性パターンが無いところには半導体膜が存在しない。つまり、導電性パターンの下の半導体膜は、導電性パターンが分断された部位でその導電性パターンと同様に分断されているので、その導電性パターンの下にある半導体膜も分断されている。その結果、走査線からのオン／オフ電圧をゲート電極に印加することによってソースドレイン間に電流が流れた場合に、その電流が、ソースドレイン領域の半導体膜から導電性パターンの下にある半導体膜に流れ込んだ場合であっても、漏洩電流として隣の画素領域に不要な電流が流れ込んだり、画素電極に所望の電圧が供給されなかったりする等の不具合を発生させることがない。

【0010】

本発明のディスプレイ用薄膜トランジスタ基板の好ましい態様として、前記基板が非耐熱性基板であるように構成する。そうした基板としては例えばプラスチック基板が挙げられる。

【0011】

基板としてプラスチック基板等の非耐熱性基板を用いる場合において、例えば、半導体

10

20

30

40

50

膜をパターニングした後に活性化処理を行う工程で薄膜トランジスタ基板を得る場合には、半導体膜が除去された領域の非耐熱性基板に大きな熱的ダメージが生じるため、全ベタの半導体膜に活性化処理を行った後に半導体膜をパターニングすることが望ましい。したがって、本発明のようなトップゲートスタガ型のTFT基板を構成する基板として非耐熱性基板を用いた場合には、ゲート電極をその一部として含む走査線が所定の隙間を隔てて分断された導電性パターンと、その導電性パターンの下に設けられた半導体膜と、その分断された導電性パターンを接続する配線膜とを有するように構成することが特に好ましいのである。

【0012】

本発明のディスプレイ用薄膜トランジスタ基板の好ましい態様として、前記配線膜が、前記導電性パターン上に直接形成されているように構成してもよいし、前記配線膜が、前記導電性パターン上に形成された絶縁膜のコンタクトホールを介して形成されているように構成してもよい。

10

【0013】

これらの発明によれば、所定の隙間を隔てて分断された導電性パターンを接続する配線膜は、導電性パターン上に直接設けても、導電性パターン上の絶縁膜に形成したコンタクトホールを介して設けてもよく、特にコンタクトホールを有する絶縁膜を形成する場合には、その絶縁膜をゲート電極を覆うように形成する層間絶縁膜と共通のものとすることができるので便利である。

【0014】

本発明のディスプレイ用薄膜トランジスタ基板の好ましい態様として、前記半導体膜は、前記ゲート電極の下に位置する領域以外の領域がイオン注入されているように構成する。

20

【0015】

この発明によれば、半導体膜は、ゲート電極をマスクパターンとした所謂セルフアラインプロセスによりイオン注入されているので、マスクの正確なアライメントを行わなくても位置精度よくイオン注入することができる。

【0016】

本発明のディスプレイ用薄膜トランジスタ基板の好ましい態様として、前記ゲート電極を覆うように層間絶縁膜が形成されているように構成する。

30

【0017】

この発明によれば、ゲート電極を覆うように層間絶縁膜が形成されているので、ゲート電極をソース電極やドレイン電極と絶縁でき、さらにその層間絶縁膜を導電性パターン上に形成する絶縁膜と共通のものとすることができるので便利である。

【0018】

上記課題を解決するための本発明のディスプレイ用薄膜トランジスタ基板の製造方法は、基板側から、少なくとも、半導体膜、ゲート絶縁膜、ゲート電極の順で設けられた薄膜トランジスタを有し、該ゲート電極をその一部として含む走査線が所定の隙間を隔てて分断された導電性パターンと、該導電性パターンの下に設けられた半導体膜と、前記分断された導電性パターンを接続する配線膜とを有する、アクティブマトリクス方式のディスプレイ用薄膜トランジスタ基板の製造方法である。

40

【0019】

その第1態様に係る製造方法は、前記基板の全面に半導体膜を形成する工程と、前記半導体膜上にゲート絶縁膜とゲート電極とを形成するとともに、該ゲート電極をその一部として含む走査線を、所定の隙間を隔てて分断した導電性パターンで形成する工程と、前記ゲート電極の上方から前記半導体膜に対してイオン注入処理を行い、前記ゲート電極の下に位置する領域以外の領域にイオン注入する工程と、全面にエネルギービーム照射を行って前記イオン注入した領域を活性化する工程と、前記活性化した領域のうち、ソース拡散領域及びドレイン拡散領域になる部分以外の半導体膜と前記導電性パターンの下にある半導体膜以外の半導体膜とを除去する工程と、前記所定の隙間を隔てて分断された導電性パ

50

ターンの上に所定パターンの配線膜を形成し、該分断された導電性パターンを接続する工程と、をその順で有することを特徴とする。

【0020】

また、その第2態様に係る製造方法は、前記基板の全面に半導体膜を形成する工程と、前記半導体膜上にゲート絶縁膜とゲート電極とを形成するとともに、該ゲート電極をその一部として含む走査線を、所定の隙間を隔てて分断された導電性パターンで形成する工程と、前記導電性パターンをなすゲート電極をマスクとして、前記ゲート絶縁膜と前記半導体膜とをパターンニングする工程と、前記所定の隙間を隔てて分断された導電性パターンの上に所定パターンの配線膜を形成し、該分断された導電性パターンを接続する工程と、をその順で有することを特徴とする。

10

【0021】

これら第1、第2態様に係る発明によれば、それぞれの工程を経て製造されたTFT基板は、導電性パターンの下には半導体膜が存在するものの、導電性パターンが無いところには半導体膜が存在しない。つまり、導電性パターンの中の半導体膜は、導電性パターンが分断された部位でその導電性パターンと同様に分断されているので、その導電性パターンの中にある半導体膜も分断されている。その結果、製造されたディスプレイ用薄膜トランジスタ基板においては、走査線からのオン／オフ電圧をゲート電極に印加することによってソースドレイン間に電流が流れた場合に、その電流が、ソースドレイン領域の半導体膜から導電性パターンの中にある半導体膜に流れ込んだ場合であっても、漏洩電流として隣の画素領域に不要な電流が流れ込んだり、画素電極に所望の電圧が供給されなかったりする等の不具合を発生させることがない。

20

【0022】

本発明のディスプレイ用薄膜トランジスタ基板の製造方法の好ましい態様として、前記基板が非耐熱性基板であるように構成する。

【0023】

この発明によれば、半導体膜に活性化処理を行った後にパターンニングするように構成されるので、基板として非耐熱性基板を用いた場合であっても、活性化処理によって非耐熱性基板に大きな熱的ダメージを与えない。

【0024】

本発明のディスプレイ用薄膜トランジスタ基板の製造方法の好ましい態様として、前記配線膜を、前記導電性パターン上に直接形成するように構成してもよいし、前記配線膜を、前記導電性パターン上にコンタクトホールを有する絶縁膜を形成した後に該絶縁膜上に形成するように構成してもよい。

30

【0025】

これらの発明において、特に導電性パターン上にコンタクトホールを有する絶縁膜を形成した後に該絶縁膜上に形成すれば、その絶縁膜をゲート電極上に形成する層間絶縁膜と共通のものとすることができるので製造上便利である。

【0026】

本発明のディスプレイ用薄膜トランジスタ基板の製造方法の好ましい態様として、前記ゲート電極を覆うように層間絶縁膜を形成する工程を有するように構成する。

40

【0027】

この発明によれば、ゲート電極を覆うように層間絶縁膜を形成するので、ゲート電極をソース電極やドレイン電極と絶縁でき、さらにその層間絶縁膜を導電性パターン上に形成する絶縁膜と共通のものとすることができるので製造上便利である。

【発明の効果】

【0028】

本発明のディスプレイ用薄膜トランジスタ基板によれば、導電性パターンの中の半導体膜は、導電性パターンが分断された部位でその導電性パターンと同様に分断され、その導電性パターンの中にある半導体膜も分断されているので、走査線からのオン／オフ電圧をゲート電極に印加することによってソースドレイン間に電流が流れた場合に、その電流

50

が、ソースドレイン領域の半導体膜から導電性パターンの下にある半導体膜に流れ込んだ場合であっても、漏洩電流として隣の画素領域に不要な電流が流れ込んだり、画素電極に所望の電圧が供給されなかったりする等の不具合を発生させることがない。その結果、本発明のディスプレイ用薄膜トランジスタ基板は、前記不具合に基づく不良発生を低減させることができる。

【0029】

本発明のディスプレイ用薄膜トランジスタ基板の製造方法によれば、上記のように、漏洩電流として隣の画素領域に不要な電流が流れ込んだり、画素電極に所望の電圧が供給されなかったりする等の不具合を発生させることがないディスプレイ用薄膜トランジスタ基板を製造できるので、前記不具合に基づく不良発生を低減させることができるとともに、製造歩留まりが向上し、さらに例えば液晶ディスプレイ（LCD）や有機発光素子（OLED）等と組み合わせたフレキシブルディスプレイを歩留まりよく低コストで製造できる。また、本発明の製造方法で製造されたTFT基板において、半導体膜は、ゲート電極をマスクパターンとした所謂セルフアラインプロセスによりイオン注入され又はパターンニングされるので、マスクの正確なアライメントを行わなくても位置精度よくイオン注入又はパターンニングすることができる。

【発明を実施するための最良の形態】

【0030】

以下、本発明のディスプレイ用薄膜トランジスタ基板及其の製造方法について詳細に説明する。なお、本発明は図面の形態や以下の実施形態に限定されるものではない。

【0031】

〔ディスプレイ用薄膜トランジスタ基板〕

図1は、本発明のディスプレイ用薄膜トランジスタ基板の一例を示す模式平面図であり、図2は、図1に示すTFT基板のA-A'断面図であり、図3は、図1に示すTFT基板のB-B'断面図である。本発明のディスプレイ用薄膜トランジスタ基板1（以下、単に「TFT基板1」ともいう。）は、図1～図3に示すように、基板10側から、少なくとも、半導体膜13、ゲート絶縁膜14g、ゲート電極15gの順で設けられた薄膜トランジスタ20（以下、単に「TFT20」ともいう。）を有するアクティブマトリクス方式のTFT基板である。そして、本発明は、図1及び図3に示すように、ゲート電極15gをその一部として含む走査線31が所定の隙間Gを隔てて分断された導電性パターン32、32と、その導電性パターン32、32の下に設けられた半導体膜13と、分断された導電性パターン32、32を接続する配線膜33とを有している。

【0032】

より詳しくは、本発明は、図1～図3に示すように、トップゲート・トップコンタクト構造からなるTFT基板1であり、このTFT基板1に形成されたTFT20は、基板10と、基板10上に必要に応じて設けられたアンダーコート膜11と、アンダーコート膜11上に設けられた半導体膜13（ソース側拡散膜13s、チャネル膜13c及びドレイン側拡散膜13d）と、その半導体膜13上（詳しくは、チャネル膜13c上）に形成されたゲート絶縁膜14gと、ゲート絶縁膜14g上に設けられたゲート電極15gと、ゲート電極15gとゲート絶縁膜14gとを覆うように設けられた層間絶縁膜16aと、ソース側拡散膜13s及びドレイン側拡散膜13dのそれぞれの一部を覆う絶縁膜16bによって形成されたコンタクトホール17と、そのコンタクトホール17を介して設けられたソース電極15s及びドレイン電極15dとを有し、さらのそのTFT20を覆うように設けられた保護膜18とを有している。また、ドレイン電極15dの一端は、画素領域（50A、50B、…）に形成された画素電極19と接続するように設けられている。なお、ゲート電極15gをその一部として含む走査線31は、通常は画素領域（50A、50B、…）毎に分断されている例が多いが、必ずしも画素領域毎でなくてもよい。以下では、説明を分かりやすくするために画素領域毎に分断されている例で説明する。

【0033】

走査線31の形成部30は、ゲート電極15gをその一部として含み、走査線30が延

びる方向に隣接した例えば画素領域（５０Ａ，５０Ｂ，…）毎に、所定の隙間Ｇを隔てて導電性パターン３２が分断されている。導電性パターン３２の下には半導体膜１３が設けられているが、その半導体膜１３も、導電性パターン３２が分断されているために同様に分断されている。分断された導電性パターン３２上には、その導電性パターン３２を電気的に接続するように配線膜３３が設けられている。なお、この配線部３３は、直接、又は、絶縁膜１６ｃに形成されたコンタクトホール３４を介して設けられている。

【００３４】

こうした本発明に係るＴＦＴ基板１は、導電性パターン３２の下には半導体膜１３が存在するものの、導電性パターン３２が無いところには半導体膜１３が存在しない。つまり、導電性パターン３２の下の半導体膜１３は、導電性パターン３２が分断された部位でその導電性パターン３２と同様に分断されているので、その導電性パターン３２の下にある半導体膜１３も分断されている。その結果、走査線３１からのオン／オフ電圧をゲート電極１５ｇに印加することによってソースドレイン間に電流が流れた場合に、その電流が、ソースドレイン領域の半導体膜（ソース側拡散膜１３ｓ，ドレイン側拡散膜１３ｄ）から導電性パターン３２の下にある半導体膜１３に流れ込んだ場合であっても、漏洩電流として隣の画素領域に不要な電流が流れ込んだり、画素電極１９に所望の電圧が供給されなかったりする等の不具合を発生させることがない。

【００３５】

さらに、本発明のＴＦＴ基板１においては、基板１０としてプラスチック基板等の非耐熱性基板を用いる場合に、半導体膜１３をパターニングした後にその全面にエネルギービーム照射２５による活性化処理を行う工程を経てＴＦＴ基板１を製造するような場合には、半導体膜１３が除去された領域の非耐熱性基板に大きな熱的ダメージが生じるため、全ベタの半導体膜１３の全面にエネルギービーム照射を行った後に半導体膜１３をパターニングする工程を経てＴＦＴ基板１を製造することが望ましい（本発明の第１態様に係る製造方法）。したがって、本発明のようなトップゲートスタガ型のＴＦＴ基板１を構成する基板１０として非耐熱性基板を用いた場合には、ゲート電極１５ｇをその一部として含む走査線３１が所定の隙間Ｇを隔てて分断された導電性パターン３２と、その導電性パターン３２の下に設けられた半導体膜１３と、その分断された導電性パターン３２を接続する配線膜３３とを有するように構成することが特に好ましい。

【００３６】

また、本発明においては、ゲート電極１５ｇとゲート絶縁膜１４ｇとを覆うように層間絶縁膜１６ａが形成されているので、ゲート電極１５ｇをソース電極１５ｓやドレイン電極１５ｄと絶縁でき、さらにその層間絶縁膜１６ａを導電性パターン３２上に形成する絶縁膜１６ｃと共通のものとすることができるので便利である。

【００３７】

〔製造方法〕

本発明のＴＦＴ基板の製造方法は、上記本発明のＴＦＴ基板１を製造する方法である。そして、本発明の第１態様に係る製造方法は、基板１０の全面に半導体膜１３（例えば非晶質シリコン膜２１ａ）を形成する工程と、その半導体膜１３（例えば非晶質シリコン膜２１ａ）上にゲート絶縁膜１４ｇとゲート電極１５ｇとを形成するとともに、ゲート電極１５ｇをその一部として含む走査線３１を、所定の隙間Ｇを隔てて分断した導電性パターン３２で形成する工程と、ゲート電極１５ｇの上方から半導体膜１３に対してイオン注入処理を行い、ゲート電極１５ｇの下に位置する領域以外の領域の半導体膜１３にイオン注入する工程と、全面にエネルギービーム照射２５を行って前記イオン注入した領域を活性化する工程と、活性化した領域のうち、ソース側拡散膜１４ｓ及びドレイン側拡散膜１４ｄになる部分以外の半導体膜１３と導電性パターン３２の下にある半導体膜以外の半導体膜１３とを除去する工程と、所定の隙間Ｇを隔てて分断された導電性パターン３２の上に所定パターンの配線膜３２を形成し、分断された導電性パターン３２を接続する工程と、をその順で有している。

【００３８】

また、本発明の第２態様に係る製造方法は、基板１０の全面に半導体膜１３を形成する工程と、半導体膜１３上にゲート絶縁膜１４ｇとゲート電極１５ｇとを形成するとともに、ゲート電極１５ｇをその一部として含む走査線３１を、所定の隙間Ｇを隔てて分断された導電性パターン３２で形成する工程と、導電性パターン３２をなすゲート電極１５ｇをマスクとして、ゲート絶縁膜１４ｇと半導体膜１３とをパターンニングする工程と、所定の隙間Ｇを隔てて分断された導電性パターン３２の上に所定パターンの配線膜３２を形成し、分断された導電性パターン３２を接続する工程と、をその順で有している。

【００３９】

これら第１，第２態様に係る製造方法は、ゲート電極を形成する前にあらかじめ半導体膜のパターン形成を行わない場合であるが、それぞれの工程を経て製造されたＴＦＴ基板１は、導電性パターン３２の下には半導体膜１３が存在するものの導電性パターン３２が無いところには半導体膜１３が存在しない。つまり、導電性パターン３２の下の半導体膜１３は、導電性パターン３２が分断された部位でその導電性パターン３２と同様に分断されているので、その導電性パターン３２の下にある半導体膜１３も分断されている。その結果、製造されたディスプレイ用ＴＦＴ基板１においては、走査線３１からのオン／オフ電圧をゲート電極１５ｇに印加することによってソースドレイン間に電流が流れた場合に、その電流が、ソースドレイン領域の半導体膜１３から導電性パターン３２の下にある半導体膜１３に流れ込んだ場合であっても、漏洩電流として隣の画素領域に不要な電流が流れ込んだり、画素電極に所望の電圧が供給されなかったりする等の不具合を発生させることがないという利点がある。

【００４０】

特に第１態様に係る製造方法によれば、ゲート電極１５ｇの上方から半導体膜１３に対してイオン注入処理を行い、そのゲート電極１５ｇの下に位置する領域以外の領域にイオン注入する工程と、全面にエネルギービーム照射を行ってイオン注入した領域を活性化する工程とを有するので、こうした工程を経て製造されたＴＦＴ基板１において、半導体膜１３は、ゲート電極１５ｇをマスクパターンとした所謂セルフアラインプロセスによりイオン注入され、その結果、マスクの正確なアライメントを行わなくても位置精度よくイオン注入することができる。また、基板１０に耐熱性がないためにイオン注入した不純物の活性化を行うのに基板全体を加熱する熱活性化法を利用できず、そのために全面にレーザー光を照射するレーザー活性化法を採用する場合には、そのレーザー光が半導体膜１３がない部分で基板１０に対してダメージを与えることがないので、この第１態様に係る発明が好ましく適用される。

【００４１】

また、第２態様に係る製造方法によれば、導電性パターン３２をなすゲート電極１５ｇをマスクとしてゲート絶縁膜１４ｇと半導体膜３１とをパターンニングする工程を有するので、フォトリソグラフィ工程の回数を上記第１態様の場合に比べて省略することができる。

【００４２】

本発明は、こうした製造工程により、導電性パターン３２の下にある半導体膜１３も導電性パターン３２と同様に分断している。

【００４３】

以下においては、図１～図３に示したＴＦＴ基板１を例にして、ＴＦＴ基板１の構造と製造方法を、図４～図６に示した第１態様に係る製造方法により説明する。なお、本発明のＴＦＴ基板及びその製造方法において、特にその平面形態は図示の例に限定されず、本発明の特徴を有する範囲でその平面配置が変更されたものであってもよい。

【００４４】

先ず、基板１０を準備する。基板１０は、ＴＦＴ基板１の支持基板をなすものであり、有機基板であっても無機基板であってもよい。有機基板としては、例えば、ポリエーテルサルホン（ＰＥＳ）、ポリエチレンナフタレート（ＰＥＮ）、ポリアミド、ポリブチレンテレフタレート、ポリエチレンテレフタレート、ポリフェニレンサルファイド、ポリエー

テルエーテルケトン、液晶ポリマー、フッ素樹脂、ポリカーボネート、ポリノルボルネン系樹脂、ポリサルホン、ポリアリレート、ポリアミドイミド、ポリエーテルイミド、又は熱可塑性ポリイミド等からなる有機基板、又はそれらの複合基板を挙げることができる。こうした有機基板は、剛性を有するものであってもよいし、厚さが $5\mu\text{m}$ 以上 $300\mu\text{m}$ 以下程度の薄いフレキシブルなフィルム状のものであってもよい。フレキシブルな有機基板（プラスチック基板ともいう。）の使用は、TF T基板1をフレキシブル基板とすることができるので、フィルムディスプレイ等に適用できる。

【0045】

また、無機基板としては、例えば、ガラス基板、シリコン基板、セラミックス基板等を挙げることができる。ガラス基板としては、厚さが 0.05mm 以上 3.0mm 以下程度の液晶ディスプレイ用途のガラス基板であってもよい。

【0046】

本発明では、後述のように、基板10が、半導体膜13への活性化処理（エネルギービーム照射25）によってダメージを受ける非耐熱性基板である場合に特に効果的である。非耐熱性基板としては、通常は、有機基板（プラスチック基板等）が挙げられるが、無機基板であっても活性化処理（エネルギービーム照射25）等の熱負荷によってダメージを受ける限りにおいては非耐熱基板ということができる。

【0047】

次に、図4（A）に示すように、準備された基板10上に必要に応じてアンダーコート膜11を形成する。アンダーコート膜11は、必須の膜ではなく、例えば、（i）半導体膜13と基板10との密着性を向上させるための密着膜として、又は、（ii）後工程で形成した膜が有する応力を緩和させる応力緩衝膜として、又は、（iii）基板10内の不純物がTF Tに侵入するのを防ぐバリア膜として、又は、（iv）非耐熱性基板を用いた場合において後工程で加わる熱に対する熱緩衝膜として、設けることができる。したがって、密着性がよかったり、応力の影響がなかったり、バリア性を考慮する必要がなかったり、非耐熱性基板を用いない場合には設ける必要はない。

【0048】

例えば密着膜としてアンダーコート膜11を設ける場合、そのアンダーコート膜11はTF T20が形成される部分と走査線31が形成される部分には少なくとも形成されている必要があるが、それ以外の領域には形成されていてもいなくてもよく、基板10の全面に形成されていてもよい。なお、図4（A）に示す例では、アンダーコート膜11を全面に形成している。

【0049】

アンダーコート膜11は、上記（i）～（iv）の目的に応じ、クロム、チタン、アルミニウム、ケイ素、酸化クロム、酸化チタン、酸化アルミニウム、酸化ケイ素、窒化ケイ素、及び酸窒化ケイ素の群から選択されるいずれかの材料で形成される。例えば密着膜として用いる場合には、クロム、チタン、アルミニウム、又はケイ素等からなる金属系の無機膜が好ましく用いられ、応力緩和膜や熱緩衝膜として用いる場合には、酸化クロム、酸化チタン、酸化アルミニウム、酸化ケイ素、窒化ケイ素、又は酸窒化ケイ素等からなる化合物膜が好ましく用いられ、バリア膜として用いる場合には、酸化ケイ素又は酸窒化ケイ素等からなる化合物膜が好ましく用いられる。これらの膜は、その目的に応じて、単層で設けてもよいし、2層以上を積層してもよい。

【0050】

アンダーコート膜11を密着膜として設ける場合の厚さは、膜を構成する材質によってその範囲は若干異なるが、通常 1nm 以上 200nm 以下の範囲内であることが好ましく、 3nm 以上 50nm 以下の範囲内であることがより好ましい。なお、クロム、チタン、アルミニウム、又はケイ素からなる金属系の無機膜をアンダーコート膜11として形成する場合には、 3nm 以上 10nm 以下の範囲内であることがより好ましく、酸化クロム、酸化チタン、酸化アルミニウム、酸化ケイ素、窒化ケイ素、酸窒化ケイ素、酸化アルミニウム、窒化アルミニウム、又は酸窒化アルミニウムからなる化合物系の無機膜をアンダー

10

20

30

40

50

コート膜 11 として形成する場合には、5 nm 以上 50 nm 以下の範囲内であることがより好ましい。一方、アンダーコート膜 11 を応力からなる化合物膜、バリア膜又は熱緩衝膜として設ける場合の厚さも実際に形成する膜の材質によってその範囲は若干異なるが、その厚さとしては、通常、100 nm 以上 1000 nm 以下の範囲内であることが好ましく、成膜時間の点からは 100 nm 以上 500 nm 以下の範囲内であることがより好ましい。

【0051】

アンダーコート膜 11 は、DC スパッタリング法、RF マグネトロンスパッタリング法、プラズマ CVD 法等の各種の方法で形成することができるが、実際には、膜を構成する材質に応じた好ましい方法が採用される。通常は、DC スパッタリング法や RF マグネト

10

【0052】

次に、図 4 (B) に示すように、基板 10 上 (アンダーコート膜 11 が設けられている場合には、その上) に半導体膜 13 を形成する。半導体膜 13 としては、シリコン、酸化亜鉛、InGaZnO 等の各種の半導体膜を挙げることができる。以下においては、代表的な半導体膜 13 としてシリコン膜を例にして説明するが、通常は非晶質シリコン膜 21a が設けられるので、以下においては特に断らない限り「非晶質シリコン膜 21a」として説明する。なお、非晶質シリコン膜 21a と多結晶シリコン膜 21p の両方を特定せずに総称する場合には「半導体膜 13」として説明する。

20

【0053】

非晶質シリコン膜 21a の厚さは特に限定されず、通常、20 nm 以上 200 nm 以下の範囲内である。この非晶質シリコン膜 21a は、RF マグネトロンスパッタリング法や CVD 法等の各種の方法で成膜可能である。例えば RF マグネトロンスパッタリング法で非晶質シリコン膜 21a を成膜する場合には、例えば、成膜温度：室温、成膜圧力：0.2 Pa、ガス：アルゴンの成膜条件で例えば厚さ 50 nm の厚さで成膜できる。なお、CVD 法で非晶質シリコン膜 21a を成膜する場合も 25℃ 程度の成膜温度で成膜可能であるが、原料ガスとして SiH₄ が使用されるので、成膜後に約 450℃ の脱水素処理 (真空中で 1 時間程度) が必要となる。

【0054】

次に、図 4 (C) (D) に示すように、非晶質シリコン膜 21a 上の全面に、ゲート絶縁膜 14g と導電性パターン 32 の下に設けられた絶縁膜 14 とを形成するための絶縁膜 14 (図 4 (C)) と、ゲート電極 15g 及び導電性パターン 32 を形成するための金属膜 15 (図 4 (D)) とをその順で形成する。

30

【0055】

絶縁膜 14 としては、通常、酸化ケイ素膜が用いられ、その厚さは、通常、15 nm 以上 300 nm 以下の範囲である。この絶縁膜 14 は、例えば RF マグネトロンスパッタリング等で形成される。絶縁膜 14 の形成方法としては、例えば RF マグネトロンスパッタリング装置を用い、8 インチの SiO₂ ターゲットに投入電力：1.0 kW (= 3 W/cm²)、圧力：1.0 Pa、ガス：アルゴン + O₂ (50%) の成膜条件で厚さ約 100 nm の酸化ケイ素膜を形成する。

40

【0056】

また、絶縁膜 14 上に形成する金属膜 15 としては、通常、アルミニウム (Al)、銅 (Cu)、その他の導電性材料が用いられ、その厚さは、通常、30 nm 以上 300 nm 以下の範囲である。この金属膜 15 は、真空蒸着や、スパッタリング等の成膜プロセスにより形成される。

【0057】

この工程のサブ工程として、非晶質シリコン膜 21a 上の全面に、(1) 絶縁膜 14 を形成する前、又は (2) 絶縁膜 14 を形成した後で金属膜 15 を形成するまでの間、のいずれかのタイミングで、絶縁膜 14 の上方からレーザー照射 22 を行って非晶質シリコン膜 21a を多結晶化し、低抵抗の多結晶シリコン膜 21p に変化させる結晶化工程を付加

50

してもよい。このときのレーザー照射 22 は、非晶質シリコン膜 21 a を多結晶化させて多結晶シリコン膜 21 p にする結晶化手段であり、X e C l エキシマレーザー、C W (Continuous Wave) レーザー等の種々のレーザーを用いて行うことができる。例えば、波長 308 nm の X e C l エキシマレーザーを用いて結晶化を行う場合には、一例として、パルス幅：30 nsec (FWHM (半値幅)：full width at half-maximum)、エネルギー密度：200～300 mJ/cm²、室温の条件下で行うことができる。なお、このサブ工程は無くてもよい。

【0058】

上記 (1) のサブ工程 A では、絶縁膜 14 を形成する前にレーザー照射 22 を行うが、基板 10 上の全面に非晶質シリコン膜 21 a が形成されているので、その非晶質シリコン膜 21 a がレーザー吸収膜となって基材 10 にレーザー照射 22 に基づく熱ダメージを与えないという利点がある。こうした非晶質シリコン膜 21 a が全面に形成された状態でのレーザー照射 22 は、特に基板 10 がプラスチック基板等の非耐熱性基板である場合に好ましい。

【0059】

また、上記 (2) のサブ工程 B では、図 4 (C) に示すように、絶縁膜 14 を形成した後、金属膜 15 を形成するまでの間にレーザー照射 22 を行うが、基板 10 上の全面に非晶質シリコン膜 21 a と絶縁膜 14 が形成されているので、その非晶質シリコン膜 21 a がレーザー吸収膜となって基材 10 にレーザー照射 22 に基づく熱ダメージを与えないという利点がある。こうした非晶質シリコン膜 21 a と絶縁膜 14 とが全面に形成された状態でのレーザー照射 22 は、特に基板 10 がプラスチック基板等の非耐熱性基板である場合に好ましい。さらに、このサブ工程 B では、非晶質シリコン膜 21 a を形成した後絶縁膜 14 を連続して形成するので、非晶質シリコン膜 21 a の表面がレーザー照射時の大気雰囲気曝露されることがなく、その結果、非晶質シリコン膜 21 a と絶縁膜 14 との界面での酸化や欠陥の発生を抑制でき、その後にゲート絶縁膜 14 g となった後においては T F T としての電気特性に優れたものとなる。

【0060】

以下の工程においては、結晶化工程であるサブ工程 B を経たものについて説明する。

【0061】

次に、図 5 (E) に示すように、ゲート電極 15 g をその一部として含む走査線 31 を、所定の隙間 G を隔てて分断した導電性ターン 32 で形成する。

【0062】

この工程では、まず、絶縁膜 14 と金属膜 15 とをパターニングする。パターニングは、感光性ポリマー等からなるレジスト膜を用いた通常のフォトリソグラフィで行われる。具体的には、金属膜 15 上にマスク層となるレジスト膜を形成した後、フォトリソグラフィにより露光・現像して所定パターンのマスク層を形成し、その後、マスク層で覆われていない露出部分の金属膜 15 を例えば燐酸溶液でエッチング除去してゲート電極 15 g 及び導電性パターン 32 を形成する。引き続いて、マスク層を例えば有機溶液でエッチング除去した後、所定のパターンで形成されたゲート電極 15 g 及び導電性パターン 32 をマスクとした所謂セルフアラインプロセスにより、露出した絶縁膜 14 を例えばフッ酸溶液でエッチング除去してゲート絶縁膜 14 g を形成するとともに、導電性パターン 32 の下に設けられた絶縁膜 14 を形成する。こうしたセルフアラインプロセスにより、ゲート電極 15 g と導電性パターン 32 の下には、それぞれ同じ形状にパターニングされたゲート絶縁膜 14 g と絶縁膜 14 がある。

【0063】

金属膜 15 上に形成したマスク層のパターンは、ゲート電極 15 g をその一部として含む走査線 31 の平面視パターン (図 1 を参照) と同じパターンである。そして、そのパターンをマスクとしたフォトリソグラフィにより、ゲート電極 15 g をその一部として含む走査線 31 を、例えば画素領域 (50 A, 50 B, …等) 毎に所定の隙間 G を隔てて分断した導電性ターン 32 で形成することができる。なお、走査線 31 は、ゲート電極 15 g

の幅と同じ幅で各画素領域を横切るように連続して形成されているのが一般的であるが、本発明においては、導電性パターン32は図1に示すように所定の隙間Gを隔てて分断されている。隙間Gの長さは特に限定されず、例えば $0.2\mu\text{m}$ 以上 $1000\mu\text{m}$ 以下の範囲で設定できる。導電性パターン32の形状も特に限定されず、例えば、走査線31のライン幅よりも大きな四角形（図1参照）や、丸形のパターンとすることができる。

【0064】

次に、図5（F）に示すように、ゲート電極15gの上方から半導体膜13（非晶質シリコン膜21aに対し、又は、図4（C）に示すレーザー照射した場合には多結晶シリコン膜21p）に対してイオン注入処理を行い、ゲート電極15gの下に位置する領域以外の領域にイオン注入24する。イオン注入24は、例えば、リン（P）を注入電圧： 10keV 、室温下で、 5×10^{14} イオン/ $\text{cm}^2\sim 2\times 10^{15}$ イオン/ cm^2 のドーズ量となるように注入する。注入元素としては、リンの他、ホウ素、アンチモン、ヒ素等、半導体膜にイオン注入できる公知のものを任意に選択して注入してもよい。

【0065】

本発明において、このイオン注入24は、ゲート電極15gをマスクとした所謂セルフアラインプロセスとして行われる。したがって、この工程により、ゲート電極15gの下に位置してチャンネル膜13cとなる領域以外の領域（ソース側拡散膜13sになる領域と、ドレイン側拡散膜13dになる領域）がイオン注入される。イオン注入される半導体膜が非晶質シリコン膜21aである場合には、イオン注入によっても非晶質シリコン膜21aは非晶質相をそのまま維持するが、イオン注入される半導体膜がレーザー照射によって多結晶シリコン膜21pになっている場合には、イオン注入によってその多結晶シリコン膜21pは非晶質シリコン膜21aに変化する。いずれの場合も、イオン注入された部分は非晶質シリコン膜21aになっている。したがって、この工程においては、ゲート電極15gの下に位置する領域以外の半導体膜（チャンネル膜13c）に対し、そのゲート電極15gをマスクパターンとする所謂セルフアラインプロセスによりイオン注入するので、マスクの正確なアライメントを行わなくても位置精度よくイオン注入することができる。

【0066】

次に、図5（G）に示すように、全面にエネルギービーム照射25を行って前記イオン注入した領域を活性化する。この工程は、前記セルフアラインプロセスによってイオン注入した領域（すなわち、ゲート電極15gの下に位置するチャンネル膜13cとなる領域以外の領域）をエネルギービーム照射25して活性化させ、ソース側拡散膜13sとなる領域及びドレイン側拡散膜13dとなる領域を形成する。この活性化工程では、イオン注入された非晶質シリコン膜21aが再結晶化して多結晶シリコン膜21pに変化するとともに、ゲート電極15gの下に位置してイオン注入されずにチャンネル膜13cとなる非晶質シリコン膜21aも再結晶化して多結晶シリコン膜21pに変化する。ここで、エネルギービーム照射25とは、レーザー等のエネルギービームを照射して再結晶化する処理であり、必ずしもレーザーを用いるものでなくてもよい。

【0067】

エネルギービーム照射25として、XeClエキシマレーザー、CW（Continuous Wave）レーザー等の種々のレーザーを用いて行うことができる。例えば、波長 308nm のXeClエキシマレーザーを用いて結晶化を行う場合には、一例として、パルス幅： 30nsec （FWHM（半値幅）：full width at half-maximum）、エネルギー密度： $150\sim 250\text{mJ}/\text{cm}^2$ 、室温の条件下で行うことができる。このとき、エネルギービーム照射25をライン状のレーザー照射で行うことにより、TF T基板の全面を効率的に活性化することができる。

【0068】

次に、図5（H）に示すように、活性化した領域のうち、ソース側拡散膜14s及びドレイン側拡散膜14dになる部分以外の多結晶シリコン膜21pを除去してアイランド化し、多結晶シリコン半導体膜（13s，13c，13d）とするとともに、導電性パターン32の下にある半導体膜以外の不要な多結晶シリコン膜21pを除去する。アイランド

化による多結晶シリコン半導体膜（13s, 13c, 13d）の形成と不要な多結晶シリコン膜21pの除去は、フォトリソグラフィによってエッチング除去して行うが、通常、残す部分の上のみにマスク層を形成した後にドライエッチングして行われる。このときのエッチングガスとしては、SF₆等を用いることができる。

【0069】

上記アイランド化による多結晶シリコン半導体膜と多結晶シリコン半導体膜（13s, 13c, 13d）の形成と不要な多結晶シリコン膜21pの除去を行った後においては、通常、多結晶シリコン半導体膜（13s, 13c, 13d）の欠陥を低減処理するための酸素プラズマによる欠陥処理が施される。酸素プラズマ処理は、一例として、RF100W、1 Torr（133Pa）、150℃の条件下で行われ、その後においては、120℃の条件下での乾燥処理が施される。

10

【0070】

本発明においては、半導体膜に対してその全面にエネルギービーム照射25を行った後にその半導体膜をパターンニングしてアイランド化するので、基板10として非耐熱性基板を用いた場合であっても、エネルギービーム照射25によって非耐熱性基板に大きな熱的ダメージを与えない。

【0071】

次に、図6（I）に示すように、ゲート電極15gと多結晶シリコン半導体膜（13s, 13d）とを含む全面に絶縁膜16を形成した後に、その絶縁膜16をパターンニングしてゲート電極15gを覆うように層間絶縁膜16aを形成する。なお、図6（I）に示すコンタクトホール17は、層間絶縁膜16aを形成すると同時に形成してもよいし、層間絶縁膜16aを形成した後の別工程で絶縁膜を形成した後にその絶縁膜を選択的にパターンニングして形成してもよい。これらのパターンニングは、例えば、レジスト等のマスク層を形成した後、フォトリソグラフィを用いたレジストプロセスにより露光・現像することによって行うことができる。コンタクトホール17を形成するための絶縁膜16bは、例えば2%HF溶液を用いてウェットエッチングしてパターン形成でき、その後、レジスト剥離処理やプラズマアッシングによりマスク層を除去する。この工程では、層間絶縁膜16aにより、ゲート電極15gをソース電極15sやドレイン電極15dと絶縁できる。

20

【0072】

なお、図6（I）中の走査線31の形成部30のコンタクトホール34も、層間絶縁膜16aと共通のものとして同時に形成してもよいし、コンタクトホール17を形成するための絶縁膜16bと共通のものとして同時に形成してもよいし、層間絶縁膜16aや絶縁膜16bを形成した後の別工程で絶縁膜16cを形成した後にその絶縁膜16cを選択的にパターンニングして形成してもよい。上記同様、このコンタクトホール34を形成するための絶縁膜16cも、例えば2%HF溶液を用いてウェットエッチングしてパターン形成でき、その後、レジスト剥離処理やプラズマアッシングによりマスク層を除去することができる。

30

【0073】

次に、図6（J）に示すように、高圧水蒸気28による処理を行って多結晶シリコン半導体膜13（13s, 13c, 13d）の半導体膜中の欠陥及び界面欠陥をターミネートする。例えば、0.5MPa・150℃程度の高圧水蒸気処理により、半導体表面のダングリングボンドを終端し、多結晶シリコン半導体膜13（13s, 13c, 13d）とゲート絶縁膜14gとの界面のリークパスをなくす方法がとられる。

40

【0074】

次に、図6（K）に示すように、全面に例えば厚さ50nm以上のアルミニウム（Al）膜等を蒸着した後、ウェットエッチングによりパターンニングして、ソース電極15s及びドレイン電極15dを形成する。電極材料は、アルミニウムその他、銅（Cu）、その他の導電性材料であってもよく、スパッタリング等の他の成膜プロセスにより形成してもよい。このとき、ドレイン電極15dは、図1及び図2に示すように、画素電極19に接続するように形成される。

50

【0075】

この工程においては、同時に、所定の隙間Gを隔てて分断された導電性パターン32の上に所定パターンの配線膜33を形成し、分断された導電性パターン32を接続する工程を兼ねることができる。すなわち、配線膜33は、この工程でソース電極15s及びドレイン電極15dを形成するのと同時に、導電性パターン32上に直接形成してもよい。また、導電性パターン32上にコンタクトホール34を有する絶縁膜16cを形成した場合においては、そのコンタクトホール34を介して配線膜33を形成してもよい。こうして形成した配線膜33は、所定の隙間Gを隔てて分断された導電性パターン32を接続する。

【0076】

なお、画素電極19は、図4～図6で示す工程中のいずれの工程で形成してもよいが、一例としては、図6(K)に示す工程でソース電極15sとドレイン電極15dを形成する前に形成してもよいし、後述する図6(L)に示す工程で保護層18を形成する前に形成してもよい。画素電極19の形成材料としては、例えばITO、IZO等を挙げることができ、その形成方法としては、例えばRFマグネトロンスパッタリング等で形成することができる。

【0077】

次に、図6(L)に示すように、TF T 20や走査線31の形成部30を覆う保護膜18を形成する。保護膜18としては、酸化ケイ素膜を好ましく挙げることができる。保護膜18は、例えばRFマグネトロンスパッタリングにより、約20nm程度の厚さで形成することが好ましい。なお、画素電極19上には保護膜19は形成しない。こうして図2及び図3に示す実施形態からなるTF T基板1が製造される。

【0078】

図4～図6に例示した工程は、図1～図3に示すTF T基板1の第1態様に係る製造方法を適用した製造例であるが、本発明のTF T基板1は、図示の工程例に限定されず、種々の変形態様で製造することができ、また、第2態様に係る製造方法を適用することもできる。

【0079】

ここで、本発明の第2態様に係る製造方法について、上記した第1態様に係る製造方法と異なる点のみについて説明する。第2態様に係る製造方法は、上記のように、基板10の全面に半導体膜13を形成する工程と、半導体膜13上にゲート絶縁膜14gとゲート電極15gとを形成するとともに、ゲート電極15gをその一部として含む走査線31を、所定の隙間Gを隔てて分断された導電性パターン32で形成する工程と、導電性パターン32をなすゲート電極15gをマスクとして、ゲート絶縁膜14gと半導体膜13とをパターンニングする工程と、所定の隙間Gを隔てて分断された導電性パターン32の上に所定パターンの配線膜32を形成し、分断された導電性パターン32を接続する工程と、をその順で有している。

【0080】

第2態様に係る製造方法は、上記した第1態様に係る製造方法とは、図4(D)の工程の後(すなわち金属膜15を形成した後)、その金属膜15をフォトリソグラフィによって、ゲート電極15gをその一部として含む走査線31を所定の隙間Gを隔てて分断された導電性パターン32で形成する工程を経て、引き続いて、導電性パターン32をなすゲート電極15gをマスクとしてゲート絶縁膜14gをパターンニングし、さらに半導体膜13もパターンニングして、図5(H)に示す形態を得る。なお、ここでのパターンニング自体は、ゲート電極15gを利用したセルフアライメントとしてしばしば用いられている方法である。

【0081】

すなわち、第1態様に係る製造方法とは、イオン注入工程(図5(F))及び活性化工程(図5(G))を経ない点で異なっているが、図5(H)の工程で再び同じ形態を呈することになる。こうした第2態様に係る製造方法によれば、導電性パターン32をなすゲ

10

20

30

40

50

ート電極 15 g をマスクとしてゲート絶縁膜 14 g と半導体膜 31 とをパターンニングする工程を有するので、フォトリソグラフィ工程の回数を上記第 1 態様の場合に比べて省略することができる。

【0082】

以上説明したように、本発明の TFT 基板の製造方法で製造された TFT 基板 1 は、導電性パターン 32 の下には半導体膜 13 が存在するものの導電性パターンが無いところには半導体膜が存在しない。つまり、導電性パターン 32 の下の半導体膜 13 は、導電性パターンが分断された部位でその導電性パターンと同様に分断されているので、その導電性パターン 32 の下にある半導体膜 13 も分断されている。その結果、製造されたディスプレイ用 TFT 基板 1 においては、走査線 31 からのオン／オフ電圧をゲート電極 15 g に印加することによってソースドレイン間に電流が流れた場合に、その電流が、ソースドレイン領域の半導体膜 13 s, 13 d から導電性パターン 32 の下にある半導体膜 13 に流れ込んだ場合であっても、漏洩電流として隣の画素領域に不要な電流が流れ込んだり、画素電極 19 に所望の電圧が供給されなかったりする等の不具合を発生させることがない。

10

【0083】

具体的には、基板 10 として厚さ 0.2 mm で 100 mm × 100 mm のポリエーテルサルホン (PES) を用い、その基板 10 上に、アンダーコート膜 11 としてクロム膜を DC スパッタリング法 (成膜圧力 0.3 Pa (アルゴン)、投入電力 0.5 kW、成膜時間 20 秒) により厚さ 8 nm 形成した後、非晶質シリコン膜 21 a を RF マグネトロンス

20

【0084】

この製造工程では、熱付加工程として、(1) レーザー照射 22 による結晶化を、波長 308 nm の XeCl エキシマレーザーを用い、パルス幅: 30 nsec、エネルギー密度: 200 ~ 300 mJ/cm²、室温の条件下で行い、(2) エネルギービーム照射 25 による再結晶化を、波長 308 nm の XeCl エキシマレーザーを用い、パルス幅: 30 nsec、エネルギー密度: 150 ~ 250 mJ/cm²、室温の条件下で行った。得られた TFT 基板 1 は、こうした熱付加によっても PES 基板に曲がり等の熱ダメージがなかった。

30

【0085】

また、得られた TFT 基板 1 の走査線からオン／オフ電圧をゲート電極 15 g に印加してソースドレイン間に電流が流れた場合であっても、漏洩電流として隣の画素領域に不要な電流が流れ込んだり、画素電極 19 に所望の電圧が供給されなかったりすることはなかった。

【図面の簡単な説明】

【0086】

【図 1】本発明のディスプレイ用薄膜トランジスタ基板の一例を示す模式平面図である。

【図 2】図 1 に示す薄膜トランジスタ基板の A-A' 断面図である。

40

【図 3】図 1 に示す薄膜トランジスタ基板の B-B' 断面図である。

【図 4】本発明の薄膜トランジスタ基板の製造工程の一部を示す説明図である。

【図 5】図 4 の続きの製造工程を示す説明図である。

【図 6】図 5 の続きの製造工程を示す説明図である。

【符号の説明】

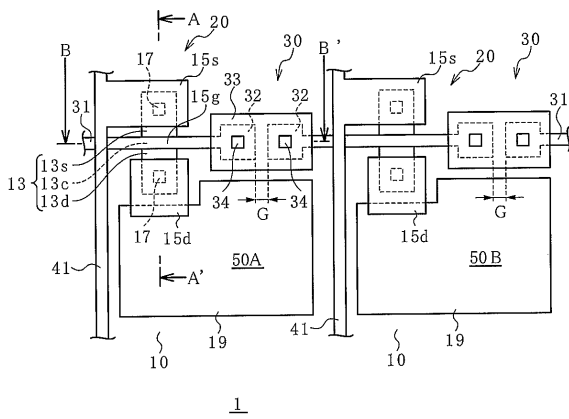
【0087】

- 1 TFT 基板
- 10 基板
- 11 アンダーコート膜
- 13 半導体膜

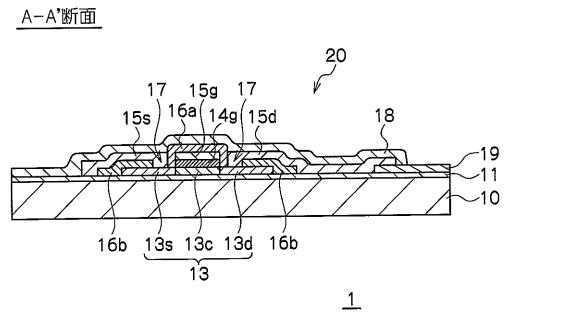
50

1 3 s	ソース側拡散膜	
1 3 c	チャネル膜	
1 3 d	ドレイン側拡散膜	
1 4	絶縁膜	
1 4 g	ゲート絶縁膜	
1 5	金属膜	
1 5 s	ソース電極	
1 5 g	ゲート電極	
1 5 d	ドレイン電極	
1 6 a	層間絶縁膜	10
1 6 b, 1 6 c	絶縁膜	
1 7	コンタクトホール	
1 8	保護膜	
1 9	画素電極	
2 0	T F T	
2 1 a	非晶質シリコン膜	
2 1 p	多結晶シリコン膜	
2 2	レーザー照射	
2 4	イオン注入	
2 5	エネルギービーム照射	20
2 8	高圧水蒸気	
3 0	走査線部	
3 1	走査線	
3 2	導電性パターン	
3 3	配線膜	
3 4	コンタクトホール	
5 0 A, 5 0 B	画素領域	
G	隙間	

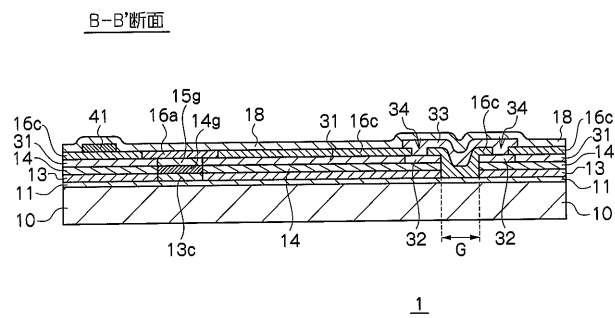
【図 1】



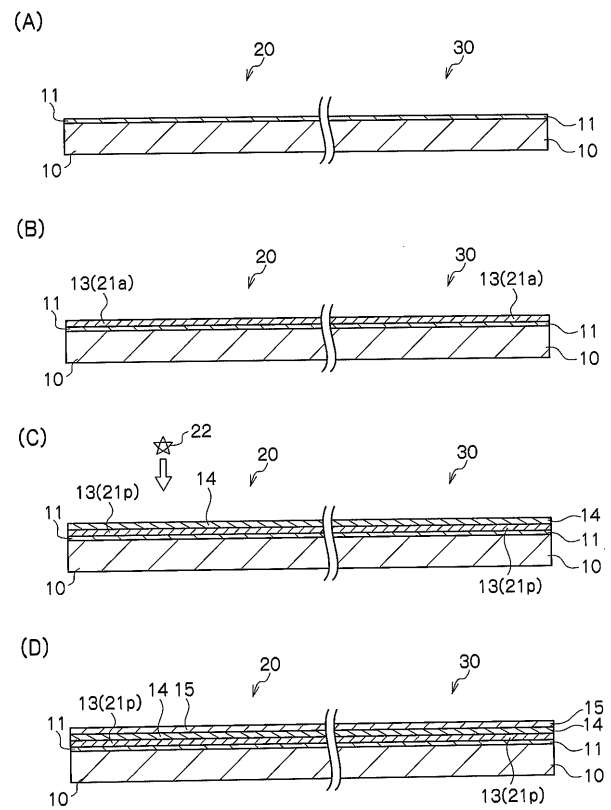
【図 2】



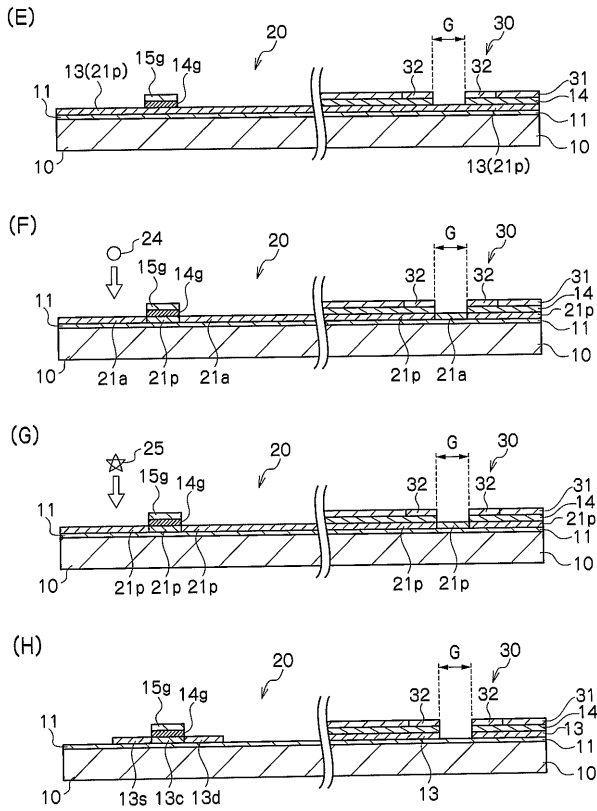
【図 3】



【図 4】



【図 5】



【図 6】

