

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6281748号
(P6281748)

(45) 発行日 平成30年2月21日(2018.2.21)

(24) 登録日 平成30年2月2日(2018.2.2)

(51) Int.Cl.

F I

H02M 3/28 (2006.01)

H02M 3/28 R

H02M 7/21 (2006.01)

H02M 3/28 F

H02M 7/21 A

請求項の数 6 (全 12 頁)

(21) 出願番号 特願2014-61165 (P2014-61165)
 (22) 出願日 平成26年3月25日(2014.3.25)
 (65) 公開番号 特開2015-186363 (P2015-186363A)
 (43) 公開日 平成27年10月22日(2015.10.22)
 審査請求日 平成28年12月26日(2016.12.26)

(73) 特許権者 000106276
 サンケン電気株式会社
 埼玉県新座市北野3丁目6番3号
 (72) 発明者 中西 良太
 埼玉県新座市北野3丁目6番3号 サンケ
 ン電気株式会社内

審査官 佐藤 匡

最終頁に続く

(54) 【発明の名称】 DC-DCコンバータ

(57) 【特許請求の範囲】

【請求項1】

半導体スイッチ素子が導通・非導通を繰り返すことで電圧変換を行うDC/DCコン
 バータにおいて、

前記半導体スイッチ素子の両端に並列に接続したスナバコンデンサとスナバダイオード
 からなる直列回路と、

前記スナバダイオードの両端に並列に接続した補助スイッチとを有するスナバ回路であ
 って、

前記スナバ回路に印加される電圧が所定の値以上になったことを検出する電圧検出回
 路と、

前記電圧検出回路に応じて、前記スナバ回路の電圧が所定の値以下のとき前記補助ス
 イッチを駆動するための電源を生成し、前記スナバ回路に印加される電圧が所定の値以
 上のとき前記スナバコンデンサを放電するために前記補助スイッチを駆動する駆動回路
 と、を有するスナバ回路を備えることを特徴とするDC/DCコンバータ。

【請求項2】

前記半導体スイッチ素子は断続した電圧を整流する整流素子であることを特徴とする
 請求項1に記載のDC/DCコンバータ。

【請求項3】

前記半導体スイッチ素子は、断続した電圧を整流する同期整流回路であることを特徴
 とする請求項1乃至請求項2に記載のDC/DCコンバータ。

【請求項 4】

前記補助スイッチには、スナバコンデンサの放電電流を制限するための抵抗が直列に接続されることを特徴とする請求項 1 乃至請求項 3 に記載の DC / DC コンバータ。

【請求項 5】

前記補助スイッチは前記スナバダイオードのカソードにソースが接続され、前記スナバダイオードのアノードにドレインが接続された P チャネル MOS FET であることを特徴とする請求項 1 乃至 4 に記載の DC / DC コンバータ。

【請求項 6】

前記電圧検出回路は、前記スナバ回路の両端に接続したカレントミラー回路に所定以上の電流が流れたことを検出することを特徴とする請求項 1 乃至 5 に記載の DC / DC コンバータ。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、DC - DC コンバータに関し、特にダイオードのサージ電圧を抑制するスナバ回路に関するものである。

【背景技術】

【0002】

20

DC - DC コンバータは、電子機器を駆動させるために広く使用される。これらの DC - DC コンバータは、入力直流電圧をスイッチ素子でオンオフ制御して矩形波に変換し、この矩形波を整流平滑することで安定な所定の直流電圧に変換する。しかし、DC - DC コンバータはスイッチ素子をオンオフ制御するのでノイズが発生する。このノイズは、スイッチ素子や整流平滑回路に使用されるダイオードのように導通・非導通が切り替わる半導体素子にサージ電圧となって印加され、半導体素子を破損する恐れがある。サージ電圧を抑制するため、一般的に、スナバ抵抗とスナバコンデンサを直列に接続して構成された CR スナバ回路を半導体素子の両端に挿入する。

【0003】

整流平滑回路のダイオードを例すると、CR スナバ回路は、半導体素子が非導通となり電圧が印加されると、スナバ抵抗を介してスナバコンデンサを充電するのでサージ電圧を抑制することができる。また、半導体素子が導通となると、スナバコンデンサに充電されたエネルギーがスナバ抵抗を介して放出される。このため、CR スナバ回路はサージ電圧の抑制に有効であるが、抑制したサージは抵抗で消費されることになり損失が発生する。

30

【0004】

そこで、CR スナバ回路の代わりにコンデンサと補助スイッチから成るアクティブスナバ回路が提案されている。図 14 にアクティブスナバ回路を用いて半導体素子のサージ電圧を抑制する従来の DC / DC コンバータの例を示す（特許文献 1）。図 14 は、直流電源 110 に直列に主スイッチ FET 111 が接続され、主スイッチ FET 111 に直列に変圧器 112 の一次巻線 112 a が接続される。変圧器 112 の二次巻線 112 b に直列に整流用ダイオード 113 及び出力コンデンサ 114 が接続され、出力コンデンサ 114 に並列に負荷 115 が接続される。主スイッチ FET 111 に並列にコンデンサ 116 と補助スイッチ FET 117 とから成る直列回路を接続する。また、二次側回路のダイオード 113 にも同様に、コンデンサ 118 と補助スイッチ FET 119 とから成る直列回路を並列に接続する。

40

【0005】

補助スイッチ FET 117 は、主スイッチ FET 111 が導通状態にあるときは非導通状態となり、主スイッチ FET 111 が非導通状態にあるときは導通状態となるように制御する。また、補助スイッチ FET 119 は、ダイオード 113 が導通状態にあるときは非導通状態となり、ダイオード 113 が非導通状態のときは導通状態となるように制御す

50

る。例えば、主スイッチFET111が非導通状態に切り換わると補助スイッチFET117が導通状態に切り換えられる。ここで、コンデンサ116は主スイッチFET111の浮遊容量の数10倍に設定されるので、主スイッチFET111の両端が低周波、低インピーダンス状態に短絡されることになり、主スイッチFET111の両端間の電圧はほとんど一定の値に維持されサージ電圧を抑制する。一方、主スイッチFET111が非導通状態から導通状態に切り換わると補助スイッチFET117が非導通状態に切り換わるので、コンデンサ116の電圧はそのままの状態に維持され、電力損失を発生しない。

同様に、二次側回路のダイオード113が導通状態にあるときから非導通状態に切り換わるとFET119が導通状態に切り替わる。コンデンサ118の容量はダイオード113の浮遊容量の数十倍に設定されているので、ダイオード113の両端間の電圧はほぼ一定値に維持され電圧サージを抑制できる。

10

【0006】

主スイッチFET111が非導通状態になると、主スイッチFET111の浮遊容量を充電することで両端間の電圧が上昇する。しかし、図14に示した従来例は、主スイッチFET111の両端間の電圧がコンデンサ116に充電されている電圧に到達する前に補助スイッチFET117が導通するため、コンデンサ116→FET111→FET117の経路でコンデンサ116が放電電流が流れ主スイッチFET111の浮遊容量を充電する。この放電電流は、コンデンサ116の容量が大きいとさらに増大し、補助スイッチFET117に電流容量の大きい素子が必要になる。さらに図14に示した従来例は、補助スイッチFET117のソースと主スイッチFET111のソースは異なる電位となるので、補助スイッチFET117を駆動させるための新たに駆動回路が必要となり回路が複雑化する。

20

【0007】

同様に、二次側のダイオード113においても導通状態から非導通状態に切り換わると、ダイオード113の電圧がコンデンサ118に充電されている電圧より低い時に、コンデンサ118の放電電流が流れ補助スイッチFET119の浮遊容量を充電する。このため、補助スイッチFET117と同様に、補助スイッチFET119は電流容量の大きい素子を必要とし、さらに新たな駆動回路が必要になる。

【先行技術文献】

【特許文献】

30

【0008】

本発明は、半導体スイッチ素子が導通・非導通を繰り返すことで電圧変換を行うDC/DCコンバータにおいて、半導体スイッチ素子の両端に並列に接続したスナバコンデンサとスナバダイオードからなる直列回路と、スナバダイオードの両端に並列に接続した補助スイッチとを有するスナバ回路であって、スナバ回路に印加される電圧が所定の値以上になったことを検出する電圧検出回路と、電圧検出回路に応じて、スナバ回路の電圧が所定の値以下のとき補助スイッチを駆動するための電源を生成し、スナバ回路に印加される電圧が所定の値以上のときスナバコンデンサを放電するために補助スイッチを駆動する駆動回路と、を有するスナバ回路を備えることを特徴とするDC/DCコンバータ。

40

【発明の概要】

【発明が解決しようとする課題】

【0009】

半導体素子のサージ電圧を抑制するスナバ回路を備えたDC-DCコンバータにおいて、スナバコンデンサが不要に放電することなくサージ電圧を抑制し、従来に比べ小型で高効率なDC-DCコンバータを実現することを目的とする。

【課題を解決するための手段】

【0010】

50

本発明は、半導体スイッチ素子が導通・非導通を繰り返すことで電圧変換を行うDC-DCコンバータにおいて、半導体スイッチ素子の両端に並列に接続したスナバコンデンサとスナバダイオードからなる直列回路と、スナバダイオードの両端に並列に接続した補助スイッチとを有するスナバ回路を備え、補助スイッチは、半導体スイッチ素子の両端の電圧が所定の値以上になるとオンすることを特徴とする。

【発明の効果】

【0011】

本発明のDC-DCコンバータは、半導体スイッチ素子が非導通になると、スナバコンデンサとスナバダイオードからなる直列回路でサージ電圧を抑制するとともに、半導体スイッチ素子の両端の電圧が所定の値以上になると補助スイッチをオンするので、スナバコンデンサを必要以上に放電することはなく、サージ電圧によって充電されたエネルギーを放電する。このため少ないエネルギー損失でサージ電圧を抑制するので、効率よくノイズを低減させることができる。

【図面の簡単な説明】

【0012】

【図1】図1は本発明の第1の実施例を示すブロック図である。

【図2】図2は本発明の第1の実施例において補助スイッチのオンタイミングが最適で無い時の補助スイッチの動作を示したタイミングチャートである。

【図3】図3は本発明の第1の実施例において補助スイッチのオンタイミングが最適にした時の補助スイッチの動作を示したタイミングチャートである。

【図4】図4は本発明の第1の実施例を整流器に適用したときの回路構成図である。

【図5】図5は本発明の第1の実施例を整流器に適用したときのタイミングチャートである。

【図6】図6は本発明を同期整流回路に適用した第2の実施例を示す回路構成図である。

【図7】図7は本発明の第2の実施例を適用しないときの補助スイッチの動作を示したタイミングチャートである。

【図8】図8は本発明の第2の実施例における補助スイッチの動作を示したタイミングチャートである。

【図9】図9は本発明の第3の実施例を示す回路構成図である。

【図10】図10は本発明の第3の実施例における補助スイッチの動作を示したタイミングチャートである。

【図11】図11は本発明の第4の実施例を示す回路構成図である。

【図12】図12は本発明をセンタータップ型の整流回路に適用したときのブロック図である。

【図13】図13は本発明をフォワードコンバータの整流回路に適用したときのブロック図である。

【図14】図14は従来例を示す回路構成図である。

【発明を実施するための形態】

【実施例1】

【0013】

図1は、本発明の第1の実施例を示すブロック図である。直流電源1と変圧器Tの一次巻線と主スイッチQ0が直列接続される。主スイッチQ0は制御回路6でオンオフ制御され、変圧器Tの一次巻線に断続的に電圧を印加する。このため、変圧器Tの二次巻線Nsに矩形波の電圧が誘起される。この電圧をダイオードD0で整流し、平滑コンデンサC0で平滑しVo+とVo-に直流電圧Voを出力する。さらに第1の実施例ではダイオードD0の両端にスナバ回路5及び主スイッチQ0の両端にスナバ回路51を接続する。

【0014】

スナバ回路5は、スナバコンデンサC1及びスナバダイオードD1からなる第1の直列回路と、スナバダイオードD1と並列に接続した抵抗R1及び補助スイッチQ1からなる第2の直列回路と、スナバ制御回路7で構成される。第1の直列回路は半導体素子のサー

ジ電圧を抑制するスナバ部を構成し、第2の直列回路はサージ電圧によってスナバコンデンサC1に充電された電荷を放電する放電回路を構成し、スナバ制御回路はスナバ回路5に印加される電圧を検出し、この電圧に応じて補助スイッチを駆動してオンオフ制御する。抵抗R1はスナバコンデンサのC1の放電電流を制限する。スナバ回路51は、スナバコンデンサC51及びスナバダイオードD51からなる第1の直列回路と、スナバダイオードD51と並列に接続した抵抗51及び補助スイッチQ51からなる第2の直列回路と、スナバ制御回路71で構成される。

【0015】

ダイオードD0に接続されたスナバ回路5及び主スイッチQ0に接続されたスナバ回路51は同様の動作を行うことによりサージ電圧を抑制する。以下、ダイオードD0及びスナバ回路5を例にその動作を説明する。主スイッチQ0がオンすると、トランスTの二次巻線NsにはダイオードD0に対して逆方向の電圧が発生し、ダイオードD0の両端の電圧が上昇する。ダイオードD0の両端の電圧がスナバコンデンサC1の電圧より高くなると、スナバコンデンサC1及びスナバダイオードD1に電流が流れスナバコンデンサC1を充電する。これにより、ダイオードD0の両端に印加されるサージ電圧が抑制される。補助スイッチQ1はスナバ回路5に印加された電圧が所定の値以上になるとオンする。その後サージ電圧が無くなると、スナバコンデンサC1は、C1→Ns→Co→Q1→R1の経路で放電し、スナバコンデンサC1の両端の電圧はこのときスナバ回路5に印加されている電圧まで低下する。つまり、スナバコンデンサC1はサージ電圧で上昇した電圧が放電される。次に、ダイオードD0が導通状態になり両端の電圧が所定の値以下になると、補助スイッチQ1はオフする。スナバコンデンサC1の放電経路はなくなり、ダイオードD0が導通状態の間スナバコンデンサC1は電圧を維持する。

【0016】

ここで、ダイオードD0が非導通状態になると同時に補助スイッチQ1をオンさせると、スナバ回路5に印加される電圧がスナバコンデンサC1の電圧まで上昇する前に補助スイッチQ1をオンさせることになるため、スナバコンデンサC1は、C1→D0の浮遊容量→Q1→抵抗R1の経路で放電する。特にダイオードD0の電圧がゼロに近い状態で補助スイッチQ1がオンするとほぼ短絡状態となり大きな電流が流れる。

このときのダイオードD0の両端電圧VD及び補助スイッチQ1の電流波形IQ1を図2に示す。図2は主スイッチQ0のオン信号に基づいてスナバ回路5の補助スイッチQ1をオンさせている。このため、ダイオードD0が非導通となった直後に過大な電流が補助スイッチQ1に流れる。これに対し、図3はスナバ回路5に印加される電圧が、サージ電圧が終了した時点でスナバ回路5に印加される電圧の90%の電圧になったとき補助スイッチQ1をオンさせた場合の、ダイオードD0の両端電圧VD及び補助スイッチQ1の電流波形IQ1である。図3に示すように、スナバ回路5に印加される電圧が十分に立ち上がってから補助スイッチQ1をオンさせると、ダイオードD0が非導通となった直後に過大な電流が補助スイッチQ1に流れることはない。

【0017】

スナバ回路5に印加される電圧がスナバコンデンサC1の電圧以上となったとき補助スイッチQ1をオンさせるとダイオードD0が非導通となった直後に流れる電流はなくなるが、入力電源の電圧または出力電圧等の変動によって変わる。また、その後サージ電圧で充電され上昇した電圧を、サージ電圧が終了した時点でスナバ回路に印加される電圧になるまで放電する必要がある。本発明はダイオードD0が導通状態になるまで補助スイッチQ1をオンさせることで確実にスナバコンデンサC1の電圧を放電させる。このため、補助スイッチQ1をオンさせる電圧はサージ電圧が終了した時点でスナバ回路に印加される電圧より低く設定する。これによって補助スイッチQ1は、ダイオードD0が非導通となった直後に過大な電流が流れることはなく、ダイオードD0が非導通の期間補助スイッチQ1をオンする事ができるので、スナバコンデンサC1の電圧がサージ電圧によって上昇した分を放電することができる。なお、補助スイッチQ1をオンさせる電圧はサージ電圧が終了した時点でスナバ回路に印加される電圧の50%程度でもダイオードD0が非導通

となった直後に過大な電流が流れることはない。ばらつき等を考慮すると補助スイッチ Q 1 をオンさせる電圧はサージ電圧が終了した時点にスナバ回路に印加される電圧の 50 % から 90 % 程度に設定するとよい。

【0018】

図 1 に示した本発明の実施例 1 のスナバ回路の詳細を図 4 に示す。図 4 は二次側の整流回路の例であるが、スイッチ回路 6 の主スイッチ Q 0 でも同様に動作する。二次側の整流回路はダイオード D 0 で構成される。ダイオード D 0 の両端に、抵抗 R 3 及び R 2 からなる直列回路を接続し、抵抗 R 2 と抵抗 R 3 の接続点に FET スwitch Q 2 のゲートを接続し、抵抗 R 2 と FET スwitch Q 2 のソースを接続し、接続点をダイオード D 0 のアノードに接続して、電圧検出回路 8 を構成する。FET スwitch Q 2 のドレインは抵抗 R 4 を介して電圧源 V 1 のプラス側に接続され、電圧源 V 1 のマイナス側はダイオード D 0 のアノードに接続される。さらに、FET スwitch Q 2 のドレインはコンデンサ C 2 を介してダイオード D 3 のアノードに接続され、ダイオード D 3 のカソードは電圧源 V 1 のマイナス側に接続される。ダイオード D 3 のアノードはさらに抵抗 R 5 及び抵抗 R 6 の直列回路を介して電圧源 V 1 のマイナス側に接続され、補助スイッチ Q 1 の駆動回路を構成する。なお、電圧検出回路 8 及び駆動回路 9 でスナバ制御回路が構成される。スナバコンデンサ C 1 及びスナバダイオード D 1 で構成され半導体素子のサージ電圧を抑制するスナバ部と、スナバダイオード D 1 と並列に接続した抵抗 R 1 及び補助スイッチ Q 1 で構成されスナバコンデンサ C 1 を放電する放電回路は図 1 と同じである。

【0019】

実施例 1 のスナバ回路の動作を図 4 及び図 5 を用いて説明する。まず、ダイオード D 0 が導通状態のときは、ダイオード D 0 には順方向電圧降下による低い電圧が発生するので、ダイオード D 0 の両端電圧を抵抗 R 3 及び抵抗 R 2 で分圧することにより抵抗 R 2 に発生する電圧 V R 2 は FET スwitch Q 2 をオンする電圧とは成らず FET スwitch Q 2 はオフする。このとき、電圧 V 1 を出力する電圧源 V 1 は、R 4 → C 2 → D 3 の経路で電流が流れコンデンサ C 2 を充電し、コンデンサ C 2 の両端は電圧 V 1 になる。このとき抵抗 R 5 及び抵抗 R 6 にはダイオード D 3 の順方向電圧降下が印加されるので、抵抗 R 6 に発生する電圧 V R 6 は補助スイッチ Q 1 をオンする電圧とはならず補助スイッチ Q 1 はオフする。

【0020】

その後時刻 t 1 になるとダイオード D 0 が導通状態から非導通状態に変わり、変圧器 T の二次巻線 N s に発生した電圧 V N s 及び平滑コンデンサ C o の電圧 V o 及び漏れインダクタンス等によって発生するサージ電圧がダイオード D 0 に印加され、ダイオード D 0 の浮遊容量が充電される。ダイオード D 0 の両端に印加されるダイオード電圧 V D が電圧 V t h 以上になると FET スwitch Q 2 がオンするように抵抗 R 2 及び抵抗 R 3 を設定しておく。このため時刻 t 2 で電圧 V D が電圧 V t h 以上になると FET スwitch Q 2 がオンし、コンデンサ C 2 は、C 2 → Q 2 → R 6 → R 5 → C 2 の経路で放電する。ここで、抵抗 R 6 に発生する電圧 V R 6 が補助スイッチ Q 1 をオンするように抵抗 R 5 及び抵抗 R 6 は設定しておくので、補助スイッチ Q 1 がオンする。コンデンサ C 2 は、ダイオード D 0 が導通状態のとき充電され、ダイオード D 0 が非導通状態のとき補助スイッチ Q 1 を駆動するための電源を生成する。このときダイオード D 0 の両端電圧 V D とスナバコンデンサ C 1 に充電されているコンデンサ電圧 V C との差は小さいので補助スイッチ Q 1 に大きな電流が流れることはない。

【0021】

サージ電圧によりダイオード電圧 V D はさらに上昇し、ダイオード電圧 V D がコンデンサ電圧 V C 以上になると、スナバコンデンサ C 1 及びスナバダイオード D 1 の経路で電流が流れスナバコンデンサ C 1 が充電され、ダイオード D 0 に印加される電圧を抑制する。時刻 t 3 でサージ電圧が無くなると、ダイオード電圧 V D は電圧 V r となる。電圧 V r は変圧器 T の二次巻線 N s に発生する電圧 V N s 及び平滑コンデンサ C o の電圧 V o で決まる。スナバコンデンサ C 1 のコンデンサ電圧 V C はサージ電圧で充電され、V C > V r と

なっているので、スナバコンデンサ C_1 は、 $C_1 \rightarrow N_s \rightarrow C_o \rightarrow Q_1 \rightarrow C_1$ の経路で放電する。 $V_D > V_{th}$ 及びダイオード D_0 が非導通状態の期間、この放電は継続するのでコンデンサ電圧 V_C は電圧 V_r と略同じ電圧になる。

【0022】

その後時刻 t_4 にて、変圧器 T の二次巻線の電圧 V_{Ns} が逆方向に発生すると、ダイオード D_0 は順方向に電圧が印加されるので、ダイオード D_0 の浮遊容量に充電されていた電圧が放電し、電圧 V_D は降下する。電圧 V_D が電圧 V_{th} 以下になると FET スイッチ Q_2 がオフし、コンデンサ C_2 は電圧源 V_1 から抵抗 R_4 、コンデンサ C_2 、ダイオード D_3 の経路で電流が流れ充電され補助スイッチ Q_1 はオフする。浮遊容量の放電が終わるとダイオード D_0 は順方向に電圧が印加され導通状態となる。以上の動作を繰り返す。

10

【実施例2】

【0023】

本発明の実施例2を図6に示す。図6は図4の整流回路3をダイオード D_0 を同期整流回路に置き換えたものである。同期整流回路は同期整流スイッチ Q_{31} と同期整流スイッチのオンオフを制御する同期整流制御回路で構成される。同期整流回路の場合には、特に本方式が有効となる。通常、同期整流方式の場合、1次側の主スイッチ Q_0 が導通状態・非導通状態に切り換わるタイミングを基に同期整流信号を生成し、同期整流スイッチ Q_{31} を駆動する。しかし、同期整流スイッチ Q_{31} を主スイッチ Q_0 の切り換えと同時にを行うと、電圧が変化しているとき同期整流スイッチ Q_{31} をオンオフすることになり短絡電流が流れることがある。そこで、同期整流スイッチ Q_{31} は、同期整流信号より早く非導通状態にし、同期整流信号より遅く導通状態にするようにデッドタイムを設ける。補助スイッチ Q_1 の駆動に同期整流スイッチ Q_{31} の駆動信号を用いることが考えられるが、同期整流スイッチ Q_{31} の駆動信号を利用すると、デッドタイムの時間分早く補助スイッチ Q_1 がオンしてしまい、デッドタイムの時間分遅く補助スイッチ Q_1 がオフしてしまう。図7に同期整流スイッチのゲート信号を利用して補助スイッチ Q_1 を駆動させたときの各部波形を示す。 $Q_{31} V_{ds}$ は同期整流スイッチ Q_{31} のドレイン・ソース間電圧、 $Q_{31} V_{gs}$ は同期整流スイッチ Q_{31} のゲート電圧、 $Q_1 V_{gs}$ は補助スイッチ Q_1 のゲート電圧、 I_{Q1} は補助スイッチ Q_1 のドレイン電流である。図7のように同じタイミングで同期整流スイッチ Q_{31} を導通し補助スイッチ Q_1 を非導通にする、或いはに同じタイミングで同期整流スイッチ Q_{31} を非導通し補助スイッチ Q_1 を導通にすると、スナバコンデンサ C_1 の放電によって補助スイッチ Q_1 に大きな電流が流れる。

20

30

図8は本発明の実施例2の動作波形を示す。各波形は図7と同じである。図8のように実施例2は、スナバ回路5の両端電圧が所定の電圧(図5に示す電圧 V_{th})以上になると補助スイッチ Q_1 が導通状態に切り換わるので、同期整流の駆動信号にデッドタイムがある場合においても、デッドタイム期間に補助スイッチ Q_1 に大きな電流が流れることはない。つまり、スナバコンデンサ C_1 が不要に放電されることはない。

このように、実施例2においても実施例1と同じ効果を奏する。

【実施例3】

【0024】

本発明の実施例3を図9に示す。図9は図6に示した本発明の実施例1に対し、 FET スイッチ Q_2 及び抵抗 R_4 及び電圧源 V_1 を削除し、バッファ Q_3 を抵抗 R_2 及び抵抗 R_3 の接続点とコンデンサ C_2 の両端に挿入したものである。バッファ Q_3 は、所定の閾値を持つ。ダイオード D_0 が導通状態のとき抵抗 R_2 に発生する電圧はバッファ Q_3 の閾値以下なのでバッファ Q_3 はハイレベルを出力しコンデンサ C_2 およびダイオード D_3 に電流を流しコンデンサ C_2 を充電する。ダイオード D_0 が非導通になり抵抗 R_2 に発生する電圧が閾値を超えると、バッファはローレベルを出力するので、コンデンサ C_2 は、 $C_2 \rightarrow Q_3 \rightarrow R_6 \rightarrow R_5 \rightarrow C_2$ の経路で放電し、抵抗 R_6 に発生する電圧で補助スイッチ Q_1 をオンする。図10に図9に示す実施例3の動作波形を示す。 V_D はダイオード D_0 に印加される電圧、 V_{R2} は抵抗 R_2 に発生する電圧、 $Q_1 V_{gs}$ は補助スイッチ Q_1 のゲート電圧、 I_{Q1} は補助スイッチ Q_1 の電流を示す。このように、実施例3においても図6

40

50

に示す実施例 1 と同様の効果を奏する。

【実施例 4】

【0025】

本発明の実施例 4 を図 11 に示す。図 11 は図 6 に示した本発明の実施例 1 に対し、FET スイッチ Q2、抵抗 R4、電圧源 V1、コンデンサ C2、ダイオード D3、抵抗 R5、抵抗 R6 を削除し、Pチャネル MOSFET である補助スイッチ Q1 の代わり Nチャネル MOSFET である補助スイッチ Q4 と抵抗 R1 の直列回路をスナバダイオード D1 と並列に接続する。さらにダイオード D0 のカソードに抵抗 R9 を接続し、抵抗 R9 に PNP トランジスタ Q6 のエミッタを接続し、トランジスタ Q6 のコレクタは抵抗 R10 を介してダイオード D0 のアノードに接続する。また、ダイオード D0 のカソードから抵抗 R8 を接続し、抵抗 R8 に PNP トランジスタ Q5 のエミッタを接続し、トランジスタ Q5 のコレクタに抵抗 R7 と補助スイッチ Q4 のゲートに接続する。抵抗 R7 の他端は補助スイッチ Q4 のソースに接続される、抵抗 R7 は補助スイッチ Q4 のゲート - ソース間に接続されることになる。トランジスタ Q6 のコレクタとベースは接続され、トランジスタ Q5 とトランジスタ Q6 のベースは互いに接続され、カレントミラー回路を構成する。補助スイッチ Q4 のソースはスナバコンデンサ C1 とスナバダイオード D1 の接続点に接続され、補助スイッチ Q4 のドレインは抵抗 R1 を介してダイオード D0 のアノードに接続される。スナバコンデンサ C1 はダイオード D0 のカソードに接続される。

【0026】

このように接続された本発明の実施例 4 の動作を説明する。ダイオード D0 が導通状態のときはスナバ回路 5 にはダイオード D0 の順方向電圧降下による電圧が印加されるので、トランジスタ Q6 はオンできない。よってトランジスタ Q5 にも電流が流れず、補助スイッチ Q4 に駆動電源が供給されないので補助スイッチ Q4 はオフする。ダイオード D0 が非導通状態のときは、変圧器 T の二次巻線 Ns に発生した電圧 VNs 及び平滑コンデンサ Co の電圧 Vo 及び漏れインダクタンス等によって発生するサージ電圧がスナバ回路 5 に印加され、カレントミラー回路は抵抗 R9、トランジスタ Q6、抵抗 R10 の経路に印加される電圧に応じた電流が流れる。このためトランジスタ Q5 には、R8 → Q5 → R7 → D2 の経路で電流が流れる。このとき抵抗 R7 に発生する電圧が補助スイッチ Q4 の閾値電圧を超えると補助スイッチ Q4 がオンする。スナバ回路 5 に印加される電圧は所定値（図 5 の電圧 Vth と同じ）以上なので補助スイッチ Q4 がオンしてもスナバコンデンサ C1 の放電電流はわずかである。サージ電圧によってスナバ回路 5 に印加される電圧がさらに上昇し、スナバコンデンサ C1 に充電されている電圧を超えると、スナバコンデンサ C1、スナバダイオード D1 の経路で電流が流れ、サージ電圧を抑制する。サージ電圧が無くなると、スナバコンデンサ C1 は、C1 → Ns → Co → R1 → Q1 の経路でサージ電圧で充電された電圧を放電する。その後、変圧器 T の二次巻線 Ns の電圧が反転すると、ダイオード D0 に印加される電圧が低下し、所定の値以下になると補助スイッチ Q4 がオフするので、スナバコンデンサは充電電圧を維持する。

以上のように動作するので、実施例 4 においても実施例 1 と同様の効果を奏する。

【0027】

以上のように、本発明のスナバ回路は、半導体スイッチ素子の両端に接続するだけで、半導体スイッチのサージ電圧を抑制する。また、半導体スイッチのオンオフによって印加される電圧が変化しているときはスナバコンデンサを放電させないので不要な放電は無く、サージ電圧で充電された電荷を放電するので、放電時の電力損失が少ない。さらに、スナバコンデンサを放電する補助スイッチの駆動電源はスナバ制御回路で生成するので新たな駆動回路、駆動電源を必要としない。このため本発明のスナバ回路は、図 1 に示したフライバック型のコンバータに限らず、図 12 に示すセンタータップ型の整流平滑回路の整流器、図 13 に示すフォワードコンバータ型の整流平滑回路の整流器にも、回路を追加することなく容易に実装することができる。

【産業上の利用可能性】

【0028】

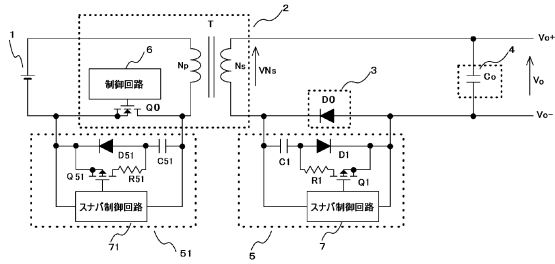
スイッチ素子のサージ電圧を容易に効率よく抑制できるので、小型で高効率なスイッチング方式のDC/DCコンバータに適用できる。

【符号の説明】

【0029】

- | | | |
|------------------------------------|--------------|----|
| 1 | 入力電源 | |
| 2 | スイッチ回路 | |
| 3 | 整流回路 | |
| 4 | 平滑回路 | |
| 5、51 | スナバ回路 | |
| 6 | スイッチ回路2の制御回路 | 10 |
| 7、71 | スナバ制御回路 | |
| 8 | 電圧検出回路 | |
| 9 | 駆動回路 | |
| T | 変圧器 | |
| Ns | 変圧器の二次巻線 | |
| D0 | 整流ダイオード | |
| D1、D51 | スナバダイオード | |
| Co | 平滑コンデンサ | |
| R1、R51 | スナバ抵抗 | |
| Q1、Q51 | 補助スイッチ | 20 |
| Q2、Q4 | FET | |
| R1、R2、R3、R4、R5、R6、R7、R8、R9、R10、R51 | 抵抗 | |
| C1、C51 | スナバコンデンサ | |
| C2 | コンデンサ | |
| V1 | 電圧源 | |
| Q3 | バッファ | |
| Q5、Q6 | トランジスタ | |

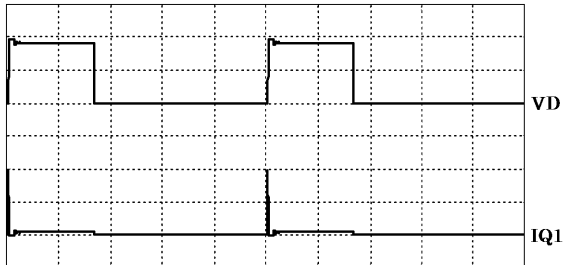
【図 1】



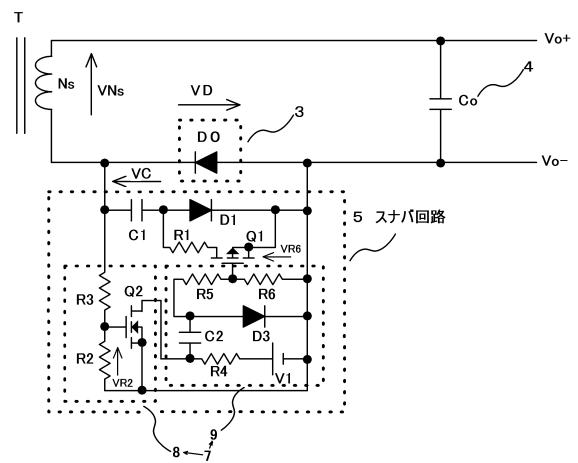
【図 3】



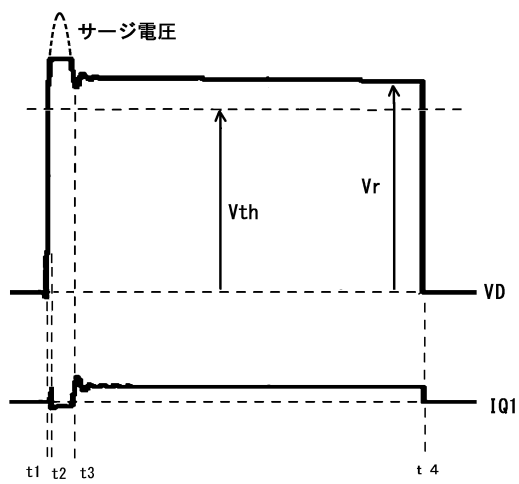
【図 2】



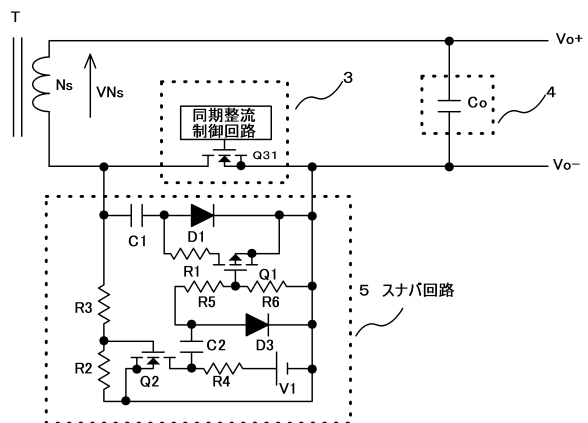
【図 4】



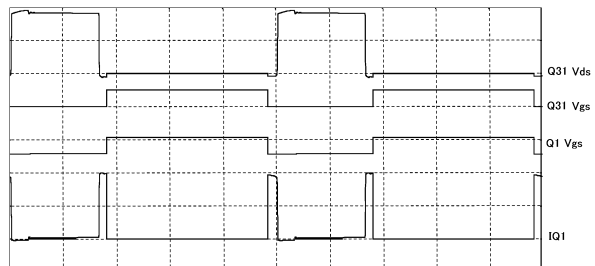
【図 5】



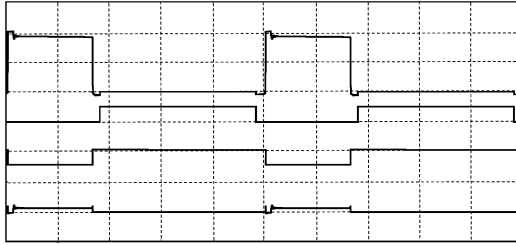
【図 6】



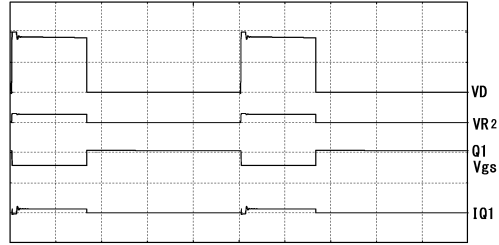
【図 7】



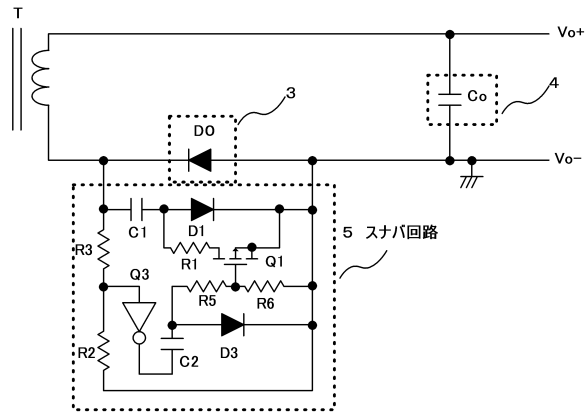
【図 8】



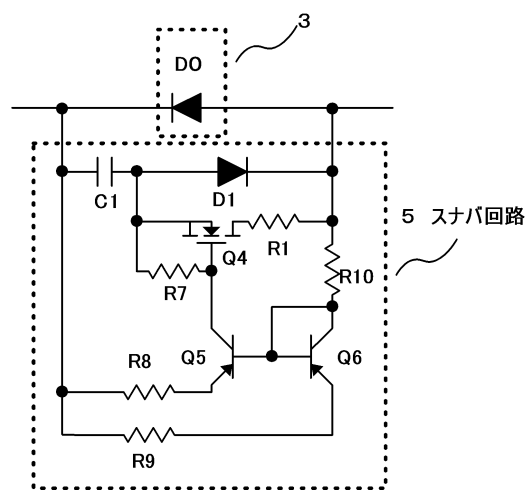
【図 10】



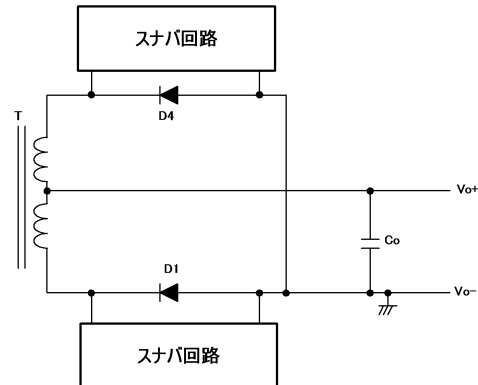
【図 9】



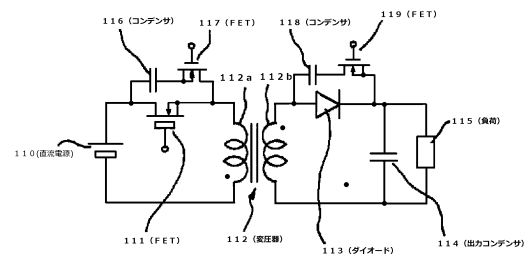
【図 11】



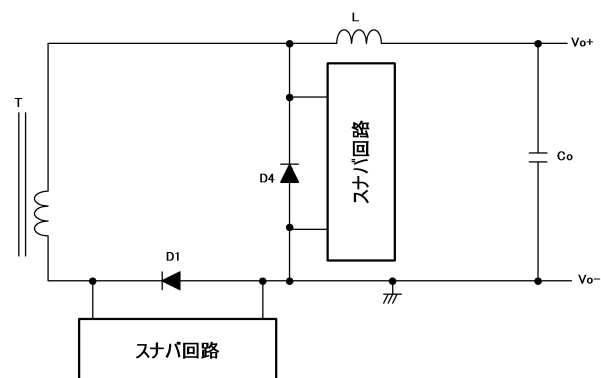
【図 12】



【図 14】



【図 13】



フロントページの続き

(56)参考文献 特開2002-051564(JP,A)
特開平02-254972(JP,A)
特開2008-301680(JP,A)
実開昭63-051584(JP,U)
特開平09-093917(JP,A)
特開昭58-099267(JP,A)

(58)調査した分野(Int.Cl., DB名)
H02M 3/28
H02M 7/21