

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-55596

(P2010-55596A)

(43) 公開日 平成22年3月11日(2010.3.11)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 3/041 (2006.01)	G06F 3/041 330D	2H189
G06F 3/045 (2006.01)	G06F 3/045 H	2H193
G09G 3/36 (2006.01)	G09G 3/36	5B068
G09G 3/20 (2006.01)	G09G 3/20 691D	5B087
G02F 1/1333 (2006.01)	G09G 3/20 680H	5C006
審査請求 有 請求項の数 24 O L (全 21 頁) 最終頁に続く		

(21) 出願番号 特願2009-34854 (P2009-34854)
 (22) 出願日 平成21年2月18日 (2009.2.18)
 (31) 優先権主張番号 097132521
 (32) 優先日 平成20年8月26日 (2008.8.26)
 (33) 優先権主張国 台湾 (TW)

(71) 出願人 501055949
 エイサー インコーポレイテッド
 台湾, タイペイ シエン 221, シチ,
 シン タイ ウ ロード, セクション 1
 , ナンバー 88, 21 フロア
 (74) 代理人 100068755
 弁理士 恩田 博宣
 (74) 代理人 100105957
 弁理士 恩田 誠
 (74) 代理人 100142907
 弁理士 本田 淳
 (74) 代理人 100149641
 弁理士 池上 美穂

最終頁に続く

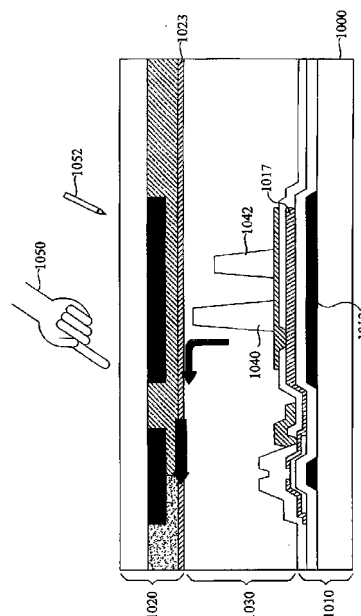
(54) 【発明の名称】 一体型ピクセル構造、一体型タッチパネル液晶表示デバイス及び同デバイスの制御方法

(57) 【要約】 (修正有)

【課題】 小型、薄型、軽量かつ信頼性の高い一体型タッチパネル液晶表示デバイスの提供。

【解決手段】 一体型タッチパネル液晶表示デバイスは、トランジスタマトリクス基板1010、同トランジスタマトリクス基板と平行に配置されたカラーフィルタ基板1020、及びトランジスタマトリクス基板とカラーフィルタ基板との間に配置された液晶層1030を備える。トランジスタマトリクス基板は、第1のトランジスタ、同第1のトランジスタに接続された第1の蓄積コンデンサ、第2のトランジスタ、同第2のトランジスタに接続された第2の蓄積コンデンサ、及び導電突部1040を備える。導電突部は第2の蓄積コンデンサに対応して配置され、かつ第2の蓄積コンデンサ及びカラーフィルタ基板を電氣的に接続するように構成されており、指あるいは指示具の置押下による放電（容量変化）により座標を検出する。

【選択図】 図10



【特許請求の範囲】

【請求項 1】

一体型ピクセル構造であって、

トランジスタマトリクス基板と、

前記トランジスタマトリクス基板の上方に配置され、同トランジスタマトリクス基板とほぼ平行に配置されたカラーフィルタ基板と、

前記トランジスタマトリクス基板と前記カラーフィルタ基板との間に介在された液晶層とを備え、

前記トランジスタマトリクス基板は、第 1 のトランジスタと、同第 1 のトランジスタに接続された第 1 の蓄積コンデンサと、第 2 のトランジスタと、同第 2 のトランジスタに接続された第 2 の蓄積コンデンサと、同第 2 の蓄積コンデンサに対応して設けられ、前記カラーフィルタ基板が押圧されたときに、前記第 2 の蓄積コンデンサ及び前記カラーフィルタ基板を電氣的に接続するように構成された導電突部とを備える一体型ピクセル構造。

10

【請求項 2】

前記第 1 のトランジスタは、第 1 のゲート、第 1 のソース及び第 1 のドレインを備え、前記第 2 のトランジスタは、第 2 のゲート、第 2 のソース、及び第 2 のドレインを備え、前記第 1 のゲート及び前記第 2 のゲートは第 1 のゲートライン及び第 2 のゲートラインにそれぞれ接続され、前記第 1 のドレイン及び前記第 2 のドレインの双方はデータラインに接続される請求項 1 に記載の一体型ピクセル構造。

【請求項 3】

前記第 1 のトランジスタは、第 1 のゲート、第 1 のソース及び第 1 のドレインを備え、前記第 2 のトランジスタは、第 2 のゲート、第 2 のソース、及び第 2 のドレインを備え、前記第 1 のゲート及び前記第 2 のゲートの双方はゲートラインに接続され、前記第 1 のドレイン及び前記第 2 のドレインは第 1 のデータライン及び第 2 のデータラインにそれぞれ接続される請求項 1 に記載の一体型ピクセル構造。

20

【請求項 4】

前記第 2 の蓄積コンデンサが前記カラーフィルタ基板に電氣的に接続される時、前記第 2 の蓄積コンデンサ内の電荷は前記カラーフィルタ基板を通じて放電される請求項 1 に記載の一体型ピクセル構造。

【請求項 5】

前記導電突部はトランジスタマトリクス基板上に設けられ、前記カラーフィルタ基板から約 0.1 マイクロメートル乃至 2 マイクロメートル離間している請求項 1 に記載の一体型ピクセル構造。

30

【請求項 6】

前記導電突部は前記カラーフィルタ基板上に設けられ、前記トランジスタマトリクス基板から約 0.1 マイクロメートル乃至 2 マイクロメートル離間している請求項 1 に記載の一体型ピクセル構造。

【請求項 7】

前記導電突部の周囲に設けられたスペーサを更に備え、同スペーサの高さは前記導電突部の高さよりも低い請求項 1 に記載の一体型ピクセル構造。

40

【請求項 8】

前記カラーフィルタ基板はブラックマトリクスを備え、前記トランジスタマトリクス基板上の前記第 2 のトランジスタ及び前記第 2 の蓄積コンデンサは、前記ブラックマトリクスに対応して設けられている請求項 1 に記載の一体型ピクセル構造。

【請求項 9】

前記導電突部は、樹脂及びその樹脂内に含まれる導電性の粒子からなる請求項 1 に記載の一体型ピクセル構造。

【請求項 10】

前記トランジスタマトリクス基板は、薄膜トランジスタマトリクス基板又は CMOS トランジスタマトリクス基板である請求項 1 に記載の一体型ピクセル構造。

50

【請求項 1 1】

一体型タッチパネル L C D デバイスであって、

請求項 1 に記載の複数の一体型ピクセル構造、複数のゲートライン、及び複数のデータラインを備える液晶パネルと、

前記複数のゲートラインに制御信号を出力するように構成されたゲート駆動回路と、

前記複数のデータラインに表示データ及びタッチ基準データを出力するように構成されたデータ駆動回路と、

前記複数のデータラインに接続され、前記複数の一体型ピクセル構造の前記第 2 の蓄積コンデンサに記憶されたデータを読み取るためのタッチ読み取り回路と、

前記タッチ読み取り回路に接続され、前記液晶パネル上のタッチ位置に対応するタッチ情報を得るために前記記憶データを受信し、かつ演算するための比較回路とを備える一体型タッチパネル L C D デバイス。

10

【請求項 1 2】

前記データ駆動回路及び前記タッチ読み取り回路に接続された切換回路を更に備え、同切換回路は、複数のデータラインを選択的にデータ駆動回路又はタッチ読み取り回路に接続する請求項 1 1 に記載の一体型タッチパネル L C D デバイス。

【請求項 1 3】

前記複数の一体型ピクセル構造の各々の前記第 1 及び第 2 のトランジスタは、複数のゲートラインのうちの 2 つのゲートラインにそれぞれ接続され、前記第 1 及び第 2 のトランジスタの双方は、複数のデータラインのうちの 1 つデータラインに接続され、前記ゲート駆動回路は、

20

前記複数の一体型ピクセル構造の前記第 1 のトランジスタを順にオンするために、前記第 1 のトランジスタに接続された前記ゲートラインに制御信号を出力するように構成された第 1 のゲート駆動回路と、

前記複数の一体型ピクセル構造の前記第 2 のトランジスタを順にオンするために、前記第 2 のトランジスタに接続されたゲートラインに制御信号を出力するように構成された第 2 のゲート駆動回路とを更に備える請求項 1 1 に記載の一体型タッチパネル L C D デバイス。

【請求項 1 4】

前記複数の一体型ピクセル構造の各々の前記第 1 及び第 2 のトランジスタは、複数のデータラインのうちの 2 つのデータラインにそれぞれ接続され、前記第 1 及び第 2 のトランジスタの双方は、複数のゲートラインのうちの 1 つのゲートラインに接続され、前記ゲート駆動回路は、

30

前記第 1 のトランジスタに接続された前記データラインに前記表示データを出力するように構成された表示データ駆動回路と、

前記第 2 のトランジスタに接続された前記データラインに前記タッチ基準データを出力するように構成されたタッチデータ駆動回路とを更に備える請求項 1 1 に記載の一体型タッチパネル L C D デバイス。

【請求項 1 5】

前記比較回路は閾値電圧を有し、前記比較回路は前記タッチ情報を得るために前記記憶データ及び前記閾値電圧を比較する請求項 1 1 に記載の一体型タッチパネル L C D デバイス。

40

【請求項 1 6】

前記比較回路は前記タッチ基準データを受信するために前記データ駆動回路に接続され、前記比較回路は前記タッチ情報を得るために前記タッチ基準データ及び記憶データを比較する請求項 1 1 に記載の一体型タッチパネル L C D デバイス。

【請求項 1 7】

前記液晶パネルは、複数の表示ピクセル構造を更に備え、前記複数の表示ピクセル構造の各々は、表示トランジスタ及び表示蓄積コンデンサを備える請求項 1 1 に記載の一体型タッチパネル L C D デバイス。

50

【請求項 18】

一体型タッチパネルLCDデバイスを制御するための方法であって、同一型タッチパネルLCDデバイスは、請求項1に記載の複数の一体型ピクセル構造、複数のデータライン、及び複数のゲートラインを備える液晶パネルを備え、前記方法は、

前記液晶パネルの表示画像を更新するために第1の蓄積コンデンサに表示データを送信する工程と、

前記第2の蓄積コンデンサにタッチ基準データを送信する工程と、

前記第2の蓄積コンデンサに記憶されたデータを読み取る工程と、

前記液晶パネル上のタッチ位置に対応する情報を得るために前記記憶データを演算する工程とを備える方法。

10

【請求項 19】

前記複数の一体型ピクセル構造の各々の前記第1及び第2のトランジスタは、複数のゲートラインのうちの2つのゲートラインにそれぞれ接続され、前記第1及び第2のトランジスタの双方は、複数のデータラインのうちの1つのデータラインに接続され、前記方法は、

前記表示データを前記第1のトランジスタを介して前記第1の蓄積コンデンサに送信するために第1の期間の間に、前記複数の一体型ピクセル構造の前記第1のトランジスタを順にオンする工程と、

前記表示データを前記第2のトランジスタを介して前記第2の蓄積コンデンサに送信するために第2の期間の間に、前記複数の一体型ピクセル構造の前記第2のトランジスタを順にオンする工程と、

20

前記表示データを前記第1のトランジスタを介して前記第1の蓄積コンデンサに送信するために第3の期間の間に、前記複数の一体型ピクセル構造の前記第1のトランジスタを順にオンする工程と、

前記表示データを前記第2のトランジスタを介して前記第2の蓄積コンデンサに記憶されたデータを読み取るために第4の期間の間に、前記複数の一体型ピクセル構造の前記第1のトランジスタを順にオンする工程とを備える請求項18に記載の方法。

【請求項 20】

前記複数の一体型ピクセル構造の各々の前記第1及び第2のトランジスタは、複数のデータラインのうちの2つのデータラインにそれぞれ接続され、前記第1及び第2のトランジスタの双方は、複数のゲートラインのうちの1つのゲートラインに接続され、前記方法は、

30

前記表示データを前記第1のトランジスタを介して前記第1の蓄積コンデンサに送信し、かつ前記第2のトランジスタを介して前記タッチ基準データを前記蓄積コンデンサに送信するために第1の期間の間に、前記複数の一体型ピクセル構造の前記第1及び第2のトランジスタを順にオンする工程と、

前記表示データを前記第2のトランジスタを介して前記第2の蓄積コンデンサに送信し、かつ前記第2のトランジスタを介して前記第2の蓄積コンデンサに記憶されたデータを読み取るために第2の期間の間に、前記複数の一体型ピクセル構造の前記第1及び第2のトランジスタを順にオンする工程とを備える請求項18に記載の方法。

40

【請求項 21】

前記タッチ情報を得るために前記記憶データ及び前記タッチ基準データを比較する工程を更に備える請求項18に記載の方法。

【請求項 22】

閾値電圧を設定する工程と、

前記タッチ情報を得るために前記記憶データ及び閾値電圧を比較する工程とを更に備える請求項18に記載の方法。

【請求項 23】

前記表示データ及び前記タッチ基準データは同一である請求項18に記載の方法。

【請求項 24】

50

前記タッチ情報は、タッチ位置及びタッチ領域の座標、又はタッチ位置における圧力からなる請求項 18 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、タッチパネル液晶表示（LCD）デバイス、より詳しくは一体型タッチパネル LCD デバイス及び同デバイスの制御方法に関する。

【背景技術】

【0002】

典型的な入力装置、例えばキーボード及びマウスと比較して、タッチパネルはスペースの節約及び簡単なヒューマン操作インターフェイスという利点がある。

タッチ感応式機能を備える従来の LCD デバイスは、通常、タッチパネルが LCD パネル上に直接的に積層されるプラグイン方式で構成される。図 1 は、主としてタッチパネル 110 及び LCD パネル 120 を含む従来のタッチパネル LCD デバイス 100 を示す側断面図である。一般に、表示パネル 120 の表示領域 125 に対応するタッチ領域 112 はタッチパネル 110 の中央に配置され、検出回路 114 はタッチパネル 110 の周縁に配置される。物体がタッチ領域 112 に触れると、それに伴って電気信号が生成され、そしてその後の処理のためにコネクタ 132 を介して回路基板 130 の他の回路に送信される。

【発明の概要】

【発明が解決しようとする課題】

【0003】

また、安定性を高め、かつ振動を低減するために、通常、プラスチック緩衝パッド 140 がタッチパネル 110 と LCD パネル 120 との間に配置され、そしてそれら全ての部材を固定するためにハウジング 150 が使用される。従って、従来のプラグイン式のタッチパネル LCD デバイスは、厚み及び重量が増すため利用者にとっては不便である。更に、輝度が低下し、かつ反射率が高くなる問題に加えて、タッチパネル 110 と LCD パネル 120 との間の空隙により、いくらかの色の不均一欠陥（むら）、例えばニュートンリング現象が生じるおそれがある。

【0004】

従って、軽量かつ信頼性の高いタッチパネル LCD デバイスが望まれている。

従来技術の問題に鑑み、本発明の目的は、小型、薄型、軽量かつ信頼性の高いマルチタッチ機能を有する一体型タッチパネル LCD デバイス、及び同デバイスの制御方法を提供することにある。

【課題を解決するための手段】

【0005】

本発明の一態様に従って、一体型ピクセル構造が提供される。本発明の一体型ピクセル構造は、トランジスタマトリクス基板、カラーフィルタ基板及び液晶層を含む。カラーフィルタ基板はトランジスタマトリクス基板の上方に配置され、トランジスタマトリクス基板とほぼ平行に配置されている。液晶層はトランジスタマトリクス基板とカラーフィルタ基板との間に介在されている。トランジスタマトリクス基板は、第 1 のトランジスタ、同第 1 のトランジスタに接続された第 1 の蓄積コンデンサ、第 2 のトランジスタ、同第 2 のトランジスタに接続された第 2 の蓄積コンデンサ、及び導電突部を含む。導電突部は第 2 の蓄積コンデンサに対応して設けられ、カラーフィルタ基板が押圧されたときに、第 2 の蓄積コンデンサ及びカラーフィルタ基板を電氣的に接続するように構成されている。

【0006】

本発明の別の態様に従う一体型タッチパネル LCD デバイスが提供される。本発明の一体型タッチパネル LCD デバイスは、液晶パネル、ゲート駆動回路、データ駆動回路、タッチ読み取り回路及び比較回路を含む。液晶パネルは、請求項 1 に記載の複数の一体型ピクセル構造、複数のゲートライン、及び複数のデータラインを含む。ゲート駆動回路は、

複数のゲートラインに制御信号を出力するように構成されている。データ駆動回路は、複数のデータラインに表示データ及びタッチ基準データを出力するように構成されている。タッチ読み取り回路は、一体型ピクセル構造の複数の第2の蓄積コンデンサに記憶されるデータを読み取るために複数のデータラインに接続されている。比較回路は、液晶パネル上のタッチ位置に対応するタッチ情報を得るための記憶データを受信し、かつ演算するためにタッチ読み取り回路に接続されている。

【0007】

本発明の更に別の態様に従う一体型タッチパネルLCDデバイスを制御するための方法が提供される。一体型タッチパネルLCDデバイスは、請求項1に記載の複数の一体型ピクセル構造、複数のデータライン、及び複数のゲートラインを備える液晶パネルを含む。本発明の方法は、液晶パネルの表示画像を更新するために第1の蓄積コンデンサに表示データを送信する工程と、第2の蓄積コンデンサにタッチ基準データを送信する工程と、第2の蓄積コンデンサに記憶されたデータを読み取る工程と、液晶パネル上のタッチ位置に対応するタッチ情報を得るために記憶データを演算する工程とを備える。

【0008】

本発明の他の態様については、以下の本発明の詳細な説明又は実施形態を通じて記載しており、容易に理解されるであろう。本発明の態様は、添付の特許請求の範囲に記載した要件及びそれらの組み合わせによって認識され、かつ実施されるであろう。上記発明の概要及び後述する詳細な説明は単に例示的であり、本発明を限定するものではないことを理解されたい。

【0009】

図面は、詳細な説明とともに本発明の実施形態及び原理を例示するために使用されるものである。しかしながら、本発明は図示される構成及び要素に限定されるものではないことを理解されたい。

【発明の効果】

【0010】

本発明によれば、小型、薄型、軽量かつ信頼性の高いマルチタッチ機能を有する一体型タッチパネル液晶表示デバイス及び同デバイスの制御方法を提供することができる。

【図面の簡単な説明】

【0011】

【図1】従来のタッチパネルを示す側断面図。

【図2】本発明の一実施形態に従う一体型タッチパネルLCDデバイスの1つの一体型ピクセル構造を示す回路図。

【図3】(A)及び(B)は本発明の異なる2つの実施形態に従う図2のタッチユニットをそれぞれ示す側断面図。

【図4】(A)は図3(A)及び図3(B)の導電突部の種々の構造を示す図であり、(B)は導電突部及びピクセルのスペーサの異なる組み合わせを示す図。

【図5】本発明の一実施形態に従うタッチユニットを有する一体型ピクセル構造を示す回路配置図。

【図6】本発明の一実施形態に従う一体型タッチパネルLCDデバイスを示すブロック図。

【図7】本発明の一実施形態に従う図6の一体型タッチパネルLCDデバイスの回路構造を示す図。

【図8】図7の回路におけるゲートライン及びデータラインのそれぞれの信号を示すタイミングチャート。

【図9】(A)～(D)は図8のタイミングチャートに基づき、ピクセル構造に対する読み取り及び書き込み動作を例示的に示す図。

【図10】本発明の一実施形態に従い、タッチパネルLCDデバイスが物体によって触れたときの放電回路を示す図。

【図11】(A)～(D)は本発明の異なる実施形態に従い、タッチ位置を判断するため

10

20

30

40

50

の異なる論理処理を例示的に示す図。

【図 1 2】本発明の別の実施形態に従う図 6 の一体型タッチパネル L C D デバイスの回路構造を示す図。

【図 1 3】図 1 2 の回路におけるゲートライン及びデータラインのそれぞれの信号を示すタイミングチャート。

【図 1 4】本発明の別の実施形態に従う図 6 の一体型タッチパネル L C D デバイスの回路構造を示す図。

【図 1 5】図 1 2 の回路におけるゲートライン及びデータラインのそれぞれの信号を示すタイミングチャート。

【図 1 6】本発明の一実施形態に従う一体型タッチパネル L C D デバイスを制御するための方法を示す図。

【発明を実施するための形態】

【0012】

任意のタッチ感応ガラス／フィルムを追加することなく、或いは機械的な構造を変更することなく実施することができるマルチタッチ機能を備えたタッチパネル L C D デバイスが開示される。本発明の目的、特徴及び効果は、後述する好適な実施形態及び図 2 ～ 図 1 6 を参照することによってより明らかになるであろう。しかしながら、以下の実施形態として説明される装置、要素及び方法の工程については、本発明の範囲を限定するものではなく、本発明を例示することを意図している。

【0013】

図 2 は、本発明の一実施形態に従う一体型タッチパネル L C D デバイスの 1 つの一体型ピクセル構造 2 0 0 を示す回路図である。一体型ピクセル構造 2 0 0 は表示ユニット 2 1 0 及びタッチユニット 2 2 0 を含む。表示ユニット 2 1 0 は、薄膜トランジスタ (T F T) M_1 、蓄積コンデンサ C_{st1} 、及び L C コンデンサ C_{LC} を含み、タッチユニット 2 2 0 は T F T M_2 及び蓄積コンデンサ C_{st2} を含む。T F T M_1 のドレインはデータライン 2 3 0 に接続され、T F T M_1 のゲートはゲートライン 2 1 2 に接続され、T F T M_1 のソースは蓄積コンデンサ C_{st1} 及び L C コンデンサ C_{LC} に接続されている。蓄積コンデンサ C_{st1} の一端子は、共通ライン 2 4 0 に接続されている。一旦、T F T M_1 がゲートライン 2 1 2 によってオンされると、データライン 2 3 0 の電圧は T F T M_1 を介して L C コンデンサ C_{LC} に送信され、次に、蓄積コンデンサ C_{st1} によって所定期間保持される。表示ユニット 2 1 0 内の素子の機能及び構造は、従来の L C D デバイスのピクセル構造のそれに類似しているため、それらの詳細な説明を省略する。

【0014】

図 2 に示すように、タッチユニット 2 2 0 では、T F T M_2 のドレインはデータライン 2 3 0 に接続され、T F T M_2 のゲートはゲートライン 2 2 2 に接続され、T F T M_2 のソースは蓄積コンデンサ C_{st2} に接続されている。T F T M_2 がゲートライン 2 2 2 によってオンされることにより、蓄積コンデンサ C_{st2} はデータライン 2 3 0 を介して、読み取り又は書き込みを行うことができる。本発明に従って、ピクセル構造 2 0 0 に対応する一体型タッチパネル L C D デバイスの位置に物体が接触して押圧すると、ピクセル構造 2 0 0 内に蓄積コンデンサへの放電路が形成され、それに伴って蓄積コンデンサに記憶された電圧が低下する。従って、一体型タッチパネル L C D デバイスの全ピクセル構造におけるタッチユニットに記憶されたデータを読み取ることによって、接触点の正確な位置が得られる。

【0015】

図 3 (A) 及び図 3 (B) は、それぞれ本発明の異なる 2 つの実施形態に従う図 2 のタッチユニット 2 2 0 を示す側断面図である。図 3 (A) に示すように、タッチユニット 3 0 0 は T F T マトリクス基板 3 1 0、カラーフィルタ基板 3 2 0、及び 2 つの基板 3 1 0、3 2 0 間に介在された液晶層 3 3 0 を含む。T F T マトリクス基板 3 1 0 では、最初にゲートライン 3 1 2、3 1 3 が透明基板 3 1 1 上に形成され、その後、基板 3 1 1 及びゲートライン 3 1 2、3 1 3 を覆うようにゲート絶縁層 3 1 4 が形成される。次に、ドレイ

10

20

30

40

50

ン電極 315 及びソース電極 316 が、図 2 の T F T M_2 を形成するためにゲートライン 312 の上方の両側に形成される。ドレイン電極 315 は図 2 のデータライン 230 の一部を形成し、ソース電極 316 は導電性電極 317 に接続するために延びる。導電性電極 317、ゲートライン 313、及び両者 317、313 の間に介在されたゲート絶縁層 314 の一部は、図 2 の蓄積コンデンサ C_{st2} を形成する。カラーフィルタ基板 320 は、透明基板 321 上に形成されたブラックマトリクス 324、325、R G B カラーフィルタ 322、及び共通電極 323 を含む。

【0016】

引き続き図 3 (A) に示すように、導電突部 340 は、蓄積コンデンサ C_{st2} の上方に形成され、かつ蓄積コンデンサ C_{st2} に接続されている。導電突部 340 は、カラーフィルタ基板 320 から所定間隔離れている。利用者が液晶表示デバイスに触れて押圧すると、小さな変形がタッチ位置で生じる（即ち、カラーフィルタ基板 320 は下方に撓む）。この変形により、導電突部 340 がカラーフィルタ基板 320 と接触する。このとき、蓄積コンデンサ C_{st2} に蓄積された電荷が、導電突部 340 を介してカラーフィルタ基板 320 の共通電極 323 に流れる。一般に、導電突部 340 とカラーフィルタ基板 320 との間の間隔は、限定されるわけではないが、好ましくは約 0.1 マイクロメートル乃至約 2 マイクロメートルである。L C D デバイスの耐圧力を向上させるために液晶表示デバイスの支持部としてスペーサ 342 が、例えば、導電突部 340 の周辺に付加的に形成されてもよい。導電突部 340 の主な目的は、タッチユニット 300 が触れられて押圧されたときに、蓄積コンデンサ C_{st2} への放電路を提供することにある。従って、導電突部 340 の位置は本発明では限定されない。例えば、導電突部 340 は図 3 (B) に示すように、カラーフィルタ基板 320 上に設けられてもよい。

【0017】

通常、図 2、図 3 (A) 及び図 3 (B) に示すように、本発明の一体型タッチパネル L C D デバイスの 픽セル構造（例えば、図 2 の 200）は、タッチユニット及び表示ユニットを含み、タッチユニットは少なくとも T F T、蓄積コンデンサ、導電突部、及びスペーサを含む。タッチユニットでは、T F T マトリクス基板上、又はカラーフィルタ基板上に配置された導電突部が放電路として使用され、L C D デバイスの正常な動作を維持するために、スペーサが T F T マトリクス基板上、又はカラーフィルタ基板上に配置される。一体型タッチパネル L C D デバイスの全ての 픽セルがタッチユニットを内蔵する必要はなく、また一体型タッチパネル L C D デバイス内のタッチユニットの配置は、実際の用途に要求される解像度に応じて変更可能であることに留意されたい。それは、例えば、各サブ 픽セル（即ち、R、G、又は B サブ 픽セル）が 1 つのタッチユニットに内蔵されるように構成されたり、3 つのサブ 픽セルで構成される各結合 픽セル（R、G、B）が 1 つのタッチユニットに内蔵されるように構成されたり、或いは N 個の結合 R G B 픽セルの 1 つのみがタッチユニットに内蔵されるように構成されたりしてもよい。更に、導電突部の高さ、サイズ及び数、並びに各タッチユニット内のスペースは、個々の場合の実際のニーズに応じて調節されてもよい。

【0018】

図 4 (A) は、図 3 (A) 及び 3 (B) における導電突部 340 の種々の構造 400、410 及び 420 を示す。例えば、導電突部 400 は、有機材料、例えば樹脂からなる柱状部を形成し、形成された柱状部内に導電性粒子を加えることによって形成される。別の実施形態において、導電突部 410 は、有機材料（例えば、樹脂）からなる柱状部 412 を導電性材料からなる導電性フィルム 414 で覆うことによって形成される。更に別の実施形態において、放電機能及び支持機能を兼ねる支持部として使用されるスペーサ 422 上に導電体を形成することによって、導電突部 420 が形成される。上述したように、導電突部以外にも、1 つ以上のスペーサがパネルの支持性能を高めるために付加的に形成されてもよい。図 4 (B) は、1 つの 픽セル内における導電突部及びスペーサの異なる組み合わせ A、B 及び C を示す。組み合わせ A では、1 つの 픽セル内に 1 つの導電突部 d 及び 1 つのスペーサ s が存在する。組み合わせ B では、1 つの 픽セル内に 2 つの導電突部 d 1

、 d_2 及び2つのスペーサ s_1 、 s_2 が存在する。組み合わせCでは、1つのピクセル内に1つのスペーサ s 及び4つの周辺導電突部 d_1 、 d_2 、 d_3 、 d_4 が存在する。通常、導電突部の数が増えるほど、放電速度はより速くなる。導電突部及び／又はスペーサの種々の構造は、当業者にとって公知の各種半導体プロセスによって形成可能である。例えば、異なる高さを有する柱状部は、特定のフォトリソマスク及び有機感光材料を用いた単一の露出工程によって形成可能であり、或いはフィルム形成プロセスを複数回にわたって行うことによって形成可能である。

【0019】

図5は、本発明の一実施形態に従うタッチユニットを含む一体型ピクセル構造500の回路配置を示す。一体型ピクセル構造500は、TFTマトリクス基板510及びカラーフィルタ基板520を含む。TFTマトリクス基板510は、表示領域530及びタッチ領域540を含む。表示領域530はTFT M_1 及び蓄積コンデンサ C_{st1} を含み、タッチ領域540はTFT M_2 及び蓄積コンデンサ C_{st2} を含む。カラーフィルタ基板520は、カラーフィルタの領域522及びブラックマトリクス領域524を含む。一体型ピクセル構造500の有効な回路は、図2に示す回路を参照する。通常、パネルが押されたときの光の漏れ又は他のむらの欠陥を防止するために、タッチ領域540内の導電性電極は不透明であることが好ましく、或いはタッチ領域540はカラーフィルタ基板520内のブラックマトリクス領域524の位置に対応して配置される。例えば、図3(A)又は図3(B)の実施形態において、TFTマトリクス基板310内のTFT M_2 及び蓄積コンデンサ C_{st2} の位置は、LCDデバイスの表示品質を確保するために、カラーフィルタ基板320内のブラックマトリクス324、325の位置とそれぞれ対応する。

【0020】

図6は、本発明の一実施形態に従う一体型タッチパネルLCDデバイス600を示すブロック図である。一体型タッチパネルLCDデバイス600は、複数のピクセル構造612を有する液晶パネル610、ゲート駆動回路620、タッチ読み取り回路640、データ駆動回路650、及び比較処理回路660を含む。各ピクセル構造612は、(図2に示すような)表示ユニット及びタッチユニットを含む。液晶パネル610内の全てのピクセル構造の表示ユニットは更新され、かつ全ての内蔵されたタッチユニットはゲート駆動回路620及びデータ駆動回路650の駆動によって読み取り又は書き込まれる。タッチ読み取り回路640は、各タッチユニットの蓄積コンデンサに記憶された電圧の値を読み取るように構成され、増幅器、アナログデジタル変換器、ノイズフィルタ回路、及び他の公知の回路素子を含む。タッチ位置に対応するピクセル構造のタッチユニット内の電荷が放電されると、連続的な走査を通じて全てのピクセル構造のタッチユニット内に記憶されたデータを読み取り、その後比較処理回路660を介して読み取りデータを比較することによって、タッチ位置の座標は正確に判断可能である(例えば、タッチユニットに書き込まれたデータ及びタッチユニットから読み取られたデータを比較)。

【0021】

図7は本発明の一実施形態に従う、図6の一体型タッチパネルLCDデバイス600の回路構造700を示す。回路構造700は、主に液晶パネル710、ゲート駆動回路720、表示／読み取り切替回路730、タッチ読み取り回路740、データ駆動回路750、及び比較処理回路760を含む。液晶パネル710は、複数のゲートライン $G1(A)$ - $Gm(A)$ 及び $G1(B)$ - $Gm(B)$ 、並びに複数のデータライン $D1(A)$ - $Dm(A)$ を含む。この実施形態では、各ピクセル構造712は、図2に示すような表示ユニット及びタッチユニットを含み、2つのゲートライン及び1つのデータラインによって駆動される。ゲート駆動回路720は、ピクセル構造712の表示ユニットを駆動するためにゲートライン $G1(A)$ - $Gm(A)$ に制御信号を入力するとともに、ピクセル構造712のタッチユニットを駆動するためにゲートライン $G1(B)$ - $Gm(B)$ に制御信号を入力するように構成されている。データ駆動回路750は、表示データを各表示ユニットに送信したり、或いはデータライン $D1(A)$ 、 $D2(A)$ 、 $\dots$ 、 Dm を介してタッチ基準データを各タッチユニットに送信したりするように構成されている。また、タッチ読み取り回路740は、データライン $D1(A)$ 、 $D2(A)$ 、 $\dots$ 、 Dm を介して各タッチ

ユニット内に記憶されたデータをそれぞれ読み取るように構成されている。表示／読み取り切換回路 730 は、データ駆動回路 750 及びタッチ読み取り回路 740 をデータライン $D1(A), D2(A), \dots, Dm$ に異なる時期に電氣的に接続するように切り換えるために、データ駆動回路 750 及びタッチ読み取り回路 740 にそれぞれ接続されている。図 7 に示す実施形態では、表示／読み取り切換回路 730 は、スイッチトランジスタ M_{S1}, M_{S2} からなる複数のスイッチユニットを含み、各スイッチユニットは異なるデータライン $D1(A), D2(A), \dots, Dm$ に接続されている。トランジスタ M_{S1}, M_{S2} は、それぞれ制御ライン $Q1, Q2$ を介してオン又はオフされる。トランジスタ M_{S1} がオンされると、データ駆動回路 750 はデータライン $D1(A), D2(A), \dots, Dm$ に電氣的に接続される。これに対して、トランジスタ M_{S2} がオンされると、タッチ読み取り回路 740 はデータライン $D1(A), D2(A), \dots, Dm$ に電氣的に接続される。比較処理回路 760 はデータ駆動回路 750 及びタッチ読み取り回路 740 にそれぞれ接続されている。比較処理回路 760 は、タッチ位置の座標を得るために、データ駆動回路 750 によってデータライン $D1(A), D2(A), \dots, Dm$ を通じて書き込まれたタッチ基準データと、タッチ読み取り回路 740 によって $D1(A), D2(A), \dots, Dm$ から読み取られたデータとを比較する。別の実施形態では、比較処理回路 760 は、タッチ読み取り回路 740 のみに接続され、タッチ位置の座標が判断されるように、タッチ読み取り回路 740 によって読み取られたデータを演算するために所定の閾値電圧及び論理処理を採用してもよい。

【0022】

図 8 は、図 7 の回路における各ゲートライン及び各データラインに関する信号を示すタイミングチャートである。図 7 及び図 8 に共に示すように、 N 番目の期間の間に、ゲート駆動回路 720 は、各表示ユニットのトランジスタが順にオンされるように、 m 個のパルスをゲートライン $G1(A)-Gm(A)$ に順にそれぞれ入力する。その間、データ駆動回路 750 は、液晶パネル 710 の表示画像を更新するために、表示／読み取り切換回路 730 を介して表示データを各データライン $D1(A), D2(A), \dots, Dm$ に送信する。次に、 $(N+1)$ 番目の期間の間に、ゲート駆動回路 720 は、各タッチユニットのトランジスタを順にオンするために、 m 個のパルスをゲートライン $G1(B)-Gm(B)$ に順にそれぞれ入力する。その間、データ駆動回路 750 は、表示／読み取り切換回路 730 を介して各データライン $D1(A), D2(A), \dots, Dm$ といまだに電氣的に接続されており、各タッチユニットにデータを書き込むために、各データライン $D1(A), D2(A), \dots, Dm$ にタッチ基準データを送信する。次に、 $(N+2)$ 番目の期間の間に、ゲート駆動回路 720 は、 m 個のパルスをゲートライン $G1(A)-Gm(A)$ に再び順に入力し、かつデータ駆動回路 750 を介して各表示ユニット内に記憶されたデータを再び更新する。次に、 $(N+3)$ 番目の期間の間に、ゲートの駆動回路 720 は m 個のパルスをゲートライン $G1(B)-Gm(B)$ に順にそれぞれ入力し、表示／読み取り切換回路 730 は、各タッチユニット内に記憶されたデータを読み取るために、タッチ読み取り回路 740 を電氣的にデータライン $D1(A), D2(A), \dots, Dm$ に接続するように切り換える。上述したように、液晶パネル 710 が触れられて押圧されると、タッチ位置に対応するピクセルのタッチユニット内に放電路が形成され、それに伴ってタッチユニット内に記憶された電圧値が低下する。従って、 $(N+1)$ 番目の期間の間に書き込まれたタッチ基準データと $(N+3)$ 番目の期間の間に読み取られたデータとを比較することにより、タッチ位置の座標を正確に判断することができる。

【0023】

図 9 (A) ~ 図 9 (D) は、図 8 のタイミングチャートに基づくピクセル構造において実行される読み取り及び書き込み処理を示す。図 9 (A) に示すように、 N 番目の期間の間、 $TFT\ M_1$ はゲートライン $G(A)$ のハイ電圧によってオンされ、 $TFT\ M_2$ はゲートライン $G(B)$ のロー電圧によってオフされる。そのため、表示データはデータライン $D(A)$ を通じて送信され、そして $TFT\ M_1$ を介して蓄積コンデンサ C_{st1} に書き込まれる。図 9 (B) に示すように、 $(N+1)$ 番目の期間の間、 $TFT\ M_1$ はゲートライン $G(A)$ のロー電圧によってオフされ、 $TFT\ M_2$ はゲートライン $G(B)$ のハイ電圧によってオンされる。そのため、タッチ基準データはデータライン $D(A)$ を通じて送信され、そして TFT

T M₂を介して蓄積コンデンサC_{st2}に書き込まれる。図9 (C)に示すように、(N+2)番目の期間の間、N番目の期間と同様に、T F T M₁はオンされてT F T M₂はオフされる。そのため、表示データはデータラインD(A)を通じて送信され、そしてT F T M₁を介して蓄積コンデンサC_{st1}に再び書き込まれる。図9 (D)に示すように、(N+3)番目の期間の間、T F T M₁はオフされてT F T M₂はオンされる。そのため、蓄積コンデンサC_{st2}に記憶されたデータはT F T M₂を介してデータラインD(A)に送信されるとともに、さらに後の演算及び／又は比較処理のためにタッチ読み取り回路740に送信される。

【0024】

図8及び図9 (A)～図9 (D)に示す実施形態では、表示ユニットは、1つおきの全ての期間にデータ更新処理を行う(即ち、N番目の期間の間、(N+2)番目の期間の間に表示データを書き込む、等)。そして、タッチユニットは、4期間毎にデータ更新処理を行う(即ち、(N+1)番目の期間の間、(N+5)番目の期間の間に表示データを書き込む、等)。換言すれば、表示ユニットの動作周波数は、タッチユニットの動作周波数の二倍である。例えば、表示ユニットの動作周波数は60ヘルツであり、タッチユニットの動作周波数は30ヘルツである。別の実施形態では、タッチユニットの動作周波数は実際のニーズに応じて調節されてもよい。例えば、表示ユニットが更新処理を2回から5回行う毎に、タッチユニットは一度だけ書き込み／読み取り処理を行ってもよい。図7に示されている各ピクセルはその内部にタッチユニットを有するが、タッチパネルLCDデバイス内のタッチユニットの密度は要求される解像度に応じて変更可能であることに留意されたい。

【0025】

図10は、本発明の一実施形態に従い、LCDデバイスが物体によって触れられたときに形成される放電路を示す。物体(例えば、指1050又はペン1052)がLCDデバイスに触れると、カラーフィルタ基板1020が下方への圧力を受けて撓む。そのため、触れられた位置に対応してタッチユニット1000内に放電路(図10の矢印で示される)が生じる。タッチユニット1000の構造は、図3 (A)のタッチユニットの構造と類似しており、主にT F Tマトリクス基板1010、カラーフィルタ基板1020、及び液晶層1030を含む。図10に示すように、タッチユニット1000内の蓄積コンデンサ(導電性電極1017及びゲートライン1013によって形成される)がカラーフィルタ基板1020の共通電極1023を介して放電されるように、導電突部1040は圧力下でカラーフィルタ基板1020と接触する。通常、共通電極1023の材料は、酸化インジウムスズ(ITO)、酸化インジウム・酸化亜鉛(IZO)、アルミニウムドープ酸化亜鉛(AZO)、又は他の透明な導電性材料であってもよい。導電突部1040の高さ、サイズ、量及び密度は、条件に従って調節されてもよい。さらに、放電路及び接触圧の耐圧力を制御するために異なる高さを有する複数の導電突部が存在してもよい。通常、タッチユニット1000内の導電突部1040の数が増えるほど、放電速度は速くなる。スペーサ1042の高さ、サイズ及び密度は、液晶層のための適切なスペースを維持し、高い耐圧力を提供し、かつパネルの寿命を延ばすために、使用条件に基づき調節されてもよい。本発明は、1つのタッチユニット内の導電突部及びスペーサの数について限定されない。

【0026】

図11 (A)～図11 (D)は、本発明の異なる実施形態に従い、タッチ位置の座標を判断するための異なる論理処理を示す例示的な図である。図11 (A)に示すように、液晶表示デバイスの各タッチユニットは充電される。即ち、表1102に示すように、各タッチユニットに書き込まれたデータはH(ハイ電圧レベル)で示される。タッチされると、表1104に示すように、タッチ位置に対応してタッチユニット内に記憶された電圧はL(ロー電圧レベル)まで放電される。タッチ位置(A1、B1)の座標は、表1106に示すように、各タッチユニットに書き込まれたタッチ基準データ(1102)と各タッチユニットから読み取られた記憶データ(1104)とを比較することによって得られる

。図 1 1 (B) は、各タッチユニットに記憶された電圧値を読み取ることによって直接的にタッチ位置の座標を得ることができる本発明の別の論理処理を示す。通常、各タッチユニットに書き込まれたタッチ基準データは論理ハイのデジタル信号であり、タッチ位置に対応してタッチユニットに記憶される電圧値は表 1 1 1 2 に示すように放電現象によりローに低下する。従って、タッチ位置 (A 2、B 2) の座標は、表 1 1 1 6 に示すように各タッチユニットに記憶された電圧値を読み取ることによって得られる。この実施形態では、タッチ位置の座標を誤って判断することを回避するために、不要なノイズをフィルタリングするように閾値電圧が設定される。例えば、各タッチユニットに書き込まれるタッチ基準データが 5 ボルトである場合、閾値電圧は 4 ボルトに設定される。それにより、タッチユニットから読み取られた電圧が 4 ボルトよりも高い場合には H として参照され、タッチユニットから読み取られた電圧が 4 ボルトよりも低い場合には L として参照される。図 1 1 (A) 及び図 1 1 (B) に示すように、異なるタッチユニットに対応する異なるタッチポイント、及び各タッチユニットに記憶されるデータは、個別に読み取ることが可能である。従って、マルチタッチ機能を実現するために、タッチ位置は正確に、かつ独立して判断される。

10

【0027】

本発明に従って、マルチタッチ機能以外にも、他のタッチ情報、例えばタッチ領域又はタッチ圧が、異なる構成のタッチユニット及び読み取り回路を採用することにより得られる。例えば、1 つのタッチユニット内に異なる高さを有するいくつかの導電突部が形成されてもよい。それにより、タッチ圧が小さいときには、より高い導電突部のみが放電回路を形成するように導通し、タッチ圧が十分に大きいときには、放電速度を加速するように異なる高さの全ての導電突部が導通する。従って、タッチユニットの密度、導電突部及びスペーサの量及び位置、データ更新の頻度、並びに読み取り回路の構造に関する特定の設計により、タッチユニットから読み取られた記憶データに従ってタッチ圧が判断されてもよい。図 1 1 (C) は、本発明の一実施形態に従う、感圧機能を実現するための動作ロジックを示す。表 1 1 2 2 は、各タッチユニットに書き込まれたタッチ基準データを示し (即ち、ハイ電圧レベル、H)、表 1 1 2 4 は、各タッチユニットから読み取られた記憶電圧を示す。M 1 は M 2 と異なり、H、M 1、M 2 の大きさは $H > M 2 > M 1$ である。この実施形態では、タッチ位置 (A 3、B 3) (表 1 1 2 6 に示される) の座標が判断されるとともに、電圧 M 2 に対応するタッチ位置におけるタッチ圧よりも電圧 M 1 に対応するタッチ位置におけるタッチ圧が高いことが判断可能である。即ち、タッチ位置 A 3 におけるタッチ圧が、タッチ位置 B 3 のタッチ圧よりも大きいことが判断可能である。

20

30

【0028】

別の実施形態では、タッチパネル LCD デバイスに加えられる力の大きさは、論理演算と共にタッチ領域／整形演算に従って判断される。例えば、図 1 1 (D) は本発明の別の実施形態に従う、感圧機能を実現するための動作ロジックを示す。表 1 1 3 2 は、各タッチユニットに書き込まれたタッチ基準データを示し (即ち、ハイ電圧レベル、H)、表 1 1 3 4 は、各タッチユニットから読み取られた記憶電圧を示す。記号 M は中間電圧レベルを表し、記号 L は低電圧レベルを表す。電圧のレベルは、予め複数の閾値電圧を設定することによって判断される。例えば、以下の設定が使用される。閾値は 2 ボルト及び 4 ボルトとして設定され、4 ボルトを超える電圧は H として設定され、2 ボルト乃至 4 ボルトの電圧は M として設定され、4 ボルト未満の電圧は L として設定される。表 1 1 3 2 を表 1 1 3 4 と比較することにより、タッチ位置 (A 4、B 4) の座標が得られ (表 1 1 3 6 に示す)、タッチ位置 A 4 におけるタッチ圧及び領域は、タッチ位置 B 4 におけるタッチ圧及び領域よりも大きいことが判断される。

40

【0029】

図 1 2 は本発明の別の実施形態に従う、図 6 の一体型タッチパネル LCD デバイスの回路構造 1 2 0 0 を示す。回路構造 1 2 0 0 は、液晶パネル 1 2 1 0、ゲート駆動回路 1 2 2 0、1 2 2 2、表示／読み取り切換回路 1 2 3 0、タッチ読み取り回路 1 2 4 0、データ駆動回路 1 2 5 0、及び比較処理回路 1 2 6 0 を含む。液晶パネル 1 2 1 0 の各ピクセ

50

ル構造 1 2 1 2 は、表示ユニット及びタッチユニットを含み、2つのゲートライン及び1つのデータラインによって駆動される。ゲート駆動回路 1 2 2 0 は、ピクセル構造 1 2 1 2 の表示ユニットを駆動するためにゲートラインG1(A)-Gm(A)に制御信号を入力し、かつピクセル構造 1 2 1 2 のタッチユニットを駆動するためにゲートラインG1(B)-Gm(B)に制御信号を入力するように構成されている。データ駆動回路 1 2 5 0 は、表示データを各表示ユニットに送信し、かつ各データラインD1(A), D2(A), ..., Dmを介してタッチ基準データを各タッチユニットに送信するように構成されている。また、タッチ読み取り回路 1 2 4 0 は、各データラインD1(A), D2(A), ..., Dmを介して各タッチユニット内に記憶されたデータを読み取るように構成されている。表示／読み取り切換回路 1 2 3 0 は、データ駆動回路 1 2 5 0 及びタッチ読み取り回路 1 2 4 0 をデータラインD1(A), D2(A), ..., Dmに異なる時期に電氣的に接続するように切り換えるために、データ駆動回路 1 2 5 0 及びタッチ読み取り回路 1 2 4 0 にそれぞれ接続されている。比較処理回路 1 2 6 0 は、データ駆動回路 1 2 5 0 及びタッチ読み取り回路 1 2 4 0 にそれぞれ接続されている。比較処理回路 1 2 6 0 は、タッチ位置の座標を得るために、データ駆動回路 1 2 5 0 によってデータラインD1(A), D2(A), ..., Dmを通じて書き込まれたタッチ基準データと、タッチ読み取り回路 1 2 4 0 によってD1(A), D2(A), ..., Dmから読み取られたデータとを比較する。比較処理回路 1 2 6 0 は、タッチ読み取り回路 1 2 4 0 によって読み取られたデータのみに基づいてタッチ位置の座標を得ることができることに留意されたい。図7に示すような単一のゲート駆動回路を採用する回路構造 7 0 0 と比較すると、図12の回路構造 1 2 0 0 は、表示ユニット及びタッチユニットをそれぞれ駆動するために2つのゲート駆動回路 1 2 2 0, 1 2 2 2 を採用する。これにより、各ゲート駆動回路 1 2 2 0, 1 2 2 2 のピンナンバーが2等分され、動作周波数が低減される。

【0030】

図13は、図12の回路における各ゲートライン及び各データラインに関する信号を示すタイミングチャートである。図12及び図13に共に示すように、n番目の期間の間に、ゲート駆動回路 1 2 2 0 は、各表示ユニットのトランジスタを順にオンするように、m個のパルスそれぞれゲートラインG1(A)-Gm(A)に順に入力する。その間、データ駆動回路 1 2 5 0 は、各表示ユニット内に記憶されたデータを更新するために、表示／読み取り切換回路 1 2 3 0 を介して表示データを各データラインD1(A), D2(A), ..., Dmに送信する。次に、(N+1)番目の期間の間に、ゲート駆動回路 1 2 2 2 は、各タッチユニットのトランジスタを順にオンするために、m個のパルスそれぞれゲートラインG1(B)-Gm(B)に順に入力する。また、データ駆動回路 1 2 5 0 は、各タッチユニットにデータを書き込むために、表示／読み取り切換回路 1 2 3 0 を介して各データラインD1(A), D2(A), ..., Dmにタッチ基準データを送信する。次に、(N+2)番目の期間の間に、ゲート駆動回路 1 2 2 0 は、m個のパルスをゲートラインG1(A)-Gm(A)に再び順に入力して、データ駆動回路 1 2 5 0 を介して各表示ユニット内に記憶されたデータを再び更新する。次に、(N+3)番目の期間の間に、ゲートの駆動回路 1 2 2 2 はm個のパルスをゲートラインG1(B)-Gm(B)に順に入力し、タッチ読み取り回路 1 2 4 0 は、各タッチユニット内に記憶されたデータを読み取るために各データラインD1(A), D2(A), ..., Dmに接続される。以上説明したように、(N+1)番目の期間の間に書き込まれたタッチ基準データと(N+3)番目の期間の間に読み取られたデータとを比較することにより、タッチ位置の座標を正確に判断することができる。

【0031】

図14は本発明の別の実施形態に従う、図6の一体型タッチパネルLCDデバイスの回路構造 1 4 0 0 を示す。回路構造 1 4 0 0 は、液晶パネル 1 4 1 0、ゲート駆動回路 1 4 2 0、切換回路 1 4 3 0、タッチ読み取り回路 1 4 4 0、表示データ駆動回路 1 4 5 0、タッチデータ駆動回路 1 4 5 5、及び比較処理回路 1 4 6 0 を含む。液晶パネル 1 4 1 0 の各ピクセル構造 1 4 1 2 は、表示ユニット及びタッチユニットを含み、1つのゲートライン及び2つのデータラインによって駆動される。この実施形態では、ゲート駆動回路 1 4 2 0 は、ピクセル構造 1 4 1 2 の表示ユニットを駆動するためゲートラインG1(A)-Gm(A)

)に制御信号を入力し、かつピクセル構造1412のタッチユニットを駆動するためにゲートラインG1(B)-Gm(B)に制御信号を入力するように構成されている。表示データ駆動回路1450は、データラインD1(A),D2(A),...,Dmを介して表示データを各表示ユニットに送信するように構成されている。タッチデータ駆動回路1455は、データラインD1(B),D2(B),...,Dmを介してタッチデータを各タッチユニットに送信するように構成されている。また、タッチ読み取り回路1440は、各データラインD1(B),D2(B),...,Dmを介して各タッチユニット内に記憶されたデータを読み取るように構成されている。切換回路1430は、タッチデータ駆動回路1455及びタッチ読み取り回路1440をデータラインD1(B),D2(B),...,Dmに異なる時期に電氣的に接続するように切り換えるために、タッチデータ駆動回路1455及びタッチ読み取り回路1440にそれぞれ接続されている。比較処理回路1460は、タッチ位置の座標を得るために、タッチデータ駆動回路1455によって書き込まれたデータと、タッチ読み取り回路1440によって読み取られたデータとを比較するために、タッチデータ駆動回路1455及びタッチ読み取り回路1440にそれぞれ接続されている。

【0032】

図15は、図14の回路における各ゲートライン及び各データラインに関する信号を示すタイミングチャートである。図14及び図15に共に示すように、各期間の間に、ゲート駆動回路1420は、m個のパルスをゲートラインG1(A)-Gm(A)に順に入力し、各ピクセルについて、表示ユニットのトランジスタ及びタッチユニットのトランジスタが同時にオンされる。N番目の期間の間に、表示データ駆動回路1450は、各表示ユニット内に記憶されたデータを更新するために、表示データを各データラインD1(A),D2(A),...,Dmに送信する。その間に、タッチデータ駆動回路1455は、各タッチユニットにデータを書き込むために、切換回路1430を介して各データラインD1(B),D2(B),...,Dmにタッチ基準データを送信する。次に、(N+1)番目の期間の間に、表示データ駆動回路1450は、各表示ユニット内に記憶されたデータを再び更新して、タッチ読み取り回路1440は、各タッチユニット内に記憶されたデータを読み取るために各データラインD1(B),D2(B),...,Dmに接続される。次に、(N+2)番目の期間の間に、n番目の期間の間の各回路素子の動作、即ち、各表示ユニット内のデータ更新、及び各タッチユニット内のデータの書き込みが再び実行される。次に、(N+3)番目の期間の間に、(N+1)番目の期間の間の各回路素子の動作、即ち各表示ユニット内のデータ更新、及び各タッチユニット内に記憶されたデータの読み取りが再び実行される。以上説明したように、N番目の期間の間に書き込まれたタッチ基準データと(N+1)番目の期間の間に読み取られたデータとを比較することにより、タッチ位置の座標を正確に判断することができる。

【0033】

上述したような回路構造及びタイミングチャートは、例示のみを意図しており、本発明を限定することを意図していないことに留意されたい。例えば、図15に示す実施形態において、各タッチユニットに書き込まれるタッチ基準データは、各表示ユニットに書き込まれる表示データから独立していてもよい。しなしながら、別の実施形態において、各タッチユニットに書き込まれるタッチ基準データは、各表示ユニットに書き込まれる表示データと同一であってもよい。即ち、表示データ駆動回路1450が、タッチユニットにデータを書き込むためにタッチデータ駆動回路1455と置き換えられてもよい。更に別の実施形態において、実際の用途に応じて、タッチユニットの更新頻度は調節されてもよい。例えば、表示ユニットが更新処理を2回から5回行う毎に、タッチユニットは消費電力の低減のために一度だけ書き込み／読み取り処理を行ってもよい。加えて、薄膜トランジスタマトリクス基板は、他のタイプのトランジスタ又はスイッチ要素を有する基板と置き換えられてもよい。例えば、CMOSのトランジスタマトリクス基板が、反射型液晶ディスプレイ用に薄膜トランジスタマトリクス基板と置き換えられてもよい。

【0034】

図16は本発明の一実施形態に従う、一体型タッチパネルLCDデバイスを制御するための方法を示す。まず、ステップS1600において、液晶パネルの表示画像を更新する

ために、表示データが一体型ピクセル構造の表示ユニットに書き込まれる。次に、ステップ S 1 6 1 0 において、タッチ基準データが一体型ピクセル構造のタッチユニットに書き込まれる。タッチ基準データはステップ S 1 6 0 0 の表示データと同一又は独立であってもよく、ステップ S 1 6 0 0 及びステップ S 1 6 1 0 は個別又は同期して実施されてもよく、ステップ S 1 6 0 0 及びステップ S 1 6 1 0 の各々の実行頻度は用途のタイプに基づいてそれぞれ調節されてもよいことに留意されたい。次に、ステップ S 1 6 2 0 において、タッチパネル L C D デバイスに加えられた外力は、タッチ位置に対応してタッチユニットを放電させ、それに伴ってタッチユニットに記憶された電圧値が低下する。次に、ステップ S 1 6 3 0 において、各ピクセル構造のタッチユニット内に記憶された基準電圧が読み取られ、いくつかの実施形態では、ステップ S 1 6 3 0 の動作頻度はステップ S 1 6 1 0 の実行頻度に応じて変更されてもよい。次に、処理はステップ S 1 6 0 0 に戻り、表示ユニットは更新され、タッチユニットは再び書き込み及び読み取られる。ここで、処理はステップ S 1 6 4 0 に進み、ステップ S 1 6 1 0 及び S 1 6 3 0 において書き込まれたデータ又は読み取られたデータについての論理演算がそれぞれ実行される。ステップ S 1 6 4 0 において、マルチタッチ機能が実現されるように、演算は各タッチユニットに関して個別に実施される。更に、タッチパネル L C D デバイスに加えられる力の大きさを判断するとともに、不要なノイズをフィルタリングするために、閾値が予め設定される。次に、ステップ S 1 6 5 0 において、タッチ位置に関する座標、タッチ領域及び圧力が、論理演算の結果に基づいて判断される。

【0035】

本発明の一体型タッチパネル L C D デバイスは、従来のプラグイン式のタッチパネル L C D デバイスと比較して、全厚みを 3 0 % ~ 5 0 % 低減することができる一層構造を採用することができる。一層構造は、ニュートンリング現象のような色の不均一欠陥（むら）を回避することができる。従って、本発明は、小型、薄型、軽量及び高い信頼性という効果を有する。更に、本発明は、複数の点の位置を同時に識別し、かつ内蔵されたタッチユニット内に記憶されたデータを読み取るとともに比較処理を実施することによりノイズを抑制する。これにより、タッチ位置の正確さを確保することができる。

【0036】

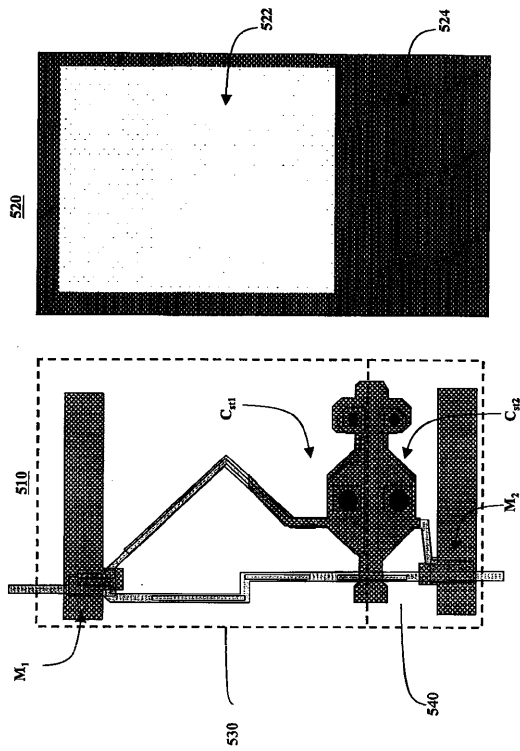
本発明は例示的な実施形態を参照して説明しているが、これらの説明は限定的な意味で解釈されるべきではない。発明の他の実施形態に加えて、例示的な実施形態の種々の改変が、これらの説明を参照することによって明らかとなるであろう。従って、添付の特許請求の範囲は、本発明及びその法的な均等物の真の範囲内に存在するそのよう任意の改変又は実施形態を含むことを意図している。

【符号の説明】

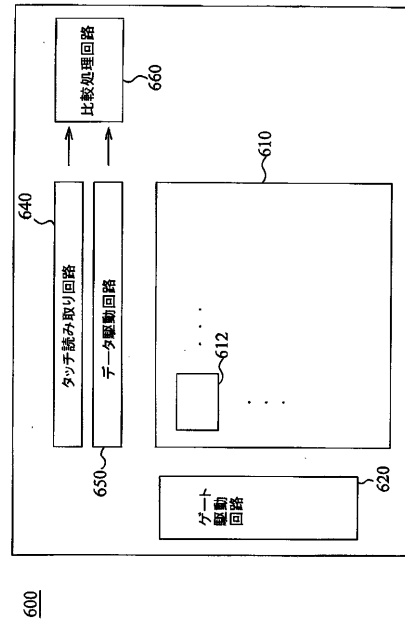
【0037】

2 0 0, 3 0 0, 7 1 0, 1 2 1 2, 1 4 1 2 … 一体型ピクセル構造、2 1 2, 2 2 2, 3 1 3, G1(B)-Gm(B) … ゲートライン、2 3 0, D1(A)-Dm(A) … データライン、3 1 0, 5 1 0, 1 0 1 0 … T F T マトリクス基板、3 2 0, 5 2 0, 1 0 2 0 … カラーフィルタ基板、3 3 0, 1 0 3 0 … 液晶層、3 4 2, 4 2 2, 1 0 4 2, s, s 1, s 2 … スペーサ、4 0 0, 4 1 0, 4 2 0, 1 0 4 0, d 1 ~ d 4 … 導電突部、6 1 0, 7 1 0, 1 2 1 0, 1 4 1 0 … 液晶パネル、6 2 0, 7 2 0, 1 2 2 0, 1 2 2 2, 1 4 2 0 … ゲート駆動回路、6 4 0, 7 4 0, 1 2 4 0, 1 4 4 0 … タッチ読み取り回路、6 5 0, 7 5 0, 1 2 5 0 … データ駆動回路、6 6 0, 7 6 0, 1 2 6 0, 1 4 6 0 … 比較処理回路、7 3 0, 1 2 3 0 … 表示／読み取り切換回路、1 4 3 0 … 切換回路、1 4 5 0 … 表示データ駆動回路、1 4 5 5 … タッチデータ駆動回路、C_{st1}, C_{st2} … 蓄積コンデンサ、M₁, M₂ … 薄膜トランジスタ。

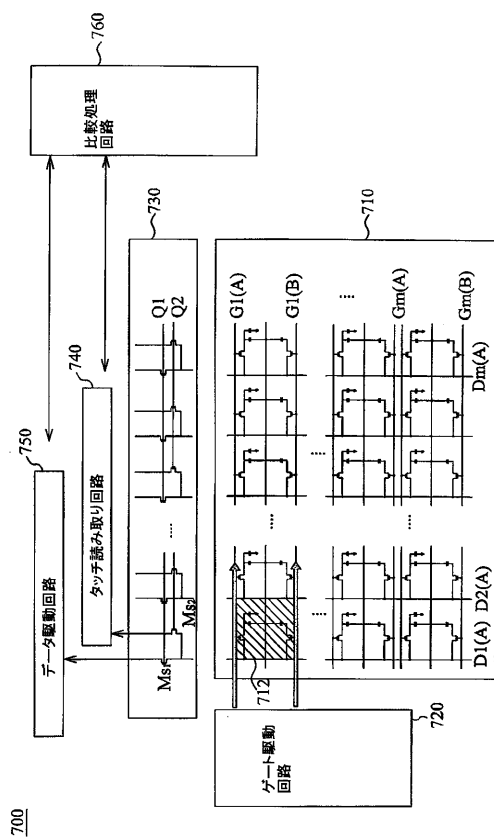
【図 5】



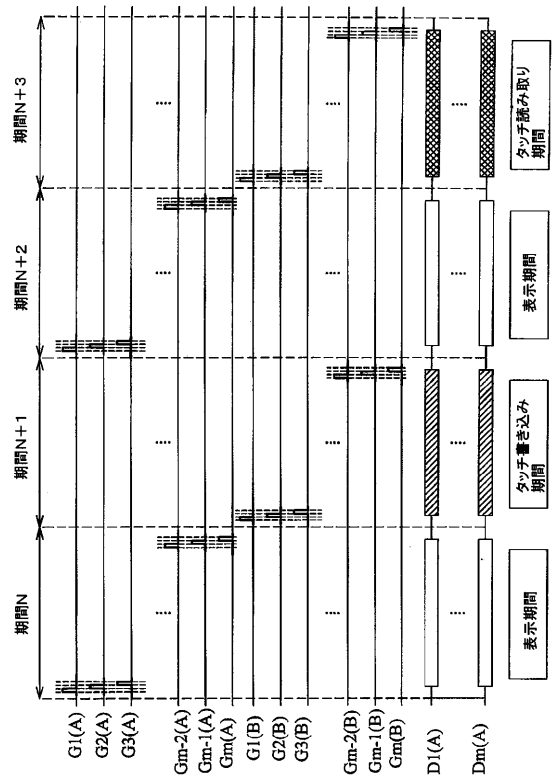
【图 6】



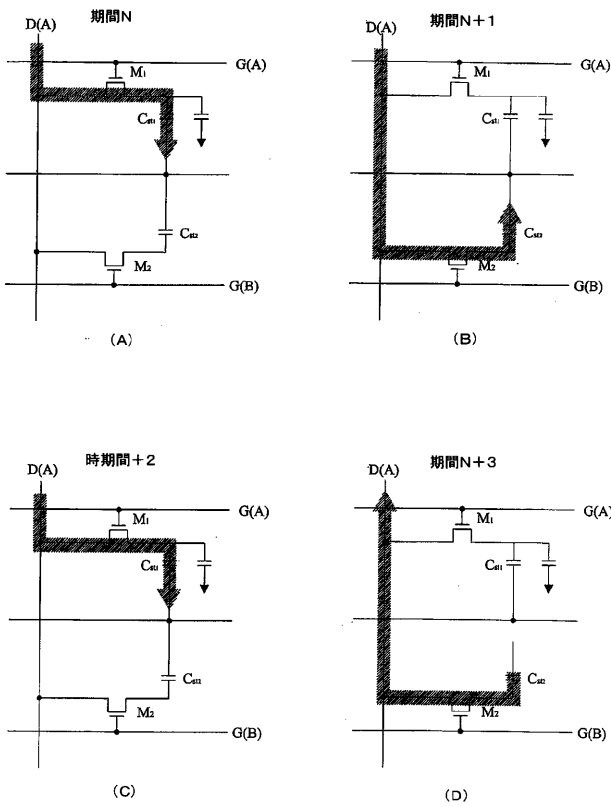
【图 7】



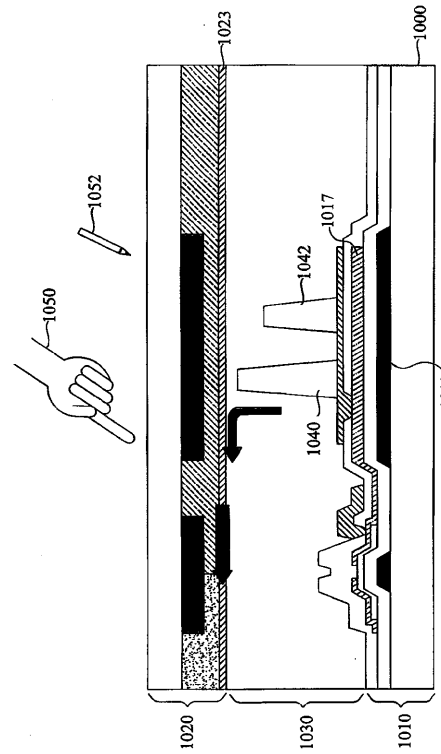
【 図 8 】



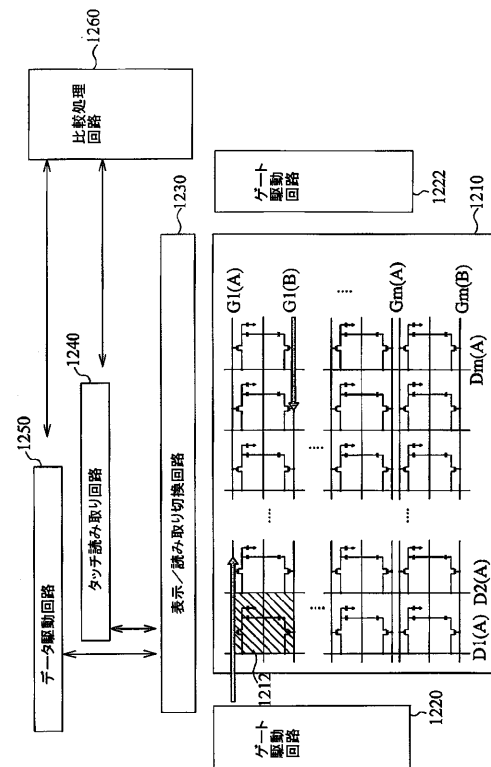
【図 9】



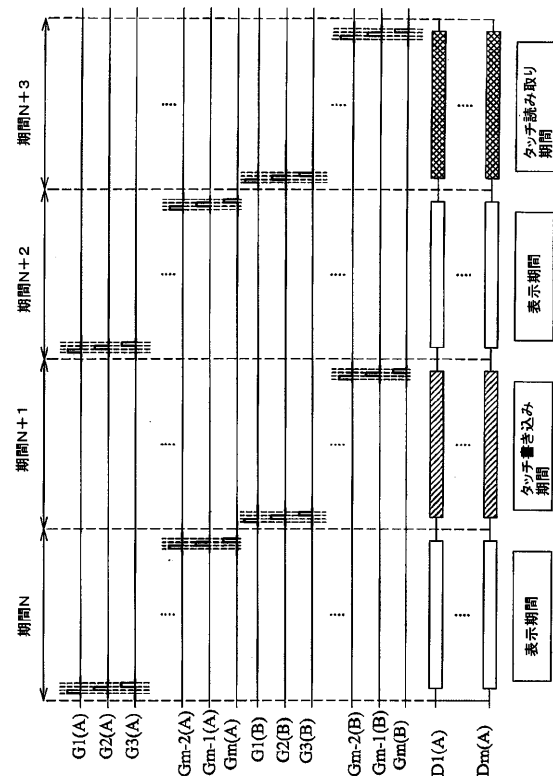
【図 10】



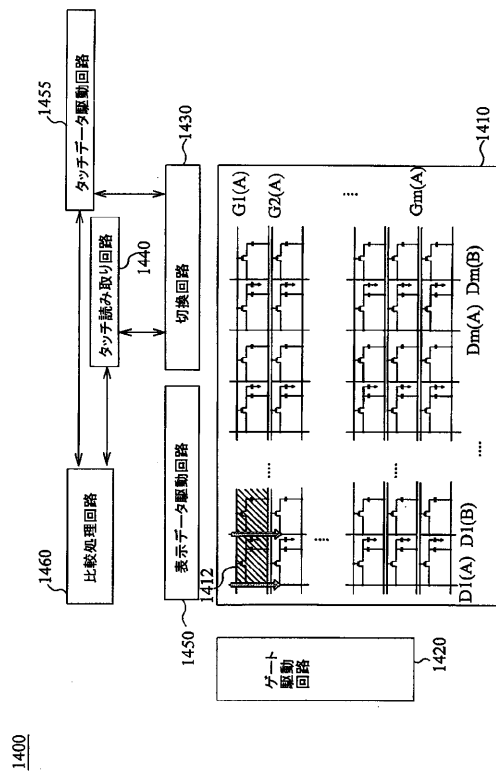
【図 12】



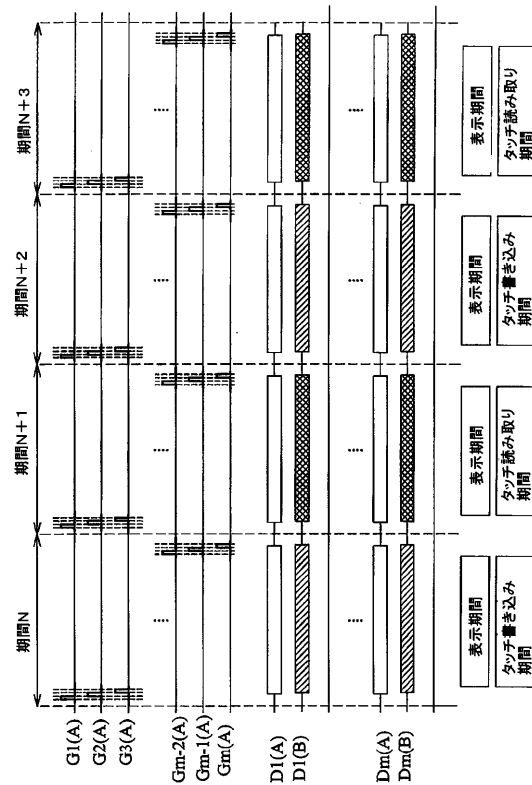
【図 13】



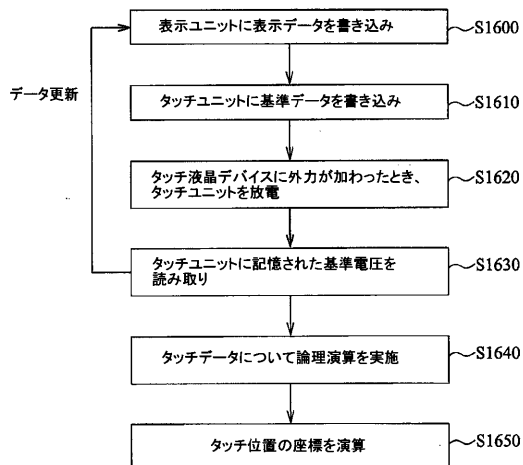
【図 14】



【図 15】

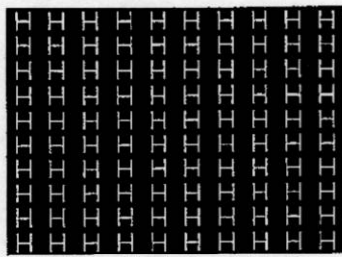


【図 16】



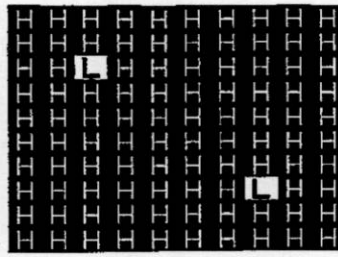
【図 1 1】

動作ロジック1



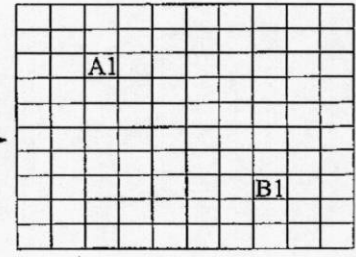
1102

and



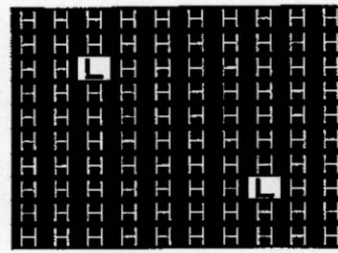
1104

(A)



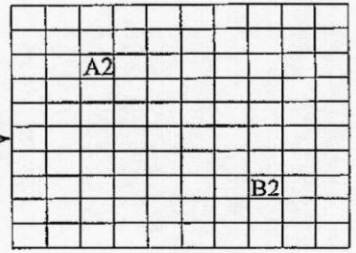
1106

動作ロジック2



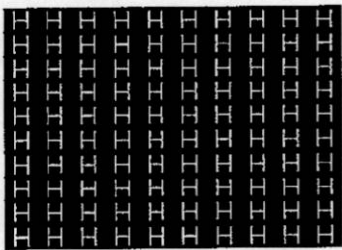
1112

(B)

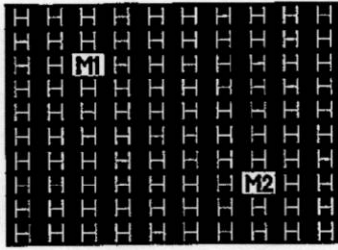


1116

動作ロジック3

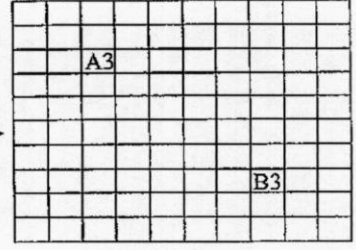


1122



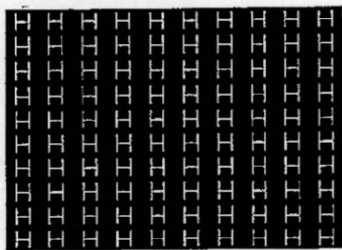
1124

(C)

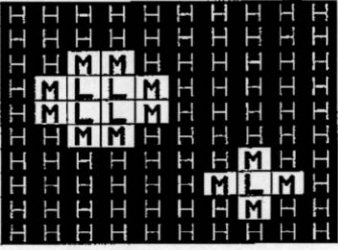


1126

動作ロジック4

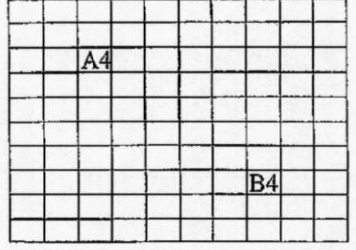


1132



1134

(D)



1136

フロントページの続き

(51)Int.Cl.		F I		テーマコード (参考)
G 0 9 F	9/00	(2006.01)	G 0 9 G 3/20 6 2 4 B	5 C 0 8 0
G 0 2 F	1/133	(2006.01)	G 0 9 G 3/20 6 2 3 R	5 G 4 3 5
			G 0 2 F 1/1333	
			G 0 6 F 3/041 3 2 0 D	
			G 0 9 F 9/00 3 6 6 A	
			G 0 2 F 1/133 5 3 0	

(72)発明者 チェン チーチャン
台湾, タイペイ シエン 2 2 1, シチ, シン タイ ウ ロード, セクション 1, ナンバー
8 8, 8 フロア

F ターム(参考) 2H189 AA14 HA11 LA03 LA04 LA14 LA25
2H193 ZA04 ZH30 ZJ02 ZP20
5B068 AA03 AA04 AA22 AA33 BB11 BC08 BC13
5B087 AA02 AA06 AC02 CC02 CC13 CC15 CC16 CC26 CC32
5C006 AA22 AC09 BB15 BF14 BF24 BF38
5C080 AA10 BB05 CC03 DD21 JJ02 JJ03 JJ06
5G435 AA01 AA14 AA18 BB12 CC09 FF13 GG12