



[12] 发明专利申请公开说明书

[21] 申请号 200410078554. X

[43] 公开日 2005 年 3 月 16 日

[11] 公开号 CN 1595527A

[22] 申请日 2004. 9. 9

[21] 申请号 200410078554. X

[30] 优先权

[32] 2003. 9. 9 [33] US [31] 10/659226

[71] 申请人 硅存储技术公司

地址 美国加利福尼亚州

[72] 发明人 H·V·特兰 H·Q·阮

V·萨林 L·B·霍尔恩

I·诺吉马

[74] 专利代理机构 中国专利代理(香港)有限公司

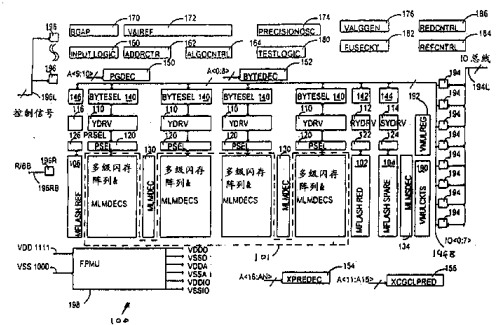
代理人 吴立明 梁永

权利要求书 11 页 说明书 21 页 附图 9 页

[54] 发明名称 统一的多级单元存储器

[57] 摘要

一种统一的存储器可包括多种类型的内容，例如数据或快码或慢码。该数据或代码可以存储于单独的阵列中或公用阵列中。在阵列中，标签位可表示内容的类型，例如数据或快码或慢码或单级或多级内容。标签位可表示通信接口或 IO 驱动器类型。感测放大器可基于所读取数据的类型进行配置。使用闪存安全性措施来保护受保护的存储区。使用闪存安全性密钥来鉴别和批准特定的存储区。在统一的存储器中包括 XCAM (例如，CAM) 阵列。包括统一的存储器并行性。



1. 一种数据存储系统，包括：
第一存储器阵列，包括第一多个存储单元；
第一译码器电路，用于选择所述第一多个存储单元中的存储单
5 元；
第一感测电路，使用第一感测模式以检测所述选择的所述第一多
个存储单元中所述选中的存储单元的内容；
第二存储器阵列，包括第二多个存储单元；
第二译码器电路，用于选择所述第二多个存储单元中的存储单
10 元；以及
第二感测电路，使用第二感测模式以检测所述第二多个存储单元
中所述选择的存储单元的内容。
2. 如权利要求 1 的数据存储系统，其中第一和第二多个存储单
元排列成段。
- 15 3. 如权利要求 2 的数据存储系统，其中所述的第一多个存储单
元的段是第一尺寸，而所述第二多个存储单元的段是第二尺寸。
4. 如权利要求 1 的数据存储系统，其中第一多个存储单元在其
中存储所述内容作为多级内容，而所述第二多个存储单元在其中存储
所述内容作为单级内容。
- 20 5. 如权利要求 1 的数据存储系统，其中第一多个存储单元在其
中存储所述内容作为多级内容，而所述第二多个存储单元在其中存储
所述内容作为多级内容。
6. 如权利要求 1 的数据存储系统，其中所述第一存储器阵列存
储数据，而所述第二存储器阵列存储代码。
- 25 7. 如权利要求 6 的数据存储系统，其中所述第一感测模式是电
压感测模式，而所述第二感测模式是电流感测模式。
8. 如权利要求 6 的数据存储系统，其中所述的第一感测模式是
电流感测模式，而所述的第二感测模式是电压感测模式。
9. 如权利要求 1 的数据存储系统，还包括：
30 第三存储器阵列，包括第三多个存储单元的；
第三译码器电路，用于选择所述第三多个存储单元的一部分；以
及

第三感测电路,使用所述第一和第二感测模式其中之一以检测所述第三多个存储单元的所述选中部分的内容,

其中所述第二多个存储单元使用多级存储在其中存储所述内容,而所述第三多个存储单元使用单级存储在其中存储所述内容。

5 10. 如权利要求 9 的数据存储系统,其中第一多个存储单元存储数据,而所述第二和第三多个存储单元存储代码。

11. 如权利要求 9 的数据存储系统,其中第一多个存储单元在其中存储所述内容作为多级内容。

10 12. 如权利要求 9 的数据存储系统,其中第一多个存储单元在其中存储所述内容作为单级内容。

13. 如权利要求 9 的数据存储系统,还包括标签位阵列,包括多个标签位单元。

14. 如权利要求 13 的数据存储系统,其中每个标签位单元存储所述第一、第二和第三多个存储单元的关联组的内容指示。

15 15. 如权利要求 13 的数据存储系统,还包括:

第四感测电路,用于检测与所述第一、第二和第三多个存储单元中所述选中的存储单元相对应的标签位,以控制所述第一和第二感测模式。

16. 一种存储系统,包括:

20 多个存储单元;和
多个标签位单元。

17. 如权利要求 16 的数据存储系统,其中存储单元为单级或多级。

25 18. 如权利要求 17 的数据存储系统,其中存储单元是非易失性的。

19. 如权利要求 17 的数据存储系统,其中存储单元是易失性的。

20. 如权利要求 16 的数据存储系统,其中标签位为单级或多级。

21. 如权利要求 20 的数据存储系统,其中标签位为非易失性的或易失性的。

30 22. 一种数据存储系统,包括:

第一存储器阵列,包括第一多个存储单元;

第一译码器电路,用于选择所述第一多个存储单元中的存储单

- 元;
- 第二存储器阵列, 包括第二多个存储单元;
- 第二译码器电路, 用于选择所述第二多个存储单元中的存储单元; 以及
- 5 感测电路, 利用第一感测模式选择性地检测所述第一多个存储单元中所述选中存储单元的内容, 并利用第二感测模式检测所述第二多个存储单元中所述选中存储单元的内容。
23. 如权利要求 22 的数据存储系统, 其中第一和第二多个存储单元排列成段。
- 10 24. 如权利要求 23 的数据存储系统, 其中所述的第一多个存储单元的段为第一尺寸, 而所述的第二多个存储单元的段为第二尺寸。
25. 如权利要求 22 的数据存储系统, 其中感测电路是可配置的。
26. 如权利要求 25 的数据存储系统, 其中感测电路是可配置的以在第一和第二感测模式之间切换。
- 15 27. 如权利要求 25 的数据存储系统, 其中感测电路是可配置的以在高速和低速感测模式之间切换。
28. 如权利要求 25 的数据存储系统, 其中感测电路是可配置的以在多级感测模式和单级感测模式之间切换。
29. 如权利要求 22 的数据存储系统, 其中第一多个存储单元存储多级内容、可配置的每个单元存储的位的数量, 感测电路可配置为在所述第一多个存储单元中存储内容的可调节的位数量。
- 20 30. 如权利要求 22 的数据存储系统, 其中感测电路包括:
- 感测模式配置电路, 耦合至第一和第二多个存储单元中选择的存储单元, 以便以所述第一或第二感测模式检测在所述选择的存储单元
- 25 中存储的内容;
- 第一类型的第一晶体管, 包括其之间具有沟道的第一和第二端, 以及栅极用于控制在所述沟道中的电流, 并耦合至感测模式配置电路, 所述第一端耦合至电源电压;
- 电流源, 包括第一端和第二端, 该第一端耦合至第一类型的第一
- 30 晶体管的第二端, 该第二端耦合至地, 电流源提供偏置电流; 以及
- 比较器, 用于比较在第一类型的第一晶体管的所述第二端上的电压和参考电压, 且包括表示所述比较的输出。

31. 如权利要求 30 的数据存储系统, 其中感测模式配置电路包括:

5 第二类型的第一晶体管, 包括其间具有沟道的第一和第二端, 以及栅极用于控制所述沟道中的电流, 该第二端耦合至第一或第二多个存储单元中选择的存储单元其中之一, 并耦合至第一类型的第一晶体管的栅极;

第一开关, 包括第一端和第二端, 该第一端耦合至电源电压, 该第二端耦合至第二类型的第一晶体管的第一端, 以在所述第一感测模式中选择性地将电源电压耦合至第二类型的所述第一晶体管;

10 第二开关, 包括第一端和第二端, 该第一端耦合至第二类型的第一晶体管的第一端, 该第二端耦合至第二类型的第一晶体管的栅极, 以在所述第一感测模式中选择性地将第二类型的第一晶体管的所述第一端耦合至所述栅极;

第三开关, 包括第一端和第二端, 该第一端耦合至所述选择的存储单元, 该第二端耦合至地端, 以在所述第一感测模式中选择性地将所述选择的存储单元接地;

第四开关, 包括第一端和第二端, 该第一端耦合至第二类型的第一晶体管的第一端, 该第二端耦合至所述的地端, 以在所述第二感测模式中选择性地将所述第一端耦合至所述地端;

20 第五开关, 包括第一端和第二端, 该第一端耦合至第二类型的所述第一晶体管的栅极, 该第二端耦合至偏置电压端, 以在所述的第二感测模式中选择性地将所述偏置电压端耦合至所述栅极; 以及

第六开关, 包括第一端和第二端, 该第一端耦合至电源电压, 该第二端耦合至选择的存储单元, 以在所述的第二感测模式中选择性地将所述的存储单元耦合至所述的电源电压。

32. 如权利要求 22 的数据存储系统, 还包括:

第三存储器阵列, 包括第三多个存储单元;

第三译码器电路, 用于选择所述第三多个存储单元中的存储单元,

30 其中感测电路还使用所述第二感测模式选择性地检测所述第三多个存储单元中所述选择的存储单元的内容,

其中所述第二多个存储单元使用多级存储在其中存储所述内

容，而第三多个存储单元使用单级存储在其中存储所述内容。

33. 如权利要求 32 的数据存储系统，其中感测电路是可配置的。

34. 如权利要求 33 的数据存储系统，其中感测电路是可配置的以在第一和第二感测模式之间切换。

5 35. 如权利要求 32 的数据存储系统，其中第一、第二、第三多个存储单元排列成段。

36. 如权利要求 35 的数据存储系统，其中所述的第一多个存储单元的段是第一尺寸，所述的第二多个存储单元的段是第二尺寸，而所述的第三多个存储单元的扇区是第三尺寸。

10 37. 一种数据存储系统，包括：

第一存储器阵列，包括第一多个存储单元；

第一译码器电路，用于选择所述第一多个存储单元的一部分；

标签位存储器，用于存储在所述第一多个存储单元的相应单元中存储的内容的标签位指示符；

15 标签位感测电路，用于检测与所述第一多个存储单元中选择的存储单元相对应的选择的标签位指示符；

第一感测电路，用于利用第一或第二感测模式选择性地检测所述第一多个存储单元的所述选择部分的内容，第一和第二感测模式由对应第二存储单元的选择的标签位确定；

20 内容可寻址存储器，包括第二多个存储单元；

第二译码器电路，用于选择所述内容可寻址存储器的所述第二多个存储单元的一部分；以及

第二感测电路，用于检测所述第二多个存储单元的所述选择部分的内容。

25 38. 如权利要求 37 的数据存储系统，其中第一多个存储单元排列成段。

39. 如权利要求 38 的数据存储系统，其中所述第一多个存储单元的第一部分的段是第一尺寸，而所述第一多个存储单元的第二部分的段是第二尺寸。

30 40. 如权利要求 37 的数据存储系统，其中第一感测电路是可配置的。

41. 如权利要求 37 的数据存储系统，还包括：

包括第三多个存储单元的扩展阵列，该第三多个存储单元存储与
所述第一多个存储单元的相应部分有关的信息；

扩展译码器电路，用于选择所述第三多个存储单元中的存储单
元；以及

5 扩展感测电路用于检测所述第三多个存储单元中所述选择的存
储单元的内容。

42. 如权利要求 41 的数据存储系统，还包括：

第二扩展阵列，包括第四多个存储单元用于存储与涉及内容可寻
址存储器的第二多个存储单元的相应部分有关的信息；以及

10 第二扩展译码器，用于选择第四多个存储单元的一部分，
其中该扩展感测电路检测所述第四多个存储单元的选择部分的
内容。

43. 如权利要求 40 的数据存储系统，其中可配置感测电路包括：

15 感测模式配置电路，耦合至第一或第二多个存储单元中选择的存
储单元，以在所述第一或第二感测模式中检测在所述选择的存储单元
中存储的内容；

第一类型的第一晶体管，包括其之间具有沟道的第一和第二端，
以及栅极用于控制在所述沟道中的电流，并耦合至感测模式配置电
路，所述第一端耦合至电源电压；

20 电流源，包括第一端和第二端，该第一端耦合至第一类型的第一
晶体管的第二端，该第二端耦合至地，该电流源提供偏置电流；以及
比较器，用于比较在第一类型的第一晶体管的所述第二端上的电
压和参考电压，且包括表示所述比较的输出。

25 44. 如权利要求 43 的数据存储系统，其中感测模式配置电路包
括：

第二类型的第一晶体管，包括其之间具有沟道第一和第二端，以
及栅极用于控制所述沟道中的电流，第二端耦合至第一或第二多个存
储单元中选择的存储单元其中之一，并耦合至第一类型的第一晶体管
的栅极；

30 第一开关，包括第一端和第二端，该第一端耦合至电源电压，该
第二端耦合至第二类型的第一晶体管的第一端，以在所述第一感测模
式中选择性地将电源电压耦合至第二类型的所述第一晶体管；

第二开关, 包括第一端和第二端, 该第一端耦合至第二类型的第一晶体管的第一端, 该第二端耦合至第二类型的第一晶体管的栅极, 以在所述第一感测模式中选择性地将第二类型的第一晶体管的所述第一端耦合至所述栅极;

- 5 第三开关, 包括第一端和第二端, 该第一端耦合至所述选择的存储单元, 该第二端耦合至地端, 以在所述第一感测模式中选择性地将所述选择的存储单元接地;

- 10 第四开关, 包括第一端和第二端, 该第一端耦合至第二类型的第一晶体管的第一端, 该第二端耦合至所述的地端, 以在第二感测模式中选择性地将所述第一端耦合至所述的地端;

第五开关, 包括第一端和第二端, 该第一端耦合至第二类型的所述第一晶体管的栅极, 该第二端耦合至偏置电压端, 以在所述的第二感测模式中选择性地将所述偏置电压端耦合至所述的栅极; 以及

- 15 第六开关, 包括第一端和第二端, 该第一端耦合至电源电压, 该第二端耦合至选择的存储单元, 以在所述的第二感测模式中选择性地将所述的存储单元耦合至所述的电源电压。

45. 一种可配置感测放大器, 包括:

- 20 比较器, 具有第一输入耦合至栅极参考电压端, 具有第二输入耦合至检测的电压端, 并具有输出, 用于产生表示在施加到第一和第二端的电压之间的比较的输出信号; 以及

可配置检测电路, 耦合至检测电压端以提供表示在选择的存储单元中的内容的电压, 所述电压在电压感测模式或电流感测模式中实现。

- 25 46. 如权利要求 45 的可配置感测放大器, 其中该感测模式配置电路将可调节的偏置提供给依据感测模式的电压端。

47. 如权利要求 45 的可配置感测放大器, 还包括第二缓冲/增益级。

48. 如权利要求 47 的可配置感测放大器, 其中第二缓冲/增益级包括可调节的偏置。

- 30 49. 如权利要求 48 的可配置感测放大器, 其中比较器包括可调节的偏置。

50. 如权利要求 45 的可配置感测放大器, 还包括其为源极跟随

器的第二缓冲/增益级。

51. 如权利要求 45 的可配置感测放大器，还包括比较器级。

52. 一种数据存储系统，包括：

5 多个存储器阵列，每个存储器阵列包括多个存储单元用于在其中存储内容，译码器电路用于选择所述多个存储单元中的存储单元，和感测电路，以选择性地检测所述多个存储单元中所述选择的存储单元的内容；以及

10 存储控制器，以对所述存储器阵列中的第一个进行第一存储器操作，以及同时对所述存储器阵列中的第二个进行第二存储器操作，存储单元中的所述第一和第二存储单元分别存储第一和第二类型的内容。

53. 如权利要求 52 的数据存储系统，其中所述的第一和第二存储器操作是选自编程、擦除和读取其中之一。

15 54. 如权利要求 53 的数据存储系统，其中所述的第一和第二类型的内容是选自代码和数据的组中。

55. 如权利要求 52 的数据存储系统，其中所述的第一和第二类型的内容是选自代码和数据的组中。

20 56. 如权利要求 52 的数据存储系统，还包括扩展阵列，其中所述的存储控制器对所述存储器阵列中的第一个进行所述的第一存储器功能，和对所述的扩展存储器阵列进行第三功能。

57. 如权利要求 52 的数据存储系统，还包括内容可寻址存储器，且其中所述的存储控制器进行所述第一存储器操作，并同时所述内容可寻址存储器进行第三存储器操作。

25 58. 如权利要求 52 的数据存储系统，其中第一存储器操作为编程，所述存储器阵列中第一个存储数据，第二存储器操作为擦除，且存储器阵列中第二个存储代码。

59. 如权利要求 52 的数据存储系统，其中第一存储器操作为编程，所述存储器阵列中第一个存储数据，第二存储器操作为编程，且存储器阵列中第二个存储代码。

30 60. 一种数据存储系统，包括：

多个存储器阵列，每个存储器阵列包括多个存储单元用于在其中存储内容，译码器电路用于选择所述多个所述存储单元中的存储单

元,和感测电路以选择所述多个存储单元中所述选择的存储单元的内容; 以及

接口控制器,根据选择的存储器阵列或根据外部接口进行接口逻辑。

5 61. 如权利要求 60 的数据存储系统,还包括 IO 驱动器控制器。

62. 如权利要求 60 的数据存储系统,还包括通用存储控制器。

63. 如权利要求 62 的数据存储系统,其中通用存储控制器处理生产和/或屏蔽测试。

64. 一种数据存储系统,包括:

10 多个存储器阵列,每个存储器阵列包括多个存储单元用于在其中存储内容,译码器电路用于选择所述多个存储单元中的存储单元,和感测电路,以选择性检测所述多个存储单元中所述选择的存储单元的内容; 以及

IO 驱动器控制器,根据选择的存储器阵列或根据外部接口进行适当的 IO 驱动器接口。

65. 如权利要求 64 的数据存储系统,还包括接口控制器。

66. 如权利要求 64 的数据存储系统,还包括通用存储控制器。

67. 如权利要求 66 的数据存储系统,其中通用存储控制器处理生产和/或屏蔽测试。

20 68. 一种数据存储系统,包括:

内容可寻址存储器,包括多个多级存储单元;

译码器电路,用于选择所述内容可寻址存储器的所述第二多个存储单元中的存储单元; 以及

25 感测电路,用于检测所述第二多个存储单元中所述选择的存储单元的内容。

69. 如权利要求 68 的数据存储系统,还包括:

标签位存储器,用于存储在第一个存储单元中的相应存储单元中存储的内容的标签位指示符。

70. 如权利要求 69 的数据存储系统,还包括:

30 标签位感测电路,以检测与所述第一个存储单元中选择的存储单元相对应的选择的标签位指示符。

71. 如权利要求 68 的数据存储系统,还包括:

第二存储器阵列，包括第二多个存储单元；
第二译码器电路，用于选择所述第二多个存储单元中的存储单元。

72. 如权利要求 71 的数据存储系统，还包括：

5 第二感测电路，用于利用第一或第二感测模式选择性地检测所述第二多个存储单元中所述选择的存储单元的内容，第一和第二感测模式由与选择的存储单元相对应的选择的标签位确定。

73. 数据存储系统，包括：

10 扩展阵列，包括第一多个存储单元，该第一多个存储单元可配置为多个存储器级；

扩展译码器电路，用于选择所述第一多个存储单元中的存储单元；和

扩展感测电路，以检测所述第一多个存储单元中所述选择的存储单元的内容。

15 74. 如权利要求 73 的数据存储系统，其中感测电路根据存储单元的可置配性来配置感测模式。

75. 如权利要求 73 的数据存储系统，还包括：

标签位存储器，用于存储在第一多个存储单元中的相应存储单元中存储的内容的标签位指示符。

20 76. 如权利要求 75 的数据存储系统，还包括：

标签位感测电路，以检测与所述第一多个存储单元中选择的存储单元相对应的选择的标签位指示符。

77. 数据存储系统，包括：

25 包括第一多个存储单元的阵列，该第一多个存储单元可配置为多个存储器级且排列为多个阵列扇区，对于每个阵列扇区所存储的安全性密钥；

译码器电路，用于选择所述第一多个存储单元中的存储单元；以及

30 感测电路，以检测所述第一多个存储单元中所述选择的存储单元的内容。

78. 如权利要求 77 的数据存储系统，还包括感测电路以感测安全性密钥。

79. 数据存储系统，包括：

包括第一多个存储单元的阵列，第一多个存储单元可配置为多个存储器级并排列为多个阵列扇区，对于每个阵列扇区所存储的安全性措施；

5 译码器电路，用于选择所述第一多个存储单元中的存储单元；以及

感测电路，以检测所述第一多个存储单元中所述选择的存储单元的内容。

80. 如权利要求 79 的数据存储系统，其中该安全性措施包括禁止安全性存储区。

81. 如权利要求 79 的数据存储系统，其中该安全措施包括改变安全性存储区。

82. 一种数据存储系统，包括：

15 包括多个存储器阵列的存储器，每个存储器阵列包括多个存储单元用于在其中存储内容，

所述存储器阵列中的第一个执行第一存储器操作，且同时所述存储器阵列中的第二个执行第二存储器操作，

所述第一和第二存储器阵列分别存储第一和第二类型的内容。

83. 如权利要求 82 的数据存储系统，其中该存储器是单片的。

20 84. 如权利要求 82 的数据存储系统，其中第一存储器操作为编程，所述存储器阵列中的第一个存储数据，第二存储器操作为擦除而存储器阵列中的第二个存储代码。

25 85. 如权利要求 82 的数据存储系统，其中第一存储器操作为编程，所述存储器阵列中的第一个存储数据，第二存储器操作为编程而存储器阵列中的第二个存储代码。

统一的多级单元存储器

技术领域

- 5 本发明涉及存储器，且更具体地，涉及一种存储不同类型内容的存储器。

背景技术

- 10 代码，例如操作系统、基本输入/输出系统（BIOS）或应用软件，通常存储于能够快速随机存取的存储器中且通常少量读取，例如一次几个字节。相反，数据，例如图像、视频或声音通常存储于具有慢速随机存取的存储器中且大量读取，例如多页。例如，NOR 快闪存储器通常用作存储代码，而 NAND 快闪存储器通常用作存储数据。

15 发明内容

- 本发明提供一种用于存储例如数据和代码的多种类型内容的统一的存储器（unified memory）。在一个方面，存储系统可包括基于所读取内容类型，例如数据或代码而用于选择性配置的可配置感测放大器。在另一个方面，一些单级存储单元和其它存储单元可以是多级存储单元。

- 20 在一个方面，存储系统可包括多个存储器阵列。不同类型的内容可存储于不同的存储器阵列中。单独的感测放大器可检测在相应存储器阵列中的内容。在另一方面，可配置感测放大器可以从相应的存储器阵列中检测不同类型的内容。在又一方面，标签位可存储于存储器阵列中以识别在存储器阵列中存储的内容的类型。该可配置感测放大器可基于标签位配置以检测相应的内容。

附图说明

- 30 图 1 是说明数字多级存储器数据存储系统的方块图。
图 2 是说明图 1 的数字多级存储系统中一个实施例的存储子系统的方块图。
图 3 是说明包括对单独阵列的单独感测的存储器阵列的方块

图。

图 4 是说明包括可配置感测的存储器阵列的方块图。

图 5 是说明包括单级和多级存储单元和可配置感测的存储器阵列的方块图。

5 图 6 是说明单级和多级存储单元和单独感测的存储器阵列的方块图。

图 7 是说明包括标签位的存储器阵列的方块图。

图 8 是说明包括内容可寻址存储器的存储器阵列的方块图。

图 9 是说明包括扩展阵列的存储器阵列的方块图。

10 图 10 是说明存储器阵列的方块图，该存储器阵列包括用于内容可寻址存储器的扩展阵列。

图 11 是说明可配置感测放大器的示意图。

图 12 是说明内容可寻址存储器的方块图。

图 13 是说明二进制单元内容可寻址存储器的示意图。

15 图 14 是说明三进制单元内容可寻址存储器的示意图。

具体实施方式

描述了一种存储系统，其中存储器阵列包括存储不同类型内容，例如数据或代码的子阵列，或者以不同格式存储，例如单级、多级或可配置级。感测放大器可配置为基于存储单元中存储的内容而感测。代码可存储于存储器中，并利用电流或电压模式感测以高速或高功率感测。代码可以以每单元可配置的位数存储。同样，数据可存储于存储单元中，并利用不同的感测模式和每单元可配置的位数以低速和低功率感测。通过内容类型分配的部分存储单元的大小是可配置的。可存储标签位以表示内容的类型和格式，例如 NxMLC (1x 或 2x 或 3x 或 25 4x，用 Nx 表示 2^N 级存储单元)、快码对慢码、数据或代码、通信接口 (例如 USB 或 ATA)、IO 接口 (例如 CMOS 或 LVDS) 等。例如通过标签位或备用位，可以对于各个扇区存储闪存扇区密钥，并用作启动该存储扇区存储的密钥。通过控制电路，例如实时地通过 CAM (内容可寻址存储器) 阵列来鉴别和批准该扇区密钥。对于各个扇区 (例如，30 扇区包括 8 行存储单元和 8K 单元)，例如通过标签位或备用位，可以存储闪存安全性措施。通过密钥鉴别和批准，安全性措施确保存储器

扇区的安全性。在某一试图侵入之后，该扇区可以例如通过擦除和/或重编程，进行自损坏序列。对于在相同或不同类型内容上的相同或不同操作，可以同时存取不同部分的存储器。

图 1 是说明数字多级位存储器阵列系统 100 的方块图。为了清楚起见，在图 1 中没有示出存储器阵列系统 100 的一些信号线。

在一个实施例中，存储器阵列包括源极侧注入闪存技术，其在热电子编程中使用较低功率，以及基于有效注入器的 Fowler-Nordheim 隧穿擦除。通过在存储单元的源极上施加高电压、在存储单元的控制栅极上施加偏置电压、和在存储单元的漏极上施加偏置电流来进行编程。编程有效地使电子位于存储单元的浮栅上。通过在存储单元的控制栅极上施加高电压和在存储单元的源极和/或漏极上施加低电压，进行擦除。该擦除有效地从存储单元的浮栅中去除了电子。通过将存储单元置于电压模式感测中而进行校验（感测或读取），该电压模式感测例如为在源极上的偏置电压、在栅极上的偏置电压、从漏极（位线）耦合至例如地的低偏置电压的偏置电流，并且在漏极上的电压为感测单元电压 V_{CELL} 。该偏置电流可以独立于存储单元中存储的数据。在另一实施例中，通过将存储单元置于电流模式感测中来进行校验（感测或读取），该电流模式感测例如为在源极上的低电压、在栅极上的偏置电压、从高电压源耦合至漏极（位线）的负载（电阻或晶体管），并且在负载上的电压为感测电压。在一个实施例中，阵列结构和操作方法可以是在由 Tran 等人的标题为“Array Architecture and Operating Methods for Digital Multilevel Nonvolatile Memory Intergrated Circuit System”的 U.S. 专利 No. 6,282,145 中公开的，其主题并入这里作为参考。

数字多级位存储器阵列系统 100 包括多个常规存储器阵列 101、多个冗余存储器阵列（MFLASHRED）102、备用阵列（MFLASHSPARE）104 和参考阵列（MFLASHREF）106。将 N 位数字多级单元定义为能够存储 2^N 级的存储单元。

在一个实施例中，存储器阵列系统 100 以 4 位多级单元存储一个千兆比特的数字数据，且将常规存储器阵列 101 等价地组织成为 8,192 列和 32,768 行。使用地址 $A \langle 12:26 \rangle$ 来选择行，而使用地址 $A \langle 0:11 \rangle$ 来选择一个字节的两列。将页定义为一组 512 字节，对应

选中行上的 1,024 列或单元。由 A <9:11> 地址选择页。这里将行定义为包括 8 页。通过地址 A <0:8> 来选择在选中的页内的字节。而且，对于 512 常规数据字节的每一页，有 16 个通过地址 A <0:3> 选择的备用字节，其能够通过其它控制信号启动以存取备用阵列，并且并非常规阵列是正常的情况。可以是其它构造，例如包括 1024 字节的页或包括 16 或 32 页的行。

参考阵列 (MFLASHREF) 106 用作参考电压电平的参考系统，以验证常规存储器阵列 101。在另一实施例中，常规存储器阵列 101 可包括用于存储参考电压电平的参考存储单元。

10 通过代替常规存储器阵列 101 的坏的部分，使用冗余阵列 (MFLASHRED) 102 来增加产量。

备用阵列 (MFLASHSPARE) 104 可以用于额外数据开销存储，例如用于纠错和/或存储器管理 (例如，被擦除或编程的存储器选择块的状态、由选择块使用的擦除和编程周期的数量，或在选择块中坏位的数量)。在另一实施例中，数字多级位存储器阵列系统 100 不包括备用阵列 104。

数字多级位存储器阵列系统 100 还包括多个 y 驱动器电路 110、多个冗余 y 驱动器电路 (RYDRV) 112、备用 y 驱动器电路 (SYDRV) 114 和参考 y 驱动 (REFYDRV) 电路 116。

20 在写、读和擦除操作期间，y 驱动器电路 (YDRV) 110 控制位线 (公知为列，在图 1 中未示出)。每个 y 驱动器 (YDRV) 110 一次控制一个位线。在每次写、读和擦除操作期间，可使用时分复用技术以便每个 y 驱动器 110 控制多个位线。在写入常规存储器阵列 101 或从常规存储器阵列 101 感测期间，使用 y 驱动器电路 (YDRV) 110 用于平行的多级页写和读，以加快数据速度。在一个实施例中，对于具有 4 位多级单元的 512 字节的页来说，有总数为 1024 的 y 驱动器 110 或总数为 512 的 y 驱动器 300。

30 参考 y 驱动器电路 (REFYDRV) 116 用于参考阵列 (MFLASHREF) 106。在一个实施例中，对于 4 位多级单元来说，有总数为 15 或 16 的参考 y 驱动器 116。参考 y 驱动器 116 的功能与 y 驱动器电路 110 的功能相似。

冗余 y 驱动器电路 (RYDRV) 112 用于冗余阵列 (MFLASHRED) 102。

冗余 y 驱动器电路 (RYDRV) 112 的功能可与 y 驱动器电路 110 的功能相似。

备用 y 驱动器电路 (SYDRV) 114 包括用于备用阵列 (MFLASHSPARE) 104 的多个单一备用 y 驱动器 (SYDRV) 114。备用 y 驱动器电路 (SYDRV) 114 的功能与 y 驱动器电路 (YDRV) 110 的功能相似。在一个实施例中, 对于具有 16 个备用字节的 4 位多级单元的 512 个字节页来说, 有总数为 32 的备用 y 驱动器 114。

数字多级位存储器阵列系统 100 还包括多个页选择 (PSEL) 电路 120、冗余页选择电路 122、备用页选择电路 124、参考页选择电路 126、多个块译码器 (BLKDEC) 130、多级存储器精确备用译码器 (MLMSDEC) 134、字节选择电路 (BYTESEL) 140、冗余字节选择电路 142、备用字节选择电路 144、参考字节选择电路 146、页地址译码器 (PGDEC) 150、字节地址译码器 (BYTEDEC) 152、地址预译码电路 (XPREDEC) 154、地址预译码电路 (XCGCLPRE1) 156、输入接口逻辑 (INPUTLOGIC) 160 和地址计数器 (ADDRCTR) 162。

页选择电路 (PSEL) 120 从多个位线中选自一个位线 (未示出) 用于每个单一 y 驱动器 (YDRV) 110。在一个实施例中, 连接至单个 y 驱动器 (YDRV) 110 的多个位线的数量等于页的数量。对于参考阵列 106、冗余存储器阵列 102 和备用存储器阵列 104 的相应选择电路分别为参考页选择电路 126、冗余页选择电路 122 和备用页选择电路 124。

字节选择电路 (BYTESEL) 140 一次能实现一个字节数据进或出一对 y 驱动器电路 (YDRV) 110。对于参考阵列 106、冗余存储器阵列 102 和备用存储器阵列 104 的相应选择电路分别为参考字节选择电路 146、冗余字节选择电路 142 和备用字节选择电路 144。

基于地址计数器 162 (以下描述的) 的信号, 块译码器 (BLKDEC) 130 选择阵列 101 和 102 中的行或行的块 (block), 并提供对于常规存储器阵列 101 和冗余存储器阵列 102 的用于一致的单级或多级存储器操作使用的温度、处理和电源之上的精确的多级偏置值。多级存储器精确备用译码器 (MLMSDEC) 134 选择备用阵列 104 中的备用行或备用行的块, 并提供对于备用阵列 104 用于一致多级存储器操作使用的温度、处理角和电源之上的精确的多级偏置值。行和列的交点选择

存储器阵列中的单元。行和两列的交点选择存储器阵列中的字节。

地址预译码电路 154 译码地址。在一个实施例中，地址为 A $\langle 16:26 \rangle$ 以选择具有包括 16 行的一个块的存储器阵列块。地址预译码电路 154 的输出耦合至块译码器 130 和备用译码器 134。地址预译码电路 156 译码地址。在一个实施例中，地址为地址 A $\langle 12:15 \rangle$ 以选择在选中的块内的十六行中的一行。地址预译码电路 156 的输出耦合至块译码器 130 和备用译码器 134。

页地址译码器 150 译码页地址，如 A $\langle 9:11 \rangle$ ，以选择页，如 P $\langle 0:7 \rangle$ ，并将其输出提供给页选择电路 120、122、124 和 126。字节地址译码器 152 译码字节地址，如 A $\langle 0:8 \rangle$ ，并将其输出提供给字节选择电路 140 以选择字节。字节预译码器 152 也译码备用字节地址，如 A $\langle 0:3 \rangle$ 和 AEXT (扩展地址)，并将其输出提供给备用字节选择电路 144 以选择备用字节。使用备用字节地址控制信号 AEXT 与 A $\langle 0:3 \rangle$ 一起译码代替常规阵列 101 的备用阵列 104 的地址。

对于行、页和字节地址，地址计数器 (ADDRCTR) 162 分别提供地址 A $\langle 11:AN \rangle$ 、A $\langle 9:10 \rangle$ 和 A $\langle 0:8 \rangle$ 。地址计数器 (ADDRCTR) 162 的输出耦合至电路 154、156、150 和 152。从输入接口逻辑 (INPUTLOGIC) 160 的输出耦合地址计数器 (ADDRCTR) 162 的输入。

输入接口逻辑 (INPUTLOGIC) 160 提供外部接口至外部系统，例如外部系统微控制器。对于存储器操作，常用外部接口是读、写、擦除、状态读、识别 (ID) 读、就绪或忙状态、复位和其它的通用任务。串行接口可以用于输入接口以降低对于由大量地址产生的高密度芯片的管脚计数。控制信号 (未示出) 耦合输入接口逻辑电路 (INPUTLOGIC) 160 至外部系统微控制器。输入接口逻辑电路 (INPUTLOGIC) 160 包括状态寄存器，该状态寄存器表示存储芯片操作的状态，例如编程或擦除通过或失败、就绪或忙、写保护或未保护、单元余量好或坏、恢复或无恢复等。

数字多级位存储器阵列系统 100 还包括算法控制器 (ALGOCNTRL) 164、带隙电压发生器 (BGAP) 170、电压和电流偏置发生器 (V&IREF) 172、精确振荡器 (OSC) 174、电压算法控制器 (VALGGEN) 176、测试逻辑电路 (TESTLOGIC) 180、熔丝电路 (FUSECKT) 182、参考控制电路 (REFCNTRL) 184、冗余控制器 (REDCNTRL) 186、

电压源和调节器 (VMULCKTS) 190、电压复用调节器 (VMULREG) 192、输入/输出 (IO) 缓冲器 194 和输入缓冲器 196。

5 算法控制器 (ALGOCNTRL) 164 用于与来自输入逻辑电路 (INPUTLOGIC) 160 的输入命令握手, 并执行对于多级非易失性操作使用的多级擦除、编程和感测算法。也使用算法控制器 (ALGOCNTRL) 164 来算法化地控制对于多级精确编程所使用的精确偏置和时序条件。

10 测试逻辑电路 (TESTLOGIC) 180 测试数字电路、模拟电路、存储电路、高电压电路和存储器阵列的各种电特征。测试逻辑电路 (TESTLOGIC) 180 的输入从输入接口逻辑电路 (INPUTLOGIC) 160 的输出耦合。测试逻辑电路 (TESTLOGIC) 180 也提供产品测试的时序加速, 例如更快速写/读以及集结模式。测试逻辑电路 (TESTLOGIC) 180 也提供与存储技术关联的屏蔽测试, 例如各种干扰和稳定性测试。测试逻辑电路 (TESTLOGIC) 180 也允许芯片外存储测试者直接
15 控制各种芯片上逻辑和电路偏置电路, 以提供各种外部电压和电流以及外部时序。该特征允许例如具有外部电压和外部时序的屏蔽, 或允许具有快的外部时序的加速的产品测试。

20 熔丝电路 (FUSECKT) 182 是配置在外部系统层次、在测试者或在不工作芯片上的一组非易失性存储单元, 以获得各种设置。这些设置可以包括精确的偏置值、精确性芯片上振荡器频率、可编程逻辑特征例如用于阵列部分的写入封锁特征、冗余熔丝、多级擦除、编程和读算法参数、或芯片性能参数例如写或读速度和精确度。

25 参考控制电路 (REFCNTRL) 184 用于提供对于多级编程和感测所使用的精确电压值的精确参考电平。冗余控制器 (REDCNTRL) 186 提供冗余控制逻辑。

30 电压算法控制器 (VALGGEN) 176 提供对于多级非易失性操作所用的各种特定形状的幅度和持续时间的电压信号, 对于精确多级编程、擦除和感测提供具有严格容限的精确电压值。带隙电压发生器 (BGAP) 170 提供对于多级编程和感测的过程、温度和电源之上的精确电压值。

电压和电流偏置发生器 (V&IREF) 172 是可编程的偏置发生器。偏置值是通过来自熔丝电路 (FUSECKT) 182 的控制信号设定、以及

还通过各种金属选择而可编程。振荡器 (OSC) 174 用于提供对于多级编程和感测的精确的时序。

输入缓冲器 196 为存储器阵列系统 100 提供用于输入/输出的缓冲。输入缓冲器 196 缓冲耦合至外部电路或系统的输入/输出线 197
5 和输入/输出总线 194B, 其通过 y 驱动器 110、112、114 和 116 分别耦合阵列 101、102、104 和 106。在一个实施例中, 输入缓冲器 196 包括 TTL 输入缓冲器或 CMOS 输入缓冲器。在一个实施例中, 输入缓冲器 196 包括具有回转速率控制的输出缓冲器, 或具有值反馈控制的输出缓冲器。输入/输出 (IO) 缓冲器块 194 包括常用的输入缓冲器
10 和常用的输出缓冲器。常用的输出缓冲器例如为具有转换速率 (slew rate) 控制的输出缓冲器, 或具有电平反馈控制的输出缓冲器。电路块 196R 为漏极开路的输出缓冲器, 并用于就绪忙的握手信号 (R/RB) 196RB。

电压源和调节器 (VMULCKT) 190 提供在用于擦除、编程、读和
15 成品测试使用的外部电源以上或以下的调节电压值。在一个实施例中, 电压源和调节器 190 包括电荷泵或电压倍增器。电压倍增调节器 (VMULREG) 192 为调节器 190 提供电源效率和晶体管稳定性的调节, 以便避免各种故障机制。

系统 100 在存储器 101、102、104 和 106 上可以执行各种操作。
20 根据使用的非易失性存储技术的操作需要, 通过去除在选择存储单元上的电荷, 进行擦除操作以擦除全部选择的多级单元。数据加载操作可用于加载多个字节的数据以编程到存储单元中, 例如在一页中 0 至 512 字节。如果数据 (数字位), 例如在一页内 512 字节存储于多级单元中, 则可进行读操作以并行地读取多个字节的数据。根据使用的
25 的非易失性存储技术的操作需要, 通过在选择的多级单元上设置适当的电荷, 可进行编程操作以并行地将多个字节的数据 (数字位) 存储到多级单元中。在存储器上的操作例如可以是在 U.S. 专利 No. 6, 282, 145 中描述的操作, 以上并入这里作为参考。

控制信号 (CONTROL SIGNALS) 196L、输入/输出总线 (IO BUS)
30 194L 和就绪忙信号 (R/BB) 196RB 用于与系统 100 通信。

快闪电源管理电路 (FRMU) 198 管理芯片上的电源, 例如只对使用中的电路块供电。通过使用用于数字电源 (VDDD) / (VSSD)、模

拟电源 (VDDA) (VSSA) 和 IO 缓冲电源 (VDDIO) / (VSSIO) 的不同的调节器, 快闪电源管理电路 198 还提供敏感电路块之间与较不敏感电路块的隔离。通过将电源 VDD 步进下降到由晶体管氧化物厚度需要的低电平, 快闪电源管理电路 198 还提供较好的处理可靠性。快闪电源管理电路 198 允许对于各个电路类型的调节最优化。例如, 由于不需要高精度调节, 所以对于数字电源可以使用开环调节; 由于通常需要模拟精确性, 所以对于模拟电源应当使用闭环调节。由于有效地管理电源, 所以快闪电源管理还能实现“绿色”存储系统的建立。

图 2 是说明存储子系统 200 的方块图。

存储子系统 200 包括存储子阵列 101 和存储控制器 202。在另一实施例中, 存储子系统可包括冗余阵列 102、备用阵列 104 和参考阵列 106。

存储子阵列 101 包括至少一个存储子系统 204。尽管示出了四个存储器阵列 204, 但是存储子阵列 101 可包括其它数量的存储器阵列。在一个实施例中, 对于总数为 m 乘 n 的存储子系统 204 来说, 存储器阵列 101 包括 m 行存储器阵列和 n 列存储器阵列。存储子系统 204 可以是图 3-10 的存储器阵列, 其在以下描述。每一个存储子系统 204 包括至少一个存储单元阵列、用于沿着字线选择行或部分行的存储单元的至少一个 x 译码器、用于沿着位线选择行或部分行的存储单元中的至少一个 y 译码器、用于检测该选择的存储单元内容的至少一个感测放大器。存储单元可包括冗余单元、参考单元或备用单元。

存储控制器 202 包括闪存文件系统 206、接口 208 和通用存储控制器 210。通用存储控制器 210 管理与例如编程、擦除、读、挂起操作、(编程、擦除或读)、同时(在同一时间对于不同的阵列部分执行多个操作, 例如读、编程和擦除)、数据扰乱、寻址等存储器操作有关的常规功能。通用存储控制器 210 可内部地处理产品或芯片上的屏蔽存储器测试。闪存文件系统 206 管理包括检测管理、损耗平衡、存储器映射、纠错代码 (ECC)、冗余和扇区标题和其它文件管理功能的存储子阵列 101 的存储功能。接口 208 控制系统 100 的逻辑接口和系统 100 的外部。依照接口类型, 例如通用串行总线 (USB)、先进技术附加 (ATA)、小计算机系统接口 (SCSI)、RAMBUS、串行或并行, 接口 208 控制接口的兼容性, 控制输入/输出 (IO) 宽度例如 8、

16 或 32 位 IO，并控制 IO 驱动器的类型，例如低电压差分信号 (LVDS)、高速收发器逻辑 (HSTL)、低电压晶体管-晶体管逻辑 (LVTTTL) 或互补金属氧化物硅 (CMOS)。接口 208 控制可存储数据或代码的存储子阵列 101 或存储子系统 204 之间的接口，并对于每个
5 存储器检测和处理标签位、安全性密钥或安全措施 (以下描述)，以实现合适的块或功能。

存储子阵列 204 可包括配置于单独的行或多个行或相同行中的状态单元，其表示子阵列/行的状态，例如其用于数据或代码存储，子阵列/行是否处于擦除或编程状态，子阵列/行是否是好的、不好的
10 或坏的条件、在子阵列/行中坏单元的数量、或单元存储电平损耗的程度、或者操作的状态例如对于每行或页的用于擦除/编程/读取的偏置的偏置值、支配子阵列/行的擦除周期数和/或编程周期数。存储子阵列 204 可包括配置于单独的行或扇区或组中的参考单元，其在当验证或读取模式中使能数据行时使能。

15 存储子系统 204 可包括排列于分段阵列中的存储单元。在一个实施例中，分段的存储单元以行和列排列。在一个实施例中，在分段的阵列之内的位线与另一分段的阵列隔离。在一个实施例中，当对选中的分段阵列进行操作时，对所有其它的分段取消选定。在 U.S. 专利 No. 6, 282, 145 中公开了分段阵列的一些例子，上述并入这里作为参
20 考。该分段可具有由存储单元的数量、或由存储单元阵列的维数例如行和列确定的大小。

图 3 是说明包括对于单独阵列的单独感测的存储器阵列 300 的方块图。

存储器阵列 300 包括多个存储器阵列 302 和 304、多个 x 译码器
25 312 和 314、多个 y 译码器 322 和 324、和多个感测放大器 332 和 334。感测放大器 332 和 334 分别检测在各个阵列 302 和 304 的存储单元中选中的之一中存储的电平。在一个实施例中，存储器阵列 302 和 304 分别存储数据和代码，感测放大器 332 和 334 分别为数据感测放大器和代码感测放大器。

30 通过数据感测放大器 332 和代码感测放大器 334 分别单独地读取单独的阵列 302 和 304，且可以不同的或相同的感测模式读取。在一个实施例中，数据感测放大器 332 在电压感测模式操作，而代码感测

放大器 334 在电流感测模式操作。在另一个实施例中，数据感测放大器 332 在电流感测模式操作，而代码感测放大器 334 在电流感测模式操作。在另一实施例中，数据感测放大器 332 在电压感测模式操作，而代码感测放大器 334 在电压感测模式操作。在另一实施例中，数据感测放大器 332 在电压感测模式操作，而代码感测放大器 334 在电压感测模式操作。

阵列 302 和 304 可具有其中按段排列的存储单元。根据存储于其中的内容，在阵列 302 和 304 中的分段的大小可以不同。例如，阵列 302 可存储数据，其倾向于慢速读取且由此阵列 302 的分段可以是小的。相反，阵列 304 可存储需要快速读取的代码，且由此阵列 304 可具有小的段。

图 4 是说明包括可配置感测的存储器阵列 400 的方块图。

存储器阵列 400 包括数据阵列 402、代码阵列 404、多个 x 译码器 412 和 414、多个 y 译码器 422 和 424 以及可配置感测放大器 432。

存储器阵列 400 存储由单独的 x 和 y 译码器控制的单独阵列中的数据 and 代码。单个可配置感测放大器 432 检测在可由内容类型决定的感测模式中选择的存储单元的内容。利用由存储控制器 202 选择的模式，可配置感测放大器 432 读取在数据阵列 402 和代码阵列 404 中存储的内容。在一个实施例中，可配置感测放大器 432 处在电压感测模式中以读取数据阵列 402，且处在电流感测模式中以读取代码阵列 404。可配置感测放大器 432 可以是例如示出于图 11 中的感测放大器 1100。

依据如上所述存储于其中的内容，数据阵列 402 和代码阵列 404 可具有其中以具有不同大小的段排列的存储单元。

图 5 是说明包括单级和多级存储单元和可配置感测的存储器阵列的方块图。

存储器阵列 500 包括多级单元数据阵列 502、多级单元代码阵列 504、单级单元代码阵列 506、多个 x 译码器 512、514、516、y 译码器 522 和可配置感测放大器 532。在由单独的 x 译码器控制的单独阵列中，存储器阵列 500 存储数据和代码。单个 y 译码器选择该选中的存储单元的列。代码可以以单级或多级的形式存储在各自的代码阵列 504 和 506 中。单个可配置感测放大器在感测模式中检测选择的存储

单元的内容，该感测模式由内容的类型确定。

因为需要更小的电压参考比较，所以单级单元代码阵列 506 可提供比多级单元代码阵列 504 更快的读取。例如通过使用单个或几个编程脉冲代替多个编程脉冲，单级单元代码阵列由于用于单级的较小精确度而提供更快的编程。在另一个实施例中，存储器阵列 500 可包括单级存储单元（未示出），或者部分数据阵列 502 可包括单级存储单元。

可配置感测放大器 532 读取单级和多级存储单元，以及代码或数据。存储控制器 202 选择可配置感测放大器 532 的感测模式。在一个实施例中，可配置感测放大器 532 处在电压感测模式中以读取多级单元数据阵列 502，且处在电流感测模式中以读取多级单元代码阵列 504 或单级单元代码阵列 506。可配置感测放大器 532 例如可以是示出于图 11 中的感测放大器 1100。如下所述，可配置感测放大器 532 可提供用于读取多级或单级存储单元的不同偏置电流，以提供单级存储单元的更快读取。而且，可配置感测放大器 532 可提供对于例如被读取的快码或慢码的数据类型而不同的偏置电流。例如，当读取快码对于慢码的更低偏置电流时，可以提供较高的偏置电流，结果存储单元的读取较快。阵列 502、504 和 506 可如上所述以段排列。

图 6 是说明包括单级和多级存储单元和单独感测的存储器阵列 600 的方块图。

存储器阵列 600 包括多级单元数据阵列 602、多级单元代码阵列 604、单级单元代码阵列 606、多个 x 译码器 612、614 和 616、多个 y 译码器 622、624、626、多级单元数据感测放大器 632、多级单元代码感测放大器 634 和单级单元代码感测放大器 636。存储器阵列 600 与存储器阵列 500 相似，但包括单独的 y 译码器 622、624 和 634 以及单独的感测放大器 632、634 和 636。存储器阵列 600 在由单独的各个 x 译码器 612、614、616 以及各个 y 译码器 622、624、626 控制的 d 单独阵列 602、604、606 中存储数据和代码。代码可以存储为单级或多级的内容。单独感测放大器 632、634、636 在由内容类型确定的感测模式中检测单独的数据和代码阵列中选择的存储单元的内容。在另一个实施例中，存储器阵列 600 可包括单级数据阵列（未示出），或者部分数据阵列 602 可包括单级存储单元。阵列 602、604、

606 可包括如上所述以段排列的存储单元。

图 7 是说明包括标签位的存储器阵列 700 的方块图。

存储器阵列 700 包括阵列 702、x 译码器 712、y 译码器 722、感测放大器 732、标签位 742 和标签位感测放大器 744。可将存储器阵列 702 分成用于存储不同特征内容的区域。该特征可以是例如数据和代码的内容类型、或例如单级和多级的内容格式。分成的区域可以是不同的大小，例如页或行。该扇区可以被确定以便仅将具有特定特征的内容存储于相应的预定区域中，或可以由存储控制器 202 动态地实现为部分存储分配，或为存储的内容。标签位阵列 742 存储表示在相应部分的存储器阵列 702 中存储的内容特征的标签位。以由标签位所表示内容的特征为基础来配置感测放大器 732。

标签位阵列 742 包括例如存储单元的多个单元，其每一个存储对于每个对应部分的阵列 702 的至少一位，例如行或页，以表示部分阵列 702 中存储的内容类型。在一个实施例中，标签位表示存储的内容是代码还是数据。标签位也表示存储的内容是快码还是慢码。在另一个实施例中，标签位表示存储的内容是单级还是多级。标签位阵列 742 可包括对于每个对应部分的阵列 702 的多个位。例如，两个标签位可表示对应部分阵列 702 的内容的类型、格式或状态，其中两个标签位中之一可表示存储的内容的类型，例如代码或数据，而另一个标签位可表示存储格式，例如单级或多级如 $N \times \text{MLC}$ ($1x$ 或 $2x$ 或 $3x$ 或 $4x$ ，用 Nx 表示 2^N 级存储单元)。标签位可表示通信接口的类型（例如 SUB 或 ATA）或 IO 接口的类型（例如 CMOS 或 LVDS）。在一个实施例中，标签位阵列 742 是与阵列 702 分开的存储器。标签位阵列 742 可以是易失的，例如锁存器、SRAM 或 DRAM，或非易失性的存储器，例如闪存、ROM 或 EEPROM。在一个实施例中，标签位感测放大器 744 可以是感测放大器 732 的部分。

当使用 x 译码器 712 和 y 译码器 722 选择一部分阵列 702 时，由标签位感测放大器 744 从标签位阵列 742 读取对应于选择的部分阵列 702 的标签位。响应由标签位表示的内容的类型，存储控制器 202（见图 2）配置用于读取从选择的部分阵列 702 读取的内容类型的感测放大器 732。

图 3-6 和 8-10 的阵列存储器可包括相应的标签位阵列和标签位

感测放大器。

对于存储系统 200，例如通过标签位或备用位，对于每个扇区可存储闪存扇区密钥，且用作安全性密钥以能够实现存储器扇区的存取。扇区包括例如 8 行存储单元和 8K 个单元。由控制电路鉴别和批准扇区密钥，例如由图 12 中的 CAM 阵列实时控制（以下描述 CAM 阵列和操作）。对于每个扇区，例如通过标签位或备用位可以存储闪存安全措施。安全措施通过密钥鉴别和批准，例如通过 CAM 阵列，来确保存储扇区的安全性。在一个具有高安全性措施的实施例中，在某种试图侵入之后，例如通过擦除和/或将存储数据重编程到不同扇区，该扇区进行自破坏序列。

图 8 是说明包括 XRAM 存储器的存储器阵列 800 的方块图。XRAM 可以是 SRAM、DRAM 或内容可寻址存储器（CAM）。

存储器阵列 800 包括阵列 802、内容可寻址存储器（CAM）或 SRAM 808、多个 x 译码器 812 和 818、多个 y 译码器 822 和 828、多个感测放大器 832 和 838、标签位阵列和标签位感测放大器 844。

阵列 802 可存储代码或数据或二者。阵列 802 可包括单级存储单元或多级存储单元或二者。标签位阵列 842 存储表示对应部分阵列 802 是代码还是数据、单级还是多级的标签位。标签位阵列 842 可以与标签位阵列 742（图 7）相似。

内容可寻址存储器 808 可以存储器件标识（ID）、安全 ID、加密密钥、数字证书、存储地址扰乱格式、分类（将用户类型分类并因此指派数据存取的不同规则，例如允许某些数据的某些 ID 数字，例如只有声音、只有安全的数据、只有视频、只有家庭、只有朋友、只有工作、只有成年人、只有孩子等）。可以自 ROM 代码或闪存，例如部分存储器 802 永久地存储这些数据，并在加电时或在初始化期间中调回以加载到存储器 808 中。在使用存储器指针来存取数据的应用中，可以使用内容可寻址存储器 808。在一个实施例中，内容可寻址存储器 808 的比较速度是 100MHz。

内容可寻址存储器 808 存储数据，该数据是通过接收至少部分与内容可寻址存储器 808 中存储的数据相匹配的数据来存取的。内容可寻址存储器 808 的一个例子是以下结合图 12 描述的内容可寻址存储器 1200。

可以使用存储器 808 存储临时数据，用作 SRAM 数据缓冲器，用于存储器数据操纵，例如高速缓存读取或高速缓存编程。在一个实施例中，存储器数据可以从存储器阵列 802 中调回，并临时地存储于存储器 808 中，例如用于纠错。在用于数据缓冲的一个实施例中，引入的
5 数字数据以程序块存储于存储器 808 中，并且接着将数据逐个程序块地编程到存储器 802 中。

图 9 是说明包括扩展阵列的存储器阵列 900 的方块图。

存储器阵列 900 包括阵列 902、内容可寻址存储器 908、扩展阵列 909、多个 x 译码器 912、918 和 919、多个 y 译码器 922、928 和
10 929 以及多个感测放大器 932、938 和 939。

存储器阵列 900 与存储器阵列 800 (图 8) 相似，但包括扩展阵列 909、x 译码器 919 和 y 译码器 929 以及感测放大器 939。可使用扩展阵列 919 用于额外的数据开销存储，例如纠错或存储器管理 (例如，被擦除或编程的选中存储器块的状态、由选中块使用的阵列数和
15 编程周期、或在选中块中的坏位的数量)。

图 10 是说明包括用于内容可寻址存储器的扩展阵列的存储器阵列 1000 的方块图。

存储器阵列 1000 包括阵列 1002、内容可寻址存储器 1008、扩展阵列 1007 和 1009、多个 x 译码器 1012、1017、1018 和 1019、多个
20 y 译码器 1022、1028、1029 和 1057、多个感测放大器 1032、1038 和 1039、标签位阵列 1052 以及标签位感测放大器 1058。存储器阵列 1000 与存储器阵列 900 相似，但还包括用于内容可寻址存储器 1008 的扩展阵列 1007 和用于扩展阵列 1007 的扩展 x 译码器 1017。在另一个实施例中，用于内容可寻址存储器 1007 的扩展阵列还包括单独的
25 的 y 译码器和单独的感测放大器。标签位感测放大器 1058 感测标签位阵列 1052 的内容。

图 11 是说明可配置感测放大器 1100 的示意图。

可配置感测放大器 1100 可用作以上描述在图 3-10 中的可配置感测放大器和标签位感测放大器。

可配置感测放大器 1100 感测存储器阵列 1102 的内容。存储器阵列 1102 可以是对于图 3-10 以上描述的存储器阵列中之一。为了清楚和简化起见，只示出存储器阵列 1102 的一部分。存储器阵列 1102 包
30

括存储单元 1104、电阻 1106 和 1108、电容 1110 以及开关 1112。电阻 1106 和 1108 示意性地示出并表示位线的电阻。电容 1110 是从存储单元 1104 到可配置感测放大器 1100 的位线上的寄生电容。开关 1112 由选择位线的相应 y 驱动器控制，且将选择的存储单元 1104 切换至可配置感测放大器 1100。感测模式配置电路 1120 形成第一级，而 NMOS 晶体管 1122、电阻 1125 和 1126 以及电流源 1127 形成可配置感测放大器 1100 的第二级。将第二级配置为源极跟随器级。在另一实施例中，第二级是公用源级。例如使用第二级驱动存储器阵列的全局位线。

可配置感测放大器 1100 包括感测模式配置电路 1120、NLZ（原生）NMOS 晶体管 1122、开关 1124、多个电阻 1125 和 1126、多个电流源 1127 和 1128、电容 1130 以及比较器 1131。

如以下更详细地描述，感测模式配置电路 1120 设置感测模式用于读取存储单元 1104 的内容。将产生的检测电压施加到 NLZ 晶体管 1122 的栅极，其配置为源级跟随器。当由开关 1124、电阻 1125 和 1126 切换时，电流源 1127 提供用于 NLZ 晶体管 1122 的偏置电流。由电流偏置 1128 偏置比较器 1131。比较器 1131 将从源极跟随器晶体管 1122 检测的电压与参考电压作比较。

感测模式配置电路 1120 包括多个开关 1134 至 1139 和晶体管 1140。NL 晶体管 1140 在电流模式感测期间切换为用作负载的功能，并在电压模式感测期间用作电流源。在电流模式感测中，开关 1134、1135 和 1136 关闭，而开关 1137、1138 和 1139 打开。在电压感测模式中，开关 1137、1138 和 1139 关闭，而开关 1134、1135 和 1136 打开。对于存储于存储单元中的数据类型，可以调节电流源 1127 和 1128 的偏置电流。例如，当感测数据时，偏置电流可能小，对于感测慢码，该偏置电流可能是中间的，而对于感测快的代码偏置电流可能大。通常读取代码是快的且可以选择大的感测电流。

图 12 是说明内容可寻址存储器 1200 的方块图。

内容可寻址存储器 1200 可以分别用作如图 8-10 中的内容可寻址存储器 808、908 和 1008。内容可寻址存储器 1200 包括匹配线阵列 1202、驱动器阵列 1204、字线驱动器阵列 1206、感测放大器阵列 1208、管线级 1210、地址转换阵列 1212 和输出级 1214。

在一个实施例中，匹配线阵列 1202 包括二进制 CAM 单元的阵列（图 13）。在另一实施例中，匹配线阵列 1202 包括三进制 CAM 单元的阵列（图 14）。在一个实施例中，根据应用，匹配线阵列 1202 是 64 至 1024 位宽和 1024 行。

5 以下结合图 13 和 14 描述内容可寻址存储器 1202 的操作。

图 13 是说明用于二进制 CAM 单元系统的匹配线阵列 1202 和管线级 1210 的方块图。

匹配线阵列 1202 包括多个单元电路 1302，和多个 NMOS 晶体管 1306。单元电路 1302 包括存储单元 1320 和多个 NMOS 下拉晶体管 1321
10 至 1324。在一个实施例中，存储单元 1320 包括 SRAM 单元。在另一实施例中，存储单元 1320 包括 PSRAM（伪 SRAM，例如，以隐藏刷新使用 DRAM 单元来模拟 SRAM）。无论何时存在单个数据位失配，下拉晶体管 1321 至 1324 就操作以将匹配线 1327 放电。位线 1312 和反相的位线 1313 耦合存储单元 1320 的列，用于存储单元 1320 的读取和
15 写入。将存储单元 1320 的输出和反相的输出耦合至 NMOS 晶体管 1321 和 1323 各自的栅极。将 COMPARE 数据线 1315 和反相的 COMPARE 数据线 1314 分别耦合至 NMOS 晶体管 1324 和 1322 的栅极，以使能晶体管。将 NMOS 晶体管 1322 和 1324 的源极耦合至 NMOS 晶体管 1306 的漏极，其耦合至地以响应施加到其栅极的时钟信号。字线 1336 使能存储单
20 元 1320。匹配线 1327 耦合至 NMOS 晶体管 1321 和 1323 的漏极以及耦合至管线级 1210。

在所有的比较数据有效和完成预充电事件之后，晶体管 1306 用作虚拟地下拉晶体管以将匹配线 1327 下拉到虚拟地。

管线级 1210 包括 PMOS 晶体管 1304 和 1305、反相器 1307、缓冲
25 器 1308 和锁存器 1310。在匹配事件结束之后，管线级 1210 捕获匹配线 1327 的状态。锁存器 1310 可以是边沿触发的触发器或电平触发的锁存器。PMOS 晶体管 1304 操作预充电晶体管以便响应时钟信号来预充电匹配线 1327。在预充电事件结束后，反相器 1307 和 PMOS 晶体管 1305 形成保持器电路，以保持或保存匹配线 1327 上的电荷。

30 驱动器阵列 1204 包括位线驱动器以驱动位线（1312、1313），从而将数据写入到单元 1320。驱动器阵列 1204 也包括比较数据驱动器以驱动数据位用于比较。感测放大器阵列 1208 可包括感测放大

器、锁存器和缓冲器，用于读取在匹配位阵列 1202 中存储的数据。

字线驱动器 1206 使能 CAM 存储单元 1302 的行。驱动器阵列 1204 的位线驱动器驱动位线 1312 和反相的位线 1313，以将数据写入到存储单元 1302。驱动器阵列 1204 的比较数据驱动器驱动对应的比较数据
5 数据线 1315 和反相的比较数据线 1314，以分别使能晶体管 1324 和 1322，用于确定是否存在匹配。当出现匹配事件时，存储单元 1320 使能相应的晶体管 1321 或 1323，以保持匹配线 1327 为虚拟地、或上至如由预充电晶体管 1304 预充电的电源电压。

感测放大器 1208 其可以包括锁存器和缓冲器，并读取在 SRAM 阵
10 列 1302 中存储的数据。地址转换阵列 1212 将从内容可寻址存储器阵列 1202 中选择的匹配线的物理位置转换为存储器的合适的指针地址。可以包括锁存器和缓冲器的地址转换感测放大器 1214 从地址转换阵列 1212 读取地址数据。

图 14 是说明用于三进制 CAM 单元系统的匹配线阵列 1202 和管
15 级 1210 的方块图。

匹配线 1202 包括多个单元电路 1402 和多个 NMOS 晶体管 1406。单元电路 1402 包括存储单元 1420 和 1430，以及多个下拉 NMOS 晶体管 1421 至 1426。存储单元 1420 存储要与输入数据相比较的数据。存储单元 1430 存储掩蔽位以表示比较数据是否要被掩蔽，以便不用
20 进行比较。在一个实施例中，存储单元 1420 和 1430 是 SRAM 单元。无论何时在存储的数据和比较数据之间存在失配，假若特定位没有被掩蔽，晶体管 1421 至 1426 就提供两组串联的三个下拉晶体管以下拉匹配线 1427。位线 1412 和反相位线 1413 耦合存储单元 1420 的列，用于在存储单元 1420 中读取和写入。将存储单元 1420 的输出和反相输出耦合至 NMOS 晶体管 1421 和 1423 的各个栅极。将比较数据线 1415
25 和反相的比较数据线 1414 分别耦合至 NMOS 晶体管 1425 和 1426，以使能晶体管。匹配线 1416 和反相的匹配线 1417 耦合存储单元 1430 的列，用于存储该掩蔽位的存储单元 1430 的读取和写入。将存储单元 1430 的输出和反相输入分别耦合至 NMOS 晶体管 1422 和 1424 的栅极，以使能晶体管。将 NMOS 晶体管 1425 和 1426 的源极耦合至 NMOS
30 晶体管 1406 的漏极，其耦合至地以响应施加到其栅极的时钟信号。字线 1436 使能存储单元 1420 和 1430。将匹配线 1427 耦合至 NMOS

晶体管 1421 和 1423 的漏极并耦合至管线级 1210。

在所有的比较数据有效和完成了预充电事件之后，晶体管 1406 用作虚拟下拉地晶体管，以下拉匹配线 1417 用于虚接地。

5 管线级 1210 包括 PMOS 晶体管 1404 和 1405、反相器 1407、缓冲器 1408 和锁相器 1410。在匹配事件结束后，管线级 1410 捕获匹配的线 1417 的状态。锁存器 1410 可以是边沿触发的触发器或电平触发的锁存器。PMOS 晶体管 1404 操作预充电晶体管，以预充电匹配线 1417 而响应时钟信号。在预充电事件结束之后，反相器 1407 和 PMOS 晶体管 1405 形成保持器电路，以保持或保存匹配线 1417 上的电荷。

10 现在描述内容可寻址存储器 1200 的操作。首先，通过串行载入到驱动器阵列 1204 的位线驱动器中，例如从只读存储器 (ROM) 或闪存芯片中将数据装载到 CAM 存储单元 1302 中。位线驱动器接着沿着位线 1312 和 1313 将数据驱动到由字线 1336 选择的所选择行中。重复数据装载序列以填充匹配线阵列 1202。感测放大器阵列 1208 感测
15 和锁存来自 CAM 存储单元 1302 的数据，例如以识别或测试 CAM 单元数据。

接着如下所述，将引入 N 位例如 64 位的输入数据流与在匹配线阵列 1202 中存储的数据作比较。N 位的输入数据流首先装载到驱动阵列 1204 的比较数据阵列 1204 中。比较数据驱动器接着将该数据驱动到比较数据线 1313 和 1314 上。接着使数据比较使能 (例如，时钟 (CK) 从低到高的转换，时钟 (CK) 低以便预充电所有的匹配线 1327)。在同一周期对整个阵列进行的比较结果出现在匹配线 1327 处，并由感测放大器阵列 1208 的匹配线感测和缓冲电路来感测。接着将结果
20 锁存到在 1210 的管线级中，接着将其施加到地址转换阵列 1212。锁存的输出例如是指针、微代码或控制线。

对于图 14 的三进制内容可寻址存储器，除了在掩蔽存储单元 1430 中存储的掩蔽数据之外，操作是相似的。作为部分的装载操作，驱动器阵列 1204 的掩蔽线驱动器将数据装载到掩蔽位存储单元 1430 中。掩蔽数据使能或禁止对于选择的 CAM 存储单元 1420 的数据比较。

30 存储单元 1320、1420 和 1430 可以是易失性存储器。在一个实施例中，存储单元 1320、1420 和 1430 可以是伪 SRAM (PSRAM) 存储单元，其中该伪 SRAM 使用 DRAM 单元用于 SRAM 功能以降低管芯尺寸。

在另一实施例中，通过调制存储于电容中电压的幅度，例如调制传送门 (pass mate) 上的电压电平 (例如，字线上的电压) 到电容以在电容上存储不同的电压电平，例如用于 2 位 PSRAM 多级单元的 0.2V、0.4V、0.8V，PSRAM 单元可使用多级存储单元。在该情况下，附加的控制和译码电路 (未示出) 提取和操作多级 PSRAM 单元的数字位，或附加的模拟多级电路直接操作该存储的模拟电平。

再次参考图 2，存储子系统 204 可被存取在存储子系统 204 之中的并行的、并发的或管线的操作。第一存储子系统 204 的一部分可以被存取用于例如编程、擦除、读取或验证的操作，而同时使能另一存储子系统 204 以同时存取用于另一操作，例如编程、擦除、读取或验证。在存储单元的内容必须被发送的操作期间，以合适的感测模式设置存储子系统 204。

作为说明性的例子，第一存储子系统 204 可存储代码，而第二存储子系统 204 也存储代码。当第一存储子系统 204 被编程、擦除或读取时，第二存储子系统 204 也可以被编程、擦除或读取。

在另一个说明性的例子中，第一存储子系统 204 可存储代码，而第二存储子系统 204 存储数据。当从第一存储子系统 204 中编程、擦除或读取代码时，可以从第二存储子系统 204 中编程、擦除或读取数据。

在另一个说明性的例子中，数据可以存储在第一和第二存储子系统 204 中。当从第一存储子系统 204 中编程、擦除或读取数据时，可以从第二存储子系统 204 编程、擦除或读取数据。

在另一个说明性的例子中，第一存储子系统 204 包括 SRAM 或者内容可寻址存储器，而第二存储子系统 204 存储数据或代码。当在第一存储子系统中写入或读取 SRAM 或内容可寻址存储器时，数据或代码可以从第二存储子系统 204 中编程、擦除或读取。

在用于并发存储器操作的一个实施例中，各个存储子系统 204 包括与用于所需操作的译码、感测、写入和锁存有关的合适的控制电路。

在一个实施例中，在不同的感测模式中可以进行验证和读取存储单元。例如，通过将存储单元设置在电压模式中可以进行验证存储单元，而可以在电流读取模式中进行存储单元的读取。

这里描述的存储子系统和存储器阵列可以是多芯片或单片的。

在前述的描述中，描述了各种方法和装置以及具体的实施例。然而，对于熟悉本技术领域的人应显而易见的是，在不脱离由后附权利要求的边界和限制所定义的本发明的精神和范围的条件下，可以进行各种选择、修饰和改变。

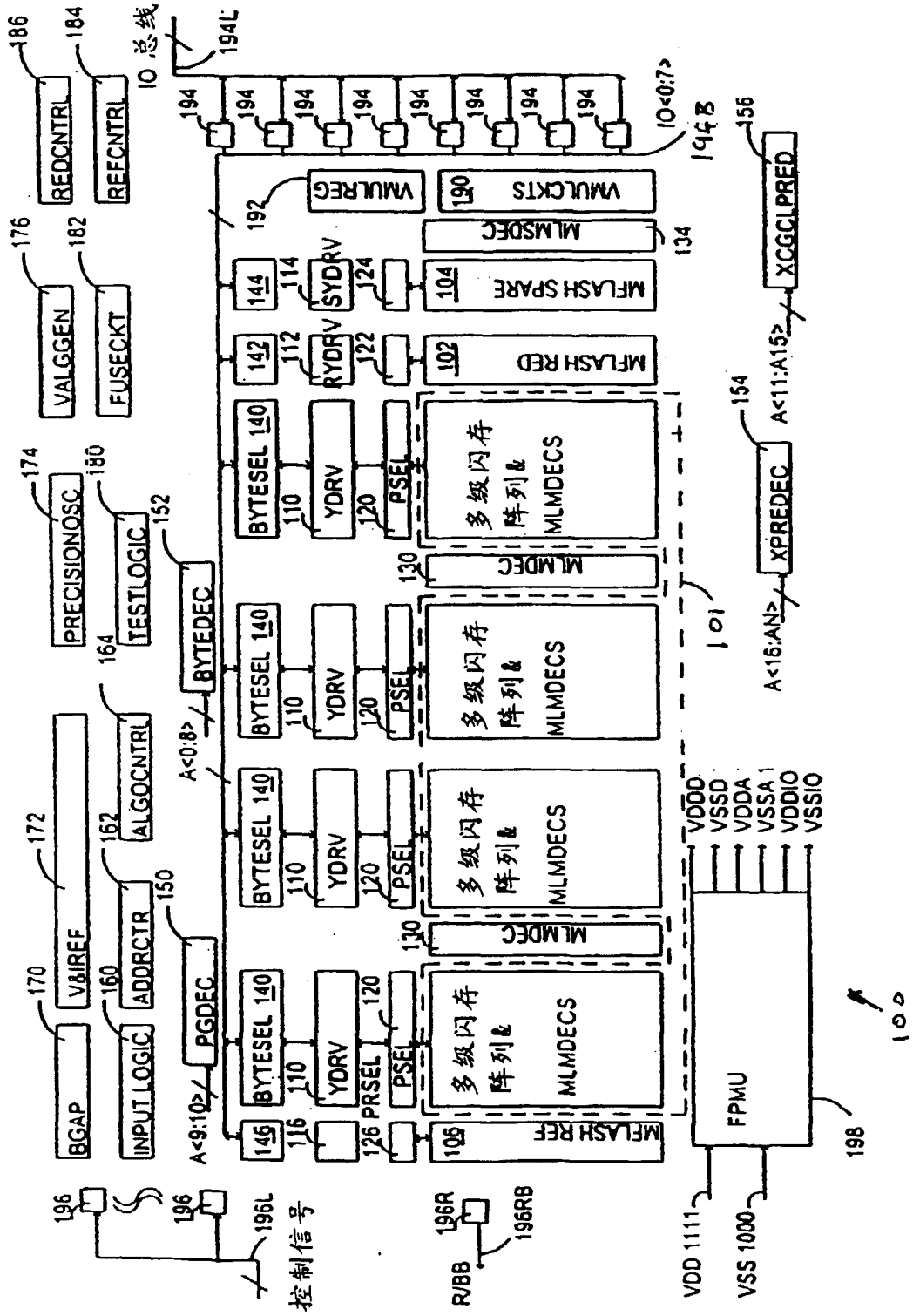


图 1

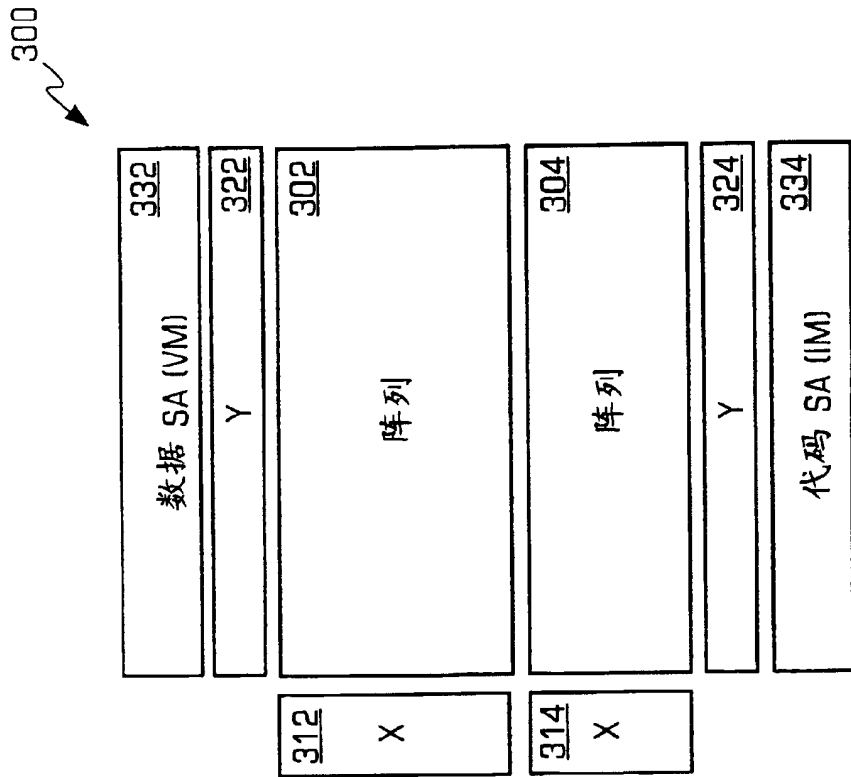


图 3

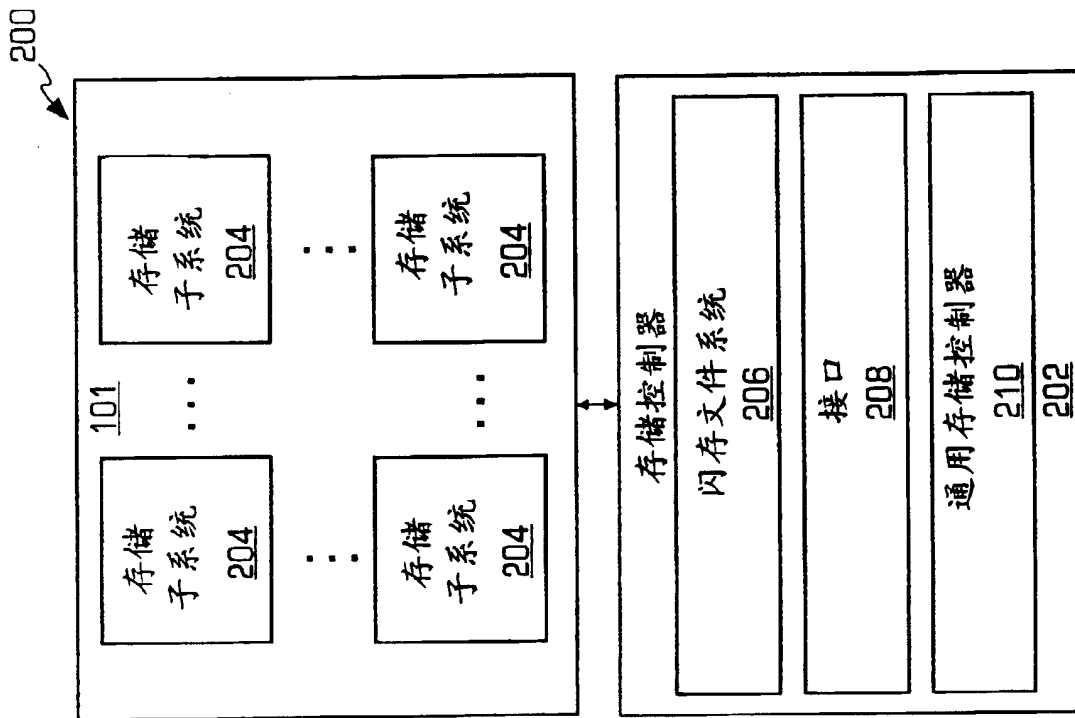


图 2

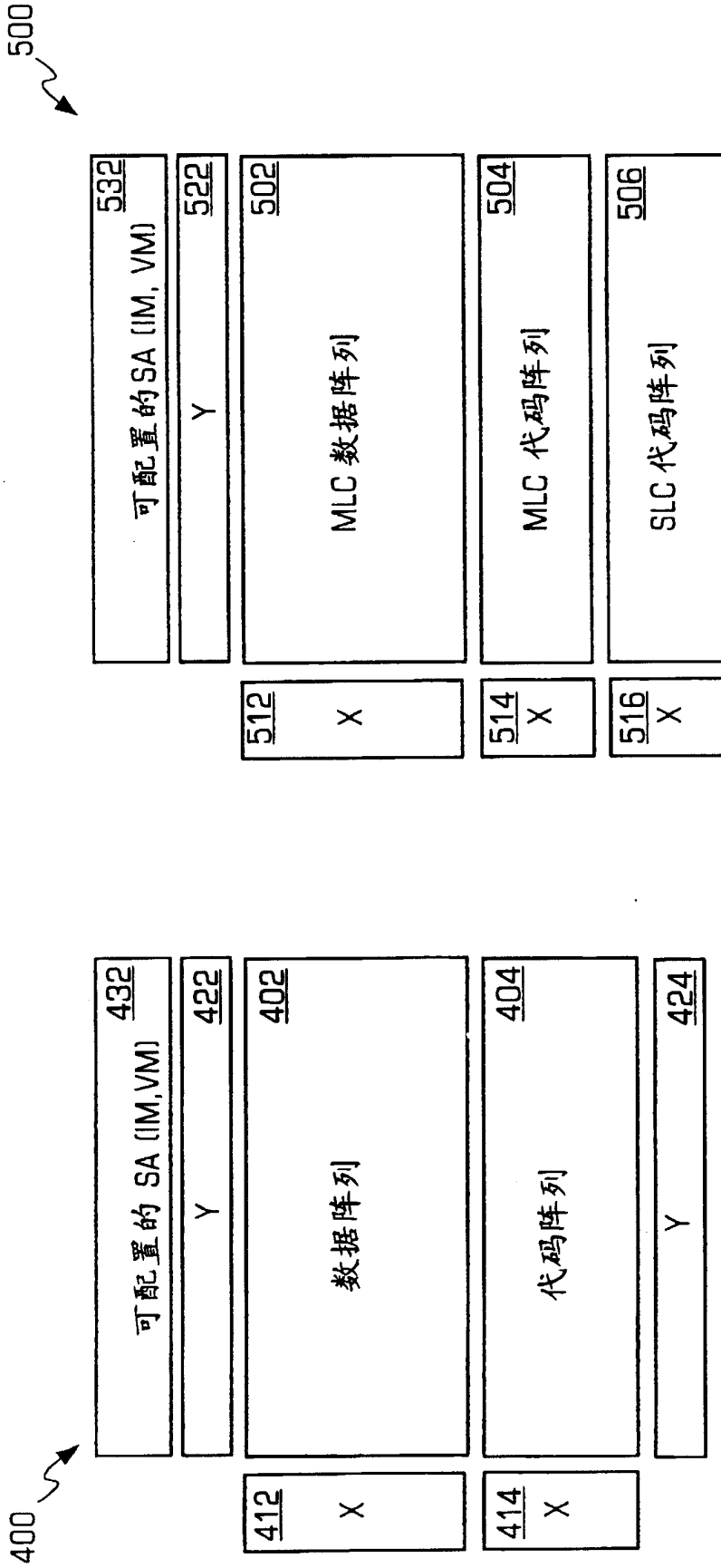


图 4

图 5

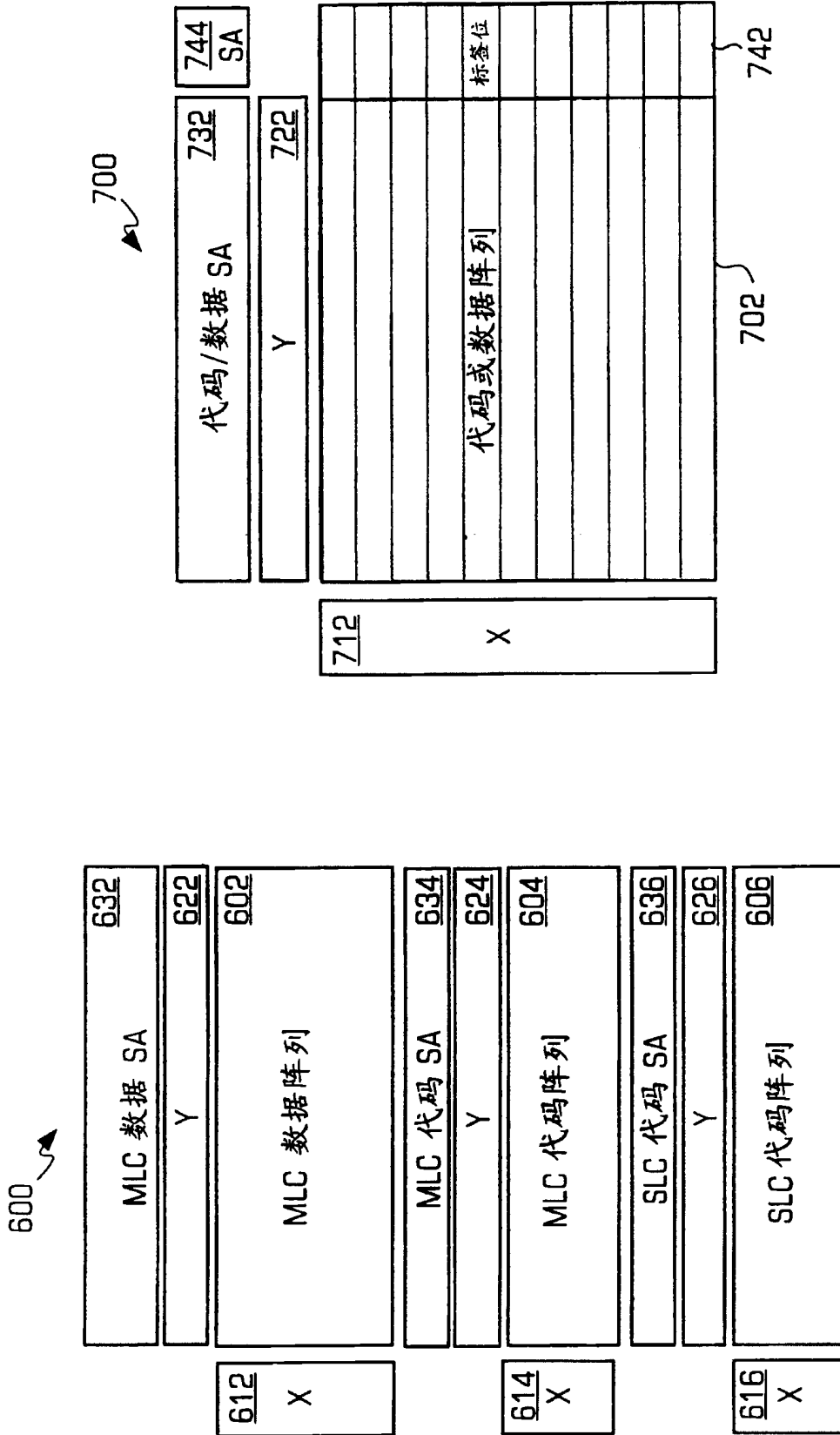


图 6

图 7

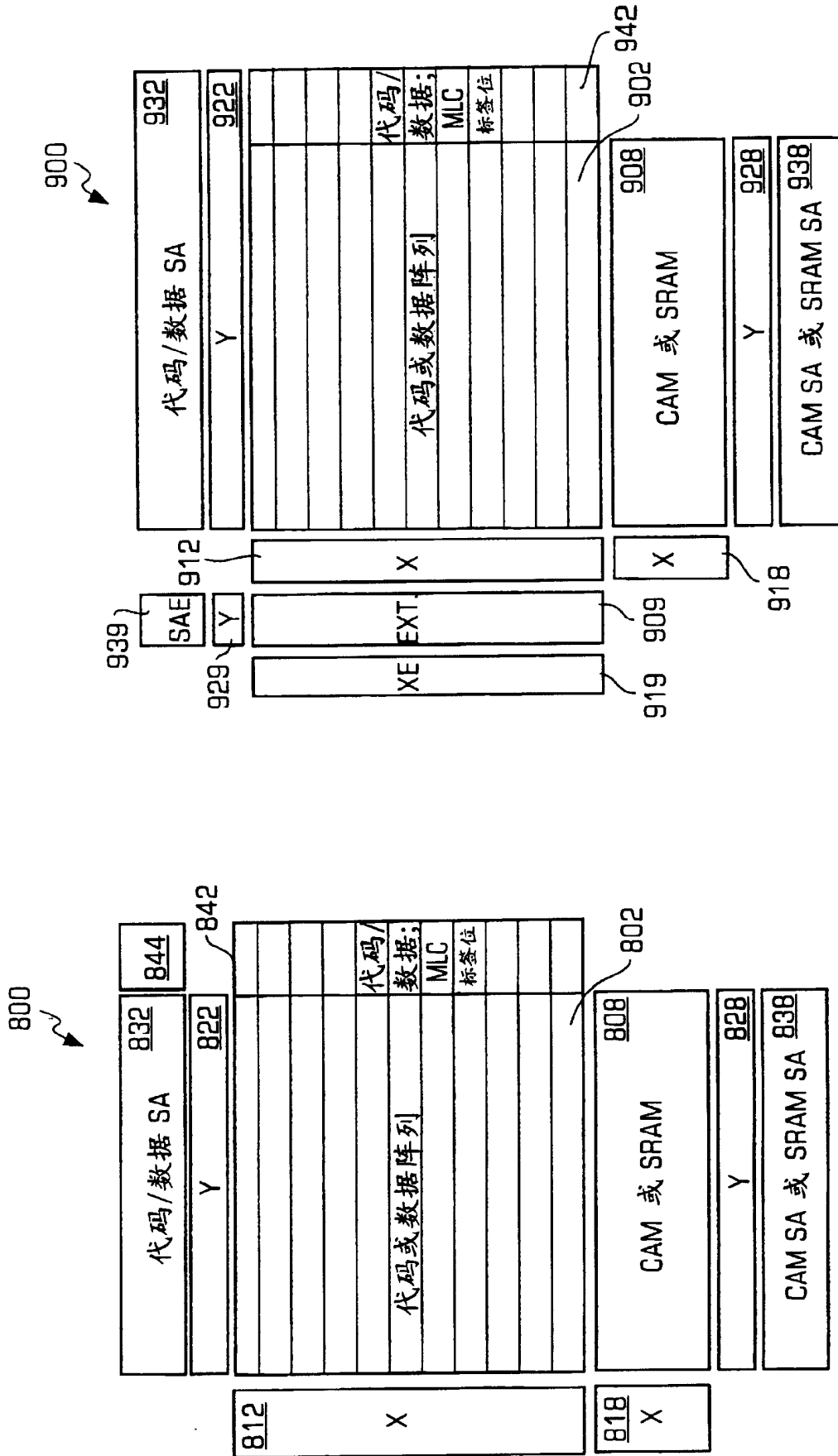


图 8

图 9

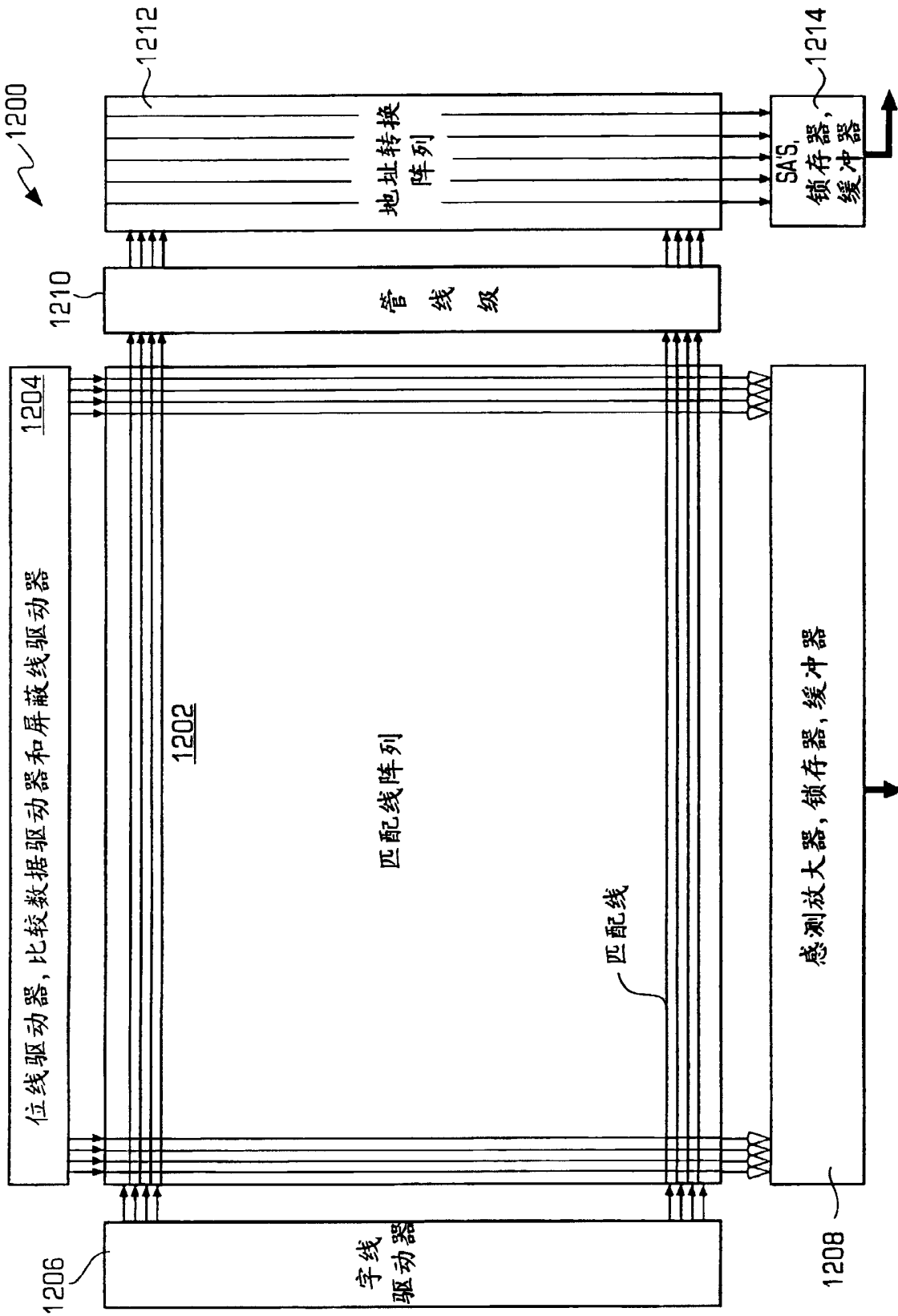


图 12

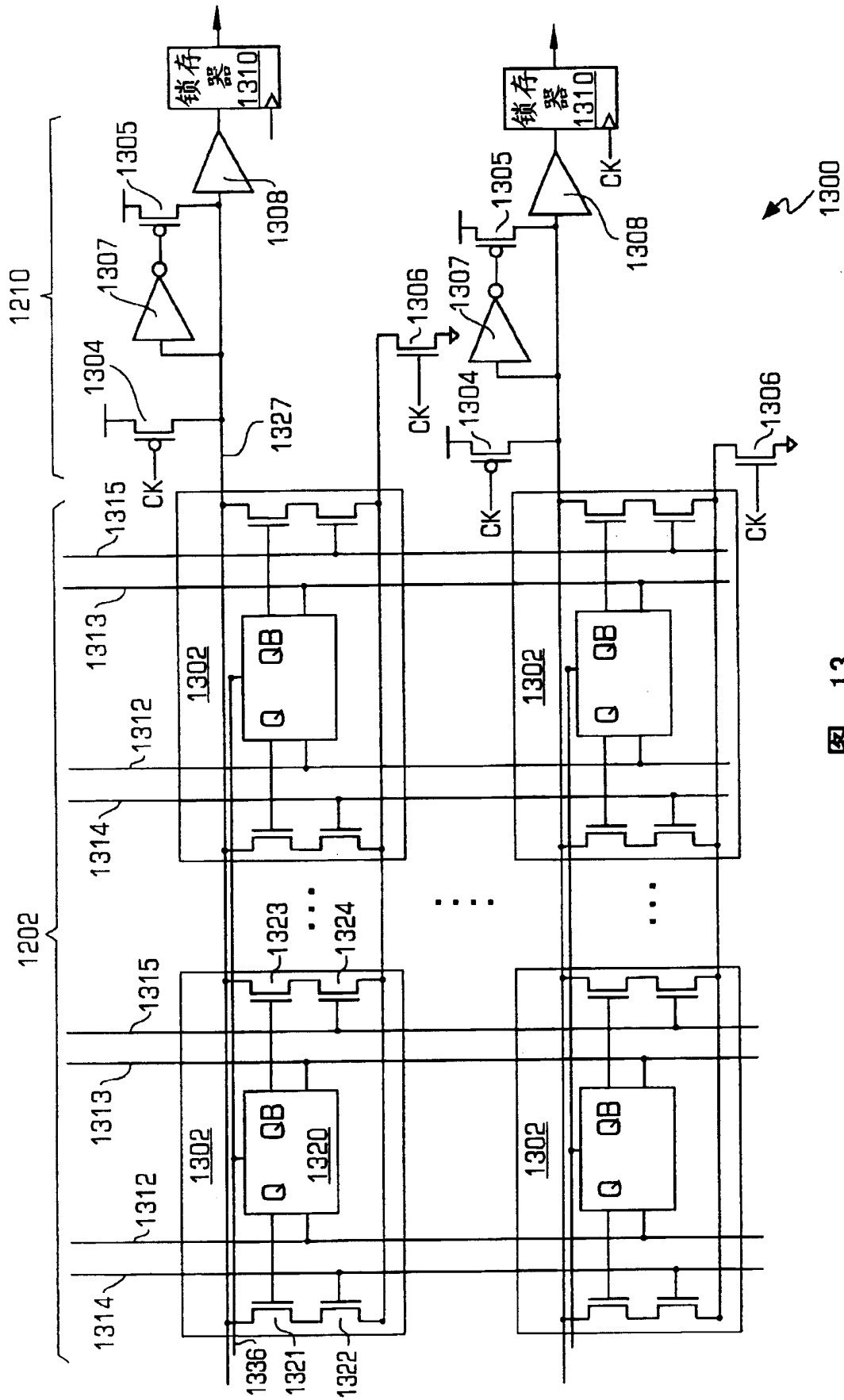


图 13

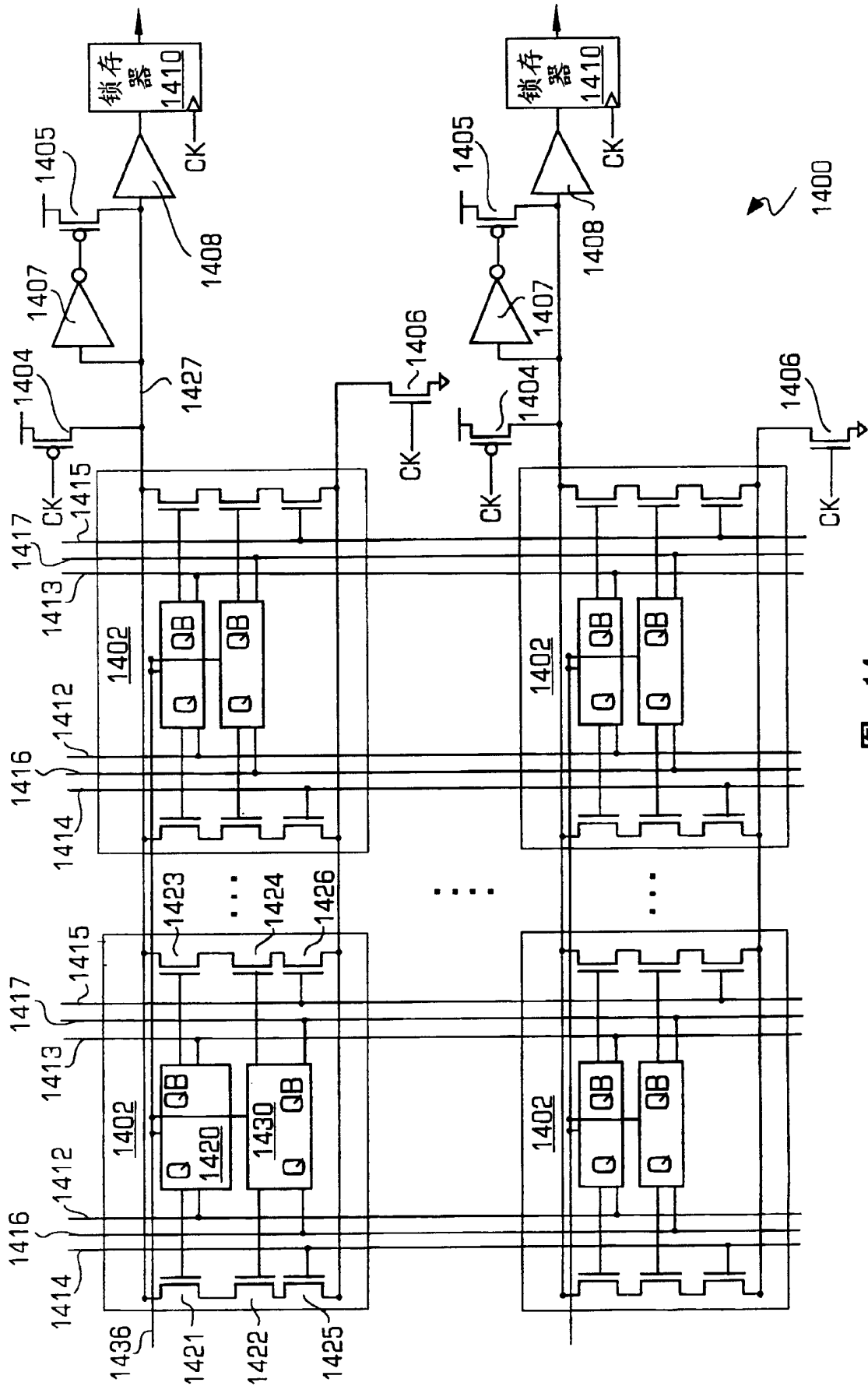


图 14