



**URZĄD
PATENTOWY
PRL**

Patent tymczasowy dodatkowy
do patentu nr ———

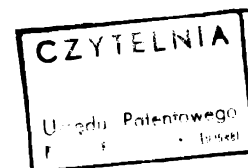
Int. Cl.³ H03K 5/04

Zgłoszono: 24.02.82 (P. 235203)

Pierwszeństwo ———

Zgłoszenie ogłoszono: 20.12.82

Opis patentowy opublikowano: 05.02.1985



Twórca wynalazku: Józef Kalisz

Uprawniony z patentu tymczasowego: Wojskowa Akademia Techniczna
im. Jarosława Dąbrowskiego,
Warszawa (Polska)

Układ wydłużacza czasu trwania impulsu z kompensacją błędu systematycznego

Przedmiotem wynalazku jest układ wydłużacza czasu trwania impulsu z kompensacją błędu systematycznego, stosowany przy współpracy ze standardowym cyfrowym miernikiem czasu do precyzyjnych pomiarów nanosekundowych odstępów czasu z rozdzielczością pikosekundową. Układ taki jest stosowany w technice jądrowej i laserowej oraz w technologii mikroelektronicznej do dynamicznego testowania elementów i układów półprzewodnikowych, a zwłaszcza pamięci LSI.

Znane są układy wydłużaczy czasu trwania impulsu opisane w publikacjach: J. D. Wiedwald: A CAMAC high resolution time interval meter, IEEE Trans. Nucl. Sci. NS-20, No. 1, 1973, 242-245; R. E. Jones, A. J. Wynroe: The time stretcher, Nucl. Instr. Meth. 109 (1973) 461-477; G. D. Sasaki, R. C. Jensen: Automatic measurements with a high performance universal counter, H-P Journal, Sept. 1980, 21-31, a także opisane w patentach polskich Nr 78 090 i Nr 98 397. Wspólną wadą tych układów jest obecność błędu systematycznego, wynikającego stąd, że przedłużenie prostoliniowego odcinka charakterystyki przejściowej nie przecina środka osi współrzędnych. Jakkolwiek wielkość tego błędu może być zgrubnie kompensowana przy pomocy odcinków linii opóźniających, to jednak jego dokładna kompensacja jest praktycznie niemożliwa. W związku z tym przy korzystaniu z takich układów do bezpośredniego odczytu wielkości odstępu czasu przy użyciu standardowego cyfrowego licznika czasu konieczne jest uwzględnienie odpowiednich poprawek.

Celem wynalazku jest wyeliminowanie tej wady i umożliwienie bezpośredniego odczytu odstępu czasu z rozdzielczością pikosekundową przy użyciu standardowego cyfrowego licznika czasu, połączonego z wyjściem układu wydłużacza.

Istota wynalazku polega na tym, że kondensator układu jest połączony z katodą drugostronnie uziemionej diody oraz z bazą tranzystora p-n-p, którego kolektor jest połączony z ujemnym napięciem zasilającym, a emiter jest połączony z wejściem nieodwracającym komparatora, poprzez rezystor z ujemnym napięciem zasilającym i poprzez rezystor ze środkowym punktem dwurezystorowego dzielnika napięcia przyłączonego między dodatnie napięcie zasilające a masę, jednocześnie

wejście odwracające komparatora jest połączone poprzez rezystor z jego wyjściem odwracającym oraz poprzez rezystor z suwakiem potencjometru włączonego między dodatnie napięcie zasilające a masę.

Korzystne skutki techniczne wynalazku polegają na tym, że wielkość błędu systematycznego układu może być w sposób płynny zredukowana do zera, co eliminuje konieczność obliczania i uwzględniania poprawek przy bezpośrednim odczycie wyników pomiarów ze sprzężonego z układem standardowego cyfrowego licznika czasu.

Przedmiot wynalazku jest pokazany na przykładzie wykonania odtworzonym na rysunku przedstawiającym schemat połączeń.

Układ według wynalazku zawiera na wejściu przerzutnik formujący typu D z linią opóźniającą DL, układ różnicowy z tranzystorami Q_1 i Q_2 , układ przełączający z diodami D_1 i D_2 oraz dwa układy generatorów prądowych I_1 i I_2 . Kondensator C jest połączony poprzez diodę D_3 z masą i za pośrednictwem tranzystora p-n-p Q_3 z komparatorem wyjściowym OC. Potencjometr R_1 służy do dokładnej kompensacji błędu systematycznego. Rezystory R_2 – R_7 służą do właściwego ustalenia warunków pracy tranzystora Q_3 i komparatora OC.

Działanie układu jest następujące. Przy braku impulsów wejściowych tranzystor Q_2 i dioda D_1 przewodzą a tranzystor Q_1 i dioda D_2 są zatkane. Prąd I_2 płynie częściowo przez bazę przewodzącego tranzystora Q_3 i częściowo przez przewodzącą diodę D_3 . Rezystory R_2 – R_7 są tak dobrane aby wejściowe napięcie różnicowe komparatora było ujemne, a zatem na jego wyjściu jest poziom logiczny niski.

Pojawienie się impulsu wejściowego START powoduje przepływ prądu I_1 poprzez diodę D_2 i kondensator C do masy, powodując liniowy wzrost napięcia na tym kondensatorze i zatkanie tranzystora Q_3 . W rezultacie wzrostu napięcia na wejściu nieodwracającym komparatora następuje skokowa zmiana napięcia na jego wyjściu nieodwracającym do wysokiego poziomu logicznego. Przy pojawieniu się impulsu wejściowego STOP dioda D_2 ulega zatkaniu, a kondensator C rozładowuje się liniowo prądem I_2 aż do osiągnięcia stanu ustalonego. Przy końcu procesu rozładowania następuje zmiana napięcia wyjściowego komparatora z powrotem na niski poziom logiczny, przy czym moment wystąpienia tej zmiany może być ustalony płynnie za pomocą potencjometru R_1 . Opóźnienie wstępne linii opóźniającej DL może być tak dobrane, aby zmiana położenia suwaka potencjometru R_1 oznaczała płynną zmianę wielkości błędu systematycznego układu wydłużającego wokół wartości zerowej.

Jeżeli współczynnik rozciągnięcia czasu T/T_1 w układzie wydłużacza wynosi przykładowo 10^3 , to przy użyciu typowego licznika czasu z zegarem 10 MHz otrzymuje się polepszenie rozdzielczości pomiaru czasu z wielkości 100 ns do wielkości 100 ps.

Zastrzeżenie patentowe

Układ wydłużacza czasu trwania impulsu z kompensacją błędu systematycznego z wejściowym przerzutnikiem kształtującym i linią opóźniającą oraz z dwutranzystorowym układem różnicowym, dwoma źródłami prądowymi i dwudiodowym układem przełączającym prąd ładowania kondensatora, **znamienny tym**, że kondensator (C) układu jest połączony z katodą drugostronnie uziemionej diody (D_3) oraz z bazą tranzystora p-n-p (Q_3), którego kolektor jest połączony z ujemnym napięciem zasilającym, a emiter jest połączony z wejściem nieodwracającym komparatora (OC), poprzez rezystor (R_5) z ujemnym napięciem zasilającym i poprzez rezystor (R_4) ze środkowym punktem dwurezystorowego dzielnika napięcia (R_2, R_3) połączonego między dodatnie napięcie zasilające a masę, jednocześnie wejście odwracające komparatora (OC) jest połączone poprzez rezystor (R_7) z jego wyjściem odwracającym oraz poprzez rezystor (R_6) z suwakiem potencjometru (R_1) włączonego między dodatnie napięcie zasilające a masę.

