(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H04N 3/18

(45) 공고일자 2000년12월15일
(11) 등록번호 10-0276494
(24) 등록일자 2000년09월29일

(21) 출원번호 10-1992-0012661
(22) 출원일자 1992년07월14일
(65) 공개번호 특1993-0003669
(43) 공개일자 1993년02월24일

(30) 우선권주장 729,658 1991년07월15일 미국(US)
(73) 특허권자 톰슨 콘슈머 일렉트로닉스, 인코포레이티드 크리트먼 어윈 엠
미국 인디아나주 46290-1024 인디아나폴리스 노스 메리디안 스트리트 10330
(72) 발명자 로버트 죠셉 그리스
미합중국, 인디아나 46237, 인디아나폴리스, 아이퀸 코오트 6143
(74) 대리인 나영환, 도두형

심사관 : 변형철

(54) 편향 회로 장치

요약

수평 발진기(102)는 온/오프 제어 신호에 응답하고 구동단(300)에 의해 수평 편향 출력 트랜지스터(Q2, 제1a도)의 제어 단자(MC 1391 의 Pin 8)에 결합되는 출력 신호를 발생한다. 스탠바이 동작 모드의 다음에 오는 천이 구간(1msec, 제3c도)동안에, 발진기 출력 신호(Vosc, 제1b도)의 듀티 사이클은 부드러운 스타트 동작을 제공하도록 런 동작 모드가 발생하는 경우에 비해 감소된다.

대표도

-

명세서

[발명의 명칭]

편향 회로 장치

[도면의 간단한 설명]

제1도는 제1a 및 제1b도로 이루어지며, 출력단의 수평 편향 회로의 출력 트랜지스터를 구동하는 구동 회로를 도시한 것으로서 본 발명의 특징을 실시한 도면.

제2a도 내지 제2d도는 정상 동작 및 스타트업(start-up) 또는 천이 기간에서 제1도의 회로 동작을 설명하는데 유용한 파형을 나타낸 도면.

제3a도 내지 제3d도는 여러 조건하에서 스타트업 동안에 제1a도의 출력 트랜지스터의 콜렉터 전류의 파형을 나타낸 도면.

* 도면의 주요 부분에 대한 부호의 설명

100 : 구동단　　101 : 수평 편향 회로 출력단

102 : 위상 제어단　　103 : 수평 편향 회로

300 : 원격 제어기

[발명의 상세한 설명]

본 발명은 텔레비젼 수상기 또는 텔레비젼 수상기와 같은 디스플레이 장치의 음극선관(CRT)의 편향 회로에 관한 것이다.

다양한 칼라 텔레비젼 수상기에 사용되는 통상적인 수평 편향 회로는 편향회로 출력단의 출력 트랜지스터의 제어 단자에 결합되는 트랜스(transformer)가 있는 구동기 또는 구동단을 통해서 결합되는 수평 발진기를 포함한다. 구동단은 1차 권선 및 2차 권선을 갖는 결합 트랜스를 추가로 포함한다. 주어진 편향 사이클의 일부 트래이스 기간(trace interval) 동안에 결합 트랜스에 저장된 자기 에너지는 출력 트랜지스터에 순방향 베이스 전류를 형성하기 위해 플라이백(flyback) 방식으로 결합 트랜스의 2차 권선에 흐르는 권선 전류를 생성한다. 순방향 베이스 전류는 편향 출력 트랜지스터를 포화 상태로 만든다.

이러한 수평 편향 출력단에 있어서, 편향 권선은 편향 사이클의 귀선 기간 동안에, 귀선 공진 회로를 형성하기 위해 귀선 커패시턴스에 결합된다. 수평 출력 트랜지스터는 수평 발진기의 출력으로부터 발생된 편향 주파수에 관련된 주파수에서 결합 트랜스의 2차 권선의 전류에 응답한다. 출력 트랜지스터의 콜렉터는 편향 권선의 편향 전류를 발생하도록 귀선 공진 회로에 결합된다. 플라이백 트랜스의 1차 권선은 B+ 전압원과 출력 트랜지스터의 콜렉터 사이에 결합되어 있다. 일부 트래이스 기간 동안에, 편향 전류 및 플라이백 트랜스의 1차 전류는 출력 트랜지스터의 콜렉터에 흐른다.

출력 트랜지스터의 스위칭 동작의 결과로서, 플라이백 트랜스의 2차 권선에서 발생된 플라이백 펄스 전압은 정류되고 텔레비젼 수상기의 여러 단을 구동하는데 이용되는 출력 전원 전압을 발생하도록 필터 커패시터에 인가된다.

종래의 배열에 있어서, B+ 전원 회로를 간소하게 하기 위해서, B+ 전원 전압은 동작의 스탠바이(standby) 및 정상 런(run) 모드의 양 모드 동안에 발생된다. 출력 트랜지스터의 스위칭 동작을 가능하게 하기 위해서, 수평 발진기의 출력에서 발생되어 출력 트랜지스터의 베이스에 인가되는 전류는 온/오프 제어 신호의 제어하에서 가능해진다. 예컨대, 이 온/오프 제어 신호는 출력 트랜지스터의 스위칭 동작을 가능하게 하는 방식으로 원격 제어 수신기로부터 제공된다. 천이 기간에 바로 앞서, 동작의 스탠바이 모드에서 동작의 런 모드까지, 출력 트랜지스터의 베이스 전류가 여전히 억제되면, 각각의 필터 커패시터는 완전히 방전된다. 천이 기간 내에서 플라이백 기간 동안에, 방전된 필터 커패시터는 플라이백 트랜스에 대해서 가중한 부하를 형성한다.

전술한 천이 기간 동안에 출력 트랜지스터가 동작의 런 모드에서와 같은 동일한 시간의 길이인 사이클 기간에서 전도된다고 가정한다. 이러한 상황은 듀티 사이클(duty cycle)이 1/2 보다 큰 전도 작용이라고 지칭된다. 이러한 상황에 있어서, 아직 충분히 충전되지 않은 필터 커패시터의 과부하는 출력 트랜지스터가 전도성인 각 사이클 동안에 출력 트랜지스터 내에 과도한 콜렉터 전류를 유발할 수 있다. 이러한 과도한 콜렉터 전류는 출력 트랜지스터에 손상을 입힐 수 있으며, 이러한 과도한 전류는 피하는 것이 좋다.

종래의 구동단에 있어서, 구동기 트랜스는 출력 트랜지스터의 콜렉터 전류의 전류 경로에 결합되는 권선을 갖는다. 출력 트랜지스터가 전도성인 일부 사이클에서, 출력 트랜지스터의 콜렉터 전류는 업램핑(upramping) 방식으로 증가한다. 이 업램핑 콜렉터 전류는 결합 트랜스를 통해 정귀환(positive feedback) 방식으로 출력 트랜지스터의 베이스에 다시 결합된다. 그 결과로서 업램핑 베이스 전류가 발생한다. 상기 정귀환 때문에, 콜렉터 전류는 전술한 천이 기간 동안에 정귀환이 제공되지 않는 것보다 훨씬 더 증가할 수 있다. 그러므로, 이러한 정귀환이 이용되면, 천이 기간 동안에 출력 트랜지스터의 콜렉터 전류를 제한하는 데 훨씬 좋다.

본 발명의 특징을 구체화하는 편향 회로는 최소한 동작의 스탠바이 모드에 뒤따르는 천이 기간 및 동작의 런 모드 동안에 발생되는 입력 전원 전압을 포함한다. 전원 인덕턴스는 전원 전압원에 결합된다. 편향 권선은 편향 사이클의 귀선 기간 동안에 귀선 공진 회로를 형성하도록 귀선 커패시턴스에 결합된다. 제1 제어 신호는 편향 주파수에 관련된 주파수에서 발생된다. 제1제어 신호에 응답하고 공진 회로 및 전원 인덕턴스에 결합되는 제1스위칭 트랜지스터는 동작의 천이 기간 및 런 모드 동안에 주기적인 스위칭 동작을 수행한다. 편향 전류는 편향 권선에서 발생되고 플라이백 펄스 전압은 스위칭 동작이 발생할 때 전원 인덕턴스에서 발생된다. 제1스위칭 트랜지스터의 듀티 사이클은 동작의 런 모드 동안의 듀티 사이클에 비해 천이 기간 동안의 듀티 사이클을 충분히 감소시키도록 제어된다. 듀티 사이클의 감소는 소프트 스타트(soft start) 동작을 제공하여 천이 기간 동안에 제1스위칭 트랜지스터의 과도 전류를 막아준다.

제1도는 텔레비젼 수상기의 수평 편향 회로 출력단(101)의 스위칭 출력 트랜지스터(Q2)를 구동시키는 구동단(100)을 도시하고 있다. 제1b도의 위상 제어단(102)에 포함되는 수평 발진기는 출력 신호(Vosc)를 생성한다. 이 신호(Vosc)는 대략 32KHZ인 수평 주파수(2xfH)를 갖는다. 이 신호(Vosc)는 에미터 폴로워 트랜지스터(Q3)를 통해 구동 트랜지스터(Q1)의 베이스 전극에 결합된다. 예컨대, 약 16KHZ의 주파수(fH)가 NTSC 표준의 수평 편향 주파수이다. 따라서, 주파수(2xfH)는 16 KHZ보다 실질적으로 높다. 상기 위상 제어단(102)의 발진기는 제1b도의 원격제어 수신기(300)에서 생성된 온/오프 제어 신호에 의해 제어된다. 상기 온/오프 제어 신호는 이 온/오프 신호가 "OFF'' 상태일 경우, 동작의 스탠바이 모드에 걸쳐 트랜지스터(QI)를 계속해서 전도성으로 유지하도록 트랜지스터(Q1)를 계속적으로 턴온(turn-on) 되게 한다.

제1a도에서 트랜지스터(Q1)의 콜렉터는 결합 트랜스(T1)의 1차 권선(W1)의 하나의 단자에 결합된다. 그 권선(W1)의 또 다른 단자는 필터 커패시터(C1)에 의해 접지로 바이패스(bypass)되고 전류 제한 저항(R1)을 통해서 전원 전압원(V+)에 결합되어 저항(R1)과 커패시터(C1)는 리플 필터(riffle filter)를 형성한다. 트랜스(T1)의 2차 권선(W2)은 트랜지스터(Q2)의 베이스 에미터 접합의 양단 및 저항(R4)의 양단에 결합된다. 권선(W2), 저항(R4) 및 트랜지스터(Q2)의 에미터의 접합에 결합된 접합 단자(101a)는 트랜스(T1)의 권선(W3)의 하나의 단자에 결합된다. 권선(W3)의 또 다른 단자는 접지에 결합된다.

다이오드(D3)와 직렬로 결합된 트랜지스터(Q2)의 콜렉터는 수평 편향 회로(103)의 통상의 댐퍼(damper) 다이오드(D2)에 결합된다. 수평 편향 회로(103)는 종래의 방식으로 결합된 수평 편향 권선(L_H), 귀선 커패시터(C4), 트래이스 커패시터(Cs), 선형 인덕터(LIN) 및 스너버(snubber) 저항(R5)을 포함한다. 제1a도의 권선(L_H)은 도시되어 있진 않지만, 예컨대 투사 텔레비젼 수상기의 세 개의 음극선관에 병렬로 결합된 세 개의 수평 편향 권선을 나타낸다. 다이오드(D3)는 역콜렉터 전류가 트랜지스터(Q2) 및 권선(W2, W3)에서 흐르는 것을 막아준다.

전원 전압(B+)은 수평 플라이백 트랜스(T2)의 권선(T2a)을 통해 회로(103)에 결합된다. 귀선 또는 플라이백 동안에, 회로(103)는 커패시터(C4), 권선(L_H) 및 권선(LIN)을 포함하는 귀선 공진 회로를 형성한다. 귀선 또는 플라이백 기간 동안에, 울터(ultor) 전극에 결합된 전압(ULTOR)과 같은 전원 전압을 생성하기 위해서, 커패시터(CU)와 같은 필터 커패시터를 충전하도록 변압기(T2)의 여러 권선에서 플라이백 펄스 전압이 생성된다. 트래이스 기간 동안에, 회로(103)는 트래이스 커패시터(Cs) 및 권선(L_H)을 포함하는 트래이스 공진 회로를 형성하고 권선(T2a)의 콜렉터 전류(Ic2)는 업 램핑(upramping)한다. 트래이스 기간 동안, 트랜지스터(Q2)는 전도성으로 되며, 권선(T2c)은 정류기(D5)를 통해 커패시터(CT)에 결합된 트레이스 전압을 발생한다. 트래이스 기간 동안에, 정류기(D5)는 전도성이 된다. 예컨대, +24V의 전원 전압이 커패시터(CT)에서 생성되어 수상기 내의 부하 회로에 인가된다. 전원 회로를 간소하게 하기 위해서, 도시되어 있지는 않지만, B+ 및 V+ 전압 양자는 통상의 방식으로 스탠바이 및 동작의 런 모드에서 생성된다.

제2a도 내지 제2d도는 제1a도 및 제1b도의 회로의 런 모드를 설명하기에 유용한 이상적인 근사 파형을 굵은선으로 도시하고 있다. 점선으로 된 파형은 동작의 스탠바이 모드에서 런 모드까지의 천이 기간에 관계된다. 제1a도 및 제1b도와 제2a도 내지 제2d도의 유사한 기호 및 숫자들은 유사한 소자나 기능을 나타낸다.

정상 런 동작 모드에서, 제1a도의 구동 트랜지스터(Q1)는 시간 t_1까지 양인 제2a도의 Vosc 신호의 결과로 전도성으로 되며, 이러한 Vosc 신호는 제1a도의 트랜지스터(Q2)를 비전도성으로 만든다. 트랜지스터(Q1)의 콜렉터 전류(Ic1)에 의해 제공되는 자기 에너지는 권선(W1)에 축적된다. 트랜지스터(Q1)가 턴오프되면, 축적된 에너지는 제2a도의 t_1 내지 t_3 기간 동안에 제1a도의 권선(W2)에서 트랜지스터(Q2)의 순방향 베이스 전류(Ib2)를 생성한다. 전류(Ib2)는 편향 트랜지스터(Q2)를 턴온하고 제2b도의 시간 t_2전까지 그 편향 트랜지스터(Q2)를 포화 상태로 유지하기에 충분하다.

전류(Ib2)의 진폭은 트래이스의 제1 반기간의 후반부 동안, 즉 t_1 내지 t_2에서 거의 일정하게 유지된다. 이는 제1a도의 권선(W2, W3)에 트랜지스터(Q2)의 베이스 에미터 접합의 저임피던스에 의해 과부하가 걸리기 때문이다. 시간 t_2에서, 제1a도의 편향 권선(LH)의 편향 전류(IH)는 극성이 바뀐다. 제1a도 회로(103)의 편향 권선(L_H)의 편향 전류(I_H)는 극성이 바뀐다 제1a도는 회로(103)의 편향권선(L_H)에서와 플라이백 트랜스 권선(T2a)에서의 전류 반전의 결과로, 콜렉터 전류(Ic2)는 제2c도의 시간 t_2 후에 업램핑 방식으로 제1a도의 트랜지스터(Q2)에서 흐르기 시작한다.

제1a도의 권선(W3)을 통해 에머터 전류로 흐르는 업램핑 콜렉터 전류(Ic2)는 전류 트랜스(T1)에 의해 각각 권선(W2, W3)의 권선비(N2:N3)에 따라 트랜지스터 (Q2)의 베이스에 트랜스 결합된다. 트랜스 결합된 전류(Ic2)는 콜렉터 전류(Ic2)가 업램핑할 때, 트래이스의 제2 반구간, 즉 t_2 내지 t_3 동안에 트랜지스터(Q2)의 업램핑 순방향 베이스 전류(Ib2)의 대부분을 제공한다. 트랜지스터(Q2)의 베이스 에미터 접합은 권선(W2)양단에 매우 낮은 임피던스를 형성한다. 따라서, 이상적인 전류 트랜스 동작의 성능과 유사한 성능은 권선(W3)의 전류를 권선(W2)에 결합하는 트랜스(T1)에서 얻어진다. 권선들(W2, W3)간에 요구되는 권선비는 트랜지스터(Q2)의 전류 이득(h_{FE})에 의해서 결정된다. 예컨대, 전류 이득(h_{FE})은 4 및 7의 한계 허용 범위내의 값을 갖는다.

전류(Ic2)에 비례하는 업램핑 베이스 전류는 제2b도의 시간 t_2 후에만 제1a도의 권선(W2)에서 유도된다. 제2c도의 트랜스 결합된 업램핑 전류(Ic2)는 제1a도의 트랜스(T1)에 저장된 자기 에너지에 의해 이미 제공된 전술한 전류에 부가되어 제2b도의 업램핑 베이스 전류(Ib2)를 형성한다. t_2 내지 t_3의 기간 동안에, 베이스 전류(Ib2)는 주로 제2c도의 전류(Ic2)로부터 생성된다. 제2b도의 전류(Ib2)의 변화율은 제2c도의 업램핑 콜렉터 전류(Ic2)를 가지는 제1a도의 편향 트랜지스터(Q2)의 베이스 전류 조건에 엄밀하게 따른다. 제1a도의 트랜지스터(Q2)의 컷오프는 본 명세서의 일부를 이루는 브루노 이. 헨니그(Bruno E. Hennig)의 이름으로 출원된 미국 특허 출원 제481,426호인 "비디오 장치 내의 편향 구동기(A DEFLECTION DRIVER IN A VIDEO APPARAUS)"에 설명된 바와 같이 제1a도의 트랜지스터가 포화 상태로 스위칭되었을 때 제2c도의 시간 t_3에서 개시된다.

제1b도의 온/오프 신호는 온/오프 트랜지스터 스위치(Q4)의 베이스에 결합된다. 그 트랜지스터(Q4)의 콜렉터는 풀업(pull-up) 저항(R10)을 통해 제너 다이오드(Z12)에서 발생된 +12 볼트 전압(Vcc)에 결합된다. 제너 다이오드(Z12) 내의 +12 볼트 전압은 스탠바이 및 런 모드의 양 모드에서 전압원(V+)으로부터 생성된다. 동작의 스탠바이 모드에서, 트랜지스터(Q4)가 비전도성일 때, 트랜지스터(Q4)의 콜렉터 전압(STBY)은 대략 +9.5 볼트이다. 따라서, 트랜지스터(Q5)는 전도성이 되고 트랜지스터(Q2)의 스위칭 동작을 억제하는 방식으로 동작의 스탠바이 모드에 걸쳐 트랜지스터(Q1)를 턴온시킨다.

예컨대, 모토롤라(社)에 의해 만들어진 잘 알려진 집적회로(IC) MC 1391에 의해 구현된 제1도의 위상 제어단(102)은, 도시되어 있진 않지만, 비디오 검출기로부터 구해진 수평 동기화 펄스에 의해 동기되는 2루프 시스템의 통상적인 위상 동기 루프(phase-lock-loop) 회로로부터 2xfH의 주파수에서 동기화 신호(SYNC)를 수신한다. 또한, 위상 제어단(102)은 트랜스(T2)에서 생성된 피드백 신호인 FLYBACK을 수

신한다. 위상 제어단(102)은 2 루프 시스템의 위상 제어 루프를 형성하도록 OSC신호를 생성한다.

IC(MC1391)의 M/S 단자에서의 전압(VDC)의 일부는 저항(R60)과 직렬로 결합된 저항(R50)에 의해 형성된 전압 분할기에 의해서 발생된다. M/S 단자에서의 전압(VDC)은 OSC 신호의 듀티 사이클을 제어한다. 직렬 결합된 저항(R50, R60)은 동작의 런 모드 동안에 1/2 보다 큰 OSC 신호의 듀티 사이클을 설정하기 위해 +12 볼트의 전원 전압(Vcc)과 접지 사이에 결합된다. 상기 듀티 사이클은 신호(OSC)의 주어진 일부 사이클 또는 주기간 비율에 의해서 규정되는데, 여기서 트랜지스터(Q2)는 그 사이클의 전체 길이 대해 전도성이다. 전압(Vcc)은 제너 다이오드(Z12)에 의해 전원 전압원(V+)으로부터 발생된다. 제너 다이오드(Z12)는 동작의 스탠바이 및 런 모드 동안에, 위상 제어단(102)의 IC 1359에 인가될 전압(Vcc)을 생성한다.

본 발명의 특징을 구체화하는 직렬 결합된 다이오드(CR1), 저항(R20), 저항(R40) 및 다이오드(CR2)를 포함하는 배열(200)은 스탠바이 동안에만 발생되는 전압(STBY)을 위상 제어단(102)의 IC(MC1391)의 입력 단자(M/S)에 결합한다. 결과적으로, 입력 단자(M/S)에서의 전압(VDC)을 제어하는 듀티 사이클은 동작의 정상 런 모드동안 보다 더 커지거나 양이게 된다.

온/오프 신호가 천이 기간을 개시하도록 "ON'' 상태로 바뀌면, 전압(STBY)은 OOI 되고 트랜지스터(Q4)는 전도성이 되어, 제1a도의 트랜지스터(Q5)는 비전도성을 갖게 된다. 따라서, 트랜지스터(Q1)의 베이스에 OSC 신호를 결합하는 것이 가능하게 되고 스위칭 동작은 트랜지스터(Q2)에서 개시된다.

천이 기간의 개시 이전에, M/S 단자의 전압은 런 모드에서 보다 크고 상기 전압은 OSC 신호의 듀티 사이클을 8%와 같이 실질적으로 50% 보다 적게 한다. 스탠바이 동안에 전압(STBY)에 의해 충전된 커패시터(C10)와 저항(R30)은 배열(200)의 저항들(R20, R40)간의 접합점에서 병렬로 결합되어 있다.

본 발명의 특징을 실행하는데 있어서, 천이 기간의 개시에서의 OSC 신호의 듀티 사이클은 배열(200)에 의해, 예컨대 8 %정도로 동작의 정상 런 모드에서 보다 훨씬 작도록 제어된다. 이는 천이 기간 동안에 트랜지스터(Q2)의 콜렉터 전류(Ic2)가 과도해지는 경향을 감소시키기 위해서 행해지는 것이다. 트랜지스터(Q2)의 콜렉터 전류가 과도해지는 경향은 필터 커패시터 및 기타 용량성 부하들(이 중 CU 및 CT만이 도시됨)이 천이 기간에 앞서 완전히 방전되기 때문이다. 예컨대, 천이 기간의 개시에서 필터 커패시터(CD)가 완전히 방전되기 때문에, 실제로 필더 커패시터는 충전될 때까지 변압기(T2)에 대하여 단락 회로를 형성한다. 그 결과, 트랜지스터(Q2)가 처음으로 턴온되면, 권선(T2c)의 전류(iT2c)는 큰 값을 갖게 된다.

권선(T2c)과 권선(T2a)간에 밀접한 결합 때문에, 권선(T2a)에 흐르는 전류(Ic2)의 일부는 높은 변화율로 증가한다. 만일 트랜지스터(Q2)의 듀티 사이클이 런 모드에서와 같이 크다면, 전류(Ic2)의 피크치는 27 A와 같이 과도하게 될 수 있다.

트랜스(T1)를 통한 정귀환 때문에, 베이스 전류(Ib2)는 매우 높은 콜렉터 전류 레벨에서도 트랜지스터(Q2)의 포화 상태를 유지할 수 있다. 바람직하게도, 일부 천이 기간 동안에 배열(200)에 의해 신호(OSC)의 듀티 사이클을 감소시키는 것은 트랜지스터(Q2)의 콜렉터 전류가 과도해지는 경향을 감소시킨다. 따라서, OSC 신호의 듀티 사이클을 매우 작게 유지함으로써, 천이 기간 동안에 필터 커패시터는 더욱 긴 주기에 걸쳐서 충전되고, 피크 콜렉터 전류(Ic2)는 트랜지스터(Q2)에서 허용 가능한 24A보다 작은 크기로 유지된다. 이에 비하여, 런 모드 동안에 전류(Ic2)는 9.5A의 피크치를 갖는다. 그 결과로서 소프트 스타트 동작이 달성된다.

천이 기간 동안에, 커패시터(C10)는 다이오드(CR1)에 의해서 전도 트랜지스터(Q4)로부터 분리된다. 따라서, 커패시터(C10)는 커패시터(CT)와 같은 필터 커패시터가 충전될 때까지 충분히 작은 듀티 사이클을 유지하는 방식으로 저항(R30)에 의해 천천히 방전된다. 커패시터(C10) 양단의 전압이 감소하면, M/S 단자의 전압(VDC)도 감소하고 OSC 신호 및 트랜지스터(Q2)의 듀티 사이클은 점차적으로 증가한다. 양호하게도, 커패시터(C10)의 전압이 다이오드(CR2)가 비전도성으로 되는 레벨까지 감소하면, M/S 단자에서의 전압은 저항(R50, R60)에 의해 결정된 상기 단자의 런 모드 레벨에 있게 된다. 따라서, 동작의 런 모드에 있어서, 배열(200)은 OSC 신호의 듀티 사이클에 영향을 미치지 못한다.

제3a도 내지 제3d도는 후술하는 동작 조건하에서, 온/오프 신호가 "ON" 상태로 변한 직후에 천이 기간의 처음 및 다음 사이클 동안의 제1a도의 콜렉터 전류(Ic2)의 파형을 도시하고 있다.

제3a 및 3b도의 파형은 제1b도에서 괄호없이 도시된 바와같이 저항(R20)의 값이 470Ω일때 구해진다. 이 경우에 있어서, 소프트 스타트 동작을 제공하기 위해서, OSC 신호의 8%의 전술한 듀티 사이클이 천이 기간의 개시에서 얻어진다.

제3c도의 파형은 제1b도에서 괄호안에 도시된 바와 같이 저항(R2)의 값을 470Ω대신에 10Ω으로 대치할 때 획득된다. 그 결과 제3d도의 전류(Ic2)의 듀티 사이클은 훨씬 더 작은 값으로부터 점차적으로 증가한다. 이러한 배열에 있어서, 제1b도의 OSC 신호는 스탠바이 동안에는 발생되지 않는다. 그 결과로서 전류(Ic2)의 피크는 12A로 저항(R20)값이 470Ω일 때 22 A인 것보다 훨씬 작다.

제3d도의 파형은 제1b도의 다이오드(CR2)가 제거되면 얻을 수 있는데, 이로써 소프트 스타트 특징은 무시된다. 그 결과로서, 좋지 않게도, 피크 전류(IC2)는 27A로 과도해지고 상기 전류의 듀티 사이클은 천이 기간 동안에 50%보다 커진다.

(57) 청구의 범위

청구항 1

(정정)

비디오 디스플레이 장치의 편향 장치로서, 최소한 동작의 스탠바이 모드(standby mode) 다음에 오는 천

이 기간(1 msec, 제3c도)동안 및 동작의 런 모드(run mode)동안에 발생되는 입력 전원 전압원 (B+, 제1a도)과, 상기 전원 전압원에 결합되는 전원 인덕턴스(T2a, 제1a도)와, 편향 사이클의 귀선 기간 동안에, 귀선 공진 회로(101)를 형성하도록 귀선 커패시턴스(C4)에 결합되는 편향 권선(L_H)과, 편향 주파수에 관련된 주파수에서 제1제어신호(Ib2)를 발생하는 수단(Q3, Q1,T1)과, 상기 제1제어 신호에 응답하고 상기 공진 회로 및 상기 전원 인덕턴스에 결합되어 상기 천이 기간 및 상기 동작의 런 모드 동안에 주기적인 스위칭 동작을 수행하고, 스위칭 동작이 발생할 때 상기 전원 인덕턴스에 플라이백(flyback) 펄스 전압(Vc2)을 발생하고 상기 편향 권선에 편향 전류(I_H)를 발생하며, 상기 편향 전류의 전류 경로에 결합된 한 쌍의 주 전류 전도 단자가 있는 제1반도체 스위칭 수단(Q2, 제1a도)을 포함하는 편향 장치에 있어서, 온/오프 제어 신호(STBY)에 응답하고 상기 제1제어신호 발생 수단(Q3, Q1, T1)에 결합되어 상기 천이 기간 동안의 상기 제1제어 신호의 파형을 상기 동작의 런 모드 동안의 상기 제1제어 신호의 파형과 관련하여 제어함으로써, 소프트 스타트(soft start) 동작을 제공하여 상기 천이 기간 동안에 상기 제1반도체 스위칭 수단에서의 과도한 전류를 방지하는 수단(CR1, R30, C10, CR2 , R50, R60, 제1b도)을 포함하는 것을 특징으로 하는 비디오 디스플레이 장치의 편향 장치.

청구항 2

(정정) 제1항에 있어서, 상기 제1반도체 스위칭 수단의 제어 단자에 결합된 제1권선(W2)과 상기 제1반도체 스위칭 수단에 의해 생성된 신호에 응답하는 제2권선(W3)을 구비하여, 상기 제1반도체 스위칭 수단의 주 전류 전도 단자(콜렉터, 에미터)의 전류(Ic2)에 비례하는 정귀환 방식으로 상기 제1제어 신호(Ib2)의 램프부(ramping portion)[트래이스(trace)]를 발생하는 구동 트랜스(T1, 제1a도)를 더 포함하는 것인 편향 장치.

청구항 3

(정정) 제2항에 있어서, 상기 제1제어 신호 발생 수단(Q3, Q1, T1)은 상기 편향 주파수에 관련된 주파수에서 동기화 신호(Vosc)에 응답하고 상기 구동 트랜스를 경유하여 상기 제1반도체 스위칭 수단의 제어 단자에 트랜스 접속된 주 전류 전도 단자를 구비하여 상기 제1반도체 스위칭 수단의 스위칭 동작을 제어하는 제2반도체 스위칭 수단을 포함하는 것인 편향 장치.

청구항 4

(정정) 제1항에 있어서, 상기 전원 인덕턴스(T2a)는 플라이백 트랜스(T2)의 제1권선(T2a)을 포함하고, 상기 플라이백 펄스 전압(Vc2)은 상기 플라이백 트랜스의 제2권선(T2b)을 거쳐 정류기(D4)에 트랜스 접속되며, 상기 정류기는 상기 플라이백 펄스전압을 정류하여 부하 회로(LOAD, CT)에서 출력 전원 전압(VCT)을 발생하는 것인 편향 장치.

청구항 5

(정정) 제4항에 있어서, 상기 로드 회로(LOAD, CT)는 상기 동작의 스탠바이 모드 동안에 방전되는 용량성 부하(CT)를 포함하는데, 상기 방전된 용량성 부하는 상기 천이 기간(1 msec, 제3c도) 동안에 상기 제1반도체 스위칭 수단의 상기 전류(Ic2)가 과도해지는 경향을 발생시키는 상기 동작의 런 모드 동안 보다 더욱 가중한 부하를 형성하며, 상기 듀티 사이클(duty cycle) 제어 수단(102)은 상기 천이 기간 동안에 상기 듀티 사이클을 감소시킴으로써 상기 제1반도체 스위칭 수단의 상기 메인 전류 전도 단자에서의 상기 전류가 과도해지는 경향을 감소시키는 것인 편향 장치.

청구항 6

(정정) 제1항에 있어서, 상기 듀티 사이클 제어 수단(102)은 상기 제1제어 신호 발생 수단(Q3, Q1, T1)에 결합되어 상기 제1제어 신호(Ib2)의 듀티 사이클을 상기 동작의 런 모드 동안에서 보다 상기 천이 기간 동안에 더욱 작게 하는 것인 편향 장치.

청구항 7

(정정) 제1항에 있어서, 상기 듀티 사이클 제어 수단(102)은 상기 동작의 스탠바이 모드 동안에 커패시터 전압(VDC)을 발생하는 커패시터(C10)를 포함하는데, 상기 커패시터 전압은 상기 천이 기간 동안에 주어진 방향으로 변하고(감소) 이 커패시터 전압의 크기에 따라 상기 제1 제어 신호(Ib2)의 듀티 사이클을 제어하도록 상기 제1제어신호 발생 수단(102)에 접속되어, 상기 커패시터 전압이 소정의 크기에 도달한 후에 상기 천이 기간의 끝에서 상기 듀티 사이클이 더 이상 상기 커패시터에 의해 결정되지 않는 것인 편향 장치.

청구항 8

(정정) 비디오 디스플레이 장치의 편향 장치로서, 최소한 동작의 스탠바이 모드 다음에 오는 천이 기간(1 msec, 제3c도) 동안 및 동작의 런 모드 동안에 발생되는 입력 전원 전압원(B+, 제1a도)과, 상기 전원 전압원에 결합되는 전원 인덕턴스(T2a, 제1a도)와, 편향 사이클의 귀선 기간 동안에 귀선 공진 회로(101)를 형성하도록 귀선 커패시턴스(C4)에 결합되는 편향 권선(L_H)과, 편향 주파수에 관련된 주파수에서 제1제어신호(Ib2)를 발생하는 수단(Q3, Q1, T1)과, 상기 천이 기간 및 상기 동작의 런 모드 동안에 주기적인 스위칭 동작을 수행하도록 상기 제1제어신호에 응답하고 상기 공진 회로 및 상기 전원 인덕턴스에 결합되어 상기 편향 권선에서 편향 전류(I_H)를 발생하고, 스위칭 동작이 발생할 때 상기 전원 인덕턴스에 플라이백 펄스전압(Vc2)을 발생시키며, 상기 편향 전류의 전류 경로에 결합된 한 쌍의 주 전류 전도 단자가 있는 제1스위칭 트랜지스터(Q2, 제1a도)를 포함하는 편향 장치에 있어서, 온/오프 제어 신호(STBY)에 응답하여 제2제어신호(MC1391의 8번 핀에서의 전압)를 발생하며, 상기 제2제어 신호는 상기 제1제어 신호 발생 수단에 접속되어 상기 제2제어 신호가 제1레벨(다이오드 CR2가 전도 상태임)에 있을

때 상기 천이 기간 동안에 상기 스위칭 트랜지스터의 듀티 사이클을 충분히 감소시키는 방식으로 그 듀티 사이클을 제어하는 수단(CR1, R30, C10, CR2) 을 포함하는 것을 특징으로 하는 비디오 디스플레이 장치의 편향 장치.

청구항 9

(정정) 제8항에 있어서, 상기 제2 제어 신호 발생 수단(CR1, R30, C10, CR2)은 상기 동의 런 모드동안에 상기 제1제어 신호 발생 수단(102)으로부터 분리되는 것인 편향 장치.

청구항 10

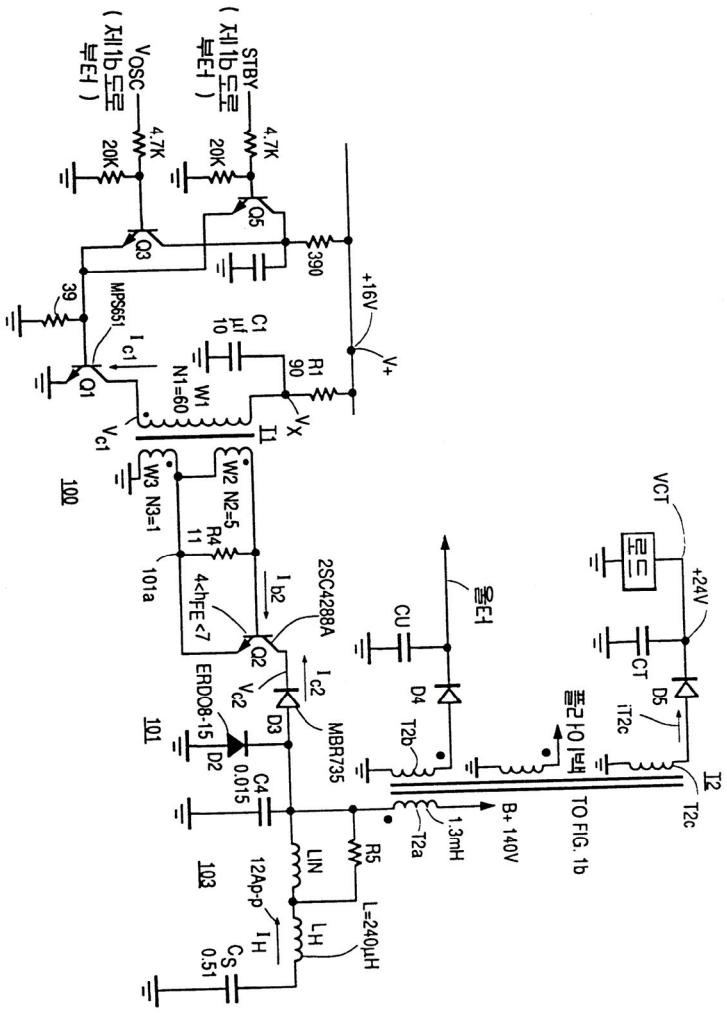
제8항에 있어서, 상기 제2 제어 신호 발생 수단(CR1, R30, C10, CR2)은 상기 천이 기간 동안에 제1전압(VDC)을 상기 제1제어 신호 발생 수단(102)의 한 단자(8번 핀)에 결합하고, 상기 동작의 런 모드 동안에 상기 단자로부터 상기 제1전압을 분리하며, 최소한 상기 동작의 런 모드 동안에 제2전압(R50 및 R60간의 전압)을 상기 제1제어 신호 발생 수단에 결합하는 것인 편향 장치.

청구항 11

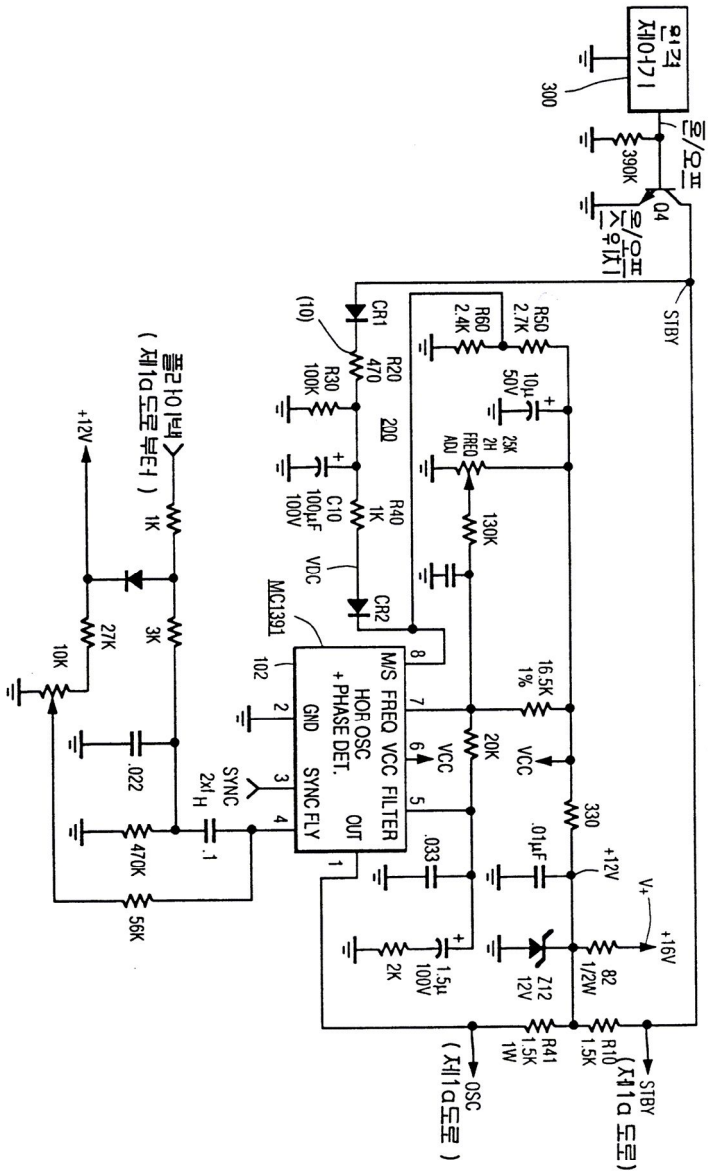
(신설) 비디오 디스플레이 장치의 편향 장치로서, 최소한 동작의 스탠바이 모드 다음에 오는 천이 기간(1 msec, 제3c도) 동안 및 동작의 정상 모드 동안에 발생되는 입력 전원 전압원(B+, 제1a도)과, 상기 전원 전압원에 접속된 전원 인덕턴스(T2a, 제1a도)와, 편향 사이클의 귀선 기간 동안에 귀선 공진 회로(101)를 형성하도록 귀선 커패시턴스(C4)에 결합된 편향 권선(L_H)을 포함하는 편향 장치에 있어서, 편향 주파수에 관련된 주파수에서, 천이 기간 동안에는 제1 듀티 사이클을 가지고 상기 동작의 정상 모드 동안에는 제2듀티 사이클을 가지는 제1제어 신호를 발생하는 수단(Q3, Q1, T1)과, 상기 제1제어 신호에 응답하고 상기 전원 인덕턴스 및 상기 공진 회로에 결합되어 상기 천이 기간 동안 및 상기 동작의 런 모드 동안에 주기적인 스위칭 동작을 수행하며, 스위칭 동작이 발생할 때 상기 편향 권선 내에 편향 전류(I_H) 및 상기 전원 인덕턴스 내에 플라이백 펄스 전압(Vc2)을 발생하는 제1스위칭 트랜지스터(Q2, 제1a도)를 포함하는 것을 특징으로 하는 비디오 디스플레이 장치의 편향 장치.

도면

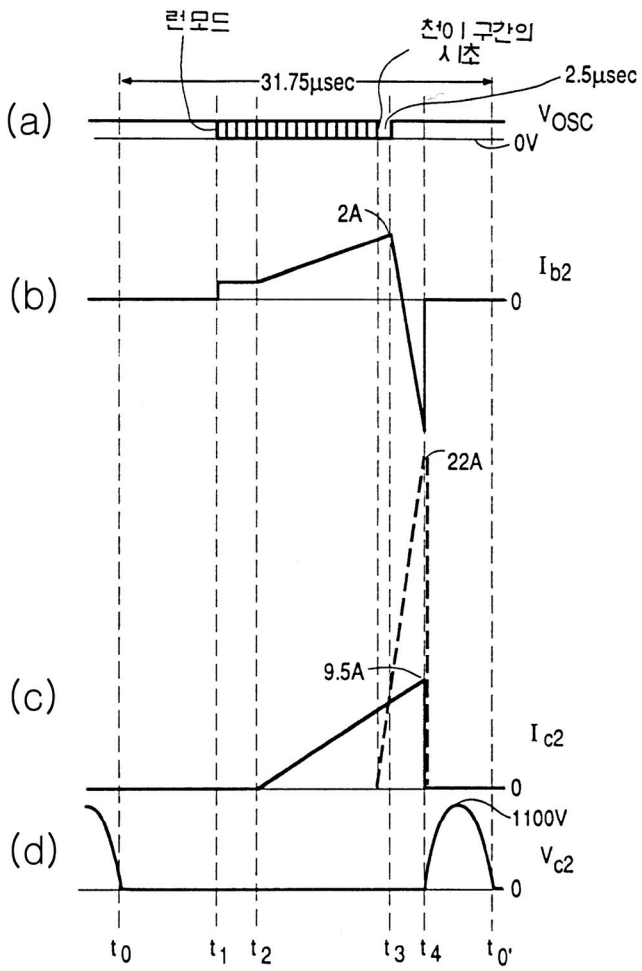
도면1a



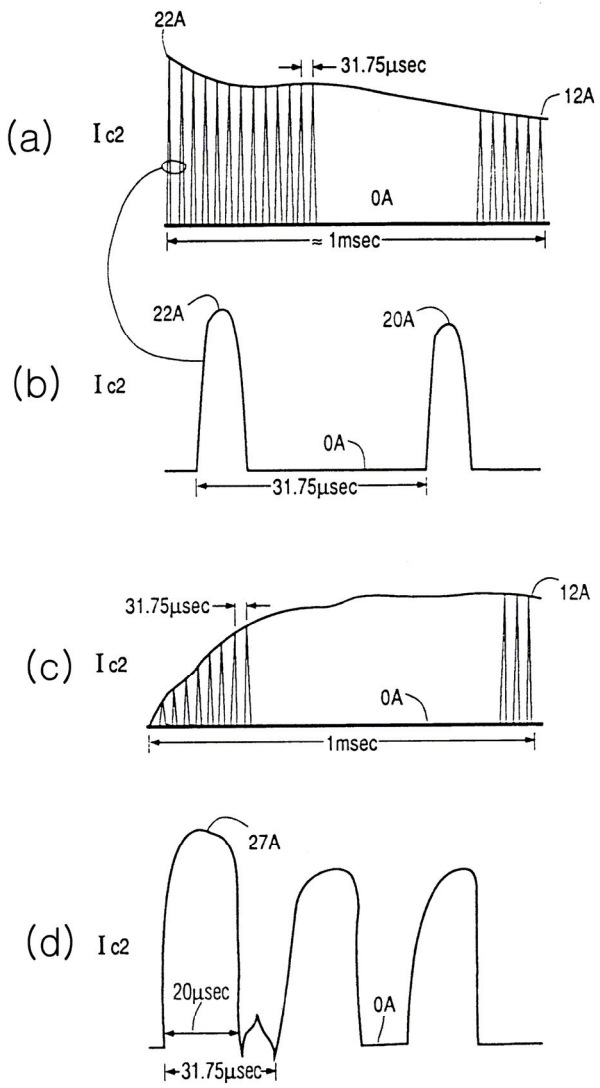
도면1b


원격
제어기
300
온/오프
390K
Q4
온/오프
감지기
STBY
CR1
(10)
R20
470
R30
100K
R60
2.4K
R50
2.7K
10μ
50V
25K
2H
FREQ
ADJ
130K
R40
1K
C10
100μF
100V
VCC
CR2
MC1391
102
8
7
6
5
4
3
2
1
M/S FREQ VCC FILTER
HOR OSC
+ PHASE DET.
OUT
GND
SYNC FLY
SYNC
2xf H
.1
16.5K
1%
20K
VCC
330
.01μF
+12V
V+
+16V
.033
2K
1.5μ
100V
Z12
12V
82
1/2W
R41
1.5K
1W
R10
1.5K
OSC
(제1a도로)
STBY
(제1a 도로)
플라이백
(제1a도로부터)
1K
+12V
27K
10K
3K
.022
470K
56K

도면2


런모드
천이 구간의 시초
31.75μsec
2.5μsec
(a)
VOSC
0V
2A
(b)
Ib2
0
22A
9.5A
(c)
Ic2
0
1100V
(d)
Vc2
0
t0
t1
t2
t3
t4
t0'

도면3


(a)
Ic2
22A
31.75μsec
12A
0A
≈ 1msec
(b)
Ic2
22A
20A
0A
31.75μsec
(c)
Ic2
31.75μsec
12A
0A
1msec
(d)
Ic2
27A
20μsec
0A
31.75μsec