



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년01월22일
(11) 등록번호 10-1820776
(24) 등록일자 2018년01월16일

(51) 국제특허분류(Int. Cl.)
H01L 27/10 (2006.01) H01L 21/8242 (2006.01)
H01L 27/108 (2006.01) H01L 29/786 (2006.01)
(21) 출원번호 10-2012-7023371
(22) 출원일자(국제) 2011년01월24일
심사청구일자 2016년01월11일
(85) 번역문제출일자 2012년09월06일
(65) 공개번호 10-2012-0135407
(43) 공개일자 2012년12월13일
(86) 국제출원번호 PCT/JP2011/051836
(87) 국제공개번호 WO 2011/102205
국제공개일자 2011년08월25일
(30) 우선권주장
JP-P-2010-035435 2010년02월19일 일본(JP)
(56) 선행기술조사문헌
KR1020090084642 A*
JP2009033145 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
사이토 토시히코
일본국 2430036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
(74) 대리인
황의만

전체 청구항 수 : 총 9 항

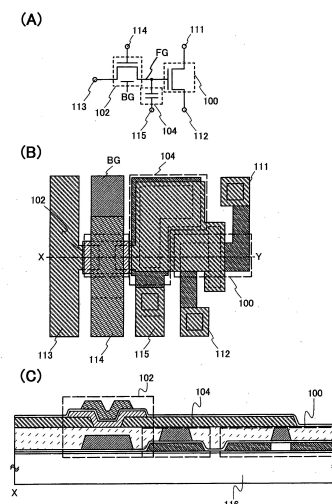
심사관 : 곽혁용

(54) 발명의 명칭 반도체 장치

(57) 요약

복수의 트랜지스터가 고집적화된 소자중의 적어도 하나의 트랜지스터에, 제작 공정수를 증가시키는 일 없이 백게이트를 마련한다. 복수의 트랜지스터가 상하로 적층되어 마련된 소자에 있어서, 적어도 상부의 트랜지스터는, 반도체 특성을 나타내는 금속 산화물에 의해 마련되나, 하부의 트랜지스터가 갖는 게이트 전극층을 상부의 트랜지스터의 채널형성 영역과 중첩하도록 배치하여, 그 게이트 전극층과 동일한 층의 일부를 상부의 트랜지스터의 백게이트로서 기능시킨다. 하부의 트랜지스터는, 절연층으로 덮인 상태에서 평탄화 처리가 실시되며, 게이트 전극이 노출되어, 상부의 트랜지스터의 소스 전극 및 드레인 전극이 되는 층에 접속되어 있다.

대표도 - 도1



명세서

청구범위

청구항 1

소자를 포함하는 반도체 장치로서,

상기 소자는:

제 1 반도체층과 제 1 게이트 전극을 포함하는 제 1 트랜지스터; 및

백게이트 전극, 상기 백게이트 전극 및 상기 제 1 게이트 전극을 덮는 절연층, 상기 백게이트 전극 위의 제 2 반도체층, 및 상기 제 2 반도체층 위의 제 2 게이트 전극을 포함하는 제 2 트랜지스터를 포함하고,

상기 절연층은 상기 제 2 반도체층과 상기 백게이트 전극 사이에 개재되어 있고,

상기 제 1 게이트 전극의 상부는 상기 절연층에 의해 덮이지 않고, 상기 제 1 게이트 전극의 상기 상부는 상기 제 2 트랜지스터의 소스 및 드레인 중 하나에 접속되고,

상기 제 2 반도체층은 산화물 반도체막을 포함하고,

상기 백게이트 전극은 상기 제 1 게이트 전극과 동일막으로 형성된, 반도체 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

소자를 포함하는 반도체 장치로서,

상기 소자는:

제 1 반도체층과 제 1 게이트 전극을 포함하는 제 1 트랜지스터; 및

백게이트 전극, 상기 백게이트 전극 및 상기 제 1 게이트 전극을 덮는 절연층, 상기 백게이트 전극 위의 제 2

반도체층, 상기 제 2 반도체층 위의 제 2 게이트 전극, 및 소스 전극과 드레인 전극을 포함하는 제 2 트랜지스터를 포함하고,

상기 절연층은 상기 제 2 반도체층과 상기 백게이트 전극 사이에 개재되어 있고,

상기 제 2 반도체층은 산화물 반도체막을 포함하고,

상기 백게이트 전극은 상기 제 1 게이트 전극과 동일막으로 형성되고,

상기 제 1 게이트 전극의 상부는 상기 절연층에 의해 덮이지 않고, 상기 제 1 게이트 전극의 상기 상부는 상기 소스 전극과 상기 드레인 전극 중 한쪽과 접촉하는, 반도체 장치.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

소자를 포함하는 반도체 장치로서,

상기 소자는:

제 1 반도체층과 제 1 게이트 전극을 포함하는 제 1 트랜지스터;

백게이트 전극, 상기 백게이트 전극 및 상기 제 1 게이트 전극을 덮는 절연층, 상기 백게이트 전극 위의 제 2 반도체층, 및 상기 제 2 반도체층 위의 제 2 게이트 전극을 포함하는 제 2 트랜지스터; 및

제 1 용량 전극 및 상기 제 1 용량 전극 위의 제 2 용량 전극을 포함하는 용량 소자를 포함하고,

상기 절연층은 상기 제 2 반도체층과 상기 백게이트 전극 사이에 개재되어 있고,

상기 제 1 게이트 전극의 상부는 상기 절연층에 의해 덮이지 않고, 상기 제 1 게이트 전극의 상기 상부는 상기 제 2 트랜지스터의 소스 및 드레인 중 하나에 접속되고,

상기 제 2 반도체층은 산화물 반도체막을 포함하고,

상기 백게이트 전극, 상기 제 1 게이트 전극, 및 상기 제 2 용량 전극은 상기 제 1 게이트 전극과 동일막으로 형성된, 반도체 장치.

청구항 18

제 1 항, 제 9 항, 및 제 17 항 중 어느 한 항에 있어서,
상기 제 1 트랜지스터는 SOI 기판에 의해 지지되어 있는, 반도체 장치.

청구항 19

제 1 항, 제 9 항, 및 제 17 항 중 어느 한 항에 있어서,
상기 제 1 트랜지스터는 실리콘 기판에 의해 지지되어 있는, 반도체 장치.

청구항 20

삭제

청구항 21

제 1 항, 제 9 항, 및 제 17 항 중 어느 한 항에 있어서,
상기 제 1 게이트 전극의 상면은 상기 절연층으로 덮여 있지 않은, 반도체 장치.

청구항 22

제 1 항, 제 9 항, 및 제 17 항 중 어느 한 항에 있어서,
상기 백게이트 전극과 상기 제 2 반도체층의 채널 형성 영역 사이의 거리는 상기 제 1 반도체층의 두께와 동일한, 반도체 장치.

청구항 23

제 1 항, 제 9 항, 및 제 17 항 중 어느 한 항에 있어서,
상기 소자는 기억소자인, 반도체 장치.

청구항 24

제 1 항, 제 9 항, 및 제 17 항 중 어느 한 항에 있어서,
상기 소자는 반전 소자인, 반도체 장치.

발명의 설명

기술 분야

본 발명의 일 태양은, 반도체 장치에 관한 것이다. 특히, 기억소자 및 반전 소자를 갖는 반도체 장치에 관한 것이다.

배경 기술

근년, 반도체 특성을 나타내는 금속 산화물(이하, 산화물 반도체라고 한다)이 주목받고 있다. 반도체 특성을 나타내는 금속 산화물은, 트랜지스터에 적용할 수 있다(특허문헌 1 및 특허문헌 2).

선행기술문헌

특허문헌

(특허문헌 0001) 특허문헌 1 : 일본 특개 2007-123861호 공보

(특허문헌 0002) 특허문헌 2 : 일본 특개 2007-96055호 공보

발명의 내용

해결하려는 과제

본 발명의 일 태양은, 복수의 트랜지스터가 고집적화된 소자중의 적어도 하나의 트랜지스터의 스레숄드 전압을 제어하는 것을 과제로 한다. 더우기는, 본 발명의 일 태양은, 제작 공정을 복잡화하는 일 없이 트랜지스터의 스레숄드 전압을 제어할 수 있는 구성을 제공하는 것을 과제로 한다.

과제의 해결 수단

본 발명의 일 태양은, 복수의 트랜지스터가 상하로 적층되어 마련된 소자로서, 적어도 상부의 트랜지스터는, 반도체 특성을 나타내는 금속 산화물에 의해 마련되어 있고, 하부의 트랜지스터가 갖는 게이트 전극층과 동일한 층의 일부를 상부의 트랜지스터의 채널형성 영역과 중첩하도록 배치하여, 그 게이트 전극층을 상부의 트랜지스터의 백게이트로서 기능시킨다.

여기서, 하부의 트랜지스터는, 절연층으로 덮인 상태에서 평탄화 처리가 실시되며, 하부의 트랜지스터의 게이트 전극은 노출되어, 상부의 트랜지스터의 소스 전극 또는 드레인 전극이 되는 층에 접속되어 있다.

또한 백게이트로서 기능시키는 부분은 반도체층 위에 중첩시키지 않고 마련하기 때문에, 그 위에 절연층이 잔존하고, 하부의 트랜지스터가 갖는 게이트 전극층과 동일한 층의 일부와 상부의 트랜지스터의 반도체층은 절연층을 통하여 중첩한다.

발명의 효과

복수의 트랜지스터가 고집적화된 소자중의 적어도 하나의 트랜지스터의 스레숄드 전압을 제어할 수 있다. 더우기는, 이들의 트랜지스터의 스레숄드 전압의 제어를, 제작 공정을 복잡하게 하는 일 없이 실현할 수 있다.

도면의 간단한 설명

도 1(A) 내지 도 1(C)는 실시형태 1의 기억소자를 설명하는 도면.

도 2는 실시형태 1의 기억소자를 적용한 기억장치를 설명하는 도면.

도 3은 도 2의 기억장치의 동작을 설명하는 타이밍 차트도.

도 4(A) 및 도 4(B)는 실시형태 1의 기억장치의 읽기 회로를 설명하는 도면.

도 5(A) 내지 도 5(H)는 실시형태 1의 기억소자의 제작 방법을 설명하는 도면.

도 6(A) 내지 도 6(G)는 실시형태 1의 기억소자의 제작 방법을 설명하는 도면.

도 7(A) 내지 도 7(D)는 실시형태 1의 기억소자의 제작 방법을 설명하는 도면.

도 8(A) 내지 도 8(C)는 실시형태 2의 기억소자를 설명하는 도면.

도 9(A) 내지 도 9(C)는 실시형태 3의 반전 소자를 설명하는 도면.

도 10(A) 내지 도 10(C)는 실시형태 4의 반전 소자를 설명하는 도면.

도 11(A) 내지 도 11(C)는 실시형태 5의 기억소자를 설명하는 도면.

도 12(A) 내지 도 12(C)는 실시형태 6의 기억소자를 설명하는 도면.

도 13(A) 내지 도 13(C)는 실시형태 7의 기억소자를 설명하는 도면.

도 14(A) 내지 도 14(C)는 실시형태 8의 기억소자를 설명하는 도면.

도 15(A) 내지 도 15(F)는 실시형태 9의 전자기기를 설명하는 도면.

발명을 실시하기 위한 구체적인 내용

본 발명의 실시형태에 대하여 도면을 이용하여 상세하게 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 그 형태 및 상세를 여러 가지로 변경할 수 있는 것은, 당업자라면 용이하게 이해된다. 또한, 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

(실시형태 1)

본 실시형태는, 본 발명의 일 태양인 반도체 장치에 대하여 설명한다. 본 실시형태에서는, 반도체 장치로서, 구체적으로는 기억장치를 든다.

도 1(A)는, 본 실시형태의 기억장치에 포함되는 기억소자의 회로도의 일 예를 나타낸다.

도 1(A)에 나타내는 기억소자는, 트랜지스터(100), 트랜지스터(102) 및 용량 소자(104)를 갖는다. 도 1(A)에 있어서, 트랜지스터(100)의 소스 전극 및 드레인 전극중의 한쪽은 제 1 배선(111)에 전기적으로 접속되고, 트랜지스터(100)의 소스 전극 및 드레인 전극중의 다른 쪽은 제 2 배선(112)에 전기적으로 접속되어 있다. 트랜지스터(102)의 소스 전극 및 드레인 전극중의 한쪽은, 제 3 배선(113)에 전기적으로 접속되고, 트랜지스터(102)의 게이트 전극은, 제 4 배선(114)에 전기적으로 접속되어 있다. 그리고 트랜지스터(100)의 게이트 전극과 트랜지스터(102)의 소스 전극 및 드레인 전극중의 다른 쪽은, 용량 소자(104)의 전극중의 한쪽에 전기적으로 접속되어 있다. 용량 소자(104)의 전극중의 다른 쪽은 제 5 배선(115)에 전기적으로 접속되어 있다. 트랜지스터(102)에는, 추가의 게이트 전극으로서 백게이트(BG)가 마련되어 있다.

여기서, 트랜지스터(102)로서는, 채널형성 영역에 산화물 반도체를 이용한 트랜지스터가 적용된다. 산화물 반도체를 이용한 트랜지스터는, 고순도화하고, 수소 및 물을 제거하는 것 등으로, 오프 전류를 극히 작게 할 수 있다. 이 때문에, 트랜지스터(102)를 오프함에 의해, 트랜지스터(100)의 게이트 전극에게 주어진 전하를 극히 장시간에 걸쳐서 보유하는 것이 가능하다. 그리고 용량 소자(104)를 가짐에 의해, 트랜지스터(100)의 게이트 전극에게 주어진 전하의 보유가 용이하게 되고, 보유된 데이터의 읽기도 용이하게 된다.

도 1(A)에 나타내는 기억소자에 있어서의 데이터의 쓰기, 데이터의 보유, 및 데이터의 읽기 동작에 대하여 이하에 설명한다.

우선, 제 4 배선(114)에 의해 트랜지스터(102)를 온시킴으로써, 제 3 배선(113)으로부터 공급된 전하가, 트랜지스터(100)의 게이트 전극 및 용량 소자(104)중의 한쪽의 전극에게 주어진다. 즉, 트랜지스터(102)의 소스 전극 및 드레인 전극중의 다른 쪽과, 용량 소자(104)의 전극중의 한쪽과, 트랜지스터(100)의 게이트 전극을 전기적으로 접속한 FG부분(도 1(A)의 FG부분)에 전하가 주어진다(쓰기). 여기에서는, 다른 2개의 전위 레벨을 주는 전하 중 어느 것이 주어지는 것으로 한다. 여기서, 전위 레벨이 낮은 쪽의 전하를 「저레벨 전하」 혹은 「Low 레벨 전하」라고 하고, 전위 레벨이 높은 쪽의 전하를 「고레벨 전하」 혹은 「High 레벨 전하」라고 한다.

그 후, 제 4 배선(114)에 의해 트랜지스터(102)를 오프시킴으로써, 도 1(A)의 FG부분의 전하가 보유된다(보유). 트랜지스터(102)의 오프 전류는 극히 작게 할 수 있기 때문에, FG부분의 전하는 장시간에 걸쳐서 보유된다.

다음으로, 데이터의 읽기에 대하여 설명한다. 제 1 배선(111)에 소정의 전위(정전위)를 준 상태에서 제 5 배선(115)에 적절한 전위(읽기 전위)를 주면, FG부분에 보유된 전하량(트랜지스터(100)의 게이트 전극의 전위)에 따라서, 제 2 배선(112)의 전위는 다른 것이 된다. 일반적으로, 트랜지스터(100)를 n형으로 하면, 트랜지스터(100)의 게이트 전극에 고레벨 전하가 주어지고 있는 경우의 「겉보기 스레숄드 전압」 $V_{th,H}$ 는, 트랜지스터(100)의 게이트 전극에 저레벨 전하가 주어지고 있는 경우의 「겉보기 스레숄드 전압」 $V_{th,L}$ 보다 낮아지기 때문이다.

여기서, 트랜지스터(100)의 「겉보기 스레숄드 전압」이란, 제 1 배선(111)을 정전위로 했을 때에 트랜지스터(100)을 온시키기 위해서 필요한 제 5 배선(115)의 전위를 말한다. 따라서, 제 5 배선(115)의 전위를 $V_{th,H}$ 와 $V_{th,L}$ 의 중간의 전위 V_0 로 함에 의해, 트랜지스터(100)의 게이트 전극에게 주어진 전하가, 고레벨 전하인지 또는 저레벨 전하인지를 판별할 수 있다. 예를 들면, 고레벨 전하가 보유되어 있는 경우에는, 제 5 배선(115)의 전위가 $V_0(>V_{th,H})$ 가 되면, 트랜지스터(100)은 온된다. 저레벨 전하가 보유되어 있는 경우에는, 제 5 배선(115)의 전위가 $V_0(<V_{th,L})$ 가 되어도, 트랜지스터(100)은 오프된 상태다. 이 때문에, 제 2 배선(112)의 전위를 참조함으로써, 보유되어 있는 데이터를 판별하여, 읽어낼 수가 있다.

또한 기억소자를 어레이 형상으로 배치하여 이용하는 경우에는, 원하는 기억소자의 데이터만을 읽어낸다. 이와 같이 원하는 기억소자의 데이터만을 읽고, 그 이외의 기억소자의 데이터를 읽어내지 않게 하려면, 각 기억소자간에 트랜지스터(100)가 각각 병렬로 접속되어 있는 경우에는, 게이트 전극 상태에 관계없이 트랜지스터(100)가 오프되는 전위(V_{thH} 보다 작은 전위)를 읽기 대상이 아닌 기억소자의 제 5 배선(115)에게 주면 좋다. 또한, 각 기억소자간에 트랜지스터(100)가 각각 직렬로 접속되어 있는 경우에는, 게이트 전극 상태에 관계없이 트랜지스터(100)가 온되는 전위(V_{thL} 보다 큰 전위)를 읽기 대상이 아닌 기억소자의 제 5 배선(115)에게 주면 좋다.

다음으로, 데이터의 고쳐쓰기에 대하여 설명한다. 데이터의 고쳐쓰기는, 상술한 데이터의 쓰기 및 보유와 마찬가지로 행해진다. 즉, 제 4 배선(114)의 전위에 의해, 트랜지스터(102)를 온시킨다. 이에 의해, 제 3 배선(113)의 전위(새로운 데이터의 전위)가, FG부분에게 주어진다. 그 후, 제 4 배선(114)의 전위에 의해, 트랜지스터(102)를 오프시킴으로써, FG부분에는, 새로운 데이터의 전위 레벨을 주는 전하가 주어진 상태가 된다.

이와 같이, 도 1(A)에 나타내는 기억소자는, 데이터의 다시 쓰기에 의해, 직접적으로 데이터를 고쳐 쓰는 것이 가능하다. 이 때문에 플래시 메모리 등에 있어 플로팅 게이트로부터의 전하의 인출시에 필요하였던 고전압이 불필요하고, 플로팅 게이트로의 전하의 주입 및 플로팅 게이트로부터의 전하의 제거에 의한 동작 속도의 저하를 억제할 수 있다.

또한 트랜지스터(102)의 소스 전극 및 드레인 전극중의 다른 쪽과 트랜지스터(100)의 게이트 전극이 전기적으로 접속됨에 의해, 도 1(A) 중의 FG부분은, 플래시 메모리의 플로팅 게이트와 동일하게 기능한다. 트랜지스터(102)가 오프되어 있는 경우에는, FG부분은 절연층중에 매설된 것으로서 취급할 수 있으며, FG부분에 전하를 보유할 수 있다. 도 1(A)에 나타내는 기억소자에 마련되는 트랜지스터(102)의 채널형성 영역은 산화물 반도체에 의해 마련되어 있고, 트랜지스터(102)의 오프 전류는, 실리콘 등에 의해 마련되는 종래의 트랜지스터의 10만 분의 1 이하로 할 수 있다. 그 때문에, FG부분으로부터의 트랜지스터(102)를 통한 전하의 리크는 거의 일어나지 않는 것으로서 취급하는 것이 가능하다. 즉, 도 1(A)에 나타내는 기억소자를 이용함으로써, 전력이 공급되지 않아도 데이터의 보유가 가능한 불휘발성의 기억장치를 실현할 수 있다.

예를 들면, 트랜지스터(102)의 실온에서의 오프 전류가 10 zA이하이며, 용량 소자(104)의 용량치가 10 fF정도인 경우에는, 적어도 10^4 초 이상의 데이터 보유가 가능하다. 또한 이 보유 시간은, 트랜지스터(102)의 특성이나 용량 소자(104)의 용량치에 의해 변동한다.

더우기는, 상술한 바와 같이, 도 1(A)에 나타내는 기억소자는, 플래시 메모리와는 달리, 채널형성 영역과 FG부분의 사이의 절연층에 터널 전류가 흐르지 않고, 그 절연층은 열화되지 않는다. 그 때문에, 쓰기 회수가 제한되지 않는다. 더우기는, 종래의 플로팅 게이트형 트랜지스터에 있어서 쓰거나 소거 시에 필요하였던 고전압도 불필요하다.

트랜지스터(102)의 게이트 리크가 충분히 작은 경우에는, 트랜지스터(102)가 오프되어 있을 때의 소스 전극과 드레인 전극의 사이의 저항값(실효 저항이라고도 부른다)을 R_{0S} , 용량 소자(104)를 구성하는 절연층에 의한 저항값을 R_1 , 트랜지스터(100)의 게이트 절연층에 의한 저항값을 R_2 로 하면, R_1 가 R_{0S} 보다 크고, R_2 가 R_{0S} 보다 큰 경우에는, 전하의 보유 기간(데이터의 보유 기간이라고도 할 수 있다)은, 주로 트랜지스터(102)의 오프 전류에 의해 결정된다.

반대로, 해당 조건을 만족시키지 않는 경우에는, 트랜지스터(102)의 오프 전류가 충분히 작아도, 보유 기간을 충분히 확보하는 것이 어렵다. 트랜지스터(102)의 오프 전류 이외의 리크 전류(예를 들면, 소스와 게이트의 사이에서 생기는 리크 전류 등)가 크기 때문이다. 따라서, 도 1에 나타내는 기억소자에 있어서는, R_1 가 R_{0S} 보다 크고, R_2 가 R_{0S} 보다 큰 것이 바람직하다.

한편 용량 소자(104)의 용량치 C_1 는, 트랜지스터(100)의 용량치 C_2 이상인 것이 바람직하다. C_1 를 크게 하면, 제 5 배선(115)에 의해 FG부분의 전위를 제어할 때(예를 들면, 읽기시)에, 제 5 배선(115)의 전위의 변동을 낮게 억제할 수 있기 때문이다.

또한 상술한 저항값 R_1 및 R_2 , 및 용량치 C_1 및 C_2 는, 트랜지스터(100) 및 트랜지스터(102)에 마련되는 게이트 절연층이나 용량 소자(104)의 절연층의 재료 및 두께 등에 의해 결정된다.

도 1에 나타내는 기억소자에 있어서, FG부분은, 플래시 메모리의 플로팅 게이트와 동일하게 기능한다. 다만,

FG부분은, 플래시 메모리의 플로팅 게이트와는 본질적으로 다른 특징을 갖는다. 플래시 메모리에서는, 각 기억 소자간에 어느 정도의 간격을 마련하는 것을 필요로 한다. 플래시 메모리에서는, 컨트롤 게이트에 인가되는 전압이 높기 때문에, 그 전위의 영향이 인접하는 셀의 플로팅 게이트에 이르는 것을 막기 때문이다. 이와 같이 기억소자간에 간격을 마련하는 것은, 기억장치의 고집적화를 저해한다.

더우기는, 플래시 메모리에서는, 터널 전류에 의해 절연층이 열화되고, 고쳐쓰기 회수가 제한된다.

도 1(A)에 나타내는 기억소자는, 트랜지스터의 스위칭에 의해 동작하고, 플래시 메모리처럼 터널 전류에 의한 전하의 주입이 행해지지 않는다. 즉, 플래시 메모리와 같은, 전하를 주입하기 위한 고전계가 불필요하다. 이에 의해, 인접 셀에 대한, 컨트롤 게이트에 의한 고전계의 영향을 고려할 필요가 없기 때문에, 종래보다 고집적화할 수 있다. 더우기는, 고전계가 불필요하기 때문에, 적어도 해당 기억소자에는 승압 회로가 불필요하다. 그 때문에, 대형의 주변 회로를 마련하지 않아도 되고, 협액자화가 가능하게 된다.

그리고 플래시 메모리에서는, 쓰기시에 게이트 절연막(터널 절연막) 속을 전하가 이동하기 위해서, 그 게이트 절연막의 열화가 불가피하였다. 그러나, 도 1(A)에 나타내는 기억소자에 있어서는, 쓰기용 트랜지스터의 스위칭 동작에 의해 데이터의 쓰기가 이루어지기 때문에, 게이트 절연막의 열화의 원인이 존재하지 않는다. 이것은, 쓰기 회수의 제한이 원리적으로 존재하지 않고, 고쳐쓰기 내성이 극히 높은 것을 의미한다. 즉, 도 1(A)에 나타내는 기억소자는, 플래시 메모리와 비교하여 높은 내구성과 신뢰성을 갖는다. 예를 들면, 도 1(A)에 나타내는 기억소자는, 1×10^9 회(10억회) 이상, 보다 바람직하게는 1×10^{11} 회(1000억회) 이상의 쓰기도 가능하다.

또한 용량 소자(104)의 절연층의 비유전률($\epsilon r1$)가, 트랜지스터(100)의 게이트 절연층의 비유전률($\epsilon r2$)보다 큰 경우에는, 용량 소자(104)의 면적(S_1)은, 트랜지스터(100)에 의해 구성되는 용량의 면적(S_2)의 2배 이하인 것이 바람직하고(보다 바람직하게는, 면적(S_1)는 면적(S_2) 이하이며), 또한 용량치(C_2)는 용량치(C_1)보다 작은 것이 바람직하다. 더욱 고집적화가 가능해지기 때문이다. 이 때, 예를 들면, 용량 소자(104)의 절연층은 산화 하프늄 등의 high-k 재료층과 산화물 반도체층의 적층 구조로 하여 $\epsilon r1$ 를 10 이상(바람직하게는 15 이상)으로 하고, 트랜지스터(100)에 의해 구성되는 용량의 절연층에서는 산화 실리콘층으로 하여 $\epsilon r2 = 3 \sim 4$ 로 하면 좋다.

또한 여기에서는, 전자를 다수 캐리어로 하는 n형 트랜지스터를 이용하는 경우에 대하여 설명하고 있지만, 정공을 다수 캐리어로 하는 p형 트랜지스터를 이용하여도 괜찮다.

도 1(B)는, 도 1(A)에 나타내는 기억소자의 구체적인 구성의 일 예로서 상면도를 나타낸다. 도 1(C)은, 도 1(B) 중의 X-Y에 있어서의 단면도를 나타낸 것이다.

도 1(C)에 있어서, 트랜지스터(100)와 용량 소자(104)는, 기판(116)상에 마련되어 있다. 트랜지스터(100)와 용량 소자(104)는 절연층에 덮여지고, 그 절연층이 CMP(Chemical Mechanical Polishing) 등에 의해 평탄화되고, 트랜지스터(100)의 게이트 전극 및 용량 소자(104)의 전극중의 한쪽이 노출되어 있다. 그리고 노출된 트랜지스터(100)의 게이트 전극 및 용량 소자(104)의 전극중의 한쪽 위에, 트랜지스터(102)의 소스 전극 및 드레인 전극중의 다른 쪽이 마련되어 있다. 또한 여기서, 트랜지스터(100)는 p형 트랜지스터이지만, 이것에 한정되지 않는다.

도 1(C)에 나타내는 바와 같이, 트랜지스터(100)의 게이트 전극층과 동일한 층의 일부(트랜지스터(102)의 백게이트가 되는 부분)는, 트랜지스터(102)의 반도체층의 적어도 채널형성 영역이 되는 부분과 중첩하고, 트랜지스터(102)의 백게이트가 되는 부분과 트랜지스터(102)의 반도체층은 트랜지스터(100)상에 마련된 절연층을 통하여 마련되어 있다. 이 절연층은, 트랜지스터(100)상의 절연층이 평탄화되었을 때에, 트랜지스터(100)가 갖는 반도체층의 두께에 기인하여 잔존하는 부분이다. 이와 같이, 평탄화 처리에 의해 잔존한 절연층을 통하여 상부 트랜지스터와 백게이트가 마련되어 있고, 그 백게이트가 하부 트랜지스터의 게이트 전극층과 동일한 층의 일부에 의해 구성되어 있는 것이, 본 발명의 일 태양인 기억소자의 특징중의 하나다. 이와 같이, 상부 트랜지스터의 백게이트가 하부 트랜지스터의 게이트 전극층과 동일한 층에 의해 마련됨으로써, 제작 공정을 증가시키는 일 없이 상부 트랜지스터의 백게이트를 마련할 수 있다. 또한 본 명세서 등에 있어서, 「A와 동일한 층」이란, A와 동일 공정에서 성막된 동일 재료로 이루어지는 층을 가리키는 것으로 한다.

또한, 트랜지스터(102)의 채널폭 $1 \mu\text{m}$ 당의 오프 전류는, 사용시의 온도(예를 들면, 25°C)에서 100 zA 이하, 바람직하게는 10 zA 이하, 보다 바람직하게는, 1 zA 이하, 더 바람직하게는 100 yA 이하가 된다. 이들의 낮은 오프 전류는, 트랜지스터(102)에 산화물 반도체를 이용하여 실현할 수 있다. 또한 오프 전류는 이들 측정 한계보

다 작아도 좋다.

더우기는, 트랜지스터(102)의 채널형성 영역에 산화물 반도체를 적용함으로써, 서브스레숄드 스위칭 치(S치)가 작아지기 때문에, 스위칭 속도를 충분히 크게 할 수 있다. 따라서, 트랜지스터(102)의 채널형성 영역에 산화물 반도체를 적용함으로써, FG부분에게 주어지는 쓰기 펄스의 상승 엣지를 극히 급하게 할 수 있다.

또한 상술한 바와 같이, 트랜지스터(102)의 오프 전류는 작기 때문에, FG부분에 보유시키는 전하량을 줄일 수가 있다. 더우기는, 데이터의 쓰기 동작 및 데이터의 소거 동작의 고속화가 가능하고, 데이터의 고쳐쓰기를 고속으로 실시할 수 있다.

트랜지스터(100)로서는, 읽기의 속도를 높게 하기 위해서, 고속으로 동작하는 트랜지스터를 이용하는 것이 바람직하다. 예를 들면, 트랜지스터(100)로서는, 스위칭 속도가 1 나노초이하의 트랜지스터를 이용하는 것이 바람직하다.

데이터의 쓰기는, 트랜지스터(102)를 온시키고, 트랜지스터(102)의 소스 전극 및 드레인 전극중의 다른 쪽과, 용량 소자(104)의 전극중의 한쪽과, 트랜지스터(100)의 게이트 전극을 전기적으로 접속한 FG부분에 전위를 공급하고, 그 후, 트랜지스터(102)를 오프시킴으로써, FG부분에 소정량의 전하를 보유시키는 것으로 실시한다. 여기서, 트랜지스터(102)의 오프 전류는 극히 작기 때문에, FG부분에 공급된 전하는 장시간에 걸쳐서 보유된다. 예를 들면, 오프 전류가, 실질적으로 0으로 간주할 수 있을 정도로 작으면, 리프레쉬 동작이 불필요해지든지, 또는, 리프레쉬 동작을 실시하는 경우라도, 그 빈도를 극히 낮게(예를 들면, 1개월~일년에 한 번 정도) 할 수 있으며, 기억소자의 소비 전력을 충분히 작게 할 수 있다.

또한 도 1에 나타내는 기억소자에서는, 데이터의 다시 쓰기에 의해 데이터를 직접 고쳐 쓰는 것이 가능하다. 이 때문에, 플래시 메모리 등에 있어서 필요하게 되는 소거 동작이 불필요하고, 소거 동작에 기인하는 동작 속도의 저하를 억제할 수 있다.

또한 도 1에 나타내는 기억소자에 인가되는 전압의 최대치(기억소자의 각 단자에 동시에 인가되는 최대의 전위와 최소의 전위의 차이)는, 2 단계(1 비트)의 데이터를 쓰기하는 경우, 하나의 기억소자에 있어서, 5 V이하, 바람직하게는 3 V이하이다.

게다가 트랜지스터(102)에 이용하는 산화물 반도체는, 에너지갭이 3.0~3.5 eV로 크고, 이것이, 트랜지스터(102)의 오프 전류가 작은 주된 요인중의 하나라고 생각된다.

또한 트랜지스터(102)에 이용하는 산화물 반도체는, 열여기 캐리어가 극히 적은 것도 있으며, 예를 들면, 150℃의 고온 환경하에서도 기억소자의 전류-전압 특성에 열화를 볼 수 없다.

또한 트랜지스터(102)에는, 불순물이 제거되며, 산화물 반도체의 주성분 이외의 캐리어 공여체가 되는 불순물이 적극 포함되지 않게 고순도화함에 의해 진성(I형)화 또는 실질적으로 진성(I형)화된 산화물 반도체를 이용하면 좋다.

이와 같이, 고순도화된 산화물 반도체층 속에는 캐리어가 극히 적고(제로에 가깝다), 캐리어 농도는 $1 \times 10^{14} / \text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12} / \text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{11} / \text{cm}^3$ 미만이다. 이것이, 트랜지스터(102)의 오프 전류가 작은 주된 요인중의 하나라고 생각된다.

이들의 고순도화된 산화물 반도체는, 계면준위 및 계면전하에 대해서 극히 민감하기 때문에, 산화물 반도체층과 게이트 절연층과의 계면은 중요하다. 그 때문에 고순도화된 산화물 반도체에 접하는 게이트 절연층을 고품질화할 것이 요구된다.

게이트 절연층은, 예를 들면, μ 파(예를 들면 주파수 2.45 GHz)를 이용한 고밀도 플라즈마 CVD에 의해 형성됨에 의해, 치밀하여 절연 내압을 높게 할 수 있기 때문에 바람직하다. 고순도화된 산화물 반도체와 고품질인 게이트 절연층이 밀접하도록 형성됨에 의해, 계면준위를 저감하여, 계면특성을 양호한 것으로 할 수 있기 때문이다.

물론, 게이트 절연층으로서 양질인 절연층을 형성할 수 있는 것이면, 스퍼터링법이나 플라즈마 CVD법 등 다른 성막 방법을 적용하여도 괜찮다.

트랜지스터(102)에 이용하는 산화물 반도체막으로서, 4원계 금속 산화물인 In-Sn-Ga-Zn-O계 산화물 반도체나, 3원계 금속 산화물인 In-Ga-Zn-O계 산화물 반도체, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, Sn-Al-Zn-O계 산화물 반도체나, 2원계 금속 산화물

인 In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, Zn-Mg-O계 산화물 반도체, Sn-Mg-O계 산화물 반도체, In-Mg-O계 산화물 반도체, In-Ga-O계 산화물 반도체나, 단위계 금속 산화물인 In-O계 산화물 반도체, Sn-O계 산화물 반도체, Zn-O계 산화물 반도체 등을 이용할 수 있다. 또한, 해당 산화물 반도체가 SiO₂를 포함하여도 괜찮다. 여기서, 예를 들면, In-Ga-Zn-O계 산화물 반도체란, In, Ga 또는 Zn를 갖는 산화물이라고 하는 의미이며, 그 조성비는 특별히 묻지 않는다. 또한, In와 Ga와 Zn 이외의 원소를 포함하여도 괜찮다.

또는, 트랜지스터(102)에 이용하는 산화물 반도체막으로서, 화학식 $\text{InMO}_3(\text{ZnO})_m (m>0)$ 로 표기되는 산화물 박막을 이용할 수 있다. 여기서, M는, Ga, Al, Mn 및 Co로부터 선택된 하나 또는 복수의 금속 원소를 나타낸다. 예를 들면 M으로서 Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co 등이 있다. 또한, 해당 산화물 박막에 SiO₂를 포함하여도 괜찮다.

해당 산화물 박막은, 스퍼터링법에 의해 제작할 수 있다. 여기서, 예를 들면, 조성비가 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [mol수비]의 산화물 타겟을 이용함으로써, In-Ga-Zn-O막을 성막할 수 있다. 마찬가지로 조성비가 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [mol수비]의 산화물 타겟을 이용하여도 괜찮다.

또한 여기서, 예를 들면, In-Ga-Zn-O막이란, In, Ga 또는 Zn를 갖는 산화물막이라는 의미이며, 그 조성비는 특별히 묻지 않는다.

또한, 산화물 반도체로서 In-Zn-O계의 재료를 이용하는 경우, 이용하는 타겟의 조성비는, 원자수비로, In:Zn=50:1~1:2(몰수비로 환산하면 $\text{In}_2\text{O}_3:\text{ZnO}=25:1\sim 1:4$), 바람직하게는 In:Zn=20:1~1:1(몰수비로 환산하면 $\text{In}_2\text{O}_3:\text{ZnO}=10:1\sim 1:2$), 더 바람직하게는 In:Zn=15:1~1.5:1(몰수비로 환산하면 $\text{In}_2\text{O}_3:\text{ZnO}=15:2\sim 3:4$)로 한다. 예를 들면, In-Zn-O계 산화물 반도체의 형성에 이용하는 타겟은, 원자수비가 In:Zn:O=X:Y:Z일 때, $Z>1.5X+Y$ 로 한다.

또한 해당 산화물 타겟의 충전율은 90%이상 100%이하, 바람직하게는 95%이상 99.9%이하면 좋다. 충전율이 높은 산화물 타겟을 이용하면, 치밀한 산화물 반도체막을 형성할 수 있다.

산화물 반도체막은, 희가스 분위기하, 산소 분위기하 또는 희가스와 산소의 혼합 분위기하에서 스퍼터링법에 의해 형성하는 것이 바람직하다. 이 때, 성막할 때에 이용하는 스퍼터 가스로서는, 수소, 수, 수산기 또는 수소화물 등의 불순물이 제거된 고순도 가스를 이용하는 것이 바람직하다.

도 2는, 본 발명의 일 태양인 기억장치로서 도 1을 이용하여 설명한 기억소자를 매트릭스 형상으로 배치한 기억장치의 구성예를 나타내고 있다. 또한 도를 간략하게 하기 위해, 도 2에는, 세로 2개(행)×가로 2개(열)의 기억소자를 매트릭스 형상으로 배치한 구성을 나타내고 있지만, 이하의 설명에서는, 세로 m개(행)×가로 n개(열)(m, n는 자연수)의 매트릭스 형상으로 배치된 기억장치에 대하여 설명한다.

도 2에 나타내는 기억장치에서는, 복수의 기억소자(120)가 세로 m개(행)×가로 n개(열)(m, n는 자연수)의 매트릭스 형상으로 배치되고, 그 외측에 제 1 구동 회로(121), 제 2 구동 회로(122), 제 3 구동 회로(123) 및 제 4 구동 회로(124)가 배치되고, 이들의 구동 회로와 기억소자(120)가, m개의 워드선(WL), m개의 제 2 신호선(S2), m개의 백게이트선(BW), n개의 비트선(BL), n개의 소스선(SL) 및 n개의 제 1 신호선(S1)에 의해 접속되어 있다. 여기서, 기억소자(120)는, 도 1(A)에 나타난 기억소자로서, 트랜지스터(100), 트랜지스터(102) 및 용량 소자(104)를 갖는다.

비트선(BL)은 도 1(A)에 나타내는 기억소자의 제 2 배선(112)에 상당하고, 소스선(SL)은 도 1(A)에 나타내는 기억소자의 제 1 배선(111)에 상당하고, 제 1 신호선(S1)은 도 1(A)에 나타내는 기억소자의 제 3 배선(113)에 상당하고, 제 2 신호선(S2)은 도 1(A)에 나타내는 기억소자의 제 4 배선(114)에 상당하고, 워드선(WL)은 도 1(A)에 나타내는 기억소자의 제 5 배선(115)에 상당한다.

즉, 기억소자(120)에 있어서, 트랜지스터(100)의 소스 전극 및 드레인 전극중의 한쪽은 소스선(SL)에 전기적으로 접속되며, 트랜지스터(100)의 소스 전극 및 드레인 전극중의 다른 쪽은 비트선(BL)에 전기적으로 접속되어 있다. 트랜지스터(102)의 소스 전극 및 드레인 전극중의 한쪽은, 제 1 신호선(S1)에 전기적으로 접속되며, 트랜지스터(102)의 게이트 전극은, 제 2 신호선(S2)에 전기적으로 접속되어 있다. 그리고 트랜지스터(100)의 게이트 전극과 트랜지스터(102)의 소스 전극 및 드레인 전극중의 다른 쪽은, 용량 소자(104)의 전극중의 한쪽에 전기적으로 접속되어 있다. 용량 소자(104)의 전극중의 다른 쪽은 워드선(WL)에 전기적으로 접속되어 있다.

트랜지스터(102)에 마련된 백게이트(BG)는, 백게이트선(BW)에 전기적으로 접속되어 있다.

그리고 기억소자(120)의 각각은, 소스선(SL)과 비트선(BL)의 사이에, 병렬로 접속되어 있다. 예를 들면, i 행 j 열의 기억소자(120)(i, j)(i 는 1 이상 m 이하의 정수, j 는 1 이상 n 이하의 정수)는, 소스선(SL)(j), 비트선(BL)(j), 제 1 신호선(S1)(j), 워드선(WL)(i), 제 2 신호선(S2)(i), 백게이트선(BW)(i)에 각각 접속되어 있다.

또한 소스선(SL) 및 비트선(BL)은 제 1 구동 회로(121)에 접속되며, 제 2 신호선(S2) 및 백게이트선(BW)은 제 2 구동 회로(122)에 접속되고, 제 1 신호선(S1)은 제 3 구동 회로(123)에 접속되고, 워드선(WL)은 제 4 구동 회로(124)에 접속되어 있다.

또한 여기에서는, 제 1 구동 회로(121), 제 2 구동 회로(122), 제 3 구동 회로(123) 및 제 4 구동 회로(124)는, 각각 독립적으로 마련되어 있지만, 이것에 한정되지 않고, 어느 하나 또는 복수의 기능을 갖는 디코더를 이용하여도 괜찮다. 다음으로, 도 3에 나타내는 타이밍 차트를 이용하여, 도 2에 나타내는 기억장치의 쓰기 동작 및 읽기 동작에 대하여 설명한다.

여기에서는, 간단하게 하기 위해, 2행×2열의 기억장치의 동작에 대하여 설명하는 것으로 하지만, 본 발명은 이것에 한정되지 않는다.

도 3에 있어서, S1(1) 및 S1(2)는, 각각 제 1 신호선(S1)의 전위, S2(1) 및 S2(2)는, 각각 제 2 신호선(S2)의 전위, BL(1) 및 BL(2)는, 각각 비트선(BL)의 전위, WL(1) 및 WL(2)는, 워드선(WL)의 전위, SL(1) 및 SL(2)는, 각각 소스선(SL)의 전위에 상당한다.

우선, 1행째의 기억소자(120)(1, 1), 및 기억소자(120)(1, 2)로의 쓰기와 1행째의 기억소자(120)(1, 1), 및 기억소자(120)(1, 2)로부터의 읽기를 실시하는 경우에 대하여 설명한다. 또한 이하에서는, 기억소자(120)(1, 1)에 쓰기하는 데이터를 "1"(FG부분에 고레벨 전하가 주어진다)로 하고, 기억소자(120)(1, 2)에 쓰기하는 데이터를 "0"(FG부분에 저레벨 전하가 주어진다)로 하는 경우에 대하여 설명한다.

처음에, 쓰기에 대하여 설명한다. 1행째 쓰기 기간에 있어서, 1행째의 제 2 신호선(S2)(1)에 전위(VH)를 주고, 1행째의 트랜지스터(102)를 온시킨다. 또한, 2행째의 제 2 신호선(S2)(2)에 0V를 주어, 1행째 이외의 행의 트랜지스터(102)를 오프 시킨다.

다음으로, 1 번째의 제 1 신호선(S1)(1)에 전위(V2), 2 번째의 제 1 신호선(S1)(2)에 전위 0 V를 준다.

그 결과, 기억소자(120)(1, 1)의 FG부분에는 전위(V2)가, 기억소자(120)(1, 2)의 FG부분에는 0 V가 주어진다. 여기에서는, 전위(V2)는 트랜지스터의 스레숄드 전압보다 높은 전위로 한다. 그리고 1행째의 제 2 신호선(S2)(1)의 전위를 0 V로 하여, 1행째의 트랜지스터(102)를 오프시킴으로써, 쓰기를 종료한다.

또한 워드선(WL)(1), WL(2)는 0 V로 해 둔다. 또한, 1 번째의 제 1 신호선(S1)(1)의 전위를 변화시키기 전에 1 행째의 제 2 신호선(S2)(1)을 0 V로 한다. 쓰기 후의, 워드선(WL)에 접속되는 단자를 제어 게이트 전극, 트랜지스터(100)의 소스 전극을 소스 전극, 트랜지스터(102)의 드레인 전극을 드레인 전극 이라고 각각 간주한 기억소자의 스레숄드는, 데이터 "0"에서는 V_{w0} , 데이터 "1"에서는 V_{w1} 가 된다. 여기서, 기억소자의 스레숄드란, 트랜지스터(100)의 소스 전극과 드레인 전극의 사이의 저항 상태가 변화하는, 워드선(WL)에 접속되는 단자의 전압을 말하는 것으로 한다. 또한 $V_{w0} > 0 > V_{w1}$ 로 한다.

다음으로, 읽기에 대하여 설명한다. 1행째의 읽기 기간에 있어서, 1행째의 워드선(WL)(1)에 0 V를 주고, 2행째의 워드선(WL)(2)에는 전위(VL)를 준다. 전위(VL)는 스레숄드(V_{w1})보다 낮은 전위로 한다. 워드선(WL)(1)을 0 V로 하면, 1행째에 있어서, 데이터 "0"이 보유되어 있는 기억소자(120)의 트랜지스터(100)는 오프, 데이터 "1"이 보유되어 있는 기억소자(120)의 트랜지스터(100)는 온이 된다. 워드선(WL)(2)를 전위(VL)로 하면, 2행째에 있어서, 데이터 "0", "1"의 어느 보유되어 있는 기억소자(120)라도, 트랜지스터(100)는 오프가 된다.

다음으로, 1 번째의 소스선(SL(1)), 2 번째의 소스선(SL(2))에 전위 0 V를 준다.

그 결과, 비트선(BL(1))-소스선(SL(1)) 사이는 기억소자(120)(1, 1)의 트랜지스터(100)가 온이기 때문에 저저항 상태가 되고, 비트선(BL(2))-소스선(SL(2)) 사이는 기억소자(120)의 트랜지스터(100)가 오프이기 때문에, 고저항 상태가 된다. 비트선(BL(1)), 비트선(BL(2))에 접속되는 읽기 회로는, 비트선의 저항 상태의 차이로부터, 데이터를 읽어낼 수가 있다.

또한, 제 2 신호선(S2)(1)에는 0 V를, 제 2 신호선(S2)(2)에는 전위(VL)를 주고, 트랜지스터(102)를 모두 오프해 둔다. 1행째의 FG부분의 전위는 0 V 또는 V_2 이기 때문에, 제 2 신호선(S2)(1)을 0 V로 함으로써 1행째의 트

랜지스터(102)를 모두 오프할 수 있다. 한편, 2행째의 FG부분의 전위는, 워드선(WL)(2)에 전위(VL)가 주어지면, 쓰기 직후의 전위보다 낮은 전위가 되어 버린다. 이에 의해, 트랜지스터(102)가 온이 되는 것을 방지하기 위해서, 제 2 신호선(S2)(2)을 워드선(WL)(2)과 동일 저전위로 한다. 이상에 의해, 트랜지스터(102)를 모두 오프할 수 있다.

또한 상기 동작중, 백게이트선(BW)(1) 및 백게이트선(BW)(2)의 전위는 고전위로 하면 좋다.

그런데, 데이터의 읽기에는 읽기 회로를 이용한다. 도 4(A)는, 읽기 회로의 일 예를 나타낸다. 도 4(A)에 나타내는 읽기 회로는, 트랜지스터와 센스 증폭기 회로를 갖는다. 트랜지스터의 소스 및 드레인중의 한쪽에는 전위(Vdd)가 인가되고, 트랜지스터의 소스 및 드레인중의 다른 쪽에는, 센스 증폭기 회로의 +단자와 비트선이 접속된다. 트랜지스터의 게이트에는 바이어스 전위(Vbias)가 인가된다. 또한 여기서, 바이어스 전위(Vbias)는 0보다 높고, Vdd보다 낮다. 또한, 센스 증폭기 회로의 -단자에는 참조 전위(Vref)가 인가된다.

기억소자가 저저항 상태의 경우에는, 센스 증폭기의 +측에 입력되는 전위가 참조 전위(Vref)보다 낮아지고, 센스 증폭기는 데이터 "1"을 출력한다. 한편, 기억소자가 고저항 상태의 경우에는, 센스 증폭기의 +측에 입력되는 전위가 참조 전위(Vref)보다 높아지고, 센스 증폭기는 데이터 "0"을 출력한다. 기억소자(1, 1)의 트랜지스터(100)가 온되어 있을 때, 비트선(BL(1))과 소스선(SL(1))의 사이는 저저항이다. 그 때문에, 센스 증폭기의 입력은 저전위이며, 출력(D(1))은 High가 된다. 한편으로, 기억소자(1, 2)의 트랜지스터(100)가 오프되어 있을 때, 비트선(BL(2))과 소스선(SL(2))의 사이는 고저항이기 때문에, 센스 증폭기의 입력은 고전위이며, 출력(D(2))은 Low가 된다.

도 4(B)는, 읽기 회로의 다른 일 예를 나타낸다. 도 4(B)에 나타내는 읽기 회로는, 트랜지스터와 클록드 인버터를 갖는다. 트랜지스터의 소스 및 드레인중의 한쪽에는 전위(Vdd)가 인가되며, 트랜지스터의 소스 및 드레인중의 다른 쪽에는 클록드 인버터의 입력과 비트선이 전기적으로 접속된다. 트랜지스터의 게이트에도 전위(Vdd)가 인가된다.

도 4(B)에 나타내는 읽기 회로를 이용하는 경우의 출력 전위에 대하여 설명한다. 기억소자(1, 1)의 트랜지스터(100)가 온되어 있을 때, 비트선(BL(1))과 소스선(SL(1))의 사이는 저저항이다. 그 때문에, 클록드 인버터의 입력은 저전위이며, 출력(D(1))은 High가 된다. 한편, 기억소자(1, 2)의 트랜지스터(100)가 오프되어 있을 때, 비트선(BL(2))과 소스선(SL(2))의 사이는 고저항이기 때문에, 클록드 인버터의 입력은 고전위이며, 출력(D(2))은 Low가 된다.

또한 읽기 회로는, 도 4에 나타낸 구성에 한정되지 않는다. 예를 들면, 읽기 회로는 프리차지 회로를 가져도 괜찮고, 참조 전위(Vref) 대신에 참조용의 비트선이 접속되는 구성으로 하여도 좋다.

또한 기억장치는 도 2에 나타낸 것에 한정되지 않고, 도 1에 나타내는 기억소자를 이용하여, 도 2와는 다른 형태라고 하여도 좋다.

여기서, 도 5 내지 도 7을 이용하여 기억소자(120)의 제작 방법에 대하여 설명한다. 우선, 트랜지스터(100)가 마련되는 SOI 기판의 제작 방법의 일 예에 대하여 도 5를 참조하여 설명한다.

우선, 베이스 기판(150)을 준비한다(도 5(A)). 베이스 기판(150)으로서, 절연체로 이루어지는 기판을 이용할 수 있다. 예를 들면, 유리 기판, 석영 기판, 세라믹 기판 및 사파이어 기판을 들 수 있다.

또한 베이스 기판(150)으로서 단결정 실리콘 기판, 단결정 게르마늄 기판 등의 반도체 기판을 이용하여도 괜찮다. 베이스 기판(150)으로서 반도체 기판을 이용하는 경우에는, 유리 기판 등을 이용하는 경우와 비교해 열처리의 온도 조건이 완화되기 때문에, 양질인 SOI 기판을 얻는 것이 용이하게 된다. 여기서, 반도체 기판으로서, 태양전지급 실리콘(SOG-Si: Solar Grade Silicon) 기판 등을 이용하여도 괜찮다. 또는, 다결정 반도체 기판을 이용하여도 괜찮다. 태양전지급 실리콘이나, 다결정 반도체 기판 등을 이용하는 경우에는, 단결정 실리콘 기판 등을 이용하는 경우와 비교해, 제조 비용을 억제할 수 있다.

여기에서는, 베이스 기판(150)으로서 유리 기판을 이용하는 경우에 대하여 설명한다. 베이스 기판(150)으로서 유리 기판을 이용함으로써, 저비용화를 꾀할 수 있다.

다음으로, 베이스 기판(150)의 표면에, 질소 함유층(152)(예를 들면, 질화 실리콘막 등의 질소를 함유 하는 절연막을 포함하는 층)을 형성한다(도 5(B)). 질소 함유층(152)은, 후에 단결정 반도체층을 맞추어 붙이기 위한 층(접합층)이 된다. 또한 질소 함유층(152)은, 베이스 기판에 포함되는 Na 등의 불순물이 단결정 반도체층으로

확산하는 것을 막기 위한 장벽층으로서도 기능한다.

여기에서는, 질소 함유층(152)을 접합층으로서 이용하기 때문에, 그 표면이 소정의 평탄성을 갖는 것이 바람직하다. 구체적으로는, 표면의 평균면 거칠기(산술 평균 거칠기)가 0.5 nm 이하, 자승 평균 거칠기가 0.60 nm 이하, 보다 바람직하게는, 평균면 거칠기가 0.35 nm 이하, 자승 평균 거칠기가 0.45 nm 이하로 한다. 또한 평균면 거칠기 또는 자승 평균 거칠기에는, 예를 들면, 10 $\mu\text{m} \times 10 \mu\text{m}$ 의 영역에서 측정된 값을 이용할 수 있다.

다음으로, 본드 기판(160)을 준비한다. 여기에서는, 본드 기판(160)으로서 단결정 반도체 기판(예를 들면, 단결정 실리콘 기판)을 이용한다(도 5(C)). 다만, 본드 기판(160)은 이것에 한정되지 않는다.

본드 기판(160)의 표면에는 산화막(162)을 형성한다(도 5(D)). 또한 오염물 제거의 관점으로부터, 산화막(162)의 형성에 앞서, 염산 과산화 수소수 혼합 용액(HPM) 등을 이용하여 본드 기판(160)의 표면을 세정하는 것이 바람직하다. 산화막(162)은, 예를 들면, 산화 실리콘막 또는 산화 질화 실리콘막 등을 단층으로, 또는 적층시켜 형성할 수 있다. 산화막(162)은, 테트라에톡시실란(약칭; TEOS: 화학식 $\text{Si}(\text{OC}_2\text{H}_5)_4$) 등의 유기 실란을 이용하여 형성하는 것이 바람직하다.

다음으로, 전계에서 가속된 이온을 단결정 반도체 기판인 본드 기판(160)에 조사하여 첨가함으로써, 단결정 반도체 기판인 본드 기판(160)의 소정의 깊이에 취화 영역(164)을 형성한다(도 5(E)). 이온의 조사 처리는, 이온 도핑 장치나 이온 주입 장치를 이용하여, 소스 가스로서 수소를 포함한 가스를 이용하여 실시한다. 조사하는 이온은, H_3^+ 의 비율을 높게 하면 좋다. 이온 조사의 효율을 향상시킬 수가 있기 때문이다.

또한 첨가하는 이온은 수소이온에 한정되지 않고, He 등의 이온을 첨가하여도 괜찮고, 첨가하는 이온은 한 종류에 한정되지 않고, 복수 종류의 이온을 첨가하여도 괜찮다. 예를 들면, 이온 도핑 장치를 이용하여 수소와 He를 동시에 조사하는 경우에는, 다른 공정으로 조사하는 경우와 비교해 공정수를 삭감할 수 있으며, 형성되는 단결정 반도체층의 표면 거칠을 억제할 수 있다.

취화 영역(164)이 형성되는 깊이는, 이온의 운동 에너지, 이온의 질량과 전하량, 및 조사시의 이온의 입사각 등에 의해 결정되며, 이온의 평균 침입 깊이와 거의 같은 깊이에 형성된다. 이 때문에, 이온을 첨가하는 깊이에서, 단결정 반도체 기판인 본드 기판(160)으로부터 분리되는 단결정 반도체층의 두께를 조절할 수 있다.

다음으로, 베이스 기판(150)과 본드 기판(160)을 대향시키고, 질소 함유층(152)의 표면과 산화막(162)의 표면을 밀착시킨다. 이와 같이 질소 함유층(152)의 표면과 산화막(162)의 표면을 밀착시킴으로써, 베이스 기판(150)과 본드 기판(160)이 맞추어 붙여진다(도 5(F)).

베이스 기판(150)과 본드 기판(160)을 맞추어 붙이려면, 베이스 기판(150) 또는 본드 기판(160)의 한 개소에 $0.001\text{N}/\text{cm}^2$ 이상 $100\text{N}/\text{cm}^2$ 이하의 압력을 가하는 것이 바람직하다. 이와 같이 압력을 가하면, 밀착시킨 부분에서 질소 함유층(152)과 산화막(162)의 접합이 생기고, 해당 부분을 시발점으로서 거의 전면에 자발적인 접합이 생긴다. 이 접합에는, 반데르발스력이나 수소결합이 작용하고 있고, 상온에서 실시할 수 있다.

또한 베이스 기판(150)과 본드 기판(160)을 맞추어 붙인 후에는, 접합을 보다 강고하게 하기 위한 열처리를 실시하여도 괜찮다. 이 열처리의 온도는, 취화 영역(164)에 있어서의 분리가 생기지 않는 온도(예를 들면, 실온 이상 400°C 미만)로 한다. 또는, 이 온도 범위에서 가열하면서, 질소 함유층(152)과 산화막(162)을 접합시켜도 괜찮다.

다음으로, 열처리를 실시함에 의해 본드 기판(160)을 취화 영역(164)에서 분리하여, 베이스 기판(150)상에, 질소 함유층(152)과 산화막(162)을 통하여, 단결정 반도체층(166)을 형성한다(도 5(G)).

또한 상기 분리시의 열처리 온도는, 단결정 반도체층(166)의 표면 거칠을 억제하기 위해서, 낮은 것이 바람직하다. 상기 분리시의 열처리 온도는, 예를 들면 300°C 이상 600°C 이하로 하면 좋고, 500°C 이하(400°C 이상)로 하면 보다 효과적이다.

또한 본드 기판(160)을 분리한 후에, 단결정 반도체층(166)에 대해서, 500°C 이상의 온도로 열처리를 실시하고, 단결정 반도체층(166)중에 잔존하는 수소의 농도를 저감시켜도 괜찮다.

다음으로, 단결정 반도체층(166)의 표면에 레이저광을 조사 함에 의해, 표면의 평탄성을 향상시키고, 또한 결함이 적은 반도체층(168)을 형성한다. 레이저광의 조사 처리에 대신하여, 열처리를 실시하여도 괜찮다.

또한 여기에서는, 단결정 반도체층(166)의 분리시의 열처리의 직후에 레이저광의 조사 처리를 실시하고 있지만,

단결정 반도체층(166)의 표면의 결함이 많은 영역을 에칭 등에 의해 제거하고 나서, 레이저광의 조사 처리를 실시하여도 괜찮다. 또는, 단결정 반도체층(166)의 표면의 평탄성을 향상시키고 나서 레이저광의 조사 처리를 실시하여도 괜찮다.

이상에서 설명한 것 같은 공정에 의해, 반도체층(168)을 갖는 SOI 기판을 얻을 수 있다(도 5(H)).

다음으로, 상술한 SOI 기판을 이용하여 트랜지스터를 제작하는 방법에 대하여, 도 6을 참조하여 설명한다.

우선, 도 6(A)에 나타내는 반도체층(168)을 섬 형상으로 가공하고, 반도체층(170)을 형성한다(도 6(B)).

또한 반도체층(168)을 섬 형상으로 가공하기 전 또는 후에, 트랜지스터의 스레숄드 전압을 조정하기 위해서, n형의 도전성을 부여하는 불순물 원소 또는 p형의 도전성을 부여하는 불순물 원소를 반도체층(168) 또는 반도체층(170)에 첨가하여도 괜찮다. 반도체층(168)의 재료가 실리콘인 경우에는, n형의 도전성을 부여하는 불순물 원소로서 예를 들면, P나 As 등을 이용할 수 있으며, p형의 도전성을 부여하는 불순물 원소로서 예를 들면, B, Al, Ga 등을 이용할 수 있다.

다음으로, 반도체층(170)을 덮어서, 절연층(172)을 형성한다(도 6(C)). 절연층(172)은 후에 게이트 절연층이 되는 것이다.

다음으로, 절연층(172)상에 도전막을 형성한 후, 그 도전막을 선택적으로 에칭하여, 반도체층(170)에 중첩하여 게이트 전극(174)을 형성한다(도 6(D)). 이 때, 게이트 전극(174)과 동시에, 용량 소자(104)의 전극중의 한쪽과 트랜지스터(102)의 백게이트(BG)도 동시에 형성할 수 있다.

다음으로, 게이트 전극(174)을 마스크로 하여, 일도전형을 부여하는 불순물 원소를 반도체층(170)에 첨가하여, 불순물 영역(176)과 채널형성 영역(178)을 형성한다(도 6(E)). 또한 여기에서는, p형 트랜지스터를 형성하기 위해서, B 또는 Al 등의 불순물 원소를 첨가하지만, n형 트랜지스터를 형성하는 경우에는, P 또는 As를 첨가하면 좋다. 불순물 영역(176)은, 소스 영역 또는 드레인 영역으로서 기능한다.

또한 도시하지 않지만, 여기서, 게이트 전극(174)의 측면에 사이드월 절연층을 형성하여도 좋다.

다음으로, 상술한 공정에 의해 형성된 각 구성을 덮도록, 층간절연층(180)을 형성한다(도 6(F)). 층간 절연층(180)은, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 하프늄, 산화 알루미늄 또는 산화 탄탈륨 등의 무기 절연 재료를 포함한 재료를 이용하여 형성하여도 좋고, 폴리이미드 또는 아크릴 등의 유기 절연 재료를 이용하여 형성하여도 좋다. 또한 층간 절연층(180)은 적층 구조라도 괜찮다.

다음으로, 층간절연층(180)의 표면을 CMP 또는 에칭 처리 등에 의해 평탄화한다(도 6(G)). 이 CMP 또는 에칭 처리에 의해, 게이트 전극(174)을 노출시킨다. 이상에서 설명한 것 같은 공정에 의해, SOI 기판을 이용한 트랜지스터(100)를 형성할 수 있다. 이들의 트랜지스터(100)는, 고속 동작이 가능하기 때문에, 논리 회로(연산 회로라고도 한다) 등을 구성할 수 있다. 즉, 기억장치의 구동 회로 등에 이용할 수도 있다.

또한 트랜지스터(100)는 도 6(G)에 나타내는 구성에 한정되지 않고, 게다가 전극, 배선, 및 절연층 등을 형성하여도 좋다.

다음으로, 트랜지스터(100)상에 트랜지스터(102)를 형성하는 방법에 대하여, 도 7을 참조하여 설명한다.

우선, 도 6(G)에 나타내는 바와 같이 평탄화 처리까지 실시한, 평탄화된 층간 절연층(180)상에 도전막을 형성하고, 그 도전막을 가공하여 도전층(182)을 형성한다(도 7(A)). 도전층(182)은 특정의 재료 및 형성 방법에 한정되지 않는다. 도전층(182)은, 적어도, 필요한 개소에서 게이트 전극(174)의 노출된 부분에 접하여 마련되도록 한다.

다음으로, 도전층(182)상에 반도체막을 형성하고, 그 반도체막을 가공하여 반도체층(184)을 형성한다(도 7(B)). 여기에서는, 반도체층(184)을 산화물 반도체에 의해 형성한다.

또한 반도체막을 형성하기 전에 예비 가열을 실시함으로써, 탈수화 또는 탈수소화하여도 괜찮다. 또한 반도체막을 형성하기 전에 성막실내의 잔류 수분과 수소를 충분히 제거하는 것이 바람직하다. 따라서, 반도체막의 형성 전에, 흡착형의 진공 펌프(예를 들면, 크라이오 펌프, 이온 펌프, 티탄 서브리메이션(sublimation) 펌프)를 이용하여 배기를 실시하는 것이 바람직하다.

그 다음으로, 산화물 반도체층에 제 1 가열 처리를 실시하면 좋다. 여기서, 제 1 가열 처리는, 산화물 반도체층의 탈수화 또는 탈수소화를 실시하는 것을 목적으로 하여 실시한다. 제 1 가열 처리의 온도는, 400℃ 이상

750℃ 이하, 또는 400℃ 이상 기판의 왜곡점 미만으로 하면 좋다. 예를 들면, 산화물 반도체층에 대해서 질소 분위기하 450℃에서 1시간의 가열 처리를 실시한 후, 산화물 반도체층으로의 물이나 수소의 재혼입을 막아서, 산화물 반도체층을 얻을 수 있다. 또한 제 1 가열 처리의 타이밍은, 이것에 한정되지 않고, 그 뒤에 실시하여도 괜찮다.

다음으로, 반도체층(184)을 덮어서 절연층(186)을 형성한다(도 7(C)). 절연층(186)은 게이트 절연층으로서 기능한다.

그 다음으로, 불활성 가스 분위기(질소 분위기를 포함한다)하, 또는 산소 가스 분위기하에서 제 2 가열 처리(바람직하게는 200℃ 이상 400℃ 이하, 예를 들면 250℃ 이상 350℃ 이하)를 실시한다. 본 실시형태에서는, 제 2 가열 처리로서 질소 분위기하에서 300℃, 1시간의 가열을 실시한다. 제 2 가열 처리를 실시하면, 산화물 반도체층의 일부(채널형성 영역)가 절연층(186)과 접한 상태에서 가열된다. 산화물 반도체층에 산소를 공급하는 경우에는, 절연층(186)은 산소를 포함한 재료에 의해 형성하는 것이 바람직하다.

또한 해당 산화물 반도체층은, 비정질 구조라도 괜찮고, 결정성을 갖는 구조라도 괜찮다. 산화물 반도체층을 결정성으로 하는 경우에는, 산화물 반도체막을 2회로 나누어 성막하고, 가열 처리를 각각 실시하여도 괜찮다.

다음으로, 절연층(186)상에, 반도체층(184)의 적어도 채널형성 영역이 되는 부분과 중첩하도록, 도전층(188)을 형성한다.

이상 설명한 것처럼, 트랜지스터(102)를 제작할 수 있다.

또한 트랜지스터(102)는 도 7(D)에 나타내는 구성에 한정되지 않고, 또한 전극, 배선, 및 절연층 등을 형성하여도 좋다.

(실시형태 2)

본 실시형태는, 본 발명의 일 태양이며, 실시형태 1과는 다른 기억소자에 대하여 설명한다. 구체적으로는, 실시형태 1에 있어서의 하부 트랜지스터를, 상부 트랜지스터와 동일한 구성으로 하는 형태에 대하여 도 8을 참조하여 설명한다.

도 8(A)에 나타내는 기억소자는, 트랜지스터(200), 트랜지스터(202) 및 용량 소자(204)를 갖는다. 도 8(A)에 있어서, 트랜지스터(200)의 소스 전극 및 드레인 전극중의 한쪽은 제 1 배선(211)에 전기적으로 접속되고, 트랜지스터(200)의 소스 전극 및 드레인 전극중의 다른 쪽은 제 2 배선(212)에 전기적으로 접속되어 있다. 트랜지스터(202)의 소스 전극 및 드레인 전극중의 한쪽은, 제 3 배선(213)에 전기적으로 접속되고, 트랜지스터(202)의 게이트 전극은, 제 4 배선(214)에 전기적으로 접속되어 있다. 그리고 트랜지스터(200)의 게이트 전극과 트랜지스터(202)의 소스 전극 및 드레인 전극중의 다른 쪽은, 용량 소자(204)의 전극중의 한쪽에 전기적으로 접속되어 있다. 용량 소자(204)의 전극중의 다른 쪽은 제 5 배선(215)에 전기적으로 접속되어 있다. 트랜지스터(200)에는, 추가의 게이트 전극으로서 백게이트(BG1)가 마련되어 있다. 트랜지스터(202)에는, 추가의 게이트 전극으로서 백게이트(BG2)가 마련되어 있다.

도 8(B)는, 도 8(A)에 나타내는 기억소자의 구체적인 구성의 일 예로서, 상면도를 나타낸다. 도 8(C)은, 도 8(B) 중의 X-Y에 있어서의 단면도를 나타낸 것이다.

도 8(B)에 나타내는 바와 같이, 트랜지스터(202)는, 도 1의 트랜지스터(102)와 동일한 것을 이용할 수 있다.

그렇지만, 트랜지스터(200)는, 트랜지스터(100)과는 달리, 트랜지스터(202)와 동일하게 형성된 것을 이용한다. 즉, 채널형성 영역이 산화물 반도체층인 트랜지스터로 하는 것이 바람직하다.

용량 소자(204)는 트랜지스터(200)의 소스 전극층 및 드레인 전극층과 동일한 층의 일부와 트랜지스터(200)의 게이트 전극층과 동일한 층의 일부의 사이에 형성된다.

또한 기판측에 마련되는 게이트 전극층(트랜지스터(200)의 백게이트가 되는 층)과 동일한 층의 일부를 이용하여 용량 소자(204)가 형성되어 있어도 괜찮다.

도 8(C)에 있어서, 트랜지스터(200)와 용량 소자(204)는, 기판(216)상에 마련되어 있다. 트랜지스터(200)와 용량 소자(204)는 절연층에 덮여지고, 그 절연층이 CMP 등에 의해 평탄화되며, 트랜지스터(200)의 게이트 전극이 노출되어 있다. 그리고 노출된 트랜지스터(200)의 게이트 전극과 용량 소자(204)의 전극중의 한쪽 위에, 트랜지스터(202)의 소스 전극 및 드레인 전극중의 다른 쪽이 마련되어 있다.

도 8(C)에 나타내는 바와 같이, 트랜지스터(200)의 게이트 전극층과 동일한 층의 일부(트랜지스터(202)의 백게이트가 되는 부분)는, 트랜지스터(202)의 반도체층의 적어도 채널형성 영역이 되는 부분과 중첩하고, 트랜지스터(202)의 백게이트가 되는 부분과 트랜지스터(202)의 반도체층은 트랜지스터(200)상에 마련된 절연층을 통하여 마련되어 있다. 이 절연층은, 트랜지스터(200)상의 절연층이 평탄화되었을 때에, 트랜지스터(200)가 갖는 반도체층의 두께에 기인하여 잔존하는 부분이다. 이와 같이, 평탄화 처리에 의해 잔존한 절연층을 통하여 상부 트랜지스터와 백게이트가 마련되어 있고, 그 백게이트가 하부 트랜지스터의 게이트 전극층과 동일한 층의 일부에 의해 구성되어 있는 것이, 본 발명의 일 태양인 기억소자의 특징중의 하나다. 이와 같이, 상부 트랜지스터의 백게이트가 하부 트랜지스터의 게이트 전극층과 동일한 층에 의해 마련됨에 의해, 제작 공정을 증가시키는 일 없이 상부 트랜지스터의 백게이트를 마련할 수 있다.

또한 도 8(C)에는, 트랜지스터(200)와 트랜지스터(202)의 쌍방에 백게이트를 마련한 구성을 나타냈지만, 이것에 한정되지 않고, 트랜지스터(200)의 백게이트를 마련하지 않는 구성이라도 괜찮다.

(실시형태 3)

본 실시형태는, 본 발명의 일 태양이며, 실시형태 1 및 실시형태 2와는 다른 소자에 대하여 설명한다. 구체적으로는, 실시형태 1과 마찬가지로 제작할 수 있는 반전 소자에 대하여 도 9를 참조하여 설명한다.

도 9(A)에 나타내는 반전 소자는, 트랜지스터(300) 및 트랜지스터(302)를 갖는다. 도 9(A)에 있어서, 트랜지스터(302)의 소스 전극 및 드레인 전극중의 한쪽은 접지 전위(V_{ss})의 제 4 배선(314)에 전기적으로 접속되고, 트랜지스터(302)의 소스 전극 및 드레인 전극중의 다른 쪽은 트랜지스터(300)의 소스 전극 및 드레인 전극중의 한쪽과, 제 2 배선(312)에 접속되어 있다. 트랜지스터(300)의 소스 전극 및 드레인 전극중의 다른 쪽은, 전원 전위(V_{dd})의 제 3 배선(313)에 전기적으로 접속되어 있다. 트랜지스터(302)의 게이트 전극은, 트랜지스터(300)의 게이트 전극 및 제 1 배선(311)에 접속되어 있다. 트랜지스터(302)에는, 추가의 게이트 전극으로서 백게이트(BG)가 마련되어 있다.

도 9(B)는, 도 9(A)에 나타내는 반전 소자의 구체적인 구성의 일 예로서, 상면도를 나타낸다. 도 9(C)는, 도 9(B) 중의 X-Y에 있어서의 단면도를 나타낸 것이다.

도 9(B)에 나타내는 바와 같이, 트랜지스터(300)은, 도 1의 트랜지스터(100)과 동일한 것을 이용할 수 있다. 그리고 트랜지스터(302)는, 도 1의 트랜지스터(102)와 동일한 것을 이용할 수 있다.

도 9(C)에 있어서, 트랜지스터(300)는, 기판(316)상에 마련되어 있다. 트랜지스터(300)는 절연층에 덮이고, 그 절연층이 CMP 등에 의해 평탄화되며, 트랜지스터(300)의 게이트 전극이 노출되어 있다. 그리고 노출된 트랜지스터(300)의 게이트 전극상에, 트랜지스터(302)의 소스 전극층 및 드레인 전극층과 동일한 층의 일부가 마련되고, 배선(311)을 통하여 트랜지스터(302)의 게이트 전극과 전기적으로 접속되어 있다. 또한 여기서, 트랜지스터(300)는 p형 트랜지스터이지만, 이것에 한정되지 않는다.

도 9(C)에 나타내는 바와 같이, 트랜지스터(300)의 게이트 전극층과 동일한 층의 일부(트랜지스터(302)의 백게이트가 되는 부분)는, 트랜지스터(302)의 반도체층의 적어도 채널형성 영역이 되는 부분과 중첩하고, 트랜지스터(302)의 백게이트가 되는 부분과 트랜지스터(302)의 반도체층은 트랜지스터(300)상에 마련된 절연층을 통하여 마련되어 있다. 이 절연층은, 트랜지스터(300)상의 절연층이 평탄화되었을 때에, 트랜지스터(300)이 갖는 반도체층의 두께에 기인하여 잔존하는 부분이다. 이와 같이, 평탄화 처리에 의해 잔존한 절연층을 통하여 상부 트랜지스터와 백게이트가 마련되어 있고, 그 백게이트가 하부 트랜지스터의 게이트 전극층과 동일한 층의 일부에 의해 구성되어 있는 것이, 본 발명의 일 태양인 반전 소자의 특징중의 하나다. 이와 같이, 상부 트랜지스터의 백게이트가 하부 트랜지스터의 게이트 전극층과 동일한 층에 의해 마련됨에 의해, 제작 공정을 증가시키는 일 없이 상부 트랜지스터의 백게이트를 마련할 수 있다.

(실시형태 4)

본 실시형태는, 본 발명의 일 태양으로서, 실시형태 1 내지 실시형태 3과는 다른 소자에 대하여 설명한다. 구체적으로는, 실시형태 2와 동일하게 제작할 수 있는 반전 소자에 대하여 도 10을 참조하여 설명한다.

도 10(A)에 나타내는 반전 소자는, 트랜지스터(400) 및 트랜지스터(402)를 갖는다. 도 10(A)에 있어서, 트랜지스터(402)의 소스 전극 및 드레인 전극중의 한쪽은 접지 전위(V_{ss})의 제 4 배선(414)에 전기적으로 접속되고, 트랜지스터(402)의 소스 전극 및 드레인 전극중의 다른 쪽은 트랜지스터(400)의 소스 전극 및 드레인 전극중의 한쪽과, 제 2 배선(412)에 접속되어 있다. 트랜지스터(400)의 소스 전극 및 드레인 전극중의 다른 쪽은, 전원

전위(Vdd)의 제 3 배선(413)에 전기적으로 접속되어 있다. 트랜지스터(400)의 게이트 전극은, 트랜지스터(400)의 소스 전극 및 드레인 전극중의 다른 쪽에 접속되어 있다. 트랜지스터(402)의 게이트 전극은, 제 1 배선(411)에 접속되어 있다. 트랜지스터(400)에는, 추가의 게이트 전극으로서 백게이트(BG1)가 마련되어 있다. 트랜지스터(402)에는, 추가의 게이트 전극으로서 백게이트(BG2)가 마련되어 있다.

도 10(B)은, 도 10(A)에 나타내는 반전 소자의 구체적인 구성의 일 예로서, 상면도를 나타낸다. 도 10(C)은, 도 10(B) 중의 X-Y에 있어서의 단면도를 나타낸 것이다.

도 10(B)에 나타내는 바와 같이, 트랜지스터(402)는, 도 9의 트랜지스터(302)와 동일한 것을 이용할 수 있다.

그렇지만, 트랜지스터(400)는, 트랜지스터(300)와는 달리, 트랜지스터(402)와 동일하게 형성된 것을 이용한다. 즉, 채널형성 영역이 산화물 반도체층인 트랜지스터로 하는 것이 바람직하다. 그리고 트랜지스터(402)의 채널폭은, 트랜지스터(400)의 채널폭보다 훨씬 큰 것이 바람직하고, 보다 바람직하게는, 트랜지스터(402)의 채널폭은, 트랜지스터(400)의 채널폭의 3배 이상, 더욱 바람직하게는 5배 이상으로 한다.

도 10(C)에 있어서, 트랜지스터(400)는, 기판(416)상에 마련되어 있다. 트랜지스터(400)는 절연층에 덮이고, 그 절연층이 CMP 등에 의해 평탄화되며, 트랜지스터(400)의 게이트 전극이 노출되어 있다. 그리고 노출된 트랜지스터(400)의 게이트 전극상에, 트랜지스터(402)의 소스 전극층 및 드레인 전극층과 동일한 층의 일부가 마련되며, 트랜지스터(400)의 게이트 전극과 제 3 배선(413)을 전기적으로 접속하고 있다.

도 10(C)에 나타내는 바와 같이, 트랜지스터(400)의 게이트 전극층과 동일한 층의 일부(트랜지스터(402)의 백게이트가 되는 부분)는, 트랜지스터(402)의 반도체층의 적어도 채널형성 영역이 되는 부분과 중첩하고, 트랜지스터(402)의 백게이트가 되는 부분과 트랜지스터(402)의 반도체층은 트랜지스터(400)상에 마련된 절연층을 통하여 마련되어 있다. 이 절연층은, 트랜지스터(400)상의 절연층이 평탄화되었을 때에, 트랜지스터(400)가 갖는 반도체층의 두께에 기인하여 잔존하는 부분이다. 이와 같이, 평탄화 처리에 의해 잔존한 절연층을 통하여 상부 트랜지스터와 백게이트가 마련되어 있고, 그 백게이트가 하부 트랜지스터의 게이트 전극층과 동일한 층의 일부에 의해 구성되어 있는 것이, 본 발명의 일 태양인 반전 소자의 특징중의 하나다. 이와 같이, 상부 트랜지스터의 백게이트가 하부 트랜지스터의 게이트 전극층과 동일한 층에 의해 마련됨에 의해, 제작 공정을 증가시키는 일 없이 상부 트랜지스터의 백게이트를 마련할 수 있다.

(실시형태 5)

본 실시형태는, 본 발명의 일 태양으로서, 실시형태 1 내지 실시형태 4와는 다른 소자에 대하여 설명한다. 구체적으로는, 실시형태 1과 동일하게 제작할 수 있는, 논리 게이트의 하나인 NAND 게이트에 대하여 도 11을 참조하여 설명한다.

도 11(A)에 나타내는 기억소자는, 트랜지스터(500), 트랜지스터(502), 트랜지스터(504) 및 트랜지스터(506)을 갖는다. 도 11(A)에 있어서, 트랜지스터(500)의 소스 전극 및 드레인 전극중의 한쪽은 전원 전위(Vdd)의 제 5 배선(515)과, 트랜지스터(502)의 소스 전극 및 드레인 전극중의 한쪽에 접속되어 있다. 트랜지스터(500)의 소스 전극 및 드레인 전극중의 다른 쪽은, 제 3 배선 513과, 트랜지스터(502)의 소스 전극 및 드레인 전극중의 다른 쪽과, 트랜지스터(504)의 소스 전극 및 드레인 전극중의 한쪽에 접속되어 있다. 트랜지스터(504)의 소스 전극 및 드레인 전극중의 다른 쪽은, 트랜지스터(506)의 소스 전극 및 드레인 전극중의 한쪽에 접속되어 있다. 트랜지스터(506)의 소스 전극 및 드레인 전극중의 다른 쪽은, 접지 전위(Vss)의 제 4 배선(514)에 전기적으로 접속되어 있다. 트랜지스터(502)의 게이트 전극과 트랜지스터(504)의 게이트 전극은, 제 1 배선(511)에 접속되어 있다. 트랜지스터(500)의 게이트 전극과 트랜지스터(506)의 게이트 전극은, 제 2 배선(512)에 접속되어 있다. 트랜지스터(504)에는, 추가의 게이트 전극으로서 백게이트(BG1)가 마련되고, 트랜지스터(506)에는, 추가의 게이트 전극으로서 백게이트(BG2)가 마련되어 있다.

도 11(B)은, 도 11(A)에 나타내는 기억소자의 구체적인 구성의 일 예로서, 상면도를 나타낸다. 도 11(C)은, 도 11(B) 중의 X-Y에 있어서의 단면도를 나타낸 것이다.

도 11(B)에 나타내는 바와 같이, 트랜지스터(500) 및 트랜지스터(502)는, 도 1의 트랜지스터(100)과 동일한 것을 이용할 수 있다. 그리고 트랜지스터(504) 및 트랜지스터(506)는, 도 1의 트랜지스터(102)와 동일한 것을 이용할 수 있다.

도 11(C)에 있어서, 트랜지스터(502)는, 기판(516)상에 마련되어 있다. 트랜지스터(502)는 절연층에 덮이고, 그 절연층이 CMP 등에 의해 평탄화되며, 트랜지스터(502)의 게이트 전극이 노출되어 있다. 그리고 노출된 트랜

지스터(502)의 게이트 전극상에, 트랜지스터(504) 및 트랜지스터(506)의 소스 전극층 및 드레인 전극층과 동일한 층의 일부가 마련되며, 트랜지스터(502)의 게이트 전극과 제 1 배선(511)을 전기적으로 접속하고 있다. 도시하고 있지 않지만, 트랜지스터(500)도 마찬가지로 제 2 배선(512)과 전기적으로 접속되어 있다. 또한 여기서, 트랜지스터(500) 및 트랜지스터(502)는 p형 트랜지스터이지만, 이것에 한정되지 않는다.

트랜지스터(500) 및 트랜지스터(502)의 게이트 전극층과 동일한 층의 일부(트랜지스터(504) 및 트랜지스터(506)의 백게이트가 되는 부분)는, 트랜지스터(504) 및 트랜지스터(506)의 반도체층의 적어도 채널형성 영역이 되는 부분과 중첩하고, 트랜지스터(504) 및 트랜지스터(506)의 백게이트가 되는 부분과 트랜지스터(504) 및 트랜지스터(506)의 반도체층은 트랜지스터(500) 및 트랜지스터(502)상에 마련된 절연층을 통하여 마련되어 있다. 이 절연층은, 트랜지스터(500) 및 트랜지스터(502)상의 절연층이 평탄화되었을 때에, 트랜지스터(500) 및 트랜지스터(502)가 갖는 반도체층의 두께에 기인하여 잔존하는 부분이다. 이와 같이, 평탄화 처리에 의해 잔존한 절연층을 통하여 상부 트랜지스터와 백게이트가 마련되어 있고, 그 백게이트가 하부 트랜지스터의 게이트 전극층과 동일한 층의 일부에 의해 구성되어 있는 것이, 본 발명의 일 태양인 기억소자의 특징중의 하나다. 이와 같이, 상부 트랜지스터의 백게이트가 하부 트랜지스터의 게이트 전극층과 동일한 층에 의해 마련됨에 의해, 제작 공정을 증가시키는 일 없이 상부 트랜지스터의 백게이트를 마련할 수 있다.

(실시형태 6)

본 실시형태는, 본 발명의 일 태양으로서, 실시형태 1 내지 실시형태 5와는 다른 소자에 대하여 설명한다. 구체적으로는, 실시형태 2와 동일하게 제작할 수 있는, 논리 게이트의 하나인 NAND 게이트에 대하여 도 12를 참조하여 설명한다.

도 12(A)에 나타내는 기억소자는, 트랜지스터(600), 트랜지스터(602) 및 트랜지스터(604)를 갖는다. 도 12(A)에 있어서, 트랜지스터(600)의 소스 전극 및 드레인 전극층의 한쪽은 전원 전위(Vdd)의 제 4 배선(614)에 접속되고, 트랜지스터(600)의 소스 전극 및 드레인 전극층의 다른 쪽은 트랜지스터(602)의 소스 전극 및 드레인 전극층의 한쪽과 제 3 배선(613)에 접속되고, 트랜지스터(602)의 소스 전극 및 드레인 전극층의 다른 쪽은 트랜지스터(604)의 소스 전극 및 드레인 전극층의 한쪽에 접속되며, 트랜지스터(604)의 소스 전극 및 드레인 전극층의 다른 쪽은 접지 전위(Vss)의 제 5 배선(615)에 접속되어 있다. 그리고 트랜지스터(600)의 게이트 전극은 제 4 배선(614)에 접속되어 있다. 트랜지스터(602)의 게이트 전극은 제 1 배선(611)에 접속되어 있다. 트랜지스터(604)의 게이트 전극은 제 2 배선(612)에 접속되어 있다. 트랜지스터(600)에는, 추가의 게이트 전극으로서 백게이트(BG1)가 마련되어 있다. 트랜지스터(602)에는, 추가의 게이트 전극으로서 백게이트(BG2)가 마련되어 있다. 트랜지스터(604)에는, 추가의 게이트 전극으로서 백게이트(BG3)가 마련되어 있다.

도 12(B)는, 도 12(A)에 나타내는 기억소자의 구체적인 구성의 일 예로서 상면도를 나타낸다. 도 12(C)는, 도 12(B) 중의 X-Y에 있어서의 단면도를 나타낸 것이다.

도 12(B)에 나타내는 바와 같이, 트랜지스터(602) 및 트랜지스터(604)는, 도 11의 트랜지스터(504) 및 트랜지스터(506)과 동일한 것을 이용할 수 있다.

그렇지만, 트랜지스터(600)는, 트랜지스터(500)과는 달리, 트랜지스터(602)와 동일하게 형성된 것을 이용한다. 즉, 채널형성 영역이 산화물 반도체층인 트랜지스터로 하는 것이 바람직하다. 그리고 트랜지스터(602) 및 트랜지스터(604)의 채널폭은, 트랜지스터(600)의 채널폭보다 훨씬 큰 것이 바람직하고, 보다 바람직하게는, 트랜지스터(602) 및 트랜지스터(604)의 채널폭은, 트랜지스터(600)의 채널폭의 3배 이상, 더욱 바람직하게는 5배 이상으로 한다.

도 12(C)에 있어서, 트랜지스터(600)는, 기판(616)상에 마련되어 있다. 트랜지스터(600)는 절연층에 덮이고, 그 절연층이 CMP 등에 의해 평탄화되며, 트랜지스터(600)의 게이트 전극이 노출되어 있다. 그리고 노출된 트랜지스터(600)의 게이트 전극상에, 트랜지스터(602) 및 트랜지스터(604)의 소스 전극층 및 드레인 전극층과 동일한 층의 일부가 마련되며, 트랜지스터(600)의 게이트 전극과 제 4 배선(614)을 전기적으로 접속하고 있다.

도 12(C)에 나타내는 바와 같이, 트랜지스터(600)의 게이트 전극층과 동일한 층의 일부(트랜지스터(602) 및 트랜지스터(604)의 백게이트가 되는 부분)는, 트랜지스터(602) 및 트랜지스터(604)의 반도체층의 적어도 채널형성 영역이 되는 부분과 중첩하고, 트랜지스터(602) 및 트랜지스터(604)의 백게이트가 되는 부분과 트랜지스터(602) 및 트랜지스터(604)의 반도체층은 트랜지스터(600)상에 마련된 절연층을 통하여 마련되어 있다. 이 절연층은, 트랜지스터(600)상의 절연층이 평탄화되었을 때에, 트랜지스터(600)가 갖는 반도체층의 두께에 기인하여 잔존하는 부분이다. 이와 같이, 평탄화 처리에 의해 잔존한 절연층을 통하여 상부 트랜지스터와 백게이트가 마련되어

있고, 그 백게이트가 하부 트랜지스터의 게이트 전극층과 동일한 층의 일부에 의해 구성되어 있는 것이, 본 발명의 일 태양인 기억소자의 특징중의 하나다. 이와 같이, 상부 트랜지스터의 백게이트가 하부 트랜지스터의 게이트 전극층과 동일한 층에 의해 마련됨에 의해, 제작 공정을 증가시키는 일 없이 상부 트랜지스터의 백게이트를 마련할 수 있다.

(실시형태 7)

본 실시형태는, 본 발명의 일 태양으로서, 실시형태 1 내지 실시형태 6과는 다른 소자에 대하여 설명한다. 구체적으로는, 실시형태 1과 동일하게 제작할 수 있는, 논리 게이트의 하나인 NOR 게이트에 대하여 도 13을 참조하여 설명한다.

도 13(A)에 나타내는 기억소자는, 트랜지스터(700), 트랜지스터(702), 트랜지스터(704) 및 트랜지스터(706)를 갖는다. 도 13(A)에 있어서, 트랜지스터(700)의 소스 전극 및 드레인 전극중의 한쪽은 전원 전위(Vdd)의 제 5 배선(715)에 접속되어 있다. 트랜지스터(700)의 소스 전극 및 드레인 전극중의 다른 쪽은 트랜지스터(702)의 소스 전극 및 드레인 전극중의 한쪽에 접속되어 있다. 트랜지스터(702)의 소스 전극 및 드레인 전극중의 다른 쪽은, 트랜지스터(704)의 소스 전극 및 드레인 전극중의 한쪽과, 트랜지스터(706)의 소스 전극 및 드레인 전극중의 한쪽과, 제 3 배선(713)에 접속되어 있다. 트랜지스터(704)의 소스 전극 및 드레인 전극중의 다른 쪽과 트랜지스터(706)의 소스 전극 및 드레인 전극중의 다른 쪽은, 접지 전위(Vss)의 제 4 배선(714)에 접속되어 있다. 그리고 트랜지스터(700)의 게이트 전극과 트랜지스터(706)의 게이트 전극은 제 1 배선(711)에 접속되어 있다. 트랜지스터(702)의 게이트 전극과 트랜지스터(704)의 게이트 전극은 제 2 배선(712)에 접속되어 있다. 트랜지스터(704)에는, 추가의 게이트 전극으로서 백게이트(BG1)가 마련되며, 트랜지스터(706)에는, 추가의 게이트 전극으로서 백게이트(BG2)가 마련되어 있다.

도 13(B)은, 도 13(A)에 나타내는 기억소자의 구체적인 구성의 일 예로서, 상면도를 나타낸다. 도 13(C)은, 도 13(B) 중의 X-Y에 있어서의 단면도를 나타낸 것이다.

도 13(B)에 나타내는 바와 같이, 트랜지스터(700) 및 트랜지스터(702)는, 도 1의 트랜지스터(100)과 동일한 것을 이용할 수 있다. 그리고 트랜지스터(704) 및 트랜지스터(706)은, 도 1의 트랜지스터(102)와 동일한 것을 이용할 수 있다.

도 13(C)에 있어서, 트랜지스터(700)(도시하고 있지 않다. 이하, 도 13(C)에 있어서 동일하게 한다) 및 트랜지스터(702)는, 기판(716)상에 마련되어 있다. 트랜지스터(700) 및 트랜지스터(702)는 절연층에 덮이고, 그 절연층이 CMP 등에 의해 평탄화되며, 트랜지스터(700) 및 트랜지스터(702)의 게이트 전극이 노출되어 있다. 그리고 노출된 트랜지스터(700) 및 트랜지스터(702)의 게이트 전극상에, 트랜지스터(704) 및 트랜지스터(706)의 소스 전극층 및 드레인 전극층과 동일한 층의 일부가 마련되며, 트랜지스터(700) 및 트랜지스터(702)의 게이트 전극과 제 1 배선(711) 및 제 2 배선(712)을 전기적으로 접속하고 있다. 또한 여기서, 트랜지스터(700) 및 트랜지스터(702)는 p형 트랜지스터이지만, 이것에 한정되지 않는다.

도 13(C)에 나타내는 바와 같이, 트랜지스터(700)(도시하고 있지 않다. 이하, 도 13(C)에 있어서 동일하게 한다) 및 트랜지스터(702)의 게이트 전극층의 일부(트랜지스터(704) 및 트랜지스터(706)의 백게이트가 되는 부분)는, 트랜지스터(704) 및 트랜지스터(706)의 반도체층의 적어도 채널형성 영역이 되는 부분과 중첩하고, 트랜지스터(704) 및 트랜지스터(706)의 백게이트가 되는 부분과 트랜지스터(704) 및 트랜지스터(706)의 반도체층은 트랜지스터(700) 및 트랜지스터(702)상에 마련된 절연층을 통하여 마련되어 있다. 이 절연층은, 트랜지스터(700) 및 트랜지스터(702)상의 절연층이 평탄화되었을 때에, 트랜지스터(700) 및 트랜지스터(702)가 갖는 반도체층의 두께에 기인하여 잔존하는 부분이다. 이와 같이, 평탄화 처리에 의해 잔존한 절연층을 통하여 상부 트랜지스터와 백게이트가 마련되어 있고, 그 백게이트가 하부 트랜지스터의 게이트 전극층과 동일한 층의 일부에 의해 구성되어 있는 것이, 본 발명의 일 태양인 기억소자의 특징중의 하나다. 이와 같이, 상부 트랜지스터의 백게이트가 하부 트랜지스터의 게이트 전극층과 동일한 층에 의해 마련됨에 의해, 제작 공정을 증가시키는 일 없이 상부 트랜지스터의 백게이트를 마련할 수 있다.

(실시형태 8)

본 실시형태는, 본 발명의 일 태양으로서, 실시형태 1 내지 실시형태 7과는 다른 소자에 대하여 설명한다. 구체적으로는, 실시형태 2와 동일하게 제작할 수 있는, 논리 게이트의 하나인 NOR 게이트에 대하여 도 14를 참조하여 설명한다. 도 14(A)에 나타내는 기억소자는, 트랜지스터(800), 트랜지스터(802) 및 트랜지스터(804)를 갖는다. 도 14(A)에 있어서, 트랜지스터(800)의 소스 전극 및 드레인 전극중의 한쪽과 트랜지스터(802)의 소스

전극 및 드레인 전극중의 한쪽은, 접지 전위(Vss)의 제 5 배선(815)에 접속되어 있다. 트랜지스터(800)의 소스 전극 및 드레인 전극중의 다른 쪽과, 트랜지스터(802)의 소스 전극 및 드레인 전극중의 다른 쪽과, 트랜지스터(804)의 소스 전극 및 드레인 전극중의 한쪽은, 제 3 배선(813)에 접속되어 있다. 트랜지스터(804)의 소스 전극 및 드레인 전극중의 다른 쪽은, 전원 전위(Vdd)의 제 4 배선(814)에 접속되어 있다. 그리고 트랜지스터(800)의 게이트 전극은 제 1 배선(811)에 접속되어 있다. 트랜지스터(802)의 게이트 전극은 제 2 배선(812)에 접속되어 있다. 트랜지스터(804)의 게이트 전극은 트랜지스터(804)의 소스 전극 및 드레인 전극중의 다른 쪽에 접속되어 있다. 트랜지스터(800)에는, 추가의 게이트 전극으로서 백게이트(BG1)가 마련되어 있다. 트랜지스터(802)에는, 추가의 게이트 전극으로서 백게이트(BG2)가 마련되어 있다. 트랜지스터(804)에는, 추가의 게이트 전극으로서 백게이트(BG3)가 마련되어 있다.

도 14(B)는, 도 14(A)에 나타내는 기억소자의 구체적인 구성의 일 예로서, 상면도를 나타낸다. 도 14(C)는, 도 14(B) 중의 X-Y에 있어서의 단면도를 나타낸 것이다.

도 14(B)에 나타내는 바와 같이, 트랜지스터(800) 및 트랜지스터(802)는, 도 13의 트랜지스터(704) 및 트랜지스터(706)와 동일한 것을 이용할 수 있다.

그렇지만, 트랜지스터(804)는, 트랜지스터(700) 및 트랜지스터(702)와는 달리, 트랜지스터(802)와 동일하게 형성된 것을 이용한다. 즉, 채널형성 영역이 산화물 반도체층인 트랜지스터로 하는 것이 바람직하다. 그리고 트랜지스터(800) 및 트랜지스터(802)의 채널폭은, 트랜지스터(804)의 채널폭보다 훨씬 큰 것이 바람직하고, 보다 바람직하게는, 트랜지스터(800) 및 트랜지스터(802)의 채널폭은, 트랜지스터(804)의 채널폭의 3배 이상, 더욱 바람직하게는 5배 이상으로 한다.

도 14(C)에 있어서, 트랜지스터(804)는, 기판(816)상에 마련되어 있다. 트랜지스터(804)는 절연층에 덮이고, 그 절연층이 CMP 등에 의해 평탄화되며, 트랜지스터(804)의 게이트 전극이 노출되어 있다. 그리고 노출된 트랜지스터(804)의 게이트 전극상에, 트랜지스터(800) 및 트랜지스터(802)의 소스 전극층 및 드레인 전극층과 동일한 층의 일부가 마련되어, 트랜지스터(804)의 게이트 전극과 제 4 배선(814)을 전기적으로 접속하고 있다.

도 14(C)에 나타내는 바와 같이, 트랜지스터(804)의 게이트 전극층과 동일한 층의 일부(트랜지스터(800) 및 트랜지스터(802)의 백게이트가 되는 부분)는, 트랜지스터(800) 및 트랜지스터(802)의 반도체층의 적어도 채널형성 영역이 되는 부분과 중첩하고, 트랜지스터(800) 및 트랜지스터(802)의 백게이트가 되는 부분과 트랜지스터(800) 및 트랜지스터(802)의 반도체층은 트랜지스터(804)상에 마련된 절연층을 통하여 마련되어 있다. 이 절연층은, 트랜지스터(804)상의 절연층이 평탄화되었을 때에, 트랜지스터(804)가 갖는 반도체층의 두께에 기인하여 잔존하는 부분이다. 이와 같이, 평탄화 처리에 의해 잔존한 절연층을 통하여 상부 트랜지스터와 백게이트가 마련되어 있고, 그 백게이트가 하부 트랜지스터의 게이트 전극층과 동일한 층의 일부에 의해 구성되어 있는 것이, 본 발명의 일 태양인 기억소자의 특징중의 하나다. 이와 같이, 상부 트랜지스터의 백게이트가 하부 트랜지스터의 게이트 전극층과 동일한 층에 의해 마련됨에 의해, 제작 공정을 증가시키는 일 없이 상부 트랜지스터의 백게이트를 마련할 수 있다.

(실시형태 9)

다음으로, 본 발명의 일 태양인 전자기기에 대하여 설명한다. 본 발명의 일 태양인 전자기기에는, 실시형태 1 내지 실시형태 8에서 설명한 소자의 적어도 하나를 탑재시킨다. 본 발명의 일 태양인 전자기기로서, 예를 들면, 컴퓨터, 휴대전화기(휴대전화, 휴대전화 장치라고도 한다), 휴대 정보 단말(휴대형 게임기, 음향 재생장치 등도 포함한다), 디지털카메라, 디지털 비디오 카메라, 전자 종이, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 한다) 등을 들 수 있다.

15(A)는, 노트북형의 퍼스널 컴퓨터로서, 케이스(901), 케이스(902), 표시부(903), 키보드(904) 등에 의해 구성되어 있다. 케이스(901)와 케이스(902)내에는, 실시형태 1 내지 실시형태 8에서 설명한 소자가 마련되어 있다. 도 15(A)에 나타내는 노트북형의 퍼스널 컴퓨터에 실시형태 1 내지 실시형태 8에서 설명한 소자를 탑재함으로써, 소비 전력을 저감하고, 소자의 점유 면적을 작게 할 수 있다.

도 15(B)는, 휴대 정보 단말(PDA)로서, 본체(911)에는, 표시부(913)와, 외부 인터페이스(915)와 조작 버튼(914) 등이 마련되어 있다. 더우기는, 휴대 정보 단말을 조작하는 스타일러스(912) 등을 갖추고 있다. 본체(911)내에는, 실시형태 1 내지 실시형태 8에서 설명한 소자가 마련되어 있다. 도 15(B)에 나타내는 PDA에 상기의 실시형태 1 내지 실시형태 8에서 설명한 소자를 탑재함으로써, 소비 전력을 저감하고, 소자의 점유 면적을 작게 할 수 있다.

도 15(C)는, 전자 종이를 실장한 전자 서적(920)으로서, 케이스(921)와 케이스(923)의 2개의 케이스로 구성되어 있다. 케이스(921) 및 케이스(923)에는, 각각 표시부(925) 및 표시부(927)가 마련되어 있다. 케이스(921)와 케이스(923)은, 축부(937)에 의해 접속되어 있고, 그 축부(937)를 축으로 하여 개폐 동작을 실시할 수 있다. 그리고 케이스(921)는, 전원(931), 조작 키(933), 스피커(935) 등을 갖추고 있다. 케이스(921), 케이스(923) 중의 적어도 하나에는, 실시형태 1 내지 실시형태 8에서 설명한 소자가 마련되어 있다. 도 15(C)에 나타내는 전자 서적에 실시형태 1 내지 실시형태 8에서 설명한 소자를 탑재함으로써, 소비 전력을 저감하고, 소자의 점유 면적을 작게 할 수 있다.

도 15(D)는, 휴대전화로서, 케이스(940)와 케이스(941)의 2개의 케이스로 구성되어 있다. 게다가 케이스(940)과 케이스(941)는, 슬라이드하며, 도 15(D)와 같이 전개되어 있는 상태에서부터 서로 겹친 상태로 할 수 있어서 휴대폰에 적절한 소형화가 가능하다. 그리고 케이스(941)는, 표시 패널(942), 스피커(943), 마이크로폰(944), 조작 키(945), 포인팅 장치(946), 카메라용 렌즈(947), 외부 접속 단자(948) 등을 갖추고 있다. 그리고 케이스(940)는, 휴대전화기의 충전을 실시하는 태양전지 셀(949), 외부 메모리 슬롯(950) 등을 갖추고 있다. 또한 안테나는, 케이스(941)에 내장되어 있다. 케이스(940)와 케이스(941) 중의 적어도 하나에는, 실시형태 1 내지 실시형태 8에서 설명한 소자가 마련되어 있다. 도 15(D)에 나타내는 휴대전화기에 실시형태 1 내지 실시형태 8에서 설명한 소자를 탑재함으로써, 소비 전력을 저감하고, 소자의 점유 면적을 작게 할 수 있다.

도 15(E)는, 디지털 카메라로서, 본체(961), 표시부(967), 접안부(963), 조작 스위치(964), 표시부(965), 배터리(966) 등에 의해 구성되어 있다. 본체(961)내에는, 실시형태 1 내지 실시형태 8에서 설명한 소자가 마련되어 있다. 도 15(E)에 나타내는 디지털카메라에 실시형태 1 내지 실시형태 8에서 설명한 소자를 탑재함으로써, 소비 전력을 저감하고, 소자의 점유 면적을 작게 할 수 있다.

도 15(F)는, 텔레비전 장치(970)로서, 케이스(971), 표시부(973), 스탠드(975) 등으로 구성되어 있다. 텔레비전 장치(970)의 조작은, 케이스(971)가 갖춘 스위치나, 리모콘 조작기(980)에 의해 행할 수 있다. 케이스(971) 및 리모콘 조작기(980)에는, 실시형태 1 내지 실시형태 8에서 설명한 소자가 탑재되어 있다. 도 15(F)에 나타내는 텔레비전 장치에 실시형태 1 내지 실시형태 8에서 설명한 소자를 탑재함으로써, 소비 전력을 저감하고, 소자의 점유 면적을 작게 할 수 있다.

부호의 설명

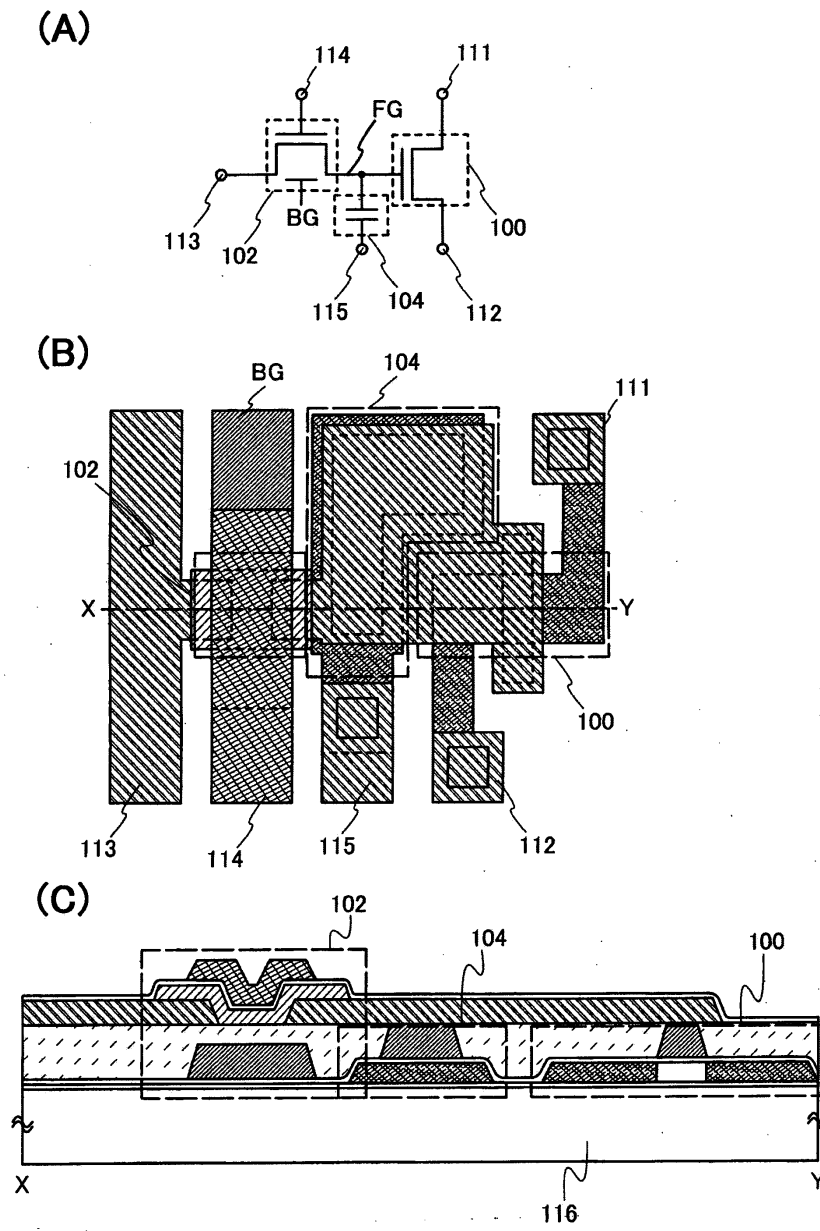
100 : 트랜지스터	102 : 트랜지스터
104 : 용량 소자	111 : 제 1 배선
112 : 제 2 배선	113 : 제 3 배선
114 : 제 4 배선	115 : 제 5 배선
116 : 기관	120 : 기억소자
121 : 구동 회로	122 : 구동 회로
123 : 구동 회로	124 : 구동 회로
150 : 베이스 기관	152 : 질소 함유층
160 : 본드 기관	162 : 산화막
164 : 취화 영역	166 : 단결정 반도체층
168 : 반도체층	170 : 반도체층
172 : 절연층	174 : 게이트 전극
176 : 불순물 영역	178 : 채널형성 영역
180 : 층간절연층	182 : 도전층
184 : 반도체층	186 : 절연층
188 : 도전층	200 : 트랜지스터

202 : 트랜지스터	204 : 용량 소자
211 : 제 1 배선	212 : 제 2 배선
213 : 제 3 배선	214 : 제 4 배선
215 : 제 5 배선	216 : 기관
300 : 트랜지스터	302 : 트랜지스터
311 : 제 1 배선	312 : 제 2 배선
313 : 제 3 배선	314 : 제 4 배선
316 : 기관	400 : 트랜지스터
402 : 트랜지스터	411 : 제 1 배선
412 : 제 2 배선	413 : 제 3 배선
414 : 제 4 배선	416 : 기관
500 : 트랜지스터	502 : 트랜지스터
504 : 트랜지스터	506 : 트랜지스터
511 : 제 1 배선	512 : 제 2 배선
513 : 제 3 배선	514 : 제 4 배선
515 : 제 5 배선	516 : 기관
600 : 트랜지스터	602 : 트랜지스터
604 : 트랜지스터	611 : 제 1 배선
612 : 제 2 배선	613 : 제 3 배선
614 : 제 4 배선	615 : 제 5 배선
616 : 기관	700 : 트랜지스터
702 : 트랜지스터	704 : 트랜지스터
706 : 트랜지스터	711 : 제 1 배선
712 : 제 2 배선	713 : 제 3 배선
714 : 제 4 배선	715 : 제 5 배선
716 : 기관	800 : 트랜지스터
802 : 트랜지스터	804 : 트랜지스터
811 : 제 1 배선	812 : 제 2 배선
813 : 제 3 배선	814 : 제 4 배선
815 : 제 5 배선	816 : 기관
901 : 케이스	902 : 케이스
903 : 표시부	904 : 키보드
911 : 본체	912 : 스타일러스
913 : 표시부	914 : 조작 버튼
915 : 외부 인터페이스	920 : 전자 서적
921 : 케이스	923 : 케이스

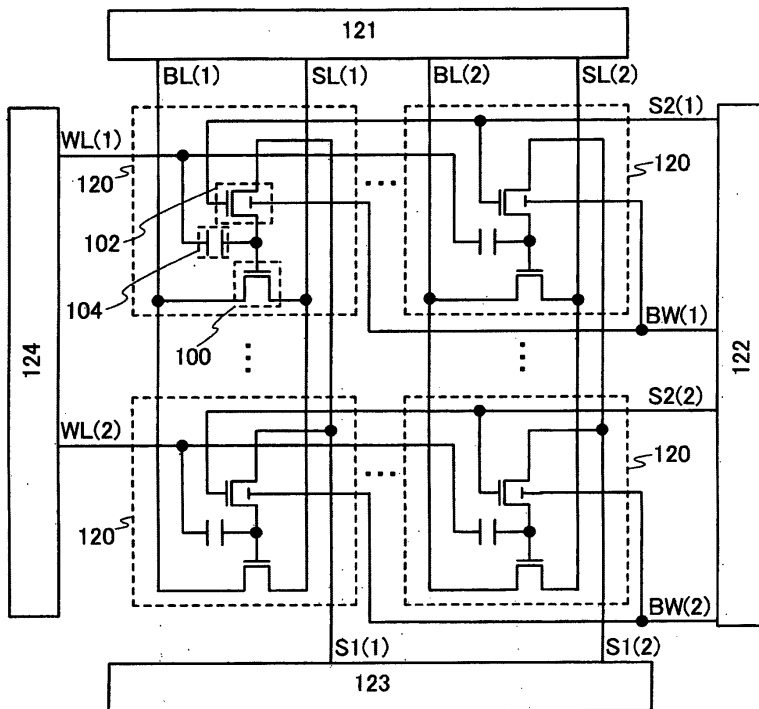
925 : 표시부	927 : 표시부
931 : 전원	933 : 조작 키
935 : 스피커	937 : 축부
940 : 케이스	941 : 케이스
942 : 표시 패널	943 : 스피커
944 : 마이크로폰	945 : 조작 키
946 : 포인팅 장치	947 : 카메라용 렌즈
948 : 외부 접속 단자	949 : 태양전지 셀
950 : 외부 메모리 슬롯	961 : 본체
963 : 접안부	964 : 조작 스위치
965 : 표시부	966 : 배터리
967 : 표시부	970 : 텔레비전 장치
971 : 케이스	973 : 표시부
975 : 스탠드	980 : 리모콘 조작기

도면

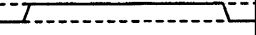
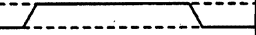
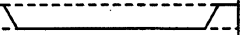

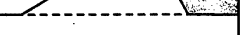
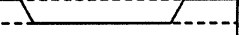
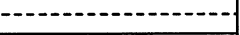
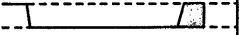
도면1



도면2

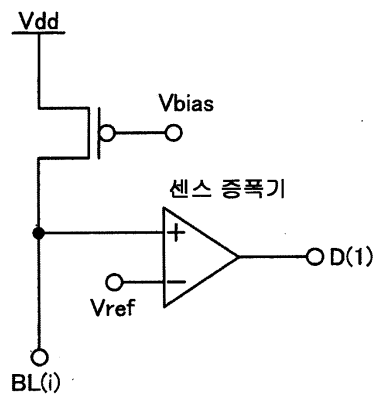


도면3

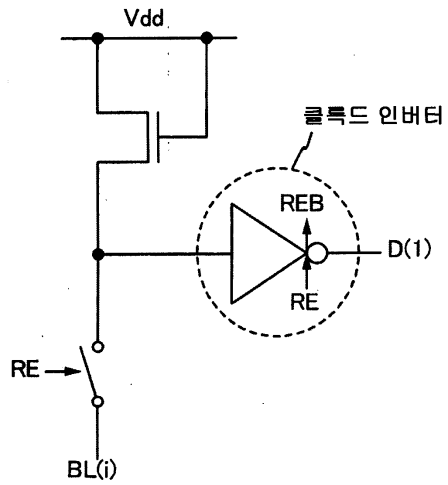
		쓰기 1행1열째 = "1" 1행2열째 = "0"	읽기 1행1열째 = "1" 1행2열째 = "0"
S1_(1)	V2 0V		
S1_(2)	V1 0V		
S2_(1)	VH 0V VL		
S2_(2)	VH 0V VL		
BL(1)	V1 0V		
BL(2)	V1 0V		
WL(1)	VH 0V VL		
WL(2)	VH 0V VL		
SL(1),SL(2)	V1 0V		
D(1)	V1 0V	high impedance	
D(2)	V1 0V	high impedance	
BW(1)	VH 0V VL		
BW(2)	VH 0V VL		

도면4

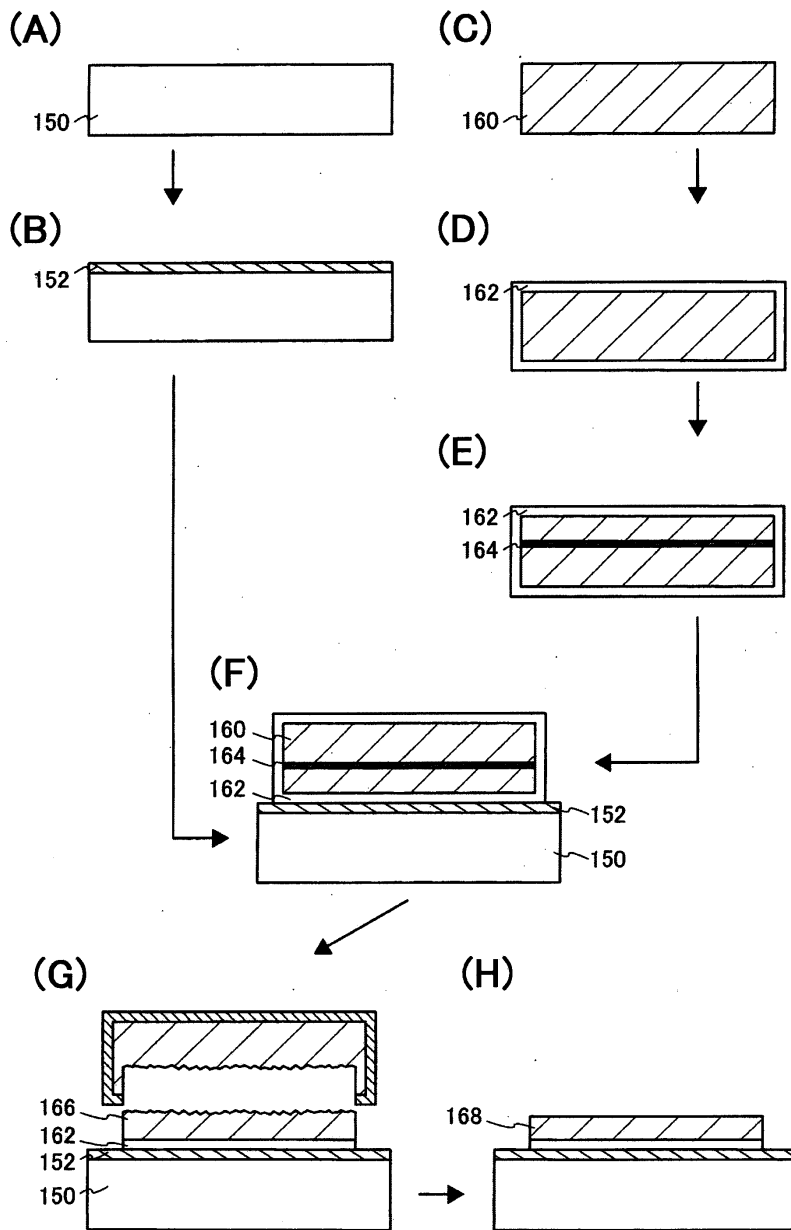
(A)



(B)

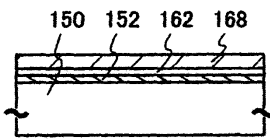


도면5

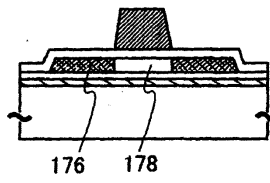


도면6

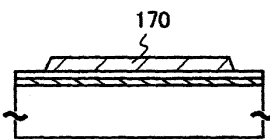
(A)



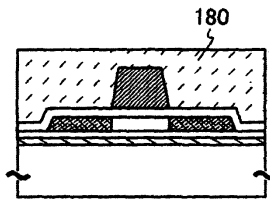
(E)



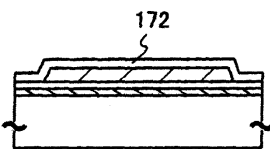
(B)



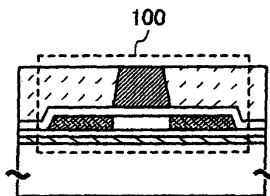
(F)



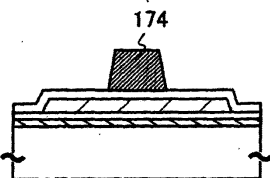
(C)



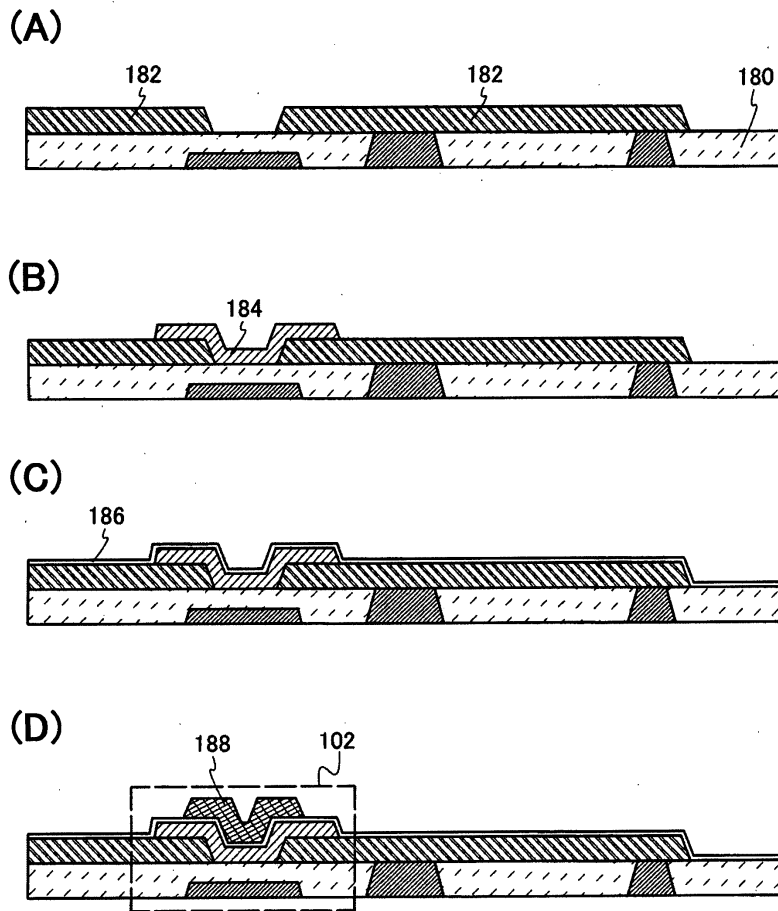
(G)



(D)

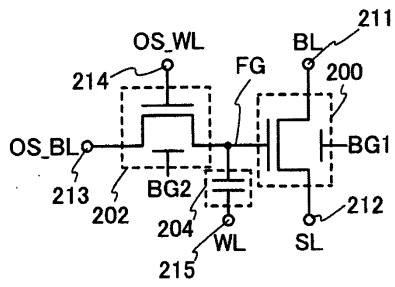


도면7

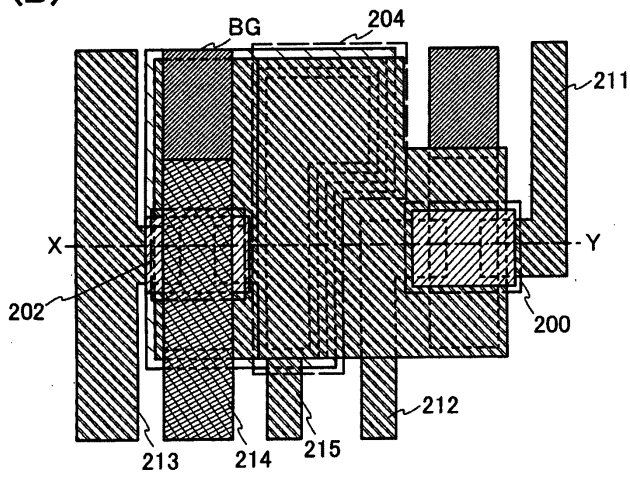


도면8

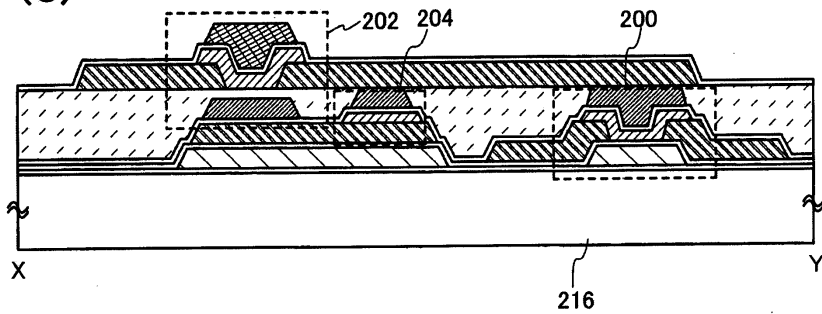
(A)



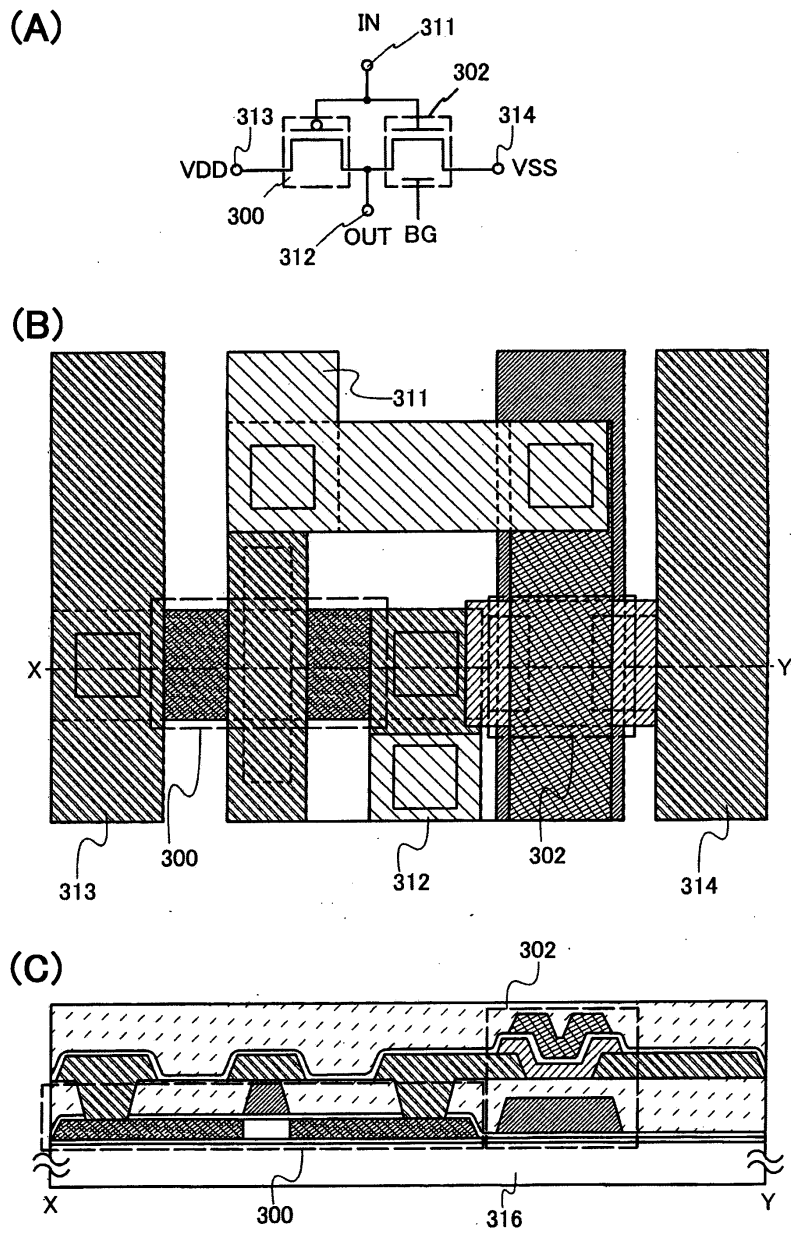
(B)



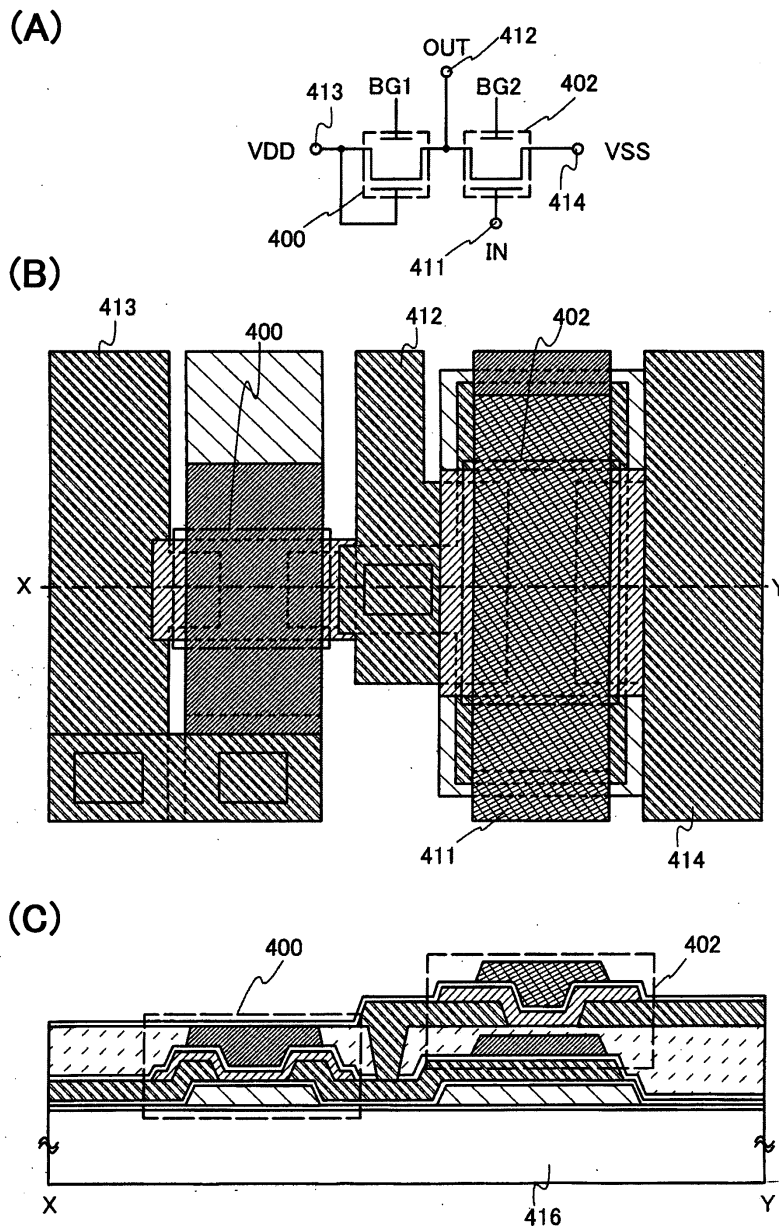
(C)



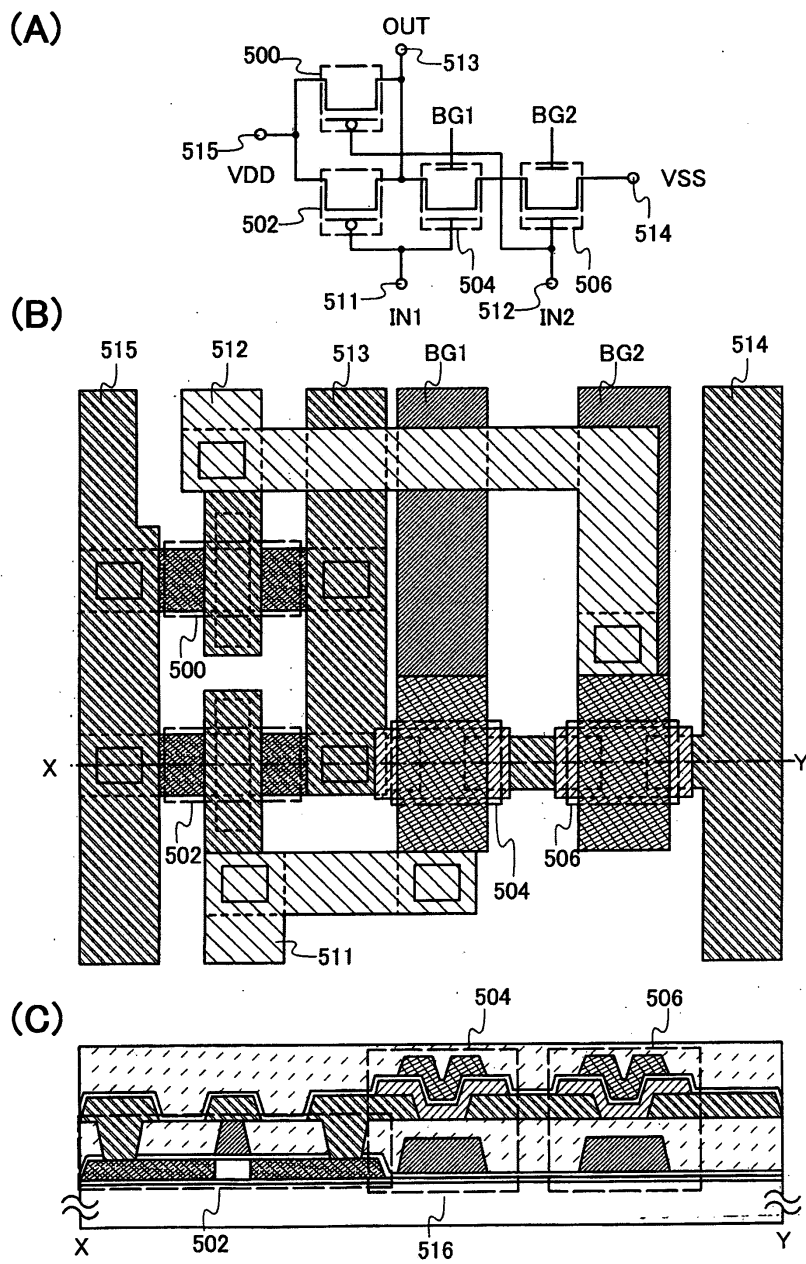
도면9



도면10

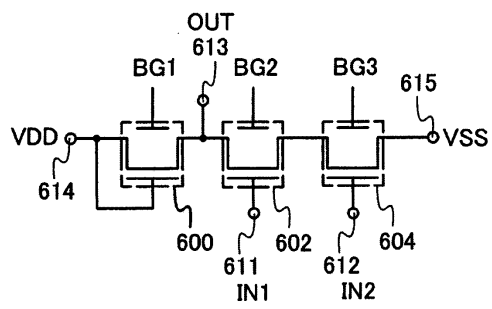


도면11

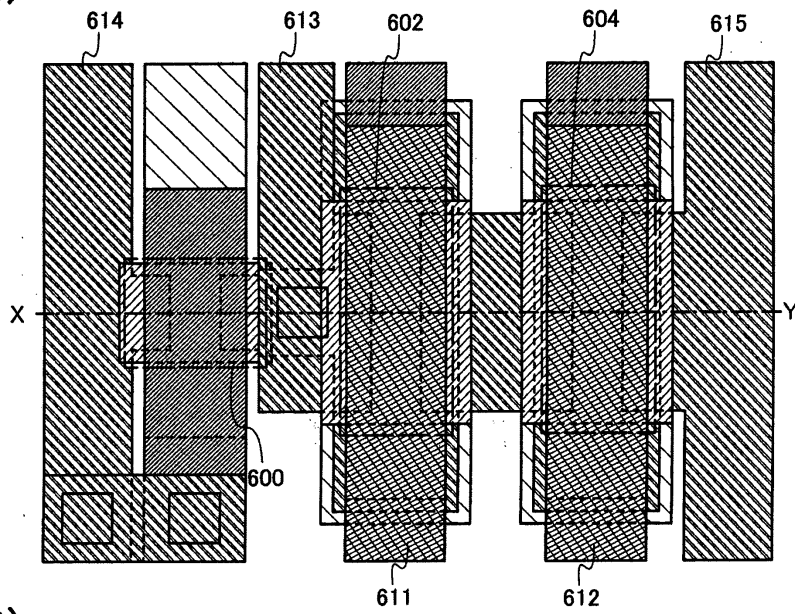


도면12

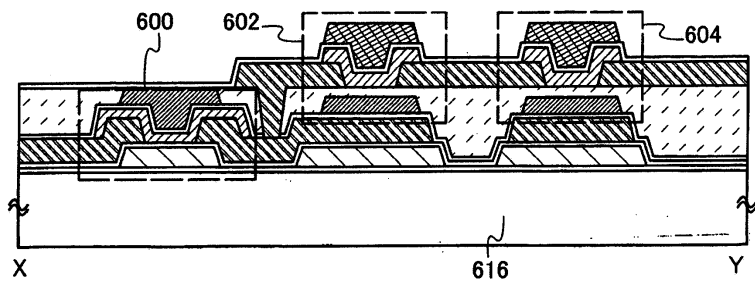
(A)



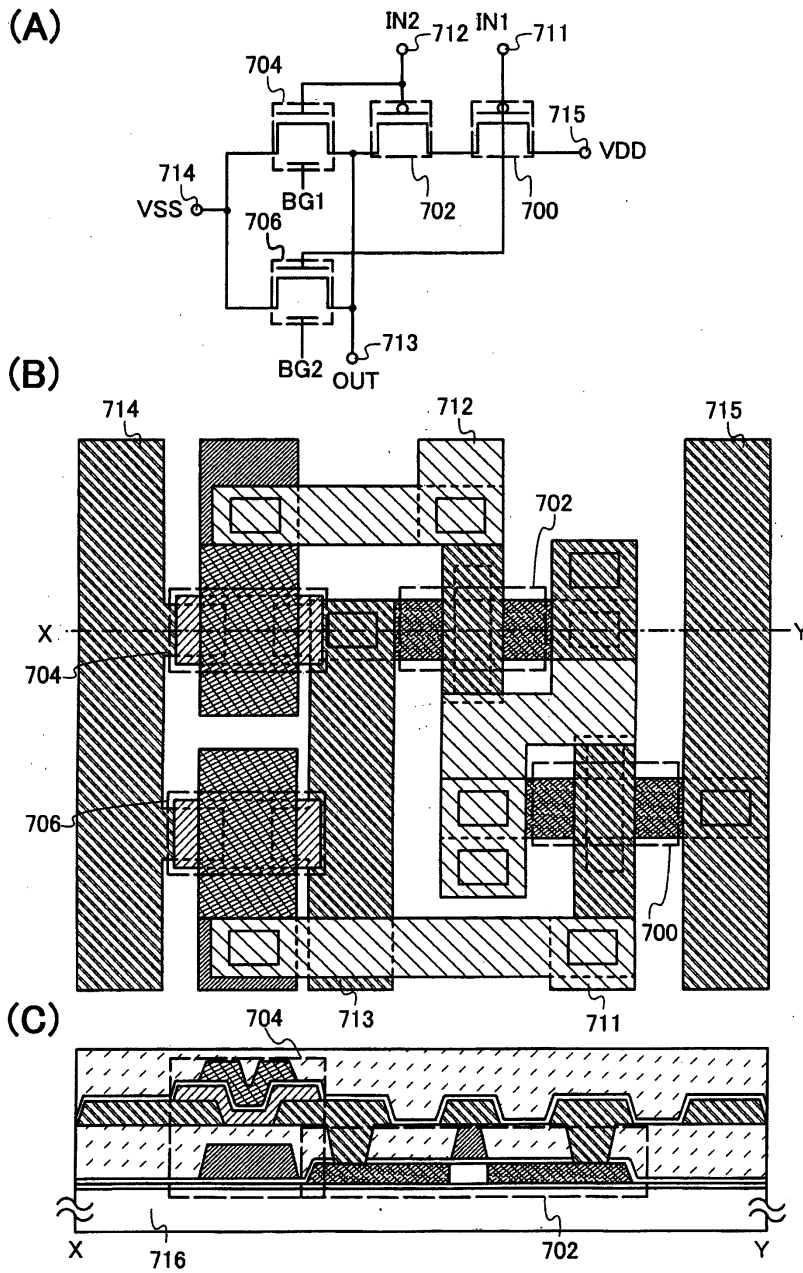
(B)



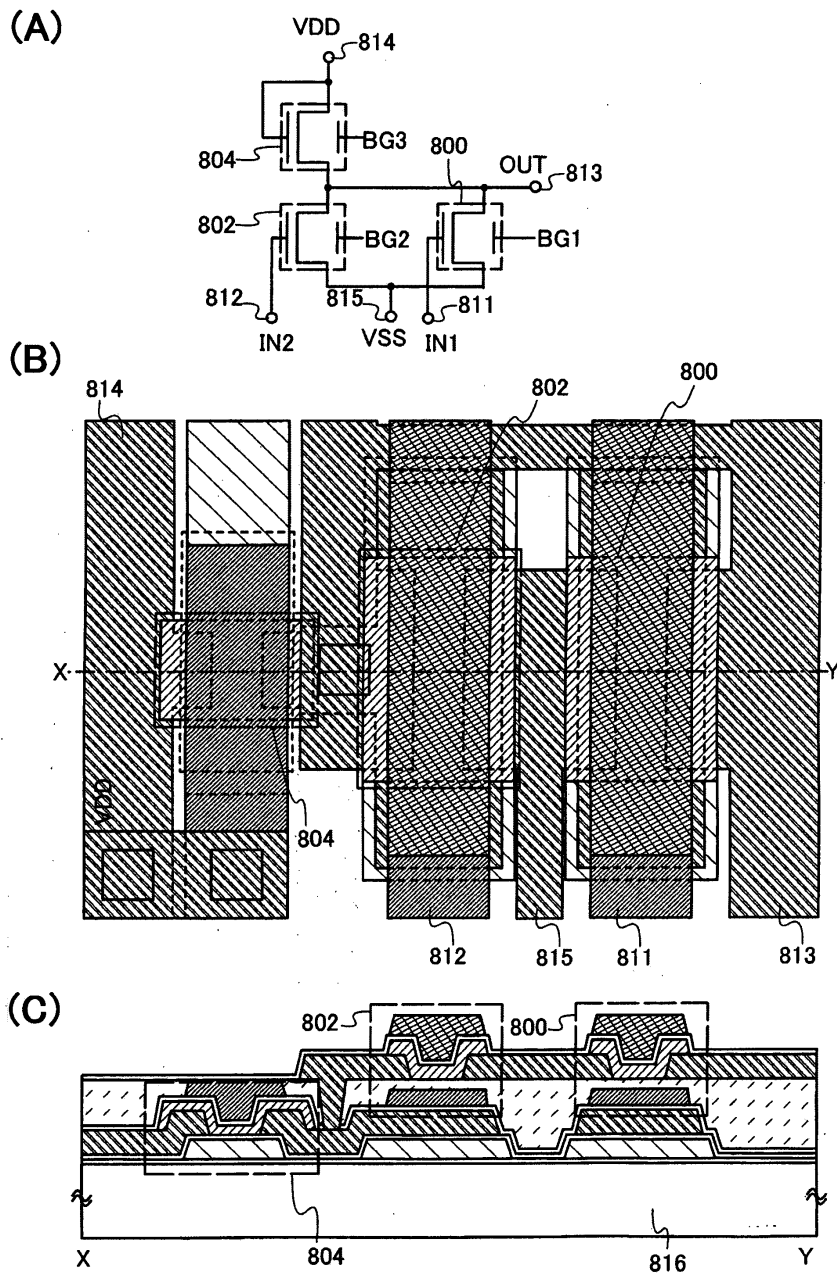
(C)



도면13

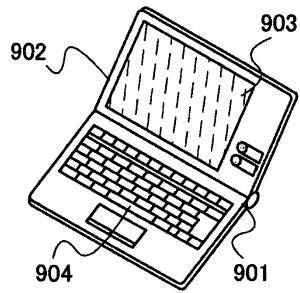


도면14

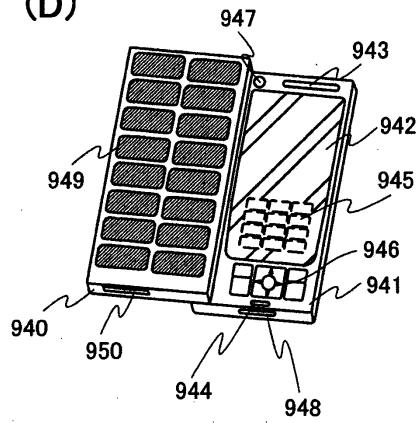


도면15

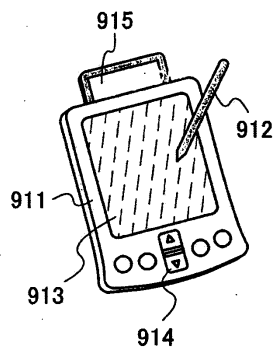
(A)



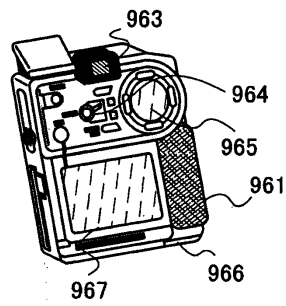
(D)



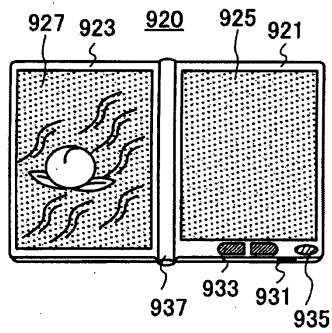
(B)



(E)



(C)



(F)

