201710910

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 201710910 A

(43)公開日： 中華民國 106 (2017) 年 03 月 16 日

(21)申請案號：105115915 (22)申請日： 中華民國 105 (2016) 年 05 月 23 日

(51)Int. Cl.： *G06F12/0802(2016.01)* *G06F12/0844(2016.01)*

(30)優先權：2015/08/27 美國 62/210,939

2015/11/20 美國 14/947,145

(71)申請人：三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓

(72)發明人：張牧天 CHANG, MU-TIEN (TW)；鄭宏忠 ZHENG, HONGZHONG (CN)；牛迪民 NIU, DIMIN (CN)

(74)代理人：葉璟宗；鄭婷文；詹富閔

申請實體審查：無 申請專利範圍項數：19 項 圖式數：3 共 29 頁

(54)名稱

交易式混合記憶體模組及其操作方法

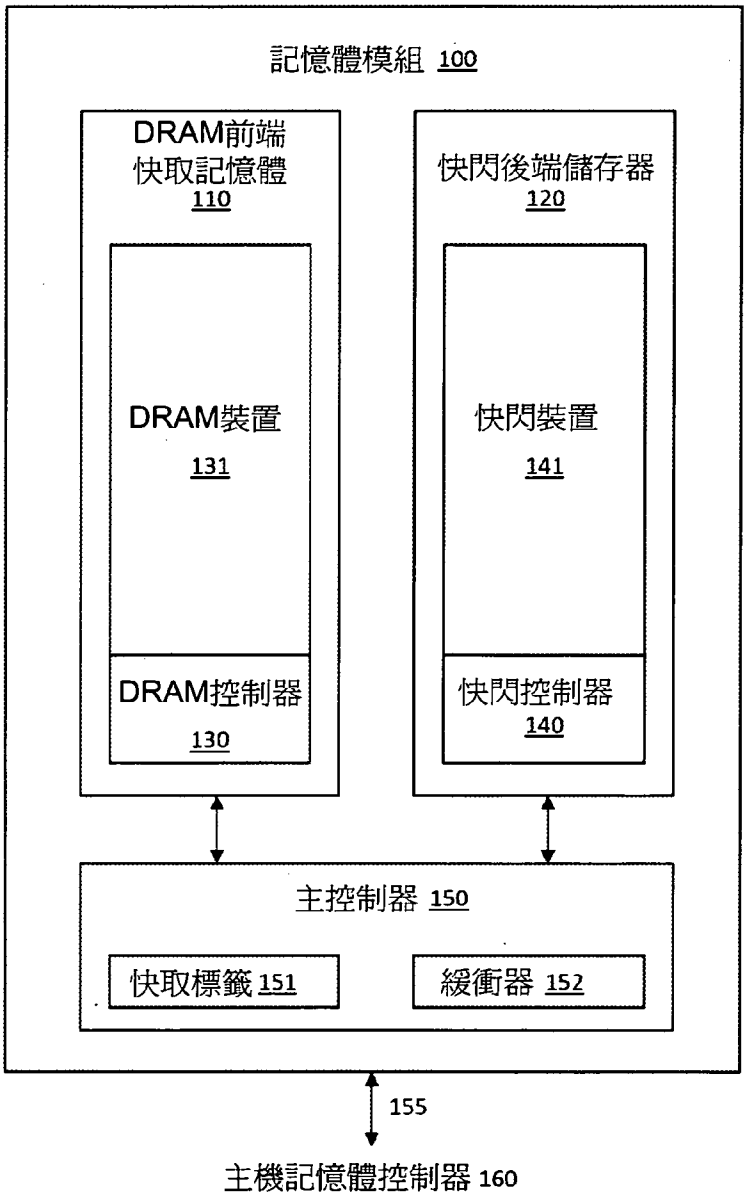
TRANSACTION-BASED HYBRID MEMORY MODULE AND OPERATING METHOD THEREOF

(57)摘要

一種混合記憶體模組包含動態隨機存取記憶體（DRAM）快取記憶體、快閃儲存器以及記憶體控制器。DRAM 快取記憶體包含一或多個 DRAM 裝置以及 DRAM 控制器，且快閃儲存器包含一或多個快閃裝置以及快閃控制器。記憶體控制器與 DRAM 控制器以及快閃控制器介接。

A hybrid memory module includes a dynamic random access memory (DRAM) cache, a flash storage, and a memory controller. The DRAM cache includes one or more DRAM devices and a DRAM controller, and the flash storage includes one or more flash devices and a flash controller. The memory controller interfaces with the DRAM controller and the flash controller.

指定代表圖：



【圖1】

符號簡單說明：

100・・・(混合)記憶體模組

110・・・DRAM(前端)快取記憶體

120・・・快閃(後端)儲存器

130・・・DRAM 控制器

131・・・DRAM 裝置

140・・・快閃控制器

141・・・快閃裝置

150・・・主控制器

151・・・快取標籤

152・・・緩衝器

155・・・交易式記憶體介面

160・・・主機記憶體控制器

201710910
專利案號：105115915

申請日：105.5.23
IPC分類：G06F12/0802(2016.01)
G06F12/0844(2016.01)

201710910

【發明摘要】

【中文發明名稱】交易式混合記憶體模組

【英文發明名稱】TRANSACTION-BASED HYBRID MEMORY MODULE

【中文】一種混合記憶體模組包含動態隨機存取記憶體（DRAM）快取記憶體、快閃儲存器以及記憶體控制器。DRAM快取記憶體包含一或多個DRAM裝置以及DRAM控制器，且快閃儲存器包含一或多個快閃裝置以及快閃控制器。記憶體控制器與DRAM控制器以及快閃控制器介接。

【英文】A hybrid memory module includes a dynamic random access memory (DRAM) cache, a flash storage, and a memory controller. The DRAM cache includes one or more DRAM devices and a DRAM controller, and the flash storage includes one or more flash devices and a flash controller. The memory controller interfaces with the DRAM controller and the flash controller.

【指定代表圖】圖1。

【代表圖之符號簡單說明】

100：（混合）記憶體模組

110：DRAM（前端）快取記憶體

120：快閃（後端）儲存器

130：DRAM 控制器

131：DRAM 裝置

140：快閃控制器

141：快閃裝置

150：主控制器

151：快取標籤

152：緩衝器

155：交易式記憶體介面

160：主機記憶體控制器

【特徵化學式】

無

【發明說明書】

【中文發明名稱】交易式混合記憶體模組

【英文發明名稱】TRANSACTION-BASED HYBRID MEMORY MODULE

[相關申請案的交叉參考]

本申請案主張於 2015 年 8 月 27 日申請的美國臨時專利申請案第 62/210,939 號的權益以及優先權，此美國臨時專利申請案的揭露內容的全文以引用的方式併入本文中。

【技術領域】

【0001】 本揭露內容大體上是關於記憶體模組，且更特定而言，是關於交易式混合記憶體模組。

【先前技術】

【0002】 固態磁碟機（solid-state drive；SSD）將資料儲存於諸如動態隨機存取記憶體（dynamic random-access memory；DRAM）以及快閃記憶體（flash memory）的非旋轉儲存媒體（non-rotating storage medium）中。DRAM 快速，對於重複性讀取/寫入循環具有低潛時以及高持久性。快閃記憶體通常較便宜，不需要再新，且消耗較少功率。歸因於 DRAM 以及快閃記憶體的相異特性，DRAM 通常用以儲存操作指令（operating instruction）以及過渡資料（transitional data），而快閃記憶體用於儲存應用程式

（application）以及使用者資料（user data）。

【0003】 DRAM 以及快閃記憶體可一起用於各種計算環境中。舉例而言，資料中心（datacenter）需要高容量、高效能、低功率以及低成本的記憶體解決方案（memory solution）。現今用於資料中心的記憶體解決方案是主要基於 DRAM。DRAM 提供高效能，但快閃記憶體較緻密，消耗較少功率，且比 DRAM 便宜。

【0004】 歸因於操作原理的差異，單獨的記憶體控制器（memory controller）用以控制 DRAM 以及快閃記憶體。舉例而言，DRAM 為位元組可定址的（byte addressable），而快閃記憶體為區塊可定址的（block addressable）。快閃記憶體需要耗損均衡（wear-leveling）以及廢料收集（garbage collection），而 DRAM 記憶體需要再新。此外，舉例而言，包含 DRAM 以及快閃記憶體兩者的混合記憶體系統（hybrid memory system）需要用於 DRAM 與快閃記憶體之間的資料傳輸的介面。另外，混合記憶體需要用於 DRAM 與快閃記憶體之間的資料傳輸的映射表（mapping table）。當保存以及傳輸資料時，DRAM 與快閃記憶體之間的位址映射（address mapping）可造成額外負擔。因此，混合記憶體系統的效能可歸因於額外負擔而降級。

【發明內容】

【0005】 根據一個實施例，一種混合記憶體模組包含動態隨機存取記憶體（DRAM）快取記憶體、快閃儲存器（flash storage）以及記憶體控制器。DRAM 快取記憶體包含一或多個 DRAM 裝置以及 DRAM 控制器，且快閃儲存器包含一或多個快閃裝置以及快閃

控制器。記憶體控制器與 DRAM 控制器以及快閃控制器介接。

【0006】 根據一個實施例，揭露一種用於操作包含 DRAM 快取記憶體以及快閃儲存器的混合記憶體模組的方法。方法包含：自主機記憶體控制器（host memory controller）接收記憶體交易請求；將記憶體交易請求儲存於混合記憶體模組的緩衝器中；檢查混合記憶體模組的快取標籤（cache tag）且判定記憶體交易請求包含用以存取 DRAM 快取記憶體的請求；以及基於快取標籤來執行記憶體交易請求。

【0007】 現在將參考附圖來更特定地描述且在申請專利範圍中指出以上較佳特徵以及其他較佳特徵，包含事件的實施以及組合的各種新穎細節。將理解，本文中所描述的特定系統以及方法是僅作為說明而非限制予以展示。在本領域具有知識者將理解，可在各種實施例以及眾多實施例中採用本文中所描述的原理以及特徵而不脫離本揭露內容的範疇。

【圖式簡單說明】

【0008】 作為本說明書的部分而被包含的隨附圖式說明目前較佳實施例，且連同上文所給出的一般描述以及下文所給出的較佳實施例的詳細描述一起用來解釋以及教示本文中所描述的原理。

圖 1 展示根據一個實施例的實例混合記憶體模組的架構。

圖 2A 為根據一個實施例的用於讀取命中操作的實例流程圖。

圖 2B 為根據一個實施例的用於讀取未命中操作的實例流程圖。

圖 3A 為根據一個實施例的用於寫入命中操作的實例流程圖。

圖 3B 為根據一個實施例的用於寫入未命中操作的實例流程圖。

諸圖未必按比例繪製，且貫穿諸圖，出於說明性目的，相似結構或功能的元件通常是由類似圖式元件符號表示。諸圖僅意欲促進對本文中所描述的各種實施例的描述。諸圖並不描述本文中所揭露的教示的每一態樣且並不限制申請專利範圍的範疇。

【實施方式】

【0009】 可單獨地或結合其他特徵以及教示來利用本文中所揭露的特徵以及教示中的每一者以提供交易式混合記憶體模組以及其操作方法。參考附圖來進一步詳細地描述既單獨地又組合地利用此等額外特徵以及教示中的許多者的代表性實例。此詳細描述僅僅意欲向在本領域具有知識者教示用於實踐本發明的教示的態樣的另外細節，且並不意欲限制申請專利範圍的範疇。因此，詳細描述中所揭露的特徵的組合可未必在最廣泛的意義上實踐此等教示，而是被教示以僅僅特定地描述本發明的教示的代表性實例。

【0010】 在以下描述中，僅出於解釋的目的，闡述特定命名法以提供對本揭露內容的透徹理解。然而，對於在本領域具有知識者而言將顯而易見，不需要此等特定細節以實踐本揭露內容的教示。

【0011】 本文中的詳細描述的一些部分是在對電腦記憶體內的資料位元的操作的演算法以及符號表示方面予以呈現。此等演算法描述以及表示被在資料處理領域具有知識者用以將其工作的主旨有效地傳達至其他在本領域具有通常知識者。演算法在此處且通常被設想為產生所要結果的自相一致步驟序列。此等步驟為需要

物理量的物理操縱的步驟。通常，但未必，此等量採取能夠被儲存、傳送、組合、比較以及以其他方式操縱的電信號或磁信號的形式。主要出於常見使用的原因，時常已證實為便利的是將此等信號稱作位元、值、元素、符號、字元、術語、數字或類似者。

【0012】 然而，應牢記，所有此等術語以及相似術語皆將與適當物理量相關聯，且僅僅為應用於此等量的便利標號。除非另有如自以下論述顯而易見的特定陳述，否則應瞭解，貫穿描述，利用諸如「處理」、「計算」、「運算」、「判定」、「顯示」或類似者的術語的論述是指電腦系統或相似電子計算裝置的動作以及程序，電腦系統或相似電子計算裝置將被表示為電腦系統暫存器以及記憶體內的物理（電子）量的資料操縱以及變換成被相似地表示為電腦系統記憶體或暫存器或其他此類資訊儲存、傳輸或顯示裝置內的物理量的其他資料。

【0013】 用於多種此等系統的所需結構將自以下描述顯現。將瞭解，多種程式設計語言可用以實施如本文中所描述的本揭露內容的教示。

【0014】 此外，可以未被特定地以及明確地列舉的方式來組合代表性實例以及附屬申請專利範圍的各種特徵，以便提供本發明的教示的額外有用實施例。亦應明確地注意，出於原始揭露內容的目的，以及出於限定所主張主題的目的，實體群組的所有值範圍或指示皆揭露每一可能中間值或中間實體。亦應明確地注意，諸圖中所展示的組件的尺寸以及形狀經設計以有助於理解如何實踐本發明的教示，但並不意欲限制實例中所展示的尺寸以及形狀。

【0015】 本揭露內容提供一種包含揮發性記憶體（例如，DRAM）

以及非揮發性記憶體（例如，快閃記憶體）的交易式混合記憶體模組以及其操作方法。在一個實施例中，本發明的交易式混合記憶體模組包含 DRAM 快取記憶體以及快閃儲存器。就此而言，混合記憶體模組在本文中亦被稱作 DRAM 快閃（DRAM-flash）或 DRAM 快閃記憶體模組（DRAM-flash memory module）。DRAM 快取記憶體用作前端快取記憶體（front-end memory cache），且快閃儲存器用作後端儲存器（back-end storage）。主機記憶體控制器可具有至混合記憶體模組的交易式記憶體介面（transaction-based memory interface）。可在交易基礎上異步地處理來自主機電腦（或主機電腦的 CPU）的記憶體存取請求。記憶體存取請求可儲存於緩衝器中且可一次一個被處理。DRAM 快取記憶體以及快閃儲存器兩者可駐留於同一記憶體模組上，且在單一記憶體位址空間中操作。本發明的交易式混合記憶體模組可提供類快閃的記憶體容量、功率、成本以及類 DRAM 的效能。

【0016】 混合記憶體模組可包含動態隨機存取記憶體（DRAM）快取記憶體、快閃儲存器以及記憶體控制器。DRAM 快取記憶體可包含一或多個 DRAM 裝置以及 DRAM 控制器，且快閃儲存器可包含一或多個快閃裝置以及快閃控制器。記憶體控制器可與 DRAM 控制器以及快閃控制器介接，且可包含緩衝器以及快取標籤。交易式記憶體介面可經組態以耦接記憶體控制器與主機記憶體控制器。記憶體控制器的緩衝器可儲存自主機記憶體控制器接收的記憶體交易請求，且快取標籤可指示自主機記憶體控制器接收的記憶體交易請求包含用以存取 DRAM 快取記憶體的請求。

【0017】 圖 1 展示根據一個實施例的實例混合記憶體模組的架

構。混合記憶體模組 100 可包含：DRAM 前端快取記憶體 110，可包含 DRAM 裝置 131；快閃後端儲存器 120，包含快閃裝置 141；以及主控制器 150，可與 DRAM 快取記憶體 110 的 DRAM 控制器 130 以及快閃儲存器 120 的快閃控制器 140 介接。混合記憶體模組 100 可經由交易式（亦即，異步）記憶體介面 155 而與主機記憶體控制器 160 介接。不同於同步記憶體介面，本發明的交易式介面可將混合記憶體模組 100 自主機記憶體控制器 160 解耦，從而允許設計靈活性。當經耦接的記憶體模組的記憶體存取潛時具非確定性時，可使用交易式記憶體介面 155。

【0018】 主控制器 150 可含有快取標籤 151，以及用於暫時儲存快取記憶體的緩衝器 152。主控制器 150 負責快取管理（cache management）以及流程控制（flow control）。DRAM 控制器 130 可充當 DRAM 裝置 131 的記憶體控制器，且管理記憶體交易以及命令排程，以及諸如記憶體再新的 DRAM 維護活動。快閃控制器 140 可充當用於快閃裝置 141 的固態磁碟機（SSD）控制器，且管理位址轉譯、廢料收集、耗損均衡以及排程。

【0019】 將參考關聯操作流程在四種使用狀況下解釋主機記憶體控制器 160 與混合記憶體模組 100 之間的記憶體交易以及介面。用於快閃記憶體的讀取/寫入粒度可取決於快閃產品而變化，例如，4KB。列緩衝器（或分頁）的大小亦可取決於 DRAM 產品而變化，例如，2KB。在以下實例中，假定用於 DRAM 快取記憶體 110 以及快閃儲存器 120 的存取粒度分別為 64B 以及 4KB，且記憶體控制器讀取/寫入請求的大小為 64B。然而，應理解，此等者僅僅為實例大小，且可使用用於 DRAM 快取記憶體 110 以及快閃

儲存器 120 的存取粒度的其他大小以及記憶體控制器讀取/寫入請求的大小而不偏離本揭露內容的範疇。

【0020】 圖 2A 為根據一個實施例的用於讀取命中操作的實例流程圖。當經由交易式記憶體介面 155 自主機記憶體控制器 160 接收請求（步驟 201）時，主控制器 150 可檢查快取標籤 151（步驟 202）。自主機記憶體控制器 160 接收的請求可儲存於緩衝器 152 中。緩衝器 152 亦可儲存用於 DRAM 快取記憶體 110 與快閃儲存器 120 之間以及主控制器 150 與主機記憶體控制器 160 之間的資料傳輸的瞬間資料。快取標籤 151 可指示請求是否含有至以及自 DRAM 快取記憶體 110 的記憶體交易。

【0021】 當在緩衝器 152 中存在未決請求（pending request）時，主控制器 150 可解碼請求以判定與請求相關聯的記憶體位址或記憶體位址範圍。主控制器 150 可在 DRAM 快取記憶體中保留某些資料（例如，頻繁使用的資料），且設定快取標籤 151 以指示與所保留的資料相關聯的記憶體位址。快取標籤 151 可為來自記憶體位址的經解碼的數字，且用以判定所請求的資料是否在快取記憶體中。快取記憶體可包含多個快取行（cache line）。每一快取行可具有其唯一的索引以及標籤。當記憶體請求進入時，主控制器 150 的解碼器（未圖示）可判定與記憶體位址相關聯的索引以及快取標籤。基於索引以及快取標籤，主控制器 150 的快取記憶體控制器（未圖示）可判定是否任一快取行具有相同索引以及快取標籤。當存在匹配時，其被稱作快取命中（cache hit）。當不存在匹配時，其被稱作快取未命中（cache miss）。當主控制器 150 藉由參考快取標籤 151 而判定請求包含讀取命令，且 DRAM 快取記憶體 110

含有與讀取位址相關聯的資料（在本文中被稱作讀取命中（步驟203））時，主控制器 150 可指示 DRAM 控制器 130 存取 DRAM 快取記憶體 110。DRAM 控制器 130 可存取 DRAM 快取記憶體 110（步驟 204）且自 DRAM 快取記憶體 110 接收 64B 資料（步驟 205）。DRAM 控制器 130 可接著將 64B 資料傳回至主控制器 150（步驟 206），且主控制器 150 可經由鏈路匯流排將 64B 資料發送至主機記憶體控制器 160（步驟 207）。自 DRAM 快取記憶體 110 的資料傳回的時序可具非確定性，此是因為主機記憶體控制器 160 與記憶體模組 100 之間的介面為交易式的。自 DRAM 快取記憶體 110 以及快閃儲存器 120 傳回的資料的延遲可不同，如下文將進一步詳細地所解釋。

【0022】 圖 2B 為根據一個實施例的用於讀取未命中操作的實例流程圖。當快取標籤 151 指示來自主機記憶體控制器 160 的請求含有不儲存於 DRAM 快取記憶體中的讀取記憶體交易，接著可自快閃儲存器 120 獲得資料（在本文中被稱作讀取未命中（圖 2A 中的步驟 211））時，主控制器 150 可判定資料儲存於快閃儲存器 120 中且指示快閃控制器 140 自快閃儲存器 120 上的對應記憶體位址讀取資料。快閃控制器 140 可存取快閃儲存器 120（步驟 212）且自快閃儲存器 120 接收 4KB 資料（快閃儲存器 120 的存取粒度）（步驟 213）。快閃控制器 140 可接著將 4KB 資料傳回至主控制器 150（步驟 214）。主控制器 150 可自所接收的 4KB 資料選擇相關的 64B，且經由鏈路匯流排將彼 64B（DRAM 快取記憶體 110 的存取粒度）發送至主機記憶體控制器 160（步驟 215）。

【0023】 主控制器 150 可進一步尋找待收回的 DRAM 快取記憶體

分頁（4KB）。若對應於 4KB 資料的 DRAM 快取記憶體分頁未變更（步驟 216），則主控制器 150 可將 4KB 資料寫入至 DRAM 控制器 130，且隨後，DRAM 控制器 130 可將 4KB 資料寫入至 DRAM 快取記憶體 110（步驟 217）。DRAM 快取記憶體 110 可運用儲存於快閃儲存器 120 中的 4KB 資料被更新。快取記憶體中的多個快取行中的每一者可具有索引、標籤以及已變更位元（dirty bit）。主控制器 150 可藉由參考已變更位元來判定快取行的變更度（dirtiness）。起初，所有已變更位元皆被設定為 0，此意謂快取行未變更。快取記憶體中的資料為快閃儲存器 120 中的資料子集。未變更意謂：對於相同位址，快取記憶體中的資料與快閃儲存器 120 中的資料相同。相反地，已變更意謂：對於相同位址，快取記憶體中的資料相對於快閃儲存器 120 中的資料被更新，因此，快閃儲存器 120 中的資料陳舊。當收回已變更快取行時，必須更新快閃儲存器 120 中的對應資料。當收回未變更快取行時，不需要更新。

【0024】 若 DRAM 快取記憶體已變更（步驟 216），則主控制器 150 可指示 DRAM 控制器 130 自 DRAM 快取記憶體 110 讀取 4KB 已變更資料。DRAM 控制器 130 可自 DRAM 快取記憶體 110 存取以及接收 4KB 已變更資料（步驟 218）。DRAM 控制器 130 可接著將 4KB 已變更資料傳回至主控制器 150，且主控制器 150 可指示快閃控制器 140 將 4KB 已變更資料回寫至快閃儲存器 120（步驟 219）。主控制器 150 可接著將新 4KB 資料寫入至 DRAM 控制器 130，且 DRAM 控制器 130 可將新 4KB 資料寫入至 DRAM 快取記憶體 110（步驟 220）。DRAM 快取記憶體 110 可運用儲存於快閃

儲存器 120 中的新 4KB 資料被更新。

【0025】 接下來，將參考圖 1 的本發明的混合記憶體模組 100 的架構來解釋寫入命中操作以及寫入未命中操作。參考圖 3A 以及圖 3B 所描述的實例流程圖採用直寫式快取記憶體策略（write-through cache policy）。然而，應理解，本揭露內容可採用其他快取記憶體策略而不偏離本揭露內容的範疇。對於直寫式快取記憶體策略，對 DRAM 前端快取記憶體 110 以及快閃後端儲存器 120 兩者同步地處理寫入請求。圖 3A 為根據一個實施例的用於寫入命中操作的實例流程圖。當經由交易式記憶體介面 155 自主機記憶體控制器 160 接收請求（步驟 301）時，主控制器 150 可檢查快取標籤 151（步驟 302），且判定自主機記憶體控制器 160 接收的請求包含至 DRAM 快取記憶體 110 的寫入命令（步驟 303），在本文中被稱作寫入命中。在寫入命中的狀況下，記憶體交易可按以下序列發生。主控制器 150 可將自主機記憶體控制器 160 接收的 64B 資料寫入至 DRAM 控制器 130（步驟 304）。DRAM 控制器 130 可接著將 64B 資料寫入至 DRAM 快取記憶體 110（步驟 305）。主控制器 150 可將快取記憶體分頁標記為已變更，且可更新 DRAM 快取記憶體 110 中的資料（步驟 306）。當在圖 2B 的步驟 218 至步驟 220 中發生至被標記為已變更的快取記憶體分頁的後續讀取未命中操作時，可收回此快取記憶體分頁。

【0026】 圖 3B 為根據一個實施例的用於寫入未命中操作的實例流程圖。主控制器 150 可檢查快取標籤 151 以判定自主機記憶體控制器 160 接收的請求包含至快閃儲存器 120 的寫入命令（步驟 311），在本文中被稱作寫入未命中。在寫入未命中的狀況下，記

憶體交易可按以下序列發生。首先，主控制器 150 可判定 DRAM 快取記憶體分頁未變更抑或已變更（步驟 312）。若 DRAM 快取記憶體分頁已變更，則主控制器 150 可指示 DRAM 控制器 130 自 DRAM 快取記憶體 110 讀取 4KB 已變更資料。DRAM 控制器 130 可自 DRAM 快取記憶體 110 存取以及接收 4KB 已變更資料，且將 4KB 已變更資料傳回至主控制器 150（步驟 313）。主控制器 150 可接著將 4KB 已變更資料回寫至快閃控制器 140，且快閃控制器 140 可將 4KB 已變更資料寫入至快閃儲存器 120（步驟 314）。

【0027】 當主控制器 150 判定 DRAM 快取記憶體分頁未變更（步驟 312）時，或在將已變更資料寫入至快閃儲存器（步驟 314）之後，主控制器 150 準備好更新快取記憶體分頁中自主機記憶體控制器 160 接收的資料。主控制器 150 可將自主機記憶體控制器 160 接收的 64B 資料寫入至 DRAM 控制器 130（步驟 315）。DRAM 控制器 130 可接著將 64B 資料寫入至 DRAM 快取記憶體 110（步驟 316）。主控制器 150 可將快取記憶體分頁標記為已變更（步驟 317）。

【0028】 根據一些實施例，主控制器 150 可採用各種快取記憶體策略而不偏離本揭露內容的範疇。在一個實施例中，主控制器 150 可採用回寫式快取記憶體策略（write-back cache policy）。當主控制器 150 採用回寫式快取記憶體策略時，主控制器 150 起初寫入至 DRAM 前端快取記憶體 110，且可推遲至快閃後端儲存器 120 的寫入直至含有資料的快取記憶體區塊（cache block）被修改或被新資料替換為止。為了追蹤資料已運用新資料被覆寫的位址，主控制器 150 將彼等經覆寫位址標記為「已變更」，且在自 DRAM 前

端快取記憶體 110 收回資料時將新資料寫入至快閃後端儲存器 120。

【0029】 在另一實施例中，主控制器 150 可採用繞寫式快取記憶體策略（write-around cache policy）。繞寫式快取記憶體策略與直寫式快取記憶體策略相似，但資料繞過 DRAM 前端快取記憶體 110 而直接地寫入至快閃後端儲存器 120。此可縮減被充滿隨後將被重新讀取的寫入請求的快取記憶體。

【0030】 為了達成較佳效能以及較快回應，本發明的混合記憶體模組可將快閃分頁（flash page）映射至 DRAM 分頁。DRAM 快取記憶體與快閃儲存器之間的分頁映射可允許本發明的混合記憶體模組採用開放式分頁策略（open-page policy）。開放式分頁策略在存取 DRAM 快取記憶體中的分頁時實現較快記憶體存取。舉例而言，當自 DRAM 快取記憶體 110 讀取資料或將資料寫入至 DRAM 快取記憶體 110 時，本發明的混合記憶體模組僅需要進行一次 DRAM 列啟動，從而使 DRAM 列緩衝器保持開放，且接著可發出利用開放式分頁策略的行存取序列。對於 DRAM 記憶體，當使用開放式分頁策略時，若在同一列上發生存取序列（在本文中被稱作列緩衝器命中），則本發明的交易式混合記憶體模組可避免關閉以及重新開放列的額外負擔，因此可達成較佳以及較快效能。

【0031】 對於包含 DRAM 記憶體以及快閃記憶體兩者的本發明的混合記憶體架構，DRAM 記憶體可充當快閃記憶體的快取記憶體。可將經較頻繁存取的資料自快閃記憶體移動至 DRAM 快取記憶體，且可將經較不頻繁存取的資料自 DRAM 快取記憶體移動至快閃記憶體。DRAM 快取記憶體與快閃記憶體之間的資料的頻繁

移動可為成本高的。為了最小化成本，本發明的混合記憶體可藉由將快閃分頁映射至 DRAM 分頁而採用開放式分頁策略。舉例而言，可將 4KB 的快閃分頁映射至 2KB 的兩個 DRAM 分頁。

【0032】 根據一個實施例，本發明的混合記憶體模組可支援檢查點設定（checkpointing）。只要產生檢查點（例如，自 DRAM 位置至快閃位置的複本資料），主控制器 150 就可執行自 DRAM 快取記憶體 110 至快閃儲存器 120 的資料回寫。

【0033】 根據一個實施例，本發明的混合記憶體模組可支援預提取（prefetching）。主控制器 150 可提前將與特定分頁高度地相關聯的多個快閃分頁提取至 DRAM 快取記憶體 110 以改良效能。

【0034】 根據一個實施例，一種記憶體模組包含：動態隨機存取記憶體（DRAM）快取記憶體，包含一或多個 DRAM 裝置以及 DRAM 控制器；快閃儲存器，包含一或多個快閃裝置以及快閃控制器；記憶體控制器，與 DRAM 控制器以及快閃控制器介接；以及交易式記憶體介面，經組態以耦接記憶體控制器與主機記憶體控制器。

【0035】 記憶體控制器可包含經組態以儲存暫時快取記憶體資料以及快取標籤的緩衝器。快取標籤可指示自主機記憶體控制器接收的記憶體交易請求包含用以存取 DRAM 快取記憶體的請求。

【0036】 記憶體控制器可基於快取標籤來判定來自主機記憶體控制器的記憶體交易請求為讀取命中、讀取未命中、寫入命中，或寫入未命中。

【0037】 記憶體控制器可將來自快閃儲存器的快閃分頁映射至 DRAM 快取記憶體的一或多個 DRAM 分頁。

【0038】 交易式介面可允許主機記憶體控制器在記憶體模組的記憶體存取潛時具非確定性時存取記憶體模組。

【0039】 記憶體控制器可基於快取標籤來判定自主機記憶體控制器接收的記憶體交易請求為來自 DRAM 快取記憶體的讀取請求或至 DRAM 快取記憶體的寫入請求，且 DRAM 控制器可回應於記憶體交易請求而管理用於 DRAM 快取記憶體的記憶體交易以及命令排程。

【0040】 記憶體控制器可基於快取標籤來判定自主機記憶體控制器接收的記憶體交易請求為來自快閃儲存器的讀取請求或至快閃儲存器的寫入請求，且快閃控制器可回應於記憶體交易請求而管理用於快閃儲存器的位址轉譯、廢料收集、耗損均衡以及排程。

【0041】 根據一個實施例，一種用於操作包含 DRAM 快取記憶體以及快閃儲存器的混合記憶體模組的方法可包含：自主機記憶體控制器異步地接收記憶體交易請求；將記憶體交易請求儲存於混合記憶體模組的緩衝器中；檢查混合記憶體模組的快取標籤且判定記憶體交易請求包含用以存取儲存於 DRAM 快取記憶體中的資料的請求；以及基於快取標籤來執行記憶體交易請求。

【0042】 方法可更包含：基於快取標籤來判定記憶體交易請求為來自 DRAM 快取記憶體的讀取請求；自 DRAM 快取記憶體接收對應於記憶體交易請求的 DRAM 資料；以及將 DRAM 資料提供至主機記憶體控制器。

【0043】 方法可更包含：將記憶體交易請求以及快取標籤儲存於緩衝器中。

【0044】 方法可更包含：將來自快閃儲存器的快閃分頁映射至

DRAM 快取記憶體的一或多個 DRAM 分頁。

【0045】 方法可更包含：基於快取標籤來判定記憶體交易請求為來自 DRAM 快取記憶體的讀取請求或至 DRAM 快取記憶體的寫入請求；以及回應於記憶體交易請求而管理用於 DRAM 快取記憶體的記憶體交易以及命令排程。

【0046】 方法可更包含：基於快取標籤來判定記憶體交易請求為來自快閃儲存器的讀取請求或至快閃請求的寫入請求；以及回應於記憶體交易請求而管理用於快閃儲存器的位址轉譯、廢料收集、耗損均衡以及排程。

【0047】 方法可更包含：判定 DRAM 快取記憶體分頁已變更；自 DRAM 快取記憶體分頁讀取已變更資料；以及將已變更資料寫入至快閃儲存器。

【0048】 方法可更包含：將自主機記憶體控制器接收的資料寫入至 DRAM 快取記憶體；以及將 DRAM 快取記憶體標記為已變更。

【0049】 方法可更包含：使 DRAM 快取記憶體的 DRAM 快取記憶體分頁保持開放；以及執行對開放式 DRAM 快取記憶體分頁的一系列行存取。

【0050】 方法可更包含：判定儲存於快閃儲存器中的由主機記憶體控制器頻繁地請求的資料；以及基於主機記憶體控制器的資料請求頻率將儲存於快閃儲存器中的資料映射至 DRAM 快取記憶體。

【0051】 DRAM 快取記憶體以及快閃儲存器的存取潛時具非確定性。

【0052】 上文中已描述以上實例實施例，以說明實施用於經由主

記憶體系統而介接共處理器與輸入/輸出裝置的系統以及方法的各種實施例。在本領域具有通常知識者將想到各種修改以及與所揭露的實例實施例的偏離。以下申請專利範圍中闡述意欲在本揭露內容的範疇內的主題。

【符號說明】

【0053】

100：（混合）記憶體模組

110：DRAM（前端）快取記憶體

120：快閃（後端）儲存器

130：DRAM 控制器

131：DRAM 裝置

140：快閃控制器

141：快閃裝置

150：主控制器

151：快取標籤

152：緩衝器

155：交易式記憶體介面

160：主機記憶體控制器

201~207、211~220、301~306、311~317：步驟

【發明申請專利範圍】

【第 1 項】一種記憶體模組，包括：

動態隨機存取記憶體（DRAM）快取記憶體，包含一或多個 DRAM 裝置以及 DRAM 控制器；

快閃儲存器，包含一或多個快閃裝置以及快閃控制器；

記憶體控制器，與所述 DRAM 控制器以及所述快閃控制器介接；以及

交易式記憶體介面，經組態以耦接所述記憶體控制器與主機記憶體控制器。

【第 2 項】如申請專利範圍第 1 項所述的記憶體模組，其中所述記憶體控制器包含經組態以儲存暫時快取記憶體資料以及快取標籤的緩衝器。

【第 3 項】如申請專利範圍第 2 項所述的記憶體模組，其中所述快取標籤指示自所述主機記憶體控制器接收的記憶體交易請求包含用以存取所述 DRAM 快取記憶體的請求。

【第 4 項】如申請專利範圍第 3 項所述的記憶體模組，其中所述記憶體控制器基於所述快取標籤來判定來自所述主機記憶體控制器的所述記憶體交易請求為讀取命中、讀取未命中、寫入命中、或寫入未命中。

【第 5 項】如申請專利範圍第 1 項所述的記憶體模組，其中所述記憶體控制器將來自所述快閃儲存器的快閃分頁映射至所述 DRAM 快取記憶體的一或多個 DRAM 分頁。

【第 6 項】如申請專利範圍第 1 項所述的記憶體模組，其中所述交易式介面允許所述主機記憶體控制器在所述記憶體模組的記憶體

存取潛時具非確定性時存取所述記憶體模組。

【第 7 項】如申請專利範圍第 1 項所述的記憶體模組，其中所述記憶體控制器基於快取標籤來判定自所述主機記憶體控制器接收的記憶體交易請求為來自所述 DRAM 快取記憶體的讀取請求或至所述 DRAM 快取記憶體的寫入請求，且所述 DRAM 控制器回應於所述記憶體交易請求而管理用於所述 DRAM 快取記憶體的記憶體交易以及命令排程。

【第 8 項】如申請專利範圍第 1 項所述的記憶體模組，其中所述記憶體控制器基於快取標籤來判定自所述主機記憶體控制器接收的記憶體交易請求為來自所述快閃儲存器的讀取請求或至所述快閃儲存器的寫入請求，且所述快閃控制器回應於所述記憶體交易請求而管理用於所述快閃儲存器的位址轉譯、廢料收集、耗損均衡以及排程。

【第 9 項】一種用於操作包含 DRAM 快取記憶體以及快閃儲存器的混合記憶體模組的方法，所述方法包括：

自主機記憶體控制器異步地接收記憶體交易請求；

將所述記憶體交易請求儲存於所述混合記憶體模組的緩衝器中；

檢查所述混合記憶體模組的快取標籤且判定所述記憶體交易請求包含用以存取儲存於所述 DRAM 快取記憶體中的資料的請求；以及

基於所述快取標籤來執行所述記憶體交易請求。

【第 10 項】如申請專利範圍第 9 項所述的用於操作包含 DRAM 快取記憶體以及快閃儲存器的混合記憶體模組的方法，更包括：

基於所述快取標籤來判定所述記憶體交易請求為來自所述 DRAM 快取記憶體的讀取請求；

自所述 DRAM 快取記憶體接收對應於所述記憶體交易請求的 DRAM 資料；以及

將所述 DRAM 資料提供至所述主機記憶體控制器。

【第 11 項】如申請專利範圍第 9 項所述的用於操作包含 DRAM 快取記憶體以及快閃儲存器的混合記憶體模組的方法，更包括：

將所述記憶體交易請求以及所述快取標籤儲存於所述緩衝器中。

【第 12 項】如申請專利範圍第 9 項所述的用於操作包含 DRAM 快取記憶體以及快閃儲存器的混合記憶體模組的方法，更包括：

將來自所述快閃儲存器的快閃分頁映射至所述 DRAM 快取記憶體的一或多個 DRAM 分頁。

【第 13 項】如申請專利範圍第 9 項所述的用於操作包含 DRAM 快取記憶體以及快閃儲存器的混合記憶體模組的方法，更包括：

基於所述快取標籤來判定記憶體交易請求為來自所述 DRAM 快取記憶體的讀取請求或至所述 DRAM 快取記憶體的寫入請求；以及

回應於所述記憶體交易請求而管理用於所述 DRAM 快取記憶體的記憶體交易以及命令排程。

【第 14 項】如申請專利範圍第 9 項所述的用於操作包含 DRAM 快取記憶體以及快閃儲存器的混合記憶體模組的方法，更包括：

基於所述快取標籤來判定記憶體交易請求為來自所述快閃儲存器的讀取請求或至所述快閃請求的寫入請求；以及

回應於所述記憶體交易請求而管理用於所述快閃儲存器的位址轉譯、廢料收集、耗損均衡以及排程。

【第 15 項】如申請專利範圍第 9 項所述的用於操作包含 DRAM 快取記憶體以及快閃儲存器的混合記憶體模組的方法，更包括：

判定 DRAM 快取記憶體分頁已變更；

自所述 DRAM 快取記憶體分頁讀取已變更資料；以及

將所述已變更資料寫入至所述快閃儲存器。

【第 16 項】如申請專利範圍第 15 項所述的用於操作包含 DRAM 快取記憶體以及快閃儲存器的混合記憶體模組的方法，更包括：

將自所述主機記憶體控制器接收的資料寫入至所述 DRAM 快取記憶體；以及

將所述 DRAM 快取記憶體標記為已變更。

【第 17 項】如申請專利範圍第 9 項所述的用於操作包含 DRAM 快取記憶體以及快閃儲存器的混合記憶體模組的方法，更包括：

使所述 DRAM 快取記憶體的 DRAM 快取記憶體分頁保持開放；以及

執行對所述開放式 DRAM 快取記憶體分頁的一系列行存取。

【第 18 項】如申請專利範圍第 9 項所述的用於操作包含 DRAM 快取記憶體以及快閃儲存器的混合記憶體模組的方法，更包括：

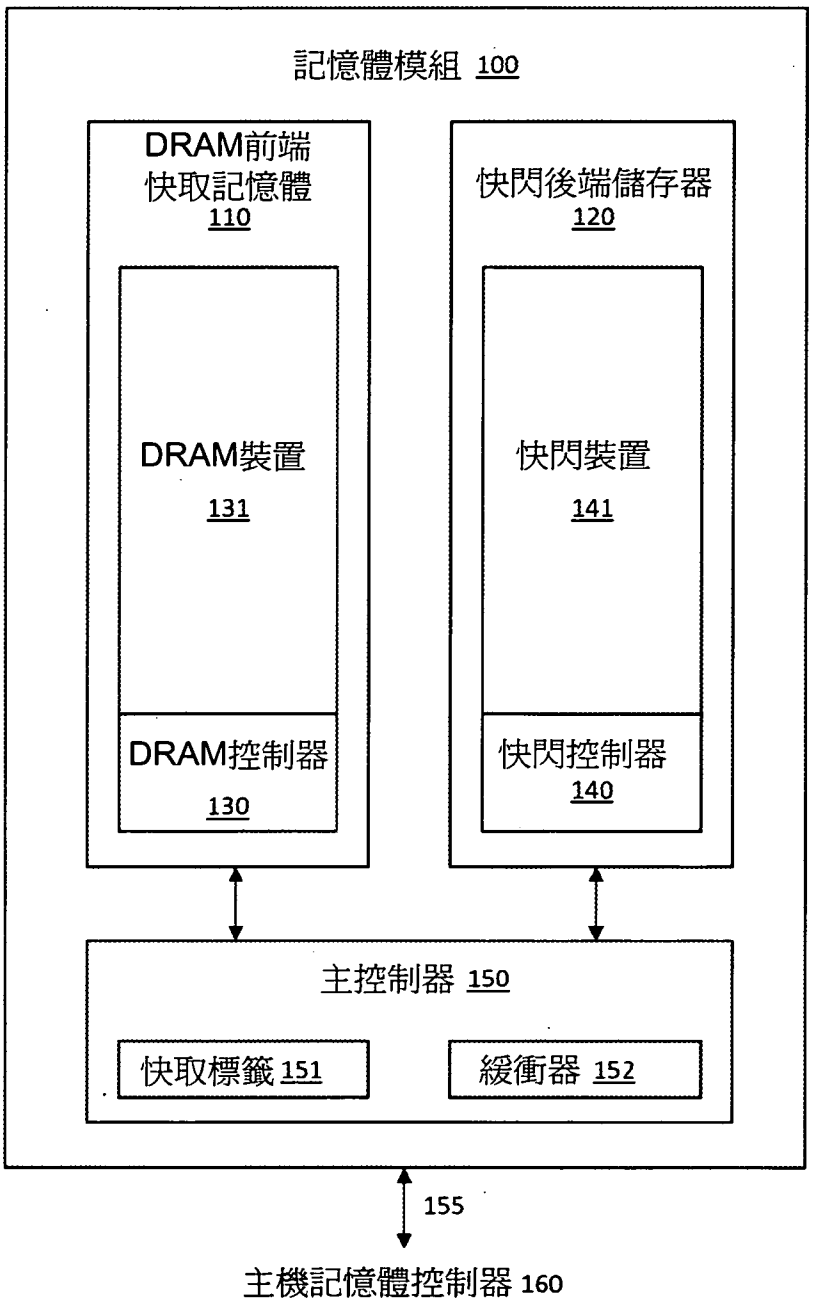
判定儲存於所述快閃儲存器中的由所述主機記憶體控制器頻繁地請求的資料；以及

基於所述主機記憶體控制器的資料請求頻率將儲存於所述快閃儲存器中的所述資料映射至所述 DRAM 快取記憶體。

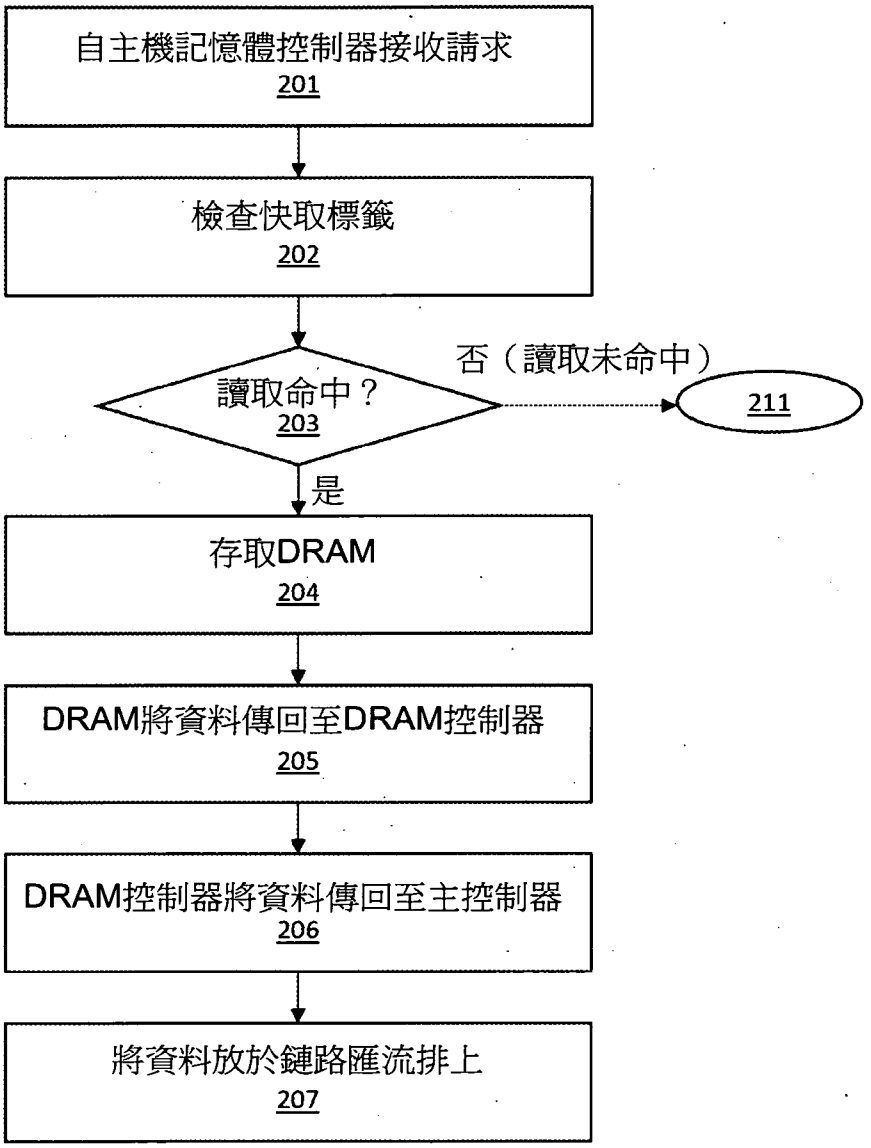
【第 19 項】如申請專利範圍第 9 項所述的用於操作包含 DRAM 快

取記憶體以及快閃儲存器的混合記憶體模組的方法，其中所述DRAM 快取記憶體以及所述快閃儲存器的存取潛時具非確定性。

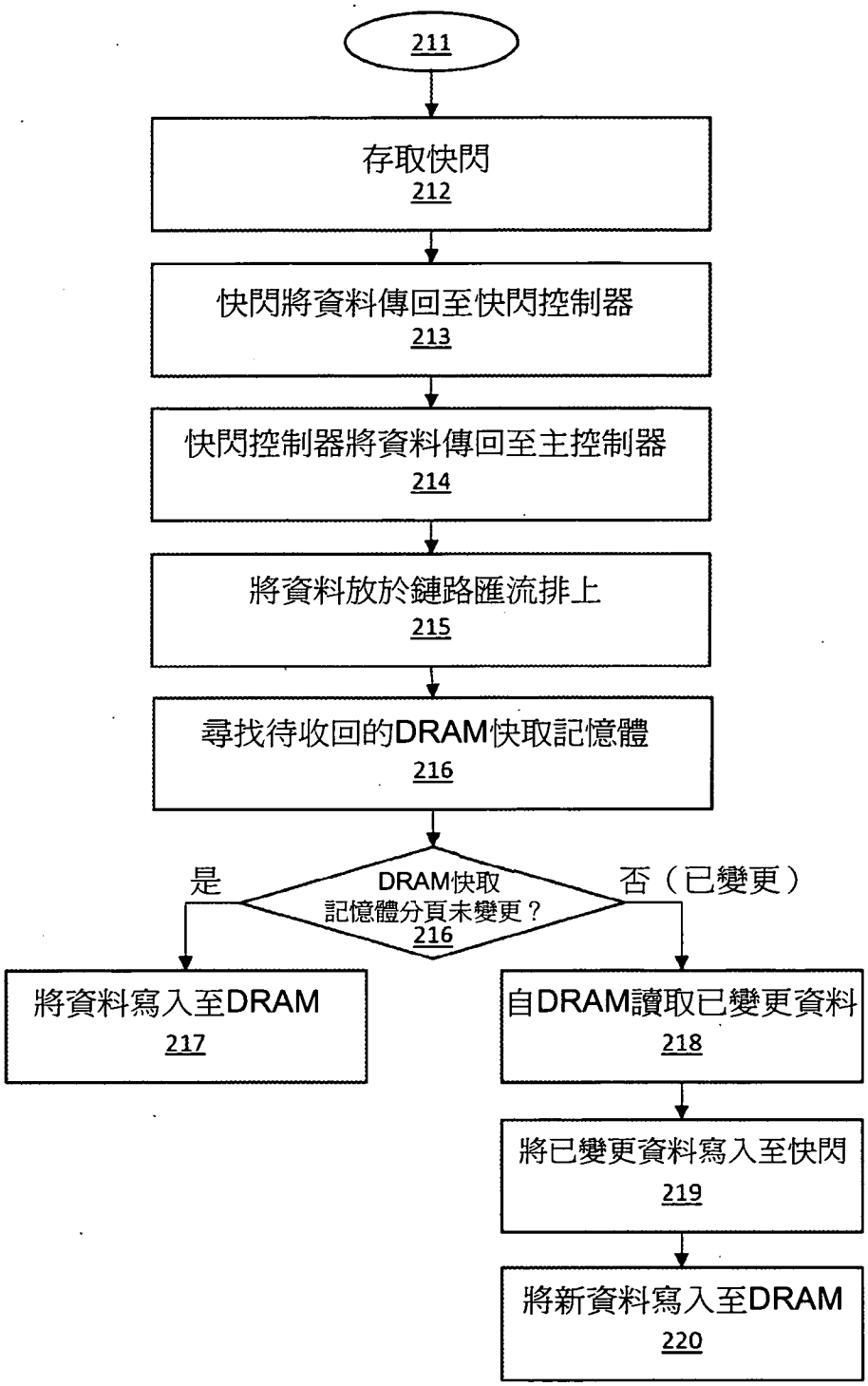
【發明圖式】


記憶體模組 100
DRAM前端
快取記憶體
110
DRAM裝置
131
DRAM控制器
130
快閃後端儲存器
120
快閃裝置
141
快閃控制器
140
主控制器 150
快取標籤 151
緩衝器 152
155
主機記憶體控制器 160

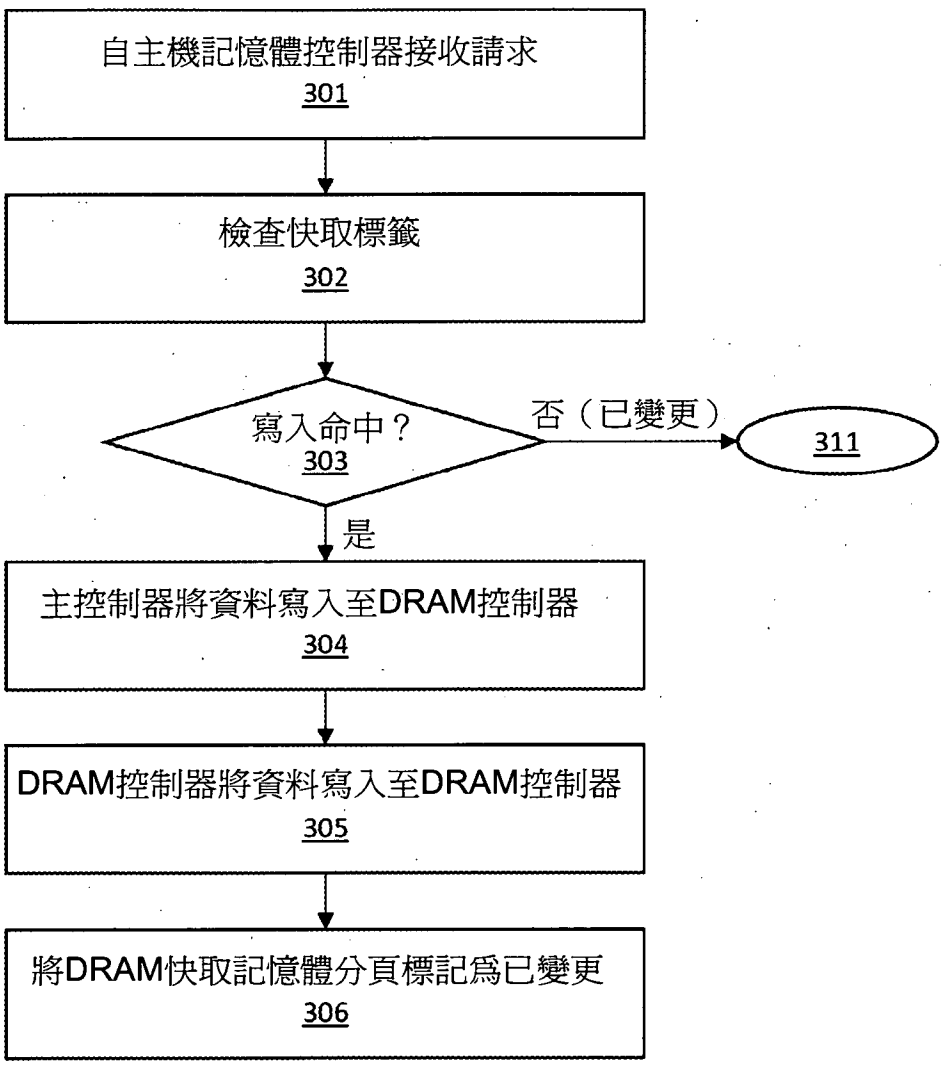
【圖1】


自主機記憶體控制器接收請求
201
檢查快取標籤
202
讀取命中？
203
否（讀取未命中）
211
是
存取DRAM
204
DRAM將資料傳回至DRAM控制器
205
DRAM控制器將資料傳回至主控制器
206
將資料放於鏈路匯流排上
207

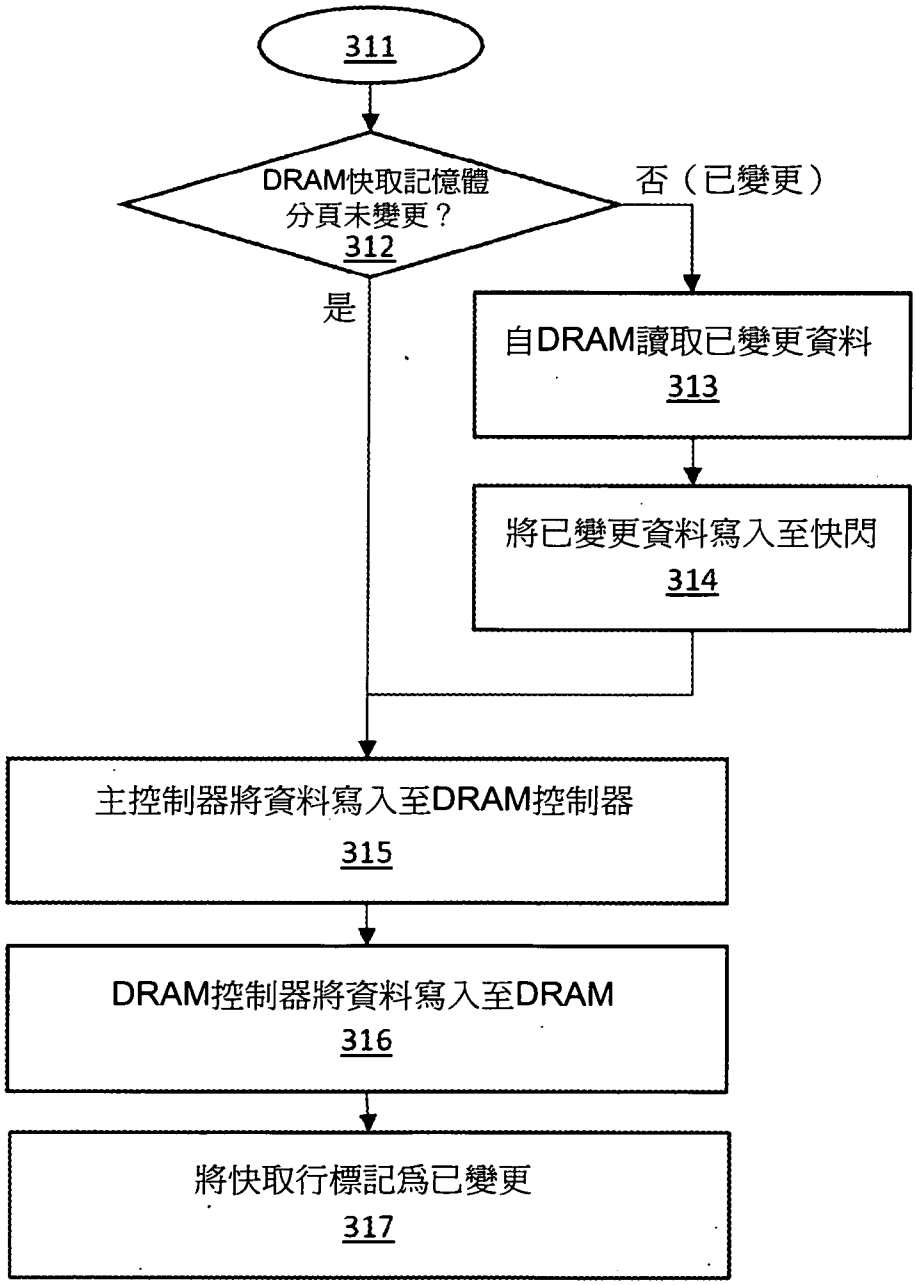
【圖2A】


211
存取快閃
212
快閃將資料傳回至快閃控制器
213
快閃控制器將資料傳回至主控制器
214
將資料放於鏈路匯流排上
215
尋找待收回的DRAM快取記憶體
216
是
DRAM快取
記憶體分頁未變更？
216
否（已變更）
將資料寫入至DRAM
217
自DRAM讀取已變更資料
218
將已變更資料寫入至快閃
219
將新資料寫入至DRAM
220

【圖2B】


自主機記憶體控制器接收請求
301
檢查快取標籤
302
寫入命中？
303
否（已變更）
311
是
主控制器將資料寫入至DRAM控制器
304
DRAM控制器將資料寫入至DRAM控制器
305
將DRAM快取記憶體分頁標記爲已變更
306

【圖3A】


311
DRAM快取記憶體
分頁未變更？
312
否（已變更）
是
自DRAM讀取已變更資料
313
將已變更資料寫入至快閃
314
主控制器將資料寫入至DRAM控制器
315
DRAM控制器將資料寫入至DRAM
316
將快取行標記爲已變更
317

【圖3B】

專利案號：105115915

105年 08月 09日 修正替換頁

申請日：

IPC分類：105-8-9
G06F12/0802(2016.01)
G06F12/0844(2016.01)

【發明摘要】

【中文發明名稱】交易式混合記憶體模組及其操作方法

【英文發明名稱】TRANSACTION-BASED HYBRID MEMORY MODULE AND OPERATING METHOD THEREOF

【中文】一種混合記憶體模組包含動態隨機存取記憶體（DRAM）快取記憶體、快閃儲存器以及記憶體控制器。DRAM快取記憶體包含一或多個DRAM裝置以及DRAM控制器，且快閃儲存器包含一或多個快閃裝置以及快閃控制器。記憶體控制器與DRAM控制器以及快閃控制器介接。

【英文】A hybrid memory module includes a dynamic random access memory (DRAM) cache, a flash storage, and a memory controller. The DRAM cache includes one or more DRAM devices and a DRAM controller, and the flash storage includes one or more flash devices and a flash controller. The memory controller interfaces with the DRAM controller and the flash controller.

【指定代表圖】圖1。

【代表圖之符號簡單說明】

100：（混合）記憶體模組

110：DRAM（前端）快取記憶體

120：快閃（後端）儲存器

130：DRAM 控制器

131：DRAM 裝置

140：快閃控制器

141：快閃裝置

150：主控制器

151：快取標籤

152：緩衝器

155：交易式記憶體介面

160：主機記憶體控制器

【特徵化學式】

無

105年 08月 09日 修正替換頁

105-8-9

【發明說明書】

【中文發明名稱】交易式混合記憶體模組及其操作方法

【英文發明名稱】TRANSACTION-BASED HYBRID MEMORY MODULE AND OPERATING METHOD THEREOF

[相關申請案的交叉參考]

本申請案主張於 2015 年 8 月 27 日申請的美國臨時專利申請案第 62/210,939 號的權益以及優先權，此美國臨時專利申請案的揭露內容的全文以引用的方式併入本文中。

【技術領域】

【0001】本揭露內容大體上是關於記憶體模組，且更特定而言，是關於交易式混合記憶體模組。

【先前技術】

【0002】固態磁碟機（solid-state drive；SSD）將資料儲存於諸如動態隨機存取記憶體（dynamic random-access memory；DRAM）以及快閃記憶體（flash memory）的非旋轉儲存媒體（non-rotating storage medium）中。DRAM 快速，對於重複性讀取/寫入循環具有低潛時以及高持久性。快閃記憶體通常較便宜，不需要再新，且消耗較少功率。歸因於 DRAM 以及快閃記憶體的相異特性，DRAM 通常用以儲存操作指令（operating instruction）以及過渡資料（transitional data），而快閃記憶體用於儲存應用程式

（application）以及使用者資料（user data）。

【0003】 DRAM 以及快閃記憶體可一起用於各種計算環境中。舉例而言，資料中心（datacenter）需要高容量、高效能、低功率以及低成本的記憶體解決方案（memory solution）。現今用於資料中心的記憶體解決方案是主要基於 DRAM。DRAM 提供高效能，但快閃記憶體較緻密，消耗較少功率，且比 DRAM 便宜。

【0004】 歸因於操作原理的差異，單獨的記憶體控制器（memory controller）用以控制 DRAM 以及快閃記憶體。舉例而言，DRAM 為位元組可定址的（byte addressable），而快閃記憶體為區塊可定址的（block addressable）。快閃記憶體需要耗損均衡（wear-leveling）以及廢料收集（garbage collection），而 DRAM 記憶體需要再新。此外，舉例而言，包含 DRAM 以及快閃記憶體兩者的混合記憶體系統（hybrid memory system）需要用於 DRAM 與快閃記憶體之間的資料傳輸的介面。另外，混合記憶體需要用於 DRAM 與快閃記憶體之間的資料傳輸的映射表（mapping table）。當保存以及傳輸資料時，DRAM 與快閃記憶體之間的位址映射（address mapping）可造成額外負擔。因此，混合記憶體系統的效能可歸因於額外負擔而降級。

【發明內容】

【0005】 根據一個實施例，一種混合記憶體模組包含動態隨機存取記憶體（DRAM）快取記憶體、快閃儲存器（flash storage）以及記憶體控制器。DRAM 快取記憶體包含一或多個 DRAM 裝置以及 DRAM 控制器，且快閃儲存器包含一或多個快閃裝置以及快閃

控制器。記憶體控制器與 DRAM 控制器以及快閃控制器介接。

【0006】 根據一個實施例，揭露一種用於操作包含 DRAM 快取記憶體以及快閃儲存器的混合記憶體模組的方法。方法包含：自主機記憶體控制器（host memory controller）接收記憶體交易請求；將記憶體交易請求儲存於混合記憶體模組的緩衝器中；檢查混合記憶體模組的快取標籤（cache tag）且判定記憶體交易請求包含用以存取 DRAM 快取記憶體的請求；以及基於快取標籤來執行記憶體交易請求。

【0007】 現在將參考附圖來更特定地描述且在申請專利範圍中指出以上較佳特徵以及其他較佳特徵，包含事件的實施以及組合的各種新穎細節。將理解，本文中所描述的特定系統以及方法是僅作為說明而非限制予以展示。在本領域具有知識者將理解，可在各種實施例以及眾多實施例中採用本文中所描述的原理以及特徵而不脫離本揭露內容的範疇。

【圖式簡單說明】

【0008】 作為本說明書的部分而被包含的隨附圖式說明目前較佳實施例，且連同上文所給出的一般描述以及下文所給出的較佳實施例的詳細描述一起用來解釋以及教示本文中所描述的原理。

圖 1 展示根據一個實施例的實例混合記憶體模組的架構。

圖 2A 為根據一個實施例的用於讀取命中操作的實例流程圖。

圖 2B 為根據一個實施例的用於讀取未命中操作的實例流程圖。

圖 3A 為根據一個實施例的用於寫入命中操作的實例流程圖。

圖 3B 為根據一個實施例的用於寫入未命中操作的實例流程圖。

諸圖未必按比例繪製，且貫穿諸圖，出於說明性目的，相似結構或功能的元件通常是由類似圖式元件符號表示。諸圖僅意欲促進對本文中所描述的各種實施例的描述。諸圖並不描述本文中所揭露的教示的每一態樣且並不限制申請專利範圍的範疇。

【實施方式】

【0009】 可單獨地或結合其他特徵以及教示來利用本文中所揭露的特徵以及教示中的每一者以提供交易式混合記憶體模組以及其操作方法。參考附圖來進一步詳細地描述既單獨地又組合地利用此等額外特徵以及教示中的許多者的代表性實例。此詳細描述僅僅意欲向在本領域具有知識者教示用於實踐本發明的教示的態樣的另外細節，且並不意欲限制申請專利範圍的範疇。因此，詳細描述中所揭露的特徵的組合可未必在最廣泛的意義上實踐此等教示，而是被教示以僅僅特定地描述本發明的教示的代表性實例。

【0010】 在以下描述中，僅出於解釋的目的，闡述特定命名法以提供對本揭露內容的透徹理解。然而，對於在本領域具有知識者而言將顯而易見，不需要此等特定細節以實踐本揭露內容的教示。

【0011】 本文中的詳細描述的一些部分是在對電腦記憶體內的資料位元的操作的演算法以及符號表示方面予以呈現。此等演算法描述以及表示被在資料處理領域具有知識者用以將其工作的主旨有效地傳達至其他在本領域具有通常知識者。演算法在此處且通常被設想為產生所要結果的自相一致步驟序列。此等步驟為需要

物理量的物理操縱的步驟。通常，但未必，此等量採取能夠被儲存、傳送、組合、比較以及以其他方式操縱的電信號或磁信號的形式。主要出於常見使用的原因，時常已證實為便利的是將此等信號稱作位元、值、元素、符號、字元、術語、數字或類似者。

【0012】 然而，應牢記，所有此等術語以及相似術語皆將與適當物理量相關聯，且僅僅為應用於此等量的便利標號。除非另有如自以下論述顯而易見的特定陳述，否則應瞭解，貫穿描述，利用諸如「處理」、「計算」、「運算」、「判定」、「顯示」或類似者的術語的論述是指電腦系統或相似電子計算裝置的動作以及程序，電腦系統或相似電子計算裝置將被表示為電腦系統暫存器以及記憶體內的物理（電子）量的資料操縱以及變換成被相似地表示為電腦系統記憶體或暫存器或其他此類資訊儲存、傳輸或顯示裝置內的物理量的其他資料。

【0013】 用於多種此等系統的所需結構將自以下描述顯現。將瞭解，多種程式設計語言可用以實施如本文中所描述的本揭露內容的教示。

【0014】 此外，可以未被特定地以及明確地列舉的方式來組合代表性實例以及附屬申請專利範圍的各種特徵，以便提供本發明的教示的額外有用實施例。亦應明確地注意，出於原始揭露內容的目的，以及出於限定所主張主題的目的，實體群組的所有值範圍或指示皆揭露每一可能中間值或中間實體。亦應明確地注意，諸圖中所展示的組件的尺寸以及形狀經設計以有助於理解如何實踐本發明的教示，但並不意欲限制實例中所展示的尺寸以及形狀。

【0015】 本揭露內容提供一種包含揮發性記憶體（例如，DRAM）

以及非揮發性記憶體（例如，快閃記憶體）的交易式混合記憶體模組以及其操作方法。在一個實施例中，本發明的交易式混合記憶體模組包含 DRAM 快取記憶體以及快閃儲存器。就此而言，混合記憶體模組在本文中亦被稱作 DRAM 快閃（DRAM-flash）或 DRAM 快閃記憶體模組（DRAM-flash memory module）。DRAM 快取記憶體用作前端快取記憶體（front-end memory cache），且快閃儲存器用作後端儲存器（back-end storage）。主機記憶體控制器可具有至混合記憶體模組的交易式記憶體介面（transaction-based memory interface）。可在交易基礎上異步地處理來自主機電腦（或主機電腦的 CPU）的記憶體存取請求。記憶體存取請求可儲存於緩衝器中且可一次一個被處理。DRAM 快取記憶體以及快閃儲存器兩者可駐留於同一記憶體模組上，且在單一記憶體位址空間中操作。本發明的交易式混合記憶體模組可提供類快閃的記憶體容量、功率、成本以及類 DRAM 的效能。

【0016】 混合記憶體模組可包含動態隨機存取記憶體（DRAM）快取記憶體、快閃儲存器以及記憶體控制器。DRAM 快取記憶體可包含一或多個 DRAM 裝置以及 DRAM 控制器，且快閃儲存器可包含一或多個快閃裝置以及快閃控制器。記憶體控制器可與 DRAM 控制器以及快閃控制器介接，且可包含緩衝器以及快取標籤。交易式記憶體介面可經組態以耦接記憶體控制器與主機記憶體控制器。記憶體控制器的緩衝器可儲存自主機記憶體控制器接收的記憶體交易請求，且快取標籤可指示自主機記憶體控制器接收的記憶體交易請求包含用以存取 DRAM 快取記憶體的請求。

【0017】 圖 1 展示根據一個實施例的實例混合記憶體模組的架

構。混合記憶體模組 100 可包含：DRAM 前端快取記憶體 110，可包含 DRAM 裝置 131；快閃後端儲存器 120，包含快閃裝置 141；以及主控制器 150，可與 DRAM 快取記憶體 110 的 DRAM 控制器 130 以及快閃儲存器 120 的快閃控制器 140 介接。混合記憶體模組 100 可經由交易式（亦即，異步）記憶體介面 155 而與主機記憶體控制器 160 介接。不同於同步記憶體介面，本發明的交易式介面可將混合記憶體模組 100 自主機記憶體控制器 160 解耦，從而允許設計靈活性。當經耦接的記憶體模組的記憶體存取潛時具非確定性時，可使用交易式記憶體介面 155。

【0018】 主控制器 150 可含有快取標籤 151，以及用於暫時儲存快取記憶體的緩衝器 152。主控制器 150 負責快取管理（cache management）以及流程控制（flow control）。DRAM 控制器 130 可充當 DRAM 裝置 131 的記憶體控制器，且管理記憶體交易以及命令排程，以及諸如記憶體再新的 DRAM 維護活動。快閃控制器 140 可充當用於快閃裝置 141 的固態磁碟機（SSD）控制器，且管理位址轉譯、廢料收集、耗損均衡以及排程。

【0019】 將參考關聯操作流程在四種使用狀況下解釋主機記憶體控制器 160 與混合記憶體模組 100 之間的記憶體交易以及介面。用於快閃記憶體的讀取/寫入粒度可取決於快閃產品而變化，例如，4KB。列緩衝器（或分頁）的大小亦可取決於 DRAM 產品而變化，例如，2KB。在以下實例中，假定用於 DRAM 快取記憶體 110 以及快閃儲存器 120 的存取粒度分別為 64B 以及 4KB，且記憶體控制器讀取/寫入請求的大小為 64B。然而，應理解，此等者僅僅為實例大小，且可使用用於 DRAM 快取記憶體 110 以及快閃

儲存器 120 的存取粒度的其他大小以及記憶體控制器讀取/寫入請求的大小而不偏離本揭露內容的範疇。

【0020】 圖 2A 為根據一個實施例的用於讀取命中操作的實例流程圖。當經由交易式記憶體介面 155 自主機記憶體控制器 160 接收請求（步驟 201）時，主控制器 150 可檢查快取標籤 151（步驟 202）。自主機記憶體控制器 160 接收的請求可儲存於緩衝器 152 中。緩衝器 152 亦可儲存用於 DRAM 快取記憶體 110 與快閃儲存器 120 之間以及主控制器 150 與主機記憶體控制器 160 之間的資料傳輸的瞬間資料。快取標籤 151 可指示請求是否含有至以及自 DRAM 快取記憶體 110 的記憶體交易。

【0021】 當在緩衝器 152 中存在未決請求（pending request）時，主控制器 150 可解碼請求以判定與請求相關聯的記憶體位址或記憶體位址範圍。主控制器 150 可在 DRAM 快取記憶體中保留某些資料（例如，頻繁使用的資料），且設定快取標籤 151 以指示與所保留的資料相關聯的記憶體位址。快取標籤 151 可為來自記憶體位址的經解碼的數字，且用以判定所請求的資料是否在快取記憶體中。快取記憶體可包含多個快取行（cache line）。每一快取行可具有其唯一的索引以及標籤。當記憶體請求進入時，主控制器 150 的解碼器（未圖示）可判定與記憶體位址相關聯的索引以及快取標籤。基於索引以及快取標籤，主控制器 150 的快取記憶體控制器（未圖示）可判定是否任一快取行具有相同索引以及快取標籤。當存在匹配時，其被稱作快取命中（cache hit）。當不存在匹配時，其被稱作快取未命中（cache miss）。當主控制器 150 藉由參考快取標籤 151 而判定請求包含讀取命令，且 DRAM 快取記憶體 110

含有與讀取位址相關聯的資料（在本文中被稱作讀取命中（步驟203））時，主控制器 150 可指示 DRAM 控制器 130 存取 DRAM 快取記憶體 110。DRAM 控制器 130 可存取 DRAM 快取記憶體 110（步驟 204）且自 DRAM 快取記憶體 110 接收 64B 資料（步驟 205）。DRAM 控制器 130 可接著將 64B 資料傳回至主控制器 150（步驟 206），且主控制器 150 可經由鏈路匯流排將 64B 資料發送至主機記憶體控制器 160（步驟 207）。自 DRAM 快取記憶體 110 的資料傳回的時序可具非確定性，此是因為主機記憶體控制器 160 與記憶體模組 100 之間的介面為交易式的。自 DRAM 快取記憶體 110 以及快閃儲存器 120 傳回的資料的延遲可不同，如下文將進一步詳細地所解釋。

【0022】 圖 2B 為根據一個實施例的用於讀取未命中操作的實例流程圖。當快取標籤 151 指示來自主機記憶體控制器 160 的請求含有不儲存於 DRAM 快取記憶體中的讀取記憶體交易，接著可自快閃儲存器 120 獲得資料（在本文中被稱作讀取未命中（圖 2A 中的步驟 211））時，主控制器 150 可判定資料儲存於快閃儲存器 120 中且指示快閃控制器 140 自快閃儲存器 120 上的對應記憶體位址讀取資料。快閃控制器 140 可存取快閃儲存器 120（步驟 212）且自快閃儲存器 120 接收 4KB 資料（快閃儲存器 120 的存取粒度）（步驟 213）。快閃控制器 140 可接著將 4KB 資料傳回至主控制器 150（步驟 214）。主控制器 150 可自所接收的 4KB 資料選擇相關的 64B，且經由鏈路匯流排將彼 64B（DRAM 快取記憶體 110 的存取粒度）發送至主機記憶體控制器 160（步驟 215）。

【0023】 主控制器 150 可進一步尋找待收回的 DRAM 快取記憶體

分頁（4KB）。若對應於 4KB 資料的 DRAM 快取記憶體分頁未變更（步驟 216），則主控制器 150 可將 4KB 資料寫入至 DRAM 控制器 130，且隨後，DRAM 控制器 130 可將 4KB 資料寫入至 DRAM 快取記憶體 110（步驟 217）。DRAM 快取記憶體 110 可運用儲存於快閃儲存器 120 中的 4KB 資料被更新。快取記憶體中的多個快取行中的每一者可具有索引、標籤以及已變更位元（dirty bit）。主控制器 150 可藉由參考已變更位元來判定快取行的變更度（dirtiness）。起初，所有已變更位元皆被設定為 0，此意謂快取行未變更。快取記憶體中的資料為快閃儲存器 120 中的資料子集。未變更意謂：對於相同位址，快取記憶體中的資料與快閃儲存器 120 中的資料相同。相反地，已變更意謂：對於相同位址，快取記憶體中的資料相對於快閃儲存器 120 中的資料被更新，因此，快閃儲存器 120 中的資料陳舊。當收回已變更快取行時，必須更新快閃儲存器 120 中的對應資料。當收回未變更快取行時，不需要更新。

【0024】 若 DRAM 快取記憶體已變更（步驟 216），則主控制器 150 可指示 DRAM 控制器 130 自 DRAM 快取記憶體 110 讀取 4KB 已變更資料。DRAM 控制器 130 可自 DRAM 快取記憶體 110 存取以及接收 4KB 已變更資料（步驟 218）。DRAM 控制器 130 可接著將 4KB 已變更資料傳回至主控制器 150，且主控制器 150 可指示快閃控制器 140 將 4KB 已變更資料回寫至快閃儲存器 120（步驟 219）。主控制器 150 可接著將新 4KB 資料寫入至 DRAM 控制器 130，且 DRAM 控制器 130 可將新 4KB 資料寫入至 DRAM 快取記憶體 110（步驟 220）。DRAM 快取記憶體 110 可運用儲存於快閃

儲存器 120 中的新 4KB 資料被更新。

【0025】 接下來，將參考圖 1 的本發明的混合記憶體模組 100 的架構來解釋寫入命中操作以及寫入未命中操作。參考圖 3A 以及圖 3B 所描述的實例流程圖採用直寫式快取記憶體策略（write-through cache policy）。然而，應理解，本揭露內容可採用其他快取記憶體策略而不偏離本揭露內容的範疇。對於直寫式快取記憶體策略，對 DRAM 前端快取記憶體 110 以及快閃後端儲存器 120 兩者同步地處理寫入請求。圖 3A 為根據一個實施例的用於寫入命中操作的實例流程圖。當經由交易式記憶體介面 155 自主機記憶體控制器 160 接收請求（步驟 301）時，主控制器 150 可檢查快取標籤 151（步驟 302），且判定自主機記憶體控制器 160 接收的請求包含至 DRAM 快取記憶體 110 的寫入命令（步驟 303），在本文中被稱作寫入命中。在寫入命中的狀況下，記憶體交易可按以下序列發生。主控制器 150 可將自主機記憶體控制器 160 接收的 64B 資料寫入至 DRAM 控制器 130（步驟 304）。DRAM 控制器 130 可接著將 64B 資料寫入至 DRAM 快取記憶體 110（步驟 305）。主控制器 150 可將快取記憶體分頁標記為已變更，且可更新 DRAM 快取記憶體 110 中的資料（步驟 306）。當在圖 2B 的步驟 218 至步驟 220 中發生至被標記為已變更的快取記憶體分頁的後續讀取未命中操作時，可收回此快取記憶體分頁。

【0026】 圖 3B 為根據一個實施例的用於寫入未命中操作的實例流程圖。主控制器 150 可檢查快取標籤 151 以判定自主機記憶體控制器 160 接收的請求包含至快閃儲存器 120 的寫入命令（步驟 311），在本文中被稱作寫入未命中。在寫入未命中的狀況下，記

憶體交易可按以下序列發生。首先，主控制器 150 可判定 DRAM 快取記憶體分頁未變更抑或已變更（步驟 312）。若 DRAM 快取記憶體分頁已變更，則主控制器 150 可指示 DRAM 控制器 130 自 DRAM 快取記憶體 110 讀取 4KB 已變更資料。DRAM 控制器 130 可自 DRAM 快取記憶體 110 存取以及接收 4KB 已變更資料，且將 4KB 已變更資料傳回至主控制器 150（步驟 313）。主控制器 150 可接著將 4KB 已變更資料回寫至快閃控制器 140，且快閃控制器 140 可將 4KB 已變更資料寫入至快閃儲存器 120（步驟 314）。

【0027】 當主控制器 150 判定 DRAM 快取記憶體分頁未變更（步驟 312）時，或在將已變更資料寫入至快閃儲存器（步驟 314）之後，主控制器 150 準備好更新快取記憶體分頁中自主機記憶體控制器 160 接收的資料。主控制器 150 可將自主機記憶體控制器 160 接收的 64B 資料寫入至 DRAM 控制器 130（步驟 315）。DRAM 控制器 130 可接著將 64B 資料寫入至 DRAM 快取記憶體 110（步驟 316）。主控制器 150 可將快取記憶體分頁標記為已變更（步驟 317）。

【0028】 根據一些實施例，主控制器 150 可採用各種快取記憶體策略而不偏離本揭露內容的範疇。在一個實施例中，主控制器 150 可採用回寫式快取記憶體策略（write-back cache policy）。當主控制器 150 採用回寫式快取記憶體策略時，主控制器 150 起初寫入至 DRAM 前端快取記憶體 110，且可推遲至快閃後端儲存器 120 的寫入直至含有資料的快取記憶體區塊（cache block）被修改或被新資料替換為止。為了追蹤資料已運用新資料被覆寫的位址，主控制器 150 將彼等經覆寫位址標記為「已變更」，且在自 DRAM 前

端快取記憶體 110 收回資料時將新資料寫入至快閃後端儲存器 120。

【0029】 在另一實施例中，主控制器 150 可採用繞寫式快取記憶體策略（write-around cache policy）。繞寫式快取記憶體策略與直寫式快取記憶體策略相似，但資料繞過 DRAM 前端快取記憶體 110 而直接地寫入至快閃後端儲存器 120。此可縮減被充滿隨後將被重新讀取的寫入請求的快取記憶體。

【0030】 為了達成較佳效能以及較快回應，本發明的混合記憶體模組可將快閃分頁（flash page）映射至 DRAM 分頁。DRAM 快取記憶體與快閃儲存器之間的分頁映射可允許本發明的混合記憶體模組採用開放式分頁策略（open-page policy）。開放式分頁策略在存取 DRAM 快取記憶體中的分頁時實現較快記憶體存取。舉例而言，當自 DRAM 快取記憶體 110 讀取資料或將資料寫入至 DRAM 快取記憶體 110 時，本發明的混合記憶體模組僅需要進行一次 DRAM 列啟動，從而使 DRAM 列緩衝器保持開放，且接著可發出利用開放式分頁策略的行存取序列。對於 DRAM 記憶體，當使用開放式分頁策略時，若在同一列上發生存取序列（在本文中被稱作列緩衝器命中），則本發明的交易式混合記憶體模組可避免關閉以及重新開放列的額外負擔，因此可達成較佳以及較快效能。

【0031】 對於包含 DRAM 記憶體以及快閃記憶體兩者的本發明的混合記憶體架構，DRAM 記憶體可充當快閃記憶體的快取記憶體。可將經較頻繁存取的資料自快閃記憶體移動至 DRAM 快取記憶體，且可將經較不頻繁存取的資料自 DRAM 快取記憶體移動至快閃記憶體。DRAM 快取記憶體與快閃記憶體之間的資料的頻繁

移動可為成本高的。為了最小化成本，本發明的混合記憶體可藉由將快閃分頁映射至 DRAM 分頁而採用開放式分頁策略。舉例而言，可將 4KB 的快閃分頁映射至 2KB 的兩個 DRAM 分頁。

【0032】 根據一個實施例，本發明的混合記憶體模組可支援檢查點設定（checkpointing）。只要產生檢查點（例如，自 DRAM 位置至快閃位置的複本資料），主控制器 150 就可執行自 DRAM 快取記憶體 110 至快閃儲存器 120 的資料回寫。

【0033】 根據一個實施例，本發明的混合記憶體模組可支援預提取（prefetching）。主控制器 150 可提前將與特定分頁高度地相關聯的多個快閃分頁提取至 DRAM 快取記憶體 110 以改良效能。

【0034】 根據一個實施例，一種記憶體模組包含：動態隨機存取記憶體（DRAM）快取記憶體，包含一或多個 DRAM 裝置以及 DRAM 控制器；快閃儲存器，包含一或多個快閃裝置以及快閃控制器；記憶體控制器，與 DRAM 控制器以及快閃控制器介接；以及交易式記憶體介面，經組態以耦接記憶體控制器與主機記憶體控制器。

【0035】 記憶體控制器可包含經組態以儲存暫時快取記憶體資料以及快取標籤的緩衝器。快取標籤可指示自主機記憶體控制器接收的記憶體交易請求包含用以存取 DRAM 快取記憶體的請求。

【0036】 記憶體控制器可基於快取標籤來判定來自主機記憶體控制器的記憶體交易請求為讀取命中、讀取未命中、寫入命中，或寫入未命中。

【0037】 記憶體控制器可將來自快閃儲存器的快閃分頁映射至 DRAM 快取記憶體的一或多個 DRAM 分頁。

【0038】 交易式介面可允許主機記憶體控制器在記憶體模組的記憶體存取潛時具非確定性時存取記憶體模組。

【0039】 記憶體控制器可基於快取標籤來判定自主機記憶體控制器接收的記憶體交易請求為來自 DRAM 快取記憶體的讀取請求或至 DRAM 快取記憶體的寫入請求，且 DRAM 控制器可回應於記憶體交易請求而管理用於 DRAM 快取記憶體的記憶體交易以及命令排程。

【0040】 記憶體控制器可基於快取標籤來判定自主機記憶體控制器接收的記憶體交易請求為來自快閃儲存器的讀取請求或至快閃儲存器的寫入請求，且快閃控制器可回應於記憶體交易請求而管理用於快閃儲存器的位址轉譯、廢料收集、耗損均衡以及排程。

【0041】 根據一個實施例，一種用於操作包含 DRAM 快取記憶體以及快閃儲存器的混合記憶體模組的方法可包含：自主機記憶體控制器異步地接收記憶體交易請求；將記憶體交易請求儲存於混合記憶體模組的緩衝器中；檢查混合記憶體模組的快取標籤且判定記憶體交易請求包含用以存取儲存於 DRAM 快取記憶體中的資料的請求；以及基於快取標籤來執行記憶體交易請求。

【0042】 方法可更包含：基於快取標籤來判定記憶體交易請求為來自 DRAM 快取記憶體的讀取請求；自 DRAM 快取記憶體接收對應於記憶體交易請求的 DRAM 資料；以及將 DRAM 資料提供至主機記憶體控制器。

【0043】 方法可更包含：將記憶體交易請求以及快取標籤儲存於緩衝器中。

【0044】 方法可更包含：將來自快閃儲存器的快閃分頁映射至

DRAM 快取記憶體的一或多個 DRAM 分頁。

【0045】 方法可更包含：基於快取標籤來判定記憶體交易請求為來自 DRAM 快取記憶體的讀取請求或至 DRAM 快取記憶體的寫入請求；以及回應於記憶體交易請求而管理用於 DRAM 快取記憶體的記憶體交易以及命令排程。

【0046】 方法可更包含：基於快取標籤來判定記憶體交易請求為來自快閃儲存器的讀取請求或至快閃儲存器的寫入請求；以及回應於記憶體交易請求而管理用於快閃儲存器的位址轉譯、廢料收集、耗損均衡以及排程。

【0047】 方法可更包含：判定 DRAM 快取記憶體分頁已變更；自 DRAM 快取記憶體分頁讀取已變更資料；以及將已變更資料寫入至快閃儲存器。

【0048】 方法可更包含：將自主機記憶體控制器接收的資料寫入至 DRAM 快取記憶體；以及將 DRAM 快取記憶體標記為已變更。

【0049】 方法可更包含：使 DRAM 快取記憶體的 DRAM 快取記憶體分頁保持開放；以及執行對開放式 DRAM 快取記憶體分頁的一系列行存取。

【0050】 方法可更包含：判定儲存於快閃儲存器中的由主機記憶體控制器頻繁地請求的資料；以及基於主機記憶體控制器的資料請求頻率將儲存於快閃儲存器中的資料映射至 DRAM 快取記憶體。

【0051】 DRAM 快取記憶體以及快閃儲存器的存取潛時具非確定性。

【0052】 上文中已描述以上實例實施例，以說明實施用於經由主

記憶體系統而介接共處理器與輸入/輸出裝置的系統以及方法的各種實施例。在本領域具有通常知識者將想到各種修改以及與所揭露的實例實施例的偏離。以下申請專利範圍中闡述意欲在本揭露內容的範疇內的主題。

【符號說明】

【0053】

100：(混合）記憶體模組

110：DRAM（前端）快取記憶體

120：快閃（後端）儲存器

130：DRAM 控制器

131：DRAM 裝置

140：快閃控制器

141：快閃裝置

150：主控制器

151：快取標籤

152：緩衝器

155：交易式記憶體介面

160：主機記憶體控制器

201~207、211~220、301~306、311~317：步驟

【發明申請專利範圍】

【第 1 項】一種記憶體模組，包括：

動態隨機存取記憶體（DRAM）快取記憶體，包含一或多個 DRAM 裝置以及 DRAM 控制器；

快閃儲存器，包含一或多個快閃裝置以及快閃控制器；

記憶體控制器，與所述 DRAM 控制器以及所述快閃控制器介接；以及

交易式記憶體介面，經組態以耦接所述記憶體控制器與主機記憶體控制器。

【第 2 項】如申請專利範圍第 1 項所述的記憶體模組，其中所述記憶體控制器包含經組態以儲存暫時快取記憶體資料以及快取標籤的緩衝器。

【第 3 項】如申請專利範圍第 2 項所述的記憶體模組，其中所述快取標籤指示自所述主機記憶體控制器接收的記憶體交易請求包含用以存取所述 DRAM 快取記憶體的請求。

【第 4 項】如申請專利範圍第 3 項所述的記憶體模組，其中所述記憶體控制器基於所述快取標籤來判定來自所述主機記憶體控制器的所述記憶體交易請求為讀取命中、讀取未命中、寫入命中、或寫入未命中。

【第 5 項】如申請專利範圍第 1 項所述的記憶體模組，其中所述記憶體控制器將來自所述快閃儲存器的快閃分頁映射至所述 DRAM 快取記憶體的一或多個 DRAM 分頁。

【第 6 項】如申請專利範圍第 1 項所述的記憶體模組，其中所述交易式介面允許所述主機記憶體控制器在所述記憶體模組的記憶體

存取潛時具非確定性時存取所述記憶體模組。

【第 7 項】如申請專利範圍第 1 項所述的記憶體模組，其中所述記憶體控制器基於快取標籤來判定自所述主機記憶體控制器接收的記憶體交易請求為來自所述 DRAM 快取記憶體的讀取請求或至所述 DRAM 快取記憶體的寫入請求，且所述 DRAM 控制器回應於所述記憶體交易請求而管理用於所述 DRAM 快取記憶體的記憶體交易以及命令排程。

【第 8 項】如申請專利範圍第 1 項所述的記憶體模組，其中所述記憶體控制器基於快取標籤來判定自所述主機記憶體控制器接收的記憶體交易請求為來自所述快閃儲存器的讀取請求或至所述快閃儲存器的寫入請求，且所述快閃控制器回應於所述記憶體交易請求而管理用於所述快閃儲存器的位址轉譯、廢料收集、耗損均衡以及排程。

【第 9 項】一種用於操作包含 DRAM 快取記憶體以及快閃儲存器的混合記憶體模組的方法，所述方法包括：

自主機記憶體控制器異步地接收記憶體交易請求；

將所述記憶體交易請求儲存於所述混合記憶體模組的緩衝器中；

檢查所述混合記憶體模組的快取標籤且判定所述記憶體交易請求包含用以存取儲存於所述 DRAM 快取記憶體中的資料的請求；以及

基於所述快取標籤來執行所述記憶體交易請求。

【第 10 項】如申請專利範圍第 9 項所述的用於操作包含 DRAM 快取記憶體以及快閃儲存器的混合記憶體模組的方法，更包括：

基於所述快取標籤來判定所述記憶體交易請求為來自所述 DRAM 快取記憶體的讀取請求；

自所述 DRAM 快取記憶體接收對應於所述記憶體交易請求的 DRAM 資料；以及

將所述 DRAM 資料提供至所述主機記憶體控制器。

【第 11 項】如申請專利範圍第 9 項所述的用於操作包含 DRAM 快取記憶體以及快閃儲存器的混合記憶體模組的方法，更包括：

將所述記憶體交易請求以及所述快取標籤儲存於所述緩衝器中。

【第 12 項】如申請專利範圍第 9 項所述的用於操作包含 DRAM 快取記憶體以及快閃儲存器的混合記憶體模組的方法，更包括：

將來自所述快閃儲存器的快閃分頁映射至所述 DRAM 快取記憶體的一或多個 DRAM 分頁。

【第 13 項】如申請專利範圍第 9 項所述的用於操作包含 DRAM 快取記憶體以及快閃儲存器的混合記憶體模組的方法，更包括：

基於所述快取標籤來判定記憶體交易請求為來自所述 DRAM 快取記憶體的讀取請求或至所述 DRAM 快取記憶體的寫入請求；以及

回應於所述記憶體交易請求而管理用於所述 DRAM 快取記憶體的記憶體交易以及命令排程。

【第 14 項】如申請專利範圍第 9 項所述的用於操作包含 DRAM 快取記憶體以及快閃儲存器的混合記憶體模組的方法，更包括：

基於所述快取標籤來判定記憶體交易請求為來自所述快閃儲存器的讀取請求或至所述快閃儲存器的寫入請求；以及

回應於所述記憶體交易請求而管理用於所述快閃儲存器的位址轉譯、廢料收集、耗損均衡以及排程。

【第 15 項】如申請專利範圍第 9 項所述的用於操作包含 DRAM 快取記憶體以及快閃儲存器的混合記憶體模組的方法，更包括：

判定 DRAM 快取記憶體分頁已變更；

自所述 DRAM 快取記憶體分頁讀取已變更資料；以及

將所述已變更資料寫入至所述快閃儲存器。

【第 16 項】如申請專利範圍第 15 項所述的用於操作包含 DRAM 快取記憶體以及快閃儲存器的混合記憶體模組的方法，更包括：

將自所述主機記憶體控制器接收的資料寫入至所述 DRAM 快取記憶體；以及

將所述 DRAM 快取記憶體標記為已變更。

【第 17 項】如申請專利範圍第 9 項所述的用於操作包含 DRAM 快取記憶體以及快閃儲存器的混合記憶體模組的方法，更包括：

使所述 DRAM 快取記憶體的 DRAM 快取記憶體分頁保持開放；以及

執行對所述開放式 DRAM 快取記憶體分頁的一系列行存取。

【第 18 項】如申請專利範圍第 9 項所述的用於操作包含 DRAM 快取記憶體以及快閃儲存器的混合記憶體模組的方法，更包括：

判定儲存於所述快閃儲存器中的由所述主機記憶體控制器頻繁地請求的資料；以及

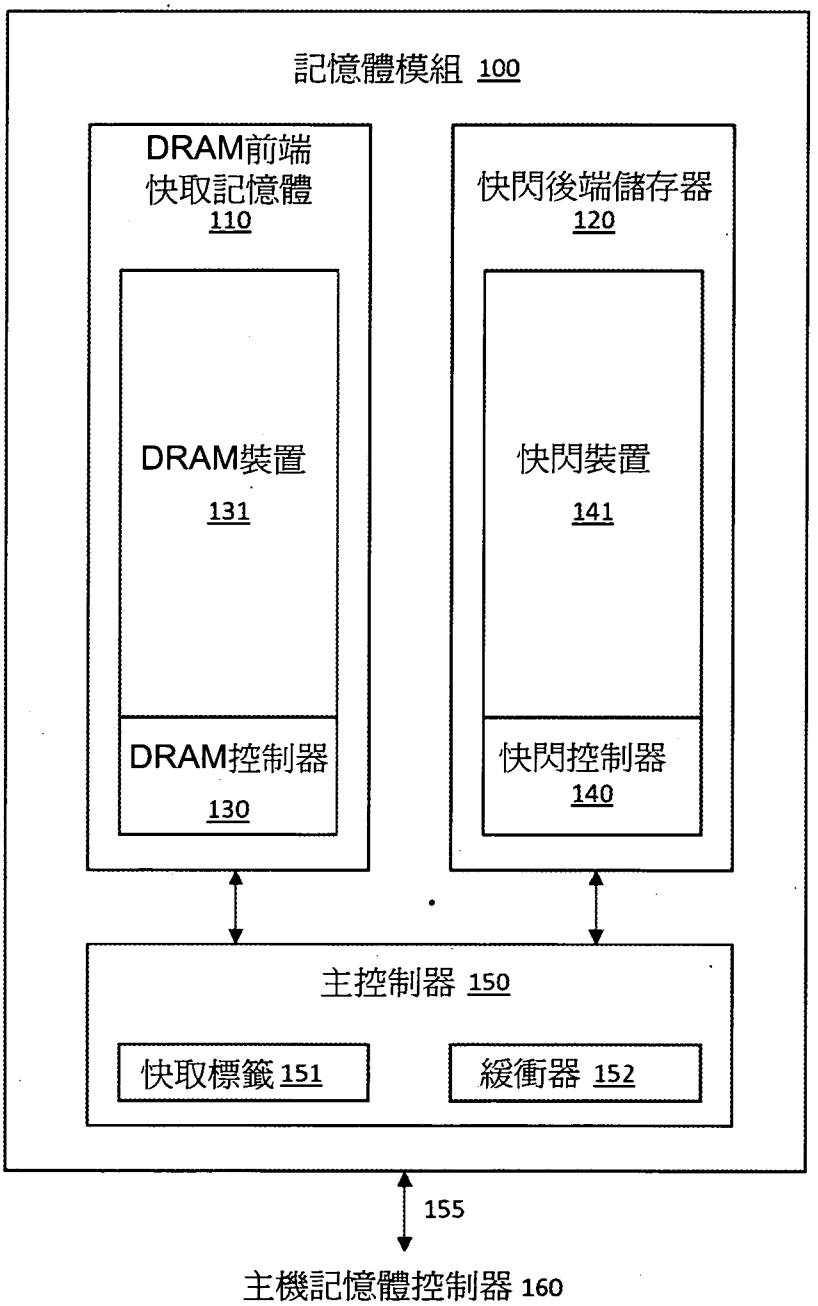
基於所述主機記憶體控制器的資料請求頻率將儲存於所述快閃儲存器中的所述資料映射至所述 DRAM 快取記憶體。

【第 19 項】如申請專利範圍第 9 項所述的用於操作包含 DRAM 快

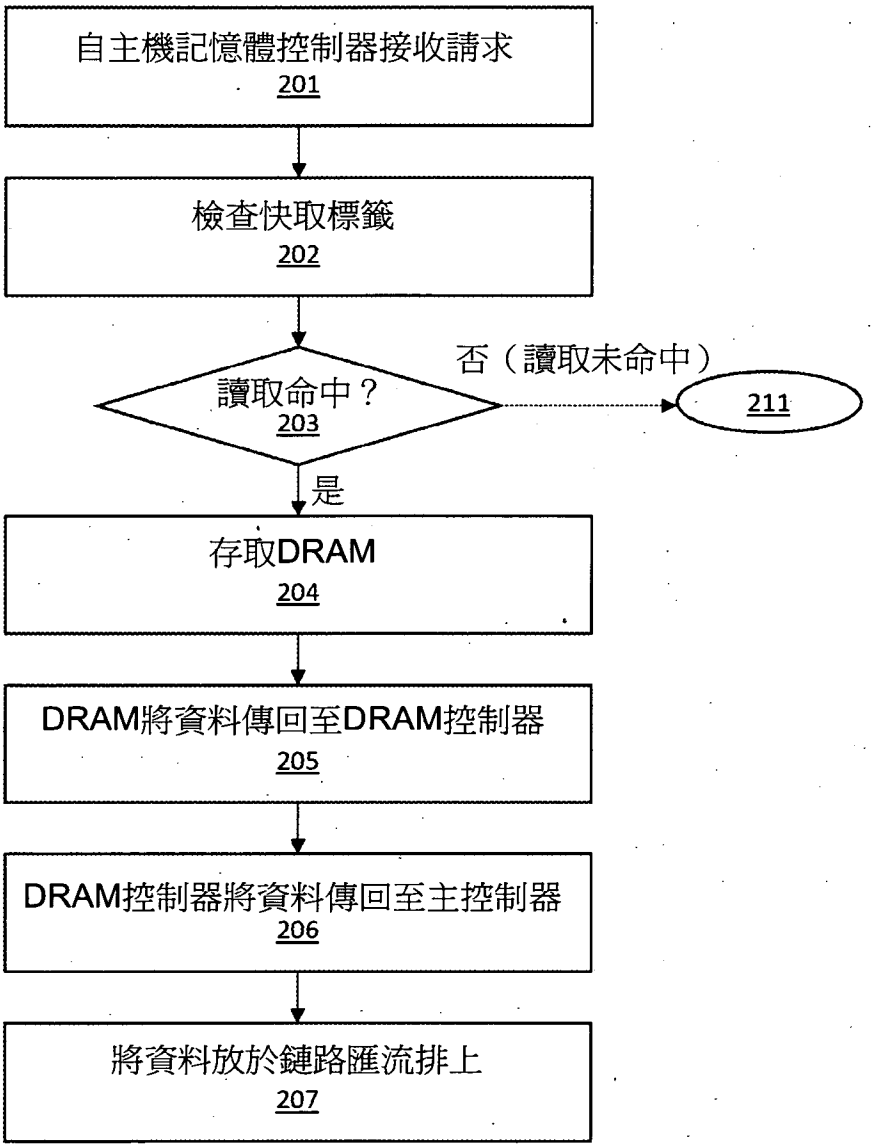
取記憶體以及快閃儲存器的混合記憶體模組的方法，其中所述DRAM 快取記憶體以及所述快閃儲存器的存取潛時具非確定性。

105年 08月 09日 修正替換頁

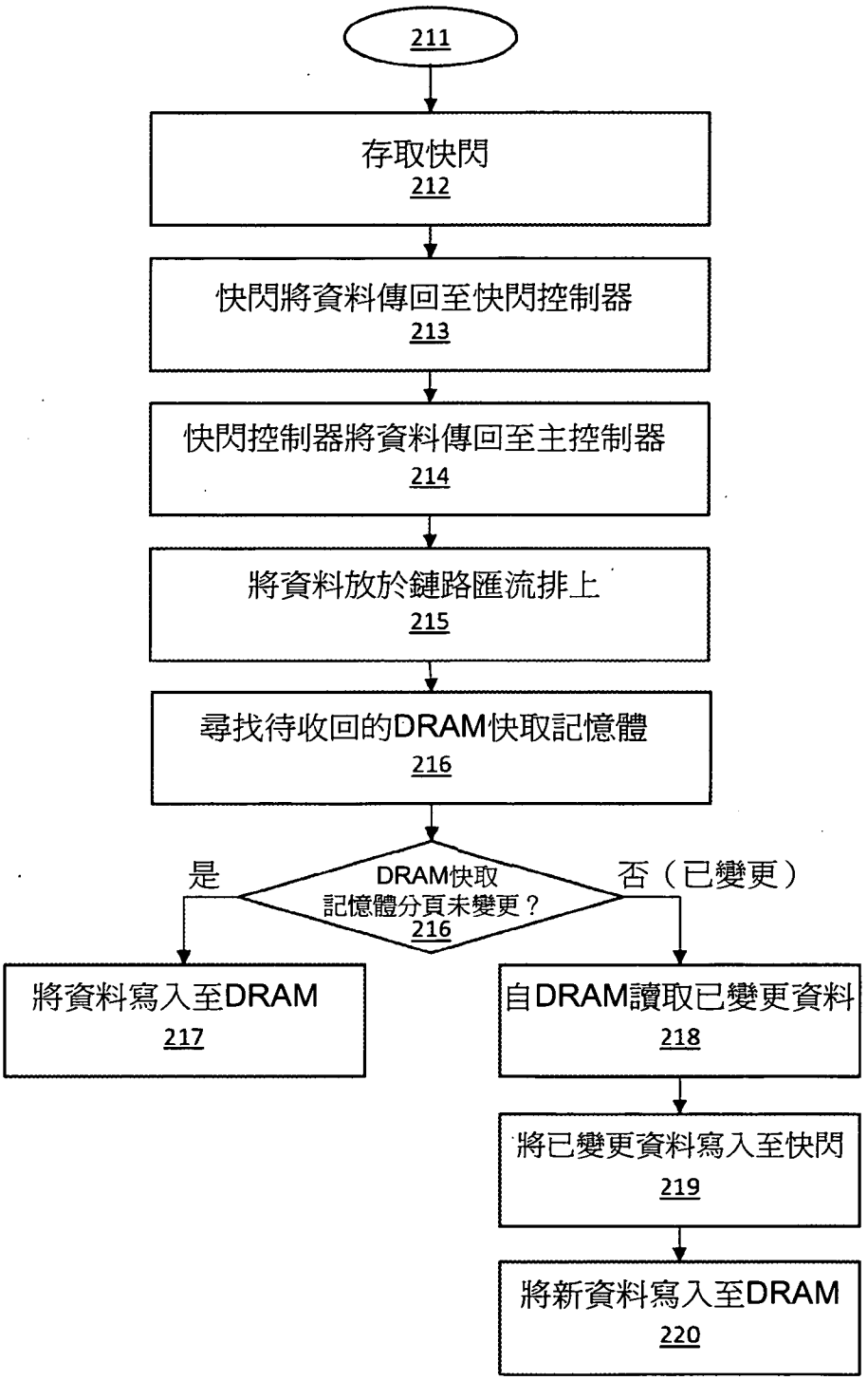
【發明圖式】



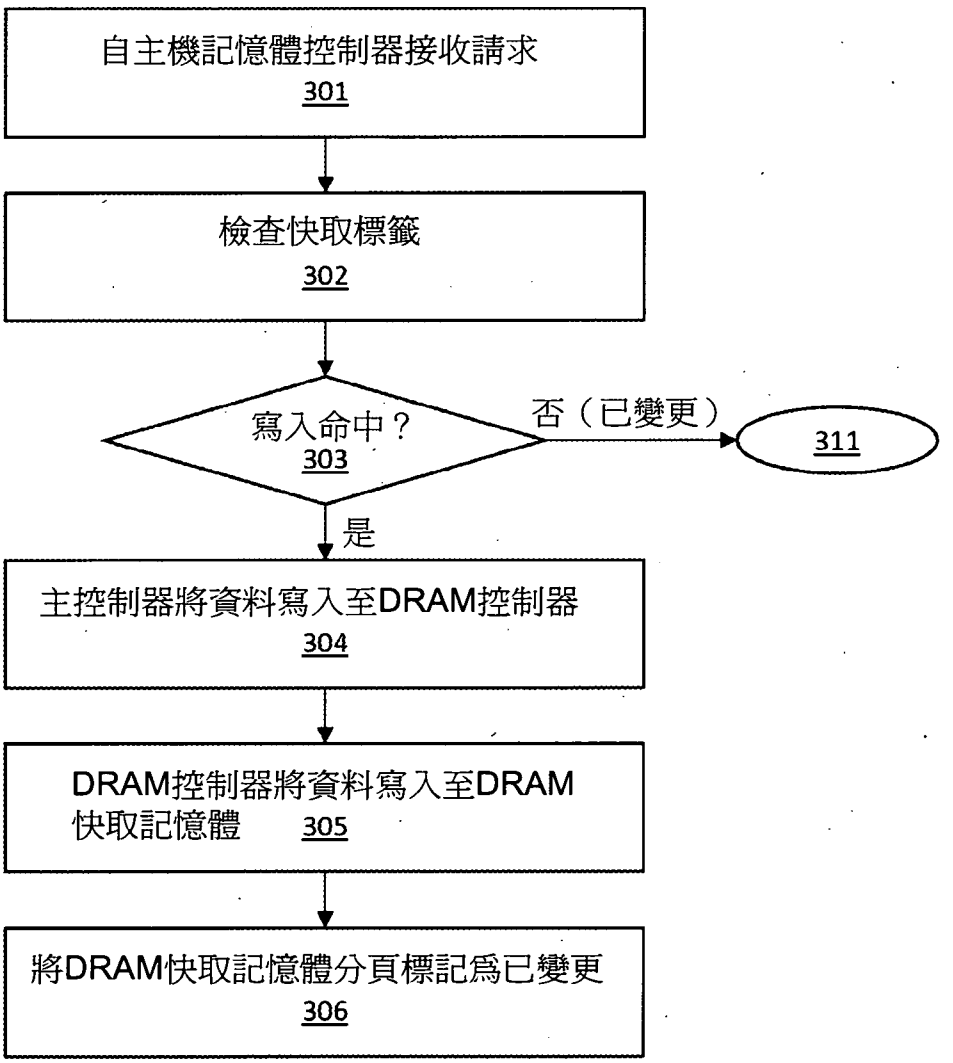
【圖1】


自主機記憶體控制器接收請求
201
檢查快取標籤
202
讀取命中？
203
否（讀取未命中）
211
是
存取DRAM
204
DRAM將資料傳回至DRAM控制器
205
DRAM控制器將資料傳回至主控制器
206
將資料放於鏈路匯流排上
207

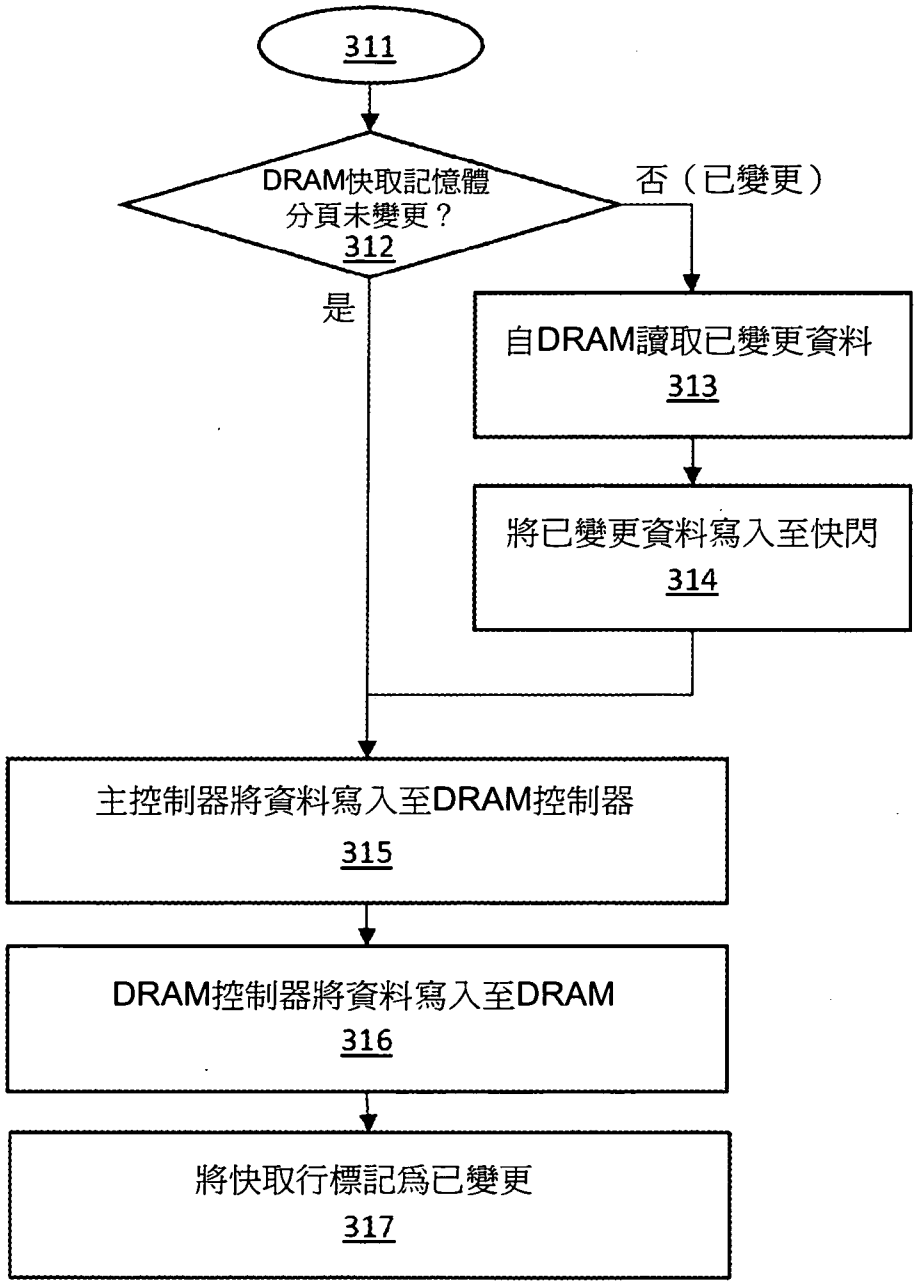
【圖2A】


211
存取快閃
212
快閃將資料傳回至快閃控制器
213
快閃控制器將資料傳回至主控制器
214
將資料放於鏈路匯流排上
215
尋找待收回的DRAM快取記憶體
216
是
DRAM快取
記憶體分頁未變更？
216
否（已變更）
將資料寫入至DRAM
217
自DRAM讀取已變更資料
218
將已變更資料寫入至快閃
219
將新資料寫入至DRAM
220

【圖2B】


自主機記憶體控制器接收請求
301
檢查快取標籤
302
寫入命中？
303
否（已變更）
311
是
主控制器將資料寫入至DRAM控制器
304
DRAM控制器將資料寫入至DRAM快取記憶體
305
將DRAM快取記憶體分頁標記爲已變更
306

【圖3A】


311
DRAM快取記憶體
分頁未變更？
312
否（已變更）
是
自DRAM讀取已變更資料
313
將已變更資料寫入至快閃
314
主控制器將資料寫入至DRAM控制器
315
DRAM控制器將資料寫入至DRAM
316
將快取行標記爲已變更
317

【圖3B】