

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5375963号
(P5375963)

(45) 発行日 平成25年12月25日(2013.12.25)

(24) 登録日 平成25年10月4日(2013.10.4)

(51) Int.Cl. F I
 HO 1 C 7/04 (2006.01) HO 1 C 7/04
 HO 1 C 17/06 (2006.01) HO 1 C 17/06 M

請求項の数 11 (全 21 頁)

(21) 出願番号	特願2011-528767 (P2011-528767)	(73) 特許権者	000006231
(86) (22) 出願日	平成22年8月20日 (2010. 8. 20)		株式会社村田製作所
(86) 国際出願番号	PCT/JP2010/064089		京都府長岡京市東神足1丁目10番1号
(87) 国際公開番号	W02011/024724	(74) 代理人	110001449
(87) 国際公開日	平成23年3月3日 (2011. 3. 3)		特許業務法人プロフィック特許事務所
審査請求日	平成23年12月8日 (2011. 12. 8)	(74) 代理人	100091432
(31) 優先権主張番号	特願2009-198024 (P2009-198024)		弁理士 森下 武一
(32) 優先日	平成21年8月28日 (2009. 8. 28)	(74) 代理人	100124729
(33) 優先権主張国	日本国(JP)		弁理士 谷 和紘
		(72) 発明者	三浦 忠将
			京都府長岡京市東神足1丁目10番1号
			株式会社村田製作所内
		審査官	小林 大介

最終頁に続く

(54) 【発明の名称】 サーミスタ及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

金属基材と、該金属基材上に直接的に形成されたサーミスタ薄膜層と、該サーミスタ薄膜層上に形成された一对の分割電極と、を備え、

前記金属基材はその厚みが前記サーミスタ薄膜層の厚みよりも大きく、

前記サーミスタ薄膜層であって前記一对の分割電極に接している部分が前記金属基材を通じて通電されてお

り、
前記分割電極間の距離を L_p 、前記サーミスタ薄膜層の厚みを T_t としたとき、 L_p $T_t + 5 \mu m$ であること、

を特徴とするサーミスタ。

【請求項 2】

前記金属基材の厚みが $10 \sim 80 \mu m$ 、前記サーミスタ薄膜層の厚みが $1 \sim 10 \mu m$ であること、を特徴とする請求項 1 に記載のサーミスタ。

【請求項 3】

前記分割電極の端部から前記サーミスタ薄膜層の端部までの距離が $5 \mu m$ 以上であること、を特徴とする請求項 1 または請求項 2 に記載のサーミスタ。

【請求項 4】

前記金属基材と前記サーミスタ薄膜層の線膨張係数の比が、 $0.75 \sim 2.17$ であること、を特徴とする請求項 1 ないし請求項 3 のいずれかに記載のサーミスタ。

【請求項 5】

10

20

前記金属基材は金属粉ペーストからシート状に形成され、前記サーミスタ薄膜層はセラミックスラリーからシート状に形成されていること、を特徴とする請求項 1 ないし請求項 4 のいずれかに記載のサーミスタ。

【請求項 6】

前記シート状の金属基材と前記シート状のサーミスタ薄膜層は一体的に積層した状態で焼成されたものであること、を特徴とする請求項 5 に記載のサーミスタ。

【請求項 7】

前記サーミスタ薄膜層の少なくとも分割電極が形成されている面に絶縁材料からなる保護層が形成されていることを特徴とする請求項 1 ないし請求項 6 のいずれかに記載のサーミスタ。

10

【請求項 8】

前記サーミスタ薄膜層となるサーミスタ材料と、前記保護層となる絶縁体材料の抵抗率の差が 100 倍以上であることを特徴とする請求項 7 に記載のサーミスタ。

【請求項 9】

前記サーミスタ薄膜層が、それぞれの前記分割電極に対応して分割して形成されており、前記サーミスタ薄膜層の外周部分が前記分割電極の外周部分よりも外側に位置していることを特徴とする請求項 1 ないし請求項 8 のいずれかに記載のサーミスタ。

【請求項 10】

前記分割電極のうち前記サーミスタ薄膜層側の位置する外周部分と、前記サーミスタ薄膜層との間に前記保護層の外周部分が形成されていることを特徴とする請求項 7 または請求項 8 に記載のサーミスタ。

20

【請求項 11】

金属基材と、該金属基材上に直接的に形成されたサーミスタ薄膜層と、該サーミスタ薄膜層上に形成された一对の分割電極と、を備え、前記金属基材はその厚みが前記サーミスタ薄膜層の厚みよりも大きく、前記サーミスタ薄膜層であって前記一对の分割電極に接している部分が前記金属基材を通じて通電されており、前記分割電極間の距離を L_p 、前記サーミスタ薄膜層の厚みを T_t としたとき、 $L_p > T_t + 5 \mu m$ であるサーミスタの製造方法であって、

キャリアフィルム上にセラミックスラリーを所定の厚さに塗布して前記サーミスタ薄膜層となるセラミックグリーンシートを形成する工程と、

30

前記セラミックグリーンシート上に金属粉含有ペーストを所定の厚さに塗布して金属基材となる金属基材シートを形成する工程と、

前記セラミックグリーンシートの前記金属基材シートが形成された面と対向する面上に電極ペーストを所定の厚さに塗布して分割電極となる分割電極パターンを形成する工程と、

前記金属基材シート、前記セラミックグリーンシート、前記分割電極パターンを一体的に焼成する工程と、

を備えたことを特徴とするサーミスタの製造方法。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、サーミスタ及びその製造方法、特に、金属基材とサーミスタ薄膜層と電極とが積層されているサーミスタ及びその製造方法に関する。

【背景技術】

【0002】

従来、保護回路中に温度センサなどとして使用される NTC サーミスタあるいは PTC サーミスタとしては特許文献 1 に記載のものが知られている。このサーミスタは、電極を兼ねた平板状金属基板と、前記平板状金属基板の一方の表面に形成された感温抵抗体膜と、前記感温抵抗体膜の上に形成された電極膜とからなる。

【0003】

50

しかしながら、前記サーミスタは、平板状金属基板を一方の電極とし、最上層に形成されている電極膜を他方の電極としている構造を有するため、電極膜への電氣的接続はワイヤボンディングによらざるを得ず、極小スペースへの実装は不可能であった。例えば、プリント配線基板に実装されたIC部品の温度センサとして使用する場合、プリント配線基板とIC部品との間には150～200 μmの微小な隙間が生じており、サーミスタをこの隙間に実装することが好ましい。しかし、ワイヤボンディングによる実装ではこのような極小スペースへの実装はできない。

【0004】

また、前記サーミスタでは感温抵抗体膜(サーミスタ薄膜)をスパッタなどの気相法で形成しているが、これではコストが上昇し、生産性にも欠けるという問題点を有していた。さらに、前記サーミスタでは、金属基板や感温抵抗体膜にクラックなどが生じると、抵抗値が変動して温度センサとしての特性が変化するという問題点も有していた。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開昭61-245502号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

そこで、本発明の目的は、リフローでの実装が可能で、極小スペースへの実装を可能としたサーミスタ及びその製造方法を提供することにある。他の目的は、低背化が可能で、クラックの発生を極力抑制でき、かつ、安価に製造できるサーミスタ及びその製造方法を提供することにある。

20

【課題を解決するための手段】

【0007】

本発明の第1の形態であるサーミスタは、金属基材と、該金属基材上に直接的に形成されたサーミスタ薄膜層と、該サーミスタ薄膜層上に形成された一对の分割電極と、を備え、前記金属基材はその厚みが前記サーミスタ薄膜層の厚みよりも大きく、前記サーミスタ薄膜層であって前記一对の分割電極に接している部分が前記金属基材を通じて通電されており、前記分割電極間の距離を L_p 、前記サーミスタ薄膜層の厚みを T_t としたとき、 $L_p > T_t + 5 \mu m$ であること、を特徴とする。

30

【0008】

前記サーミスタにおいては、一对の分割電極をプリント配線基板のランドにリフローによってはんだ付けすることができ、ワイヤボンディングによる実装を必要としないので、200 μm以下の極小スペースであっても実装することが可能である。

【0009】

特に、金属基材の厚みが10～80 μm、サーミスタ薄膜層の厚みが1～10 μmであれば、低背化が達成されるだけでなく、薄膜のサーミスタと金属基材とを一体化していることでフレキシブル性が付与される。このため、サーミスタに応力が加わったとしても、サーミスタ薄膜層部分にクラックが生じにくく、実装スペースに凹凸・段差などがある場合であっても、前記サーミスタであれば実装可能である。

40

【0010】

また、サーミスタに過度な応力が加わり撓みが生じ、サーミスタ薄膜層の中央部にクラックが発生したとしても、前記サーミスタは分割電極を採用しており、サーミスタ薄膜層の中央部分は通電経路ではないので、サーミスタとしての電氣的特性に影響を及ぼしにくい。

【0011】

本発明の第2の形態であるサーミスタの製造方法は、

前記第1の形態であるサーミスタの製造方法であって、

キャリアフィルム上にセラミックスラリーを所定の厚さに塗布して前記サーミスタ薄膜

50

層となるセラミックグリーンシートを形成する工程と、

前記セラミックグリーンシート上に金属粉含有ペーストを所定の厚さに塗布して金属基材となる金属基材シートを形成する工程と、

前記セラミックグリーンシートの前記金属基材シートが形成された面と対向する面上に電極ペーストを所定の厚さに塗布して分割電極となる分割電極パターンを形成する工程と

、
前記金属基材シート、前記セラミックグリーンシート、前記分割電極パターンを一体的に焼成する工程と、

を備えたことを特徴とする。

【0012】

前記製造方法においては、サーミスタ薄膜層を固相法によって形成するため、気相法よりも安価に製造でき、しかも、金属基材、サーミスタ薄膜層、分割電極を一体的に焼成するため、金属基材やサーミスタ薄膜層にクラックが発生することを極力抑えることができる。

【発明の効果】

【0013】

本発明によれば、低背化やリフローでの実装が可能で、極小スペースへの実装を可能としたサーミスタを得ることができる。また、サーミスタ薄膜層を固相法で形成するために安価に製造でき、一体的に焼成することでクラックの発生を極力抑制できる。

【図面の簡単な説明】

【0014】

【図1】第1実施例であるサーミスタを示し、(A)は平面図、(B)は正面図。

【図2】前記サーミスタの等価回路図。

【図3】前記サーミスタの通電状態を示す説明図。

【図4】前記サーミスタの製造工程を示す説明図。

【図5】第3実施例であるサーミスタを示す断面図。

【図6】第3実施例であるサーミスタの変形例を示す断面図。

【図7】第4実施例であるサーミスタを示す断面図。

【図8】第5実施例であるサーミスタを示す断面図。

【発明を実施するための形態】

【0015】

以下、本発明に係るサーミスタ及びその製造方法の実施例について添付図面を参照して説明する。なお、各図において、共通する部品、部分は同じ符号を付し、重複する説明は省略する。

【0016】

(第1実施例、図1～図3参照)

第1実施例であるNTCサーミスタ1Aは、図1に示すように、金属基材11と、該金属基材11上に形成されたサーミスタ薄膜層15と、該サーミスタ薄膜層15上に形成された一対の分割電極21, 22とで構成されている。金属基材11は金属粉ペーストからシート状に形成され、サーミスタ薄膜層15はセラミックスラリーからシート状に形成され、分割電極21, 22は電極材料ペーストを所定形状に形成したもので、これらの3者は一体的に焼成されている。なお、少なくとも金属基材11とサーミスタ薄膜層15とが一体焼成されればよい。

【0017】

金属基材11の厚みは10～80 μ m程度、サーミスタ薄膜層15の厚みは1～10 μ m程度、分割電極21, 22の厚みは0.1～10 μ m程度であり、サーミスタ1A全体としての厚みは10～100 μ m程度である。ここで、サーミスタ1Aの全体長さ寸法をL、全体幅寸法をW、分割電極21, 22間の距離をLp、分割電極21, 22の短辺長さをL1、サーミスタ1Aの端面までの寸法をLg、長辺長さをW1、サーミスタ1Aの側面までの寸法をWgとする。さらに、金属基材11の高さ寸法をTb、サーミスタ薄膜

10

20

30

40

50

層 15 の厚みを T_t とする。

【0018】

サーミスタ薄膜層 15 としては、 $Mn, Ni, Fe, Ti, Co, Al, Zn$ などを任意の組合せで適量含む種々のセラミック材料を用いることができる。実際上は、前記遷移金属元素の酸化物を用いて混合されるが、前記元素の炭酸塩、水酸化物などを出発原料として用いてもよい。金属基材 11 及び分割電極 21, 22 としては、 Ag, Pd, Pt, Au などの貴金属、又は、 Cu, Ni, Al, W, Ti などの卑金属の単体あるいはこれらを含む合金を用いることができる。

【0019】

金属基材 11 やサーミスタ薄膜層 15 をシート状に形成する方法としてはドクターブレード法が一般的であるが、スクリーン印刷、グラビア印刷、インクジェット方式であってもよい。分割電極 21, 22 の形成はスクリーン印刷などの印刷法、スパッタ法や蒸着法で行うことができる。なお、材料や製造工程については後に詳述する。

【0020】

ここで、サーミスタ 1A の等価回路について図 2 を参照して説明する。分割電極 21, 22 が入出力端子となり、抵抗 R_1, R_2 はサーミスタ薄膜層 15 によって形成されるとともに、金属基材 11 を介して電氣的に直列に接続されている。即ち、分割電極 21, 22 は直接接触しているサーミスタ薄膜層 15 による抵抗 R_1, R_2 を介してサーミスタ回路を構成している。

【0021】

サーミスタ薄膜層 15 の表面に分割電極 21, 22 が形成されているため、通電状態は図 3 に矢印で示すように、分割電極 21, 22 に接している部分のサーミスタ薄膜層 15 と金属基材 11 を通じる経路となる。サーミスタ 1A の撓みやマウントでの実装時にはサーミスタ薄膜層 15 の中央部分にクラックが発生しやすい。しかし、仮に、サーミスタ薄膜層 15 の中央部分にクラックが発生したとしても、その部分は通電経路ではないので、サーミスタ 1A としての電氣的特性に影響を及ぼすことはない。

【0022】

以上の構成からなる NTC サーミスタ 1A は、例えば、プリント配線基板上に実装された IC 部品の温度センサに使用される。この場合、サーミスタ 1A はプリント配線基板のランド上に分割電極 21, 22 をリフローによってはんだ付けし、実装される。本第 1 実施例であるサーミスタ 1A は $10 \sim 100 \mu m$ 程度に低背化されているため、プリント配線基板と IC 部品との間に形成される $150 \sim 200 \mu m$ 程度の隙間に実装することができる。サーミスタ 1A がこの隙間に実装されることにより、温度センサとして IC 部品の温度上昇に即座に対応することができる。

【0023】

また、薄膜のサーミスタと金属基材とを一体化していることでフレキシブル性が付与される。このため、サーミスタに応力が加わったとしても、サーミスタ薄膜層部分にクラックが生じにくく、実装スペースに凹凸・段差などがある場合であっても、サーミスタ 1A であれば実装可能である。

【0024】

(製造工程、図 4 参照)

次に、前記サーミスタ 1A の製造工程について説明する。まず、サーミスタ薄膜層 15 の原料として、 $Mn - Ni - Fe - Ti$ の酸化物を所定の配合 (抵抗率が $10^4 \Omega \cdot cm$ となることを目標とする) となるように秤量し、ボールミルにより、ジルコニアなどの粉砕媒体を用いて、十分に湿式粉砕し、その後、所定の温度で仮焼し、セラミック粉末を得た。

【0025】

前記セラミック粉末に有機バインダを添加し、湿式で混合処理を行ってスラリー状とし、得られたスラリーをドクターブレード法により焼成後の厚みが $1 \sim 15 \mu m$ となるセラミックグリーンシートを得た。得られたセラミックグリーンシート上に $Ag - Pd$ を主成

10

20

30

40

50

分とした金属基材用ペーストをドクターブレード法にて、焼成後の厚みが5～100 μm となる金属基材シートを形成してマザーシートとした。さらに、比較検討用として、厚み30 μm の金属基材シート上に厚み0.5 μm のサーミスタ薄膜層をスパッタ法によって形成して比較検討用マザーシートとした。その後、セラミックグリーンシート上にAg-Pdペーストをスクリーン印刷し、分割電極を形成した。

【0026】

次に、分割電極を形成した各マザーシートを1単位のサーミスタにカットし、ジルコニア製の匣に収容し、脱バインダ処理を行った後、所定温度（例えば、900～1300）で焼成した。これにて、金属基材11、サーミスタ薄膜層15、分割電極21, 22からなる積層型のサーミスタ1Aが得られた。

10

【0027】

具体的な工程としては、図4(A)に示すように、PET製のキャリアフィルム31上に前記セラミックスラリーを塗布してドクターブレード法でサーミスタ薄膜層となるセラミックグリーンシート15を形成し、さらにその上に前記金属基材用ペーストを塗布してドクターブレード法で金属基材となる金属基材シート11を形成する。フィルム31、シート15, 11を多数個取りのマザーシートとなる寸法にカットし（図4(B)参照）、シート15, 11をフィルム31から剥離する（図4(C)参照）。その後、シート15上にAg-Pdペーストをスクリーン印刷して分割電極21, 22を形成し（図4(D)参照）、所定のチップ寸法にカットする（図4(E)参照）。このチップを焼成し、積層型のサーミスタ1Aを得る。

20

【0028】

前述の工程にて得られたサーミスタについて、以下に説明する各種試験を実施した後に、光学顕微鏡並びに走査型電子顕微鏡(SEM)などでサーミスタを観察し、欠陥(クラック)の発生状況を確認した。また、試験前後に室温抵抗値(室温25での抵抗値を意味する、以下同じ)を測定し、負荷試験による室温抵抗値の抵抗変化の有無を検証した。なお、抵抗変化は負荷試験前からの変化率が $\pm 1\%$ 未満であるものを抵抗変化無と判定した。

【0029】

(評価試験)

まず、巻付け試験を実施した。巻付け試験は、撓み量1mm、2mm、8mm、16mmでのサーミスタのそり量に相当する直径0.71cm、1.30cm、5.07cm、10.13cmの円筒に、長さ500mm、幅5mmのサーミスタ試験片を巻き付けて10秒間保持した。試験片において、金属基材の厚みTbは30 μm とし、サーミスタ薄膜層の厚みTtは0.5～15.0 μm とした。

30

【0030】

試験結果は以下の表1に示すとおりであり、金属基材表面のクラック観察、試験前後の抵抗を測定することで評価した。クラックの有無は、光学顕微鏡にて50倍、100倍の倍率で試料の表面全体を目視にて観察し、さらに、走査型電子顕微鏡(SEM)にて1000倍の倍率で試料の表面全体を目視にて観察することで確認した。表1の評価欄において、印は、クラックが観察されず、試験前後の抵抗変化率が $\pm 1\%$ 未満であることを示している。印は、クラックは観察されたが、試験前後の抵抗変化率が $\pm 1\%$ 未満であることを示している。×印は、クラックが観察され、かつ、試験前後の抵抗変化率が $\pm 1\%$ 以上であることを示している。

40

【0031】

【表 1】

金属基材 厚み T b (μm)	サーミスタ 薄膜層 厚み T t (μm)	巻付け試験の円筒の直径 (cm)			
		0.71	1.30	5.07	10.13
30	0.5	○	○	○	○
30	1.0	○	○	○	○
30	2.0	○	○	○	○
30	3.0	○	○	○	○
30	5.0	x	○	○	○
30	10.0	x	x	○	○
30	15.0	x	x	x	x

10

【0032】

以上の巻付け試験によると、サーミスタ薄膜層の厚み T t が $10\mu\text{m}$ より厚いと、撓み量が 1mm 相当の試験においてクラックが発生してしまう。 $1\mu\text{m}$ 未満では、結果は十分に評価できるものであったが、厚み $1\mu\text{m}$ 未満のサーミスタ薄膜層を固相法で形成することは困難である。製造コスト及び生産性の点では固相法が有利であり、固相法を用いることを前提とすると、サーミスタ薄膜層の厚み T t は $1.0 \sim 10\mu\text{m}$ が最適である。

20

【0033】

以上より、薄膜のサーミスタと金属基材とを一体化することでサーミスタにフレキシブル性が付与される。特に、サーミスタ薄膜層の厚み T t が $10\mu\text{m}$ 以下であれば、直径が 10.13cm の円筒に巻き付けられるほどのフレキシブル性を有し、さらに好ましくはサーミスタ薄膜層の厚み T t が $2\mu\text{m}$ 以下であれば、直径が 0.71cm の円筒に巻き付けられるほどの優れたフレキシブル性を有することがわかる。

【0034】

次に、引張り試験を実施した。引張り試験は、長さ 50mm 、幅 5mm のサーミスタ試験片を引張り試験機（島津 Autograph）にセットし、切断時の荷重を測定した。試験片において、金属基材の幅寸法 W は $500\mu\text{m}$ とし、厚み T b を $5 \sim 100\mu\text{m}$ とし、サーミスタ薄膜層の厚み T t は $3\mu\text{m}$ とした。

30

【0035】

試験結果は以下の表 2 に示すとおりであり、金属基材の厚み T b が $10\mu\text{m}$ よりも薄いと引張り強度が著しく低く、例えば、プリント配線基板に実装したときにランド間のはんだ応力にて千切れるおそれがある。また、製造上取扱いが困難である。厚み T b が $80\mu\text{m}$ よりも厚くなると、引張り強度は十分であるが、金属材料の使用量が多くなってコストが上昇し、サーミスタの低背化が損われることになる。従って、金属基材の厚み T b は $10 \sim 80\mu\text{m}$ が好ましい。但し、厚み T b の上限は必ずしも強度上の制約ではない。

【0036】

40

【表 2】

金属基材 幅 W (μm)	金属基材 厚み T b (μm)	サーミスタ 薄膜層 厚み T t (μm)	破壊強度 (k g f)
500	5	3.0	3.8
500	10	3.0	7.6
500	30	3.0	22.6
500	50	3.0	37.6
500	80	3.0	60.1
500	100	3.0	75.1

10

【0037】

次に、分割電極間の距離 L_p における室温 (25) での抵抗値を FEM (有限要素法) によるシミュレーションにより求めた。この際の印加電圧は 1 V とした。分割電極間の距離 L_p を 2.0 ~ 200 μm とし、サーミスタ薄膜層の厚み T_t を 1.0 ~ 10.0 μm の範囲で変化させた場合の室温抵抗値 R (k) から距離 L_p の変化に対する抵抗変化率 R/R (% / μm) を以下の式により算出した。この値が大きいほど抵抗値のばらつきが大きいことを意味する。他の数値は、 $L = 600 \mu\text{m}$ 、 $W = 300 \mu\text{m}$ 、 $L_1 = 200 \mu\text{m}$ 、 $W_1 = 260 \mu\text{m}$ 、 $T_b = 30 \mu\text{m}$ 、 $W_g = 20 \mu\text{m}$ である。

20

【0038】

$$R/R (\% / \mu\text{m}) = \{ (R_1 - R_2) / R_2 \} / (L_{p1} - L_{p2})$$

R_1 : 分割電極間距離が L_{p1} のときの抵抗値

R_2 : 分割電極間距離が L_{p2} のときの抵抗値

【0039】

なお、 L_{p1} と L_{p2} は、表における連続して並ぶ隣り合う数値であり、 $L_{p1} > L_{p2}$ である。例えば、 L_{p1} が 200 μm のとき L_{p2} が 190 μm 、 L_{p1} が 190 μm のとき L_{p2} が 180 μm とする。従って、表の最下段 (表 4 では、 L_p が 2.0 μm) の場合、比較対象が存在しないため、- と表記している。また、 R/R (% / μm) において 1.00 を超える値が得られた場合、それ以上に L_{p1} 及び L_{p2} の値を小さくしても、 R/R (% / μm) は 1.00 よりも大きくなることから、実験を省略し、- と表記している。

30

【0040】

シミュレーションの結果は以下の表 3 に示すとおりであり、抵抗変化率 R/R が $\pm 0.2\%$ 未満であることが好ましい。即ち、距離 L_p は、 $T_t + 5 \mu\text{m}$ 以上であることが好ましく、 $T_t + 5 \mu\text{m}$ よりも狭くなると、素子抵抗が厚み方向だけでなく、表面方向に影響を受けるようになる。この結果、距離 L_p の抵抗への寄与度が大きくなり、加工誤差で抵抗値のばらつきを生じる。また、分割電極間にクラックなどが生じた際に抵抗値が変化してしまう。

40

【0041】

【表 3】

サーミスタ寸法		L=600 μ m W=300 μ m L1=200 μ m W1=260 μ m Tb=30 μ m				$\Delta R/R$ (%/ μ m)			
		1.0 μ m	3.0 μ m	5.0 μ m	10.0 μ m	1.0 μ m	3.0 μ m	5.0 μ m	10.0 μ m
L_p (μ m)	Tt	R (k Ω)							
200.0		3.646	10.905	18.062	35.361	0.12	0.14	0.15	0.19
190.0		3.603	10.757	17.793	34.692	0.07	0.07	0.07	0.09
180.0		3.577	10.686	17.676	34.379	0.02	0.02	0.03	0.06
170.0		3.569	10.660	17.627	34.166	0.01	0.01	0.01	0.00
140.0		3.554	10.620	17.571	34.132	-0.01	-0.01	-0.01	-0.01
80.0		3.568	10.656	17.628	34.235	0.01	0.01	0.01	0.01
50.0		3.554	10.612	17.553	34.138	-0.02	-0.02	-0.02	0.00
15.0		3.582	10.698	17.681	34.101	-0.04	0.00	0.05	0.08
12.0		3.586	10.698	17.652	34.017	0.01	0.03	0.03	0.23
10.0		3.585	10.693	17.643	33.861	0.00	0.05	0.09	0.27
9.0		3.586	10.688	17.627	33.769	0.06	0.11	0.20	0.35
8.0		3.584	10.676	17.592	33.649	0.12	0.14	0.24	0.48
7.0		3.579	10.660	17.551	33.487	0.13	0.21	0.29	0.64
6.0		3.574	10.638	17.501	33.273	0.16	0.25	0.32	0.69
5.0		3.569	10.612	17.444	33.043	0.48	0.49	0.63	1.17
4.0		3.552	10.559	17.335	32.657	0.70	0.70	1.04	-
3.0		3.527	10.485	17.154		1.52	1.73	-	-
2.0		3.473	10.304			-	-	-	-

【0042】

前記同様に、分割電極の端面距離 L_g についても室温 (25) での抵抗値をシミュレーションにより求めた。端面距離 L_g を 0.0 ~ 20.0 μ m とし、サーミスタ薄膜層の厚み T_t を 1.0 ~ 10.0 μ m の範囲で変化させた場合の室温抵抗値 R (k)、抵抗変化率 $\Delta R/R$ (%/ μ m) を算出した結果を以下の表 4 に示す。側面距離 W_g は 20 μ

10

20

30

40

50

mとし、他の数値は表4の欄外に記載されている。

【0043】

【表4】

サーミスタ寸法 L=600 μ m W=300 μ m L1=200 μ m W1=260 μ m Wg=20 μ m Tb=30 μ m

Lg (μ m)	R (k Ω)				$\Delta R/R$ (%/ μ m)			
	1.0 μ m	3.0 μ m	5.0 μ m	10.0 μ m	1.0 μ m	3.0 μ m	5.0 μ m	10.0 μ m
0.0	3.646	10.905	18.062	35.361	-0.23	-0.27	-0.30	-0.38
5.0	3.603	10.757	17.793	34.692	-0.15	-0.13	-0.13	-0.18
10.0	3.577	10.686	17.676	34.379	-0.04	-0.05	-0.06	-0.12
15.0	3.569	10.660	17.627	34.166	-0.05	-0.05	-0.04	-0.05
20.0	3.560	10.634	17.587	34.079	-	-	-	-

10

20

30

40

【0044】

また、分割電極の側面距離Wgについても抵抗値をシミュレーションにより求めた。側

50

面距離 W_g を $0.0 \sim 20.0 \mu\text{m}$ とし、サーミスタ薄膜層の厚み T_t を $1.0 \sim 10.0 \mu\text{m}$ の範囲で変化させた場合の室温抵抗値 R (k)、抵抗変化率 R/R (%/ μm) を算出した結果を以下の表 5 に示す。端面距離 L_g は $20 \mu\text{m}$ とし、他の数値は表 5 の欄外に記載されている。

【 0 0 4 5 】

【表 5】

サーミスタ寸法 $L=600\mu\text{m}$ $W=300\mu\text{m}$ $L1=(52000/W1)\mu\text{m}$ $W1=(300-2xWg)\mu\text{m}$ $Lg=20\mu\text{m}$ $Tb=30\mu\text{m}$
 $Lp=560-2xL1$

	R (k Ω)				$\Delta R/R$ (%/ μm)			
	1.0 μm	3.0 μm	5.0 μm	10.0 μm	1.0 μm	3.0 μm	5.0 μm	10.0 μm
Tt								
Wg (μm)								
0.0	3.665	10.966	18.183	35.696	0.24	0.30	0.35	0.49
5.0	3.620	10.803	17.862	34.813	0.16	0.14	0.15	0.19
10.0	3.590	10.725	17.725	34.475	0.08	0.08	0.08	0.11
20.0	3.560	10.634	17.587	34.079	-	-	-	-

10

20

30

40

【0046】

距離 Lg , Wg に関しても抵抗変化率 R/R が $\pm 0.2\%$ 未満であることが好ましい。即ち、距離 Lg , Wg を $5\mu\text{m}$ 以上確保することが好ましく、端面及び側面での表面リークに起因する抵抗変化の影響を防止できる。

50

【 0 0 4 7 】

(第2実施例)

第2実施例として、図1に示した第1実施例と同様の構成からなり、以下の表6及び表7に示す材料を用意し、前記同様の製造工程にて、 $T_b = 30 \mu\text{m}$ 、 $L = 600 \mu\text{m}$ 、 $W = 300 \mu\text{m}$ 、 $L_1 = 200 \mu\text{m}$ 、 $W_1 = 260 \mu\text{m}$ 、 $L_g = 20 \mu\text{m}$ 、 $W_g = 20 \mu\text{m}$ 、 $L_p = 160 \mu\text{m}$ 、 $T_t = 5 \mu\text{m}$ のサーミスタを作製した。なお、表6及び表7に示す線膨張係数は金属基材材料及びサーミスタ薄膜材料から断面 $2.0 \text{mm} \times 2.0 \text{mm}$ 、長さ 5.0mm の角柱を作製し、大気雰囲気にてTMAによる線膨張係数の測定を実施した結果である。 30 を基準として 800 での線膨張係数の値を示している。測定条件は、昇温速度 $10 / \text{min}$ 、荷重 10gf とした。

10

【 0 0 4 8 】

【表6】

金属基材材料	線膨張係数 ($\times 10^{-5}/\text{K}$)
Ag:100	1.93
Ag:80、Pd:20	1.79
Ag:70、Pd:30	1.65
Ag:30、Pd:70	1.49
Pd:100	1.35
Pt:100	0.89

20

【 0 0 4 9 】

【表7】

サーミスタ 薄膜材料	線膨張係数 ($\times 10^{-5}/\text{K}$)
Mn-Ni-Al	0.76
Mn-Ni-Fe	0.93
Mn-Co-Fe-Al	1.19
Mn-Co-Fe-Ti	1.39
Mn-Co-Cu	1.80

30

40

【 0 0 5 0 】

そして、一体焼成後のサーミスタの表面を走査型電子顕微鏡にて観察し、クラック発生の有無を調査した。その結果を以下の表8に示す。

【 0 0 5 1 】

【表 8】

金属基材の 線膨張係数 ($10^{-5}/K$)	セラミック 薄膜層の 線膨張係数 ($10^{-5}/K$)	線膨張係数比率 (基材/セラミック)	一体焼成後の クラックの発生観察
1.93	0.76	2.54	発生
1.79		2.36	発生
1.65		2.17	未発生
1.49		1.96	未発生
1.35		1.78	未発生
0.89		1.17	未発生
1.93	0.93	2.08	未発生
1.79		1.92	未発生
1.65		1.77	未発生
1.49		1.60	未発生
1.35		1.45	未発生
0.89		0.96	未発生
1.93	1.19	1.62	未発生
1.79		1.50	未発生
1.65		1.39	未発生
1.49		1.25	未発生
1.35		1.13	未発生
0.89		0.75	未発生
1.93	1.39	1.39	未発生
1.79		1.29	未発生
1.65		1.19	未発生
1.49		1.07	未発生
1.35		0.97	未発生
0.89		0.64	発生
1.93	1.80	1.07	未発生
1.79		0.99	未発生
1.65		0.92	未発生
1.49		0.83	未発生
1.35		0.75	未発生
0.89		0.49	発生

【0052】

表 8 から明らかなように、金属基材材料とサーミスタ薄膜材料の線膨張係数比率を 0.75 ~ 2.17 とすることにより、一体焼成時における（特に、焼成後の降温時における）線膨張差によるクラックの発生を抑制することができる。セラミック材料は特に引張り応力に弱いことから、金属基材材料よりも早く縮む場合（サーミスタ薄膜材料の線膨張係数が大きい場合）にクラックが発生しやすい。また、両材料の線膨張係数比率を前記の数値範囲内とすることにより、本サーミスタをリフローによって基板に実装する場合の熱応力によるクラックの発生をも抑制することができる。

【0053】

10

20

30

40

50

(第3実施例、図5参照)

第3実施例であるNTCサーミスタ1Bは、図5に示すように、金属基材11、サーミスタ薄膜層15、分割電極21, 22からなることは前記第1実施例と同様であり、それに加えて、サーミスタ薄膜層15上に保護層16を形成し、かつ、分割電極21, 22上にNiめっき層23及びSnめっき層24を形成したものである。

【0054】

金属基材11の表面にもNiめっき層23'及びSnめっき層24'が形成されているが、これらはめっき層23, 24の形成時に同時に形成されたものである。このめっき層23', 24'は金属基材11がAg/Pdなどの場合はAgのマイグレーションを防止する効果が期待できる。

10

【0055】

保護層16は、めっき層23, 24の形成時にサーミスタ薄膜層15がめっきによって浸食されることを抑えるものであり、ガラス、樹脂、絶縁体セラミックなどでめっきに浸食されない絶縁体材料であればよい。特に、保護層16として絶縁体セラミックを用いた場合、金属基材11とサーミスタ薄膜層15とを一体焼成する際に、予めサーミスタ薄膜層15上に絶縁体セラミックグリーンシートを形成しておくことで、金属基材11とサーミスタ薄膜層15と保護層16とを一体焼成で形成することができ、製造工程が簡素化され、サーミスタ薄膜層15と保護層16との密着性が良好になる。

【0056】

(変形例、図6参照)

20

図6に示すサーミスタ1B'は、図5に示した前記サーミスタ1Bに対して、保護層16を金属基材11の裏面や側面にも形成したものである。この種のサーミスタプリント配線基板40の表面に形成したランド41上にはんだ42を介してリフローによって実装される。このとき、金属基材11が表面に露出していると、図示しない導電性の部品や配線などが金属基材11と導通してしまうおそれがある。このように分割電極21, 22を除くサーミスタの全面を保護層(絶縁層)16で覆うことにより、このような短絡事故を未然に防止することができる。

【0057】

(第4実施例、図7参照)

第4実施例であるサーミスタ1Cは、図7に示すように、サーミスタ薄膜層15を分割電極21, 22の直下に、分割電極21, 22よりも僅かに小さい矩形状に形成したものである。分割電極21, 22上にはNiめっき層23及びSnめっき層24が形成されていることは、前記第3実施例と同様である。

30

【0058】

前記第3実施例(図5参照)では、分割電極21, 22の上に保護層16を形成しているため、保護層16でサーミスタ薄膜層15を完全に覆うには、どうしても分割電極21, 22の周囲に保護層16を重ねる必要がある(図5のA部参照)。この場合、A部では下地の相違によって保護層16の焼成具合や焼結挙動が変わってしまい、A部でクラックが生じるおそれがある。そこで、本第4実施例のごとく、サーミスタ薄膜層15を分割電極21, 22の直下に設けて、保護層16をサーミスタ薄膜層15と同一平面に設けることにより、保護層16の下地は全て金属基材11となり、重なり部分であるA部の存在が解消されるのでクラック発生のおそれもなくなり、サーミスタとしてのトータルの厚みが薄くなる。

40

【0059】

ここで、第4実施例であるサーミスタ1Cにおいて、分割電極21, 22の面積のばらつきに起因する抵抗値の変化について表9に示す試料No1~No4にて測定した結果を示す。試料No1~No4ごとに、分割電極21, 22の面積(L1×W1)を310µm角、300µm角、290µm角の3種類とし、サーミスタ材料の抵抗率 ρ_1 を10kΩcm、保護層16の抵抗率 ρ_2 を試料No1では10kΩcm、試料No2では100kΩcm、試料No3では1000kΩcm、試料No4では10000kΩcmとした

50

。サーミスタ薄膜層15の面積は $250 \times 250 \mu\text{m}$ 、厚さ(Tt)は $3 \mu\text{m}$ である。また、 $L = 1000 \mu\text{m}$ 、 $W = 500 \mu\text{m}$ 、 $Tb = 30 \mu\text{m}$ 、 $Lg = 20 \mu\text{m}$ 、 $Lp = 960 \mu\text{m}$ - 分割電極のL方向寸法(290、300、310 μm)、 $Wg = 20 \mu\text{m}$ である。なお、1はサーミスタ薄膜層となるサーミスタ材料(具体的にはMn-Ni-Fe-Tiサーミスタ材料)の抵抗率である。また、2は保護層となる絶縁体材料(具体的にはFe-Mnフェライト材料)の抵抗率であり、組成比を変更することで抵抗率を変化させている。抵抗値の変化率(%)は以下の式により算出した。

【0060】

抵抗値の変化率 = $(R2 - R1) / R1 \times 100$

R1 : 分割電極面積が290 μm のときの素子抵抗値

R2 : 分割電極面積が310 μm のときの素子抵抗値

【0061】

【表 9】

試料No. 1	分割電極面積		
	□310 μ m	□300 μ m	□290 μ m
サーミスタ材料の抵抗率 ($\rho 1$)	10k Ω cm		
保護層の抵抗率 ($\rho 2$)	10k Ω cm		
サーミスタ材料と 保護層の抵抗率の比 $\rho 2 / \rho 1$	1		
素子抵抗 (k Ω)	6.243	6.667	7.134
抵抗値の変化 (%)	14.27		

10

試料No. 2	分割電極面積		
	□310 μ m	□300 μ m	□290 μ m
サーミスタ材料の抵抗率 ($\rho 1$)	10k Ω cm		
保護層の抵抗率 ($\rho 2$)	100k Ω cm		
サーミスタ材料と 保護層の抵抗率の比 $\rho 2 / \rho 1$	10		
素子抵抗 (k Ω)	9.110	9.195	9.279
抵抗値の変化 (%)	1.86		

20

試料No. 3	分割電極面積		
	□310 μ m	□300 μ m	□290 μ m
サーミスタ材料の抵抗率 ($\rho 1$)	10k Ω cm		
保護層の抵抗率 ($\rho 2$)	1000k Ω cm		
サーミスタ材料と 保護層の抵抗率の比 $\rho 2 / \rho 1$	100		
素子抵抗 (k Ω)	9.549	9.558	9.567
抵抗値の変化 (%)	0.19		

30

試料No. 4	分割電極面積		
	□310 μ m	□300 μ m	□290 μ m
サーミスタ材料の抵抗率 ($\rho 1$)	10k Ω cm		
保護層の抵抗率 ($\rho 2$)	10000k Ω cm		
サーミスタ材料と 保護層の抵抗率の比 $\rho 2 / \rho 1$	1000		
素子抵抗 (k Ω)	9.595	9.596	9.597
抵抗値の変化 (%)	0.02		

【0062】

40

表 9 から明らかなように、抵抗値の変化率 (%) は、 $\rho 2 / \rho 1$ が 1 (試料 No. 1) のときは 14.27、 $\rho 2 / \rho 1$ が 10 (試料 No. 2) のときは 1.86、 $\rho 2 / \rho 1$ が 100 (試料 No. 3) のときは 0.19、 $\rho 2 / \rho 1$ が 1000 (試料 No. 4) のときは 0.02 であった。 $\rho 2 / \rho 1$ が 100 倍以上であると、分割電極 21, 22 の面積にばらつきを生じたとしても、抵抗値の変化率を 0.2% 以下に抑えることができるために好ましい。

【0063】

(第 5 実施例、図 8 参照)

第 5 実施例であるサーミスタ 1D は、図 8 に示すように、サーミスタ薄膜層 15 の面積を分割電極 21, 22 の面積よりも大きくしたものの、換言すると、サーミスタ薄膜層 15

50

の外周部分 B を分割電極 2 1 , 2 2 の外周部分よりも外側に位置させたもので、保護層 1 6 はサーミスタ薄膜層 1 5 の外周部分 B から若干内側まで覆っている。他の構成は第 4 実施例と同様である。

【 0 0 6 4 】

本第 5 実施例では、サーミスタ薄膜層 1 5 の外周部分 B を保護層 1 6 が覆っているため、保護層 1 6 が金属基材 1 1 に密着することによってサーミスタ薄膜層 1 5 が保持され、サーミスタ薄膜層 1 5 が金属基材 1 1 から剥離することが防止される。仮に、サーミスタ薄膜層 1 5 が金属基材 1 1 から剥離すると、抵抗値が寄与する領域が減少するため、抵抗値が大きくなる傾向にあるが、本発明はその心配がない。保護層 1 6 はサーミスタ特性には寄与していないので、金属基材 1 1 と密着性の高い材料を選択すればよい。

10

【 0 0 6 5 】

また、本第 5 実施例のように、サーミスタ薄膜層 1 5 を形成した後、サーミスタ薄膜層 1 5 の外周部分にその一部が重なるように保護層 1 6 を形成し、その後に分割電極 2 1 , 2 2 を形成した場合、分割電極 2 1 , 2 2 のうちサーミスタ薄膜層 1 5 側の外周部分とサーミスタ薄膜層 1 5 との間に保護層 1 6 の外周部分が形成される。この場合、保護層 1 6 の A 部でサーミスタ薄膜層 1 5 との間でクラックが生じてめっき形成時にめっき層 2 3 , 2 4 の成長が生じてしまったとしても、分割電極 2 1 , 2 2 とクラック発生し得る箇所 (A 部) が離れて位置することから、分割電極 2 1 , 2 2 と金属基材 1 1 とが短絡を生じることがない。

【 0 0 6 6 】

20

(他 の 実 施 例)

なお、本発明に係るサーミスタ及びその製造方法は前記実施例に限定するものではなく、その要旨の範囲内で種々に変更することができる。

【 0 0 6 7 】

特に、前記実施例で示したサーミスタの種々のサイズはあくまで一例である。さらに、金属基材、サーミスタ薄膜層及び分割電極の細部の形状などは任意である。

【 産 業 上 の 利 用 可 能 性 】

【 0 0 6 8 】

以上のように、本発明は、サーミスタ及びその製造方法に有用であり、特に、低背化やリフローなどの実装が可能で、安価に製造でき、クラックの発生を極力抑制できる点で優

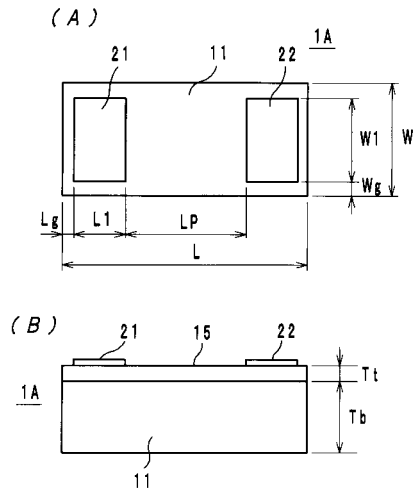
30

【 符 号 の 説 明 】

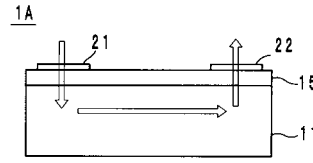
【 0 0 6 9 】

- 1 A , 1 B , 1 B ' , 1 C , 1 D ... サーミスタ
- 1 1 ... 金属基材
- 1 5 ... サーミスタ薄膜層
- 1 6 ... 保護層 (絶縁層)
- 2 1 , 2 2 ... 分割電極
- 3 1 ... キャリアフィルム

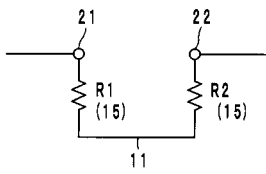
【 図 1 】



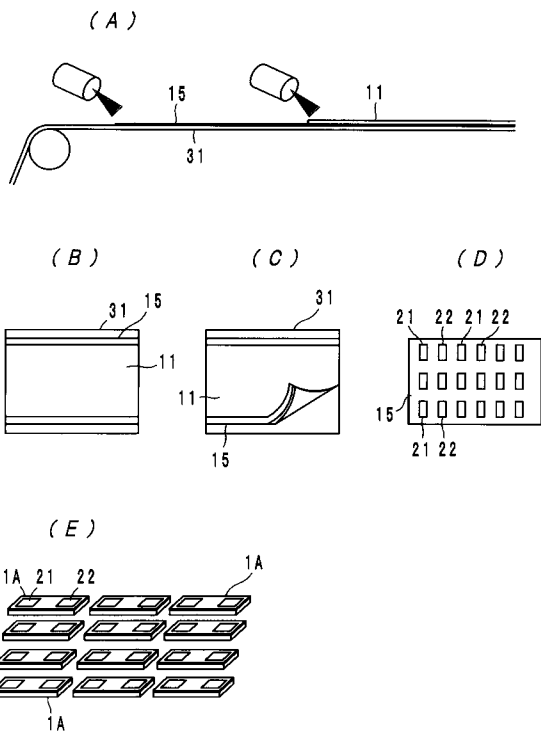
【 図 3 】



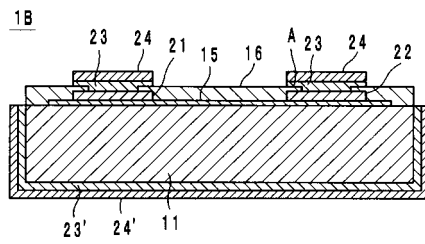
【 図 2 】



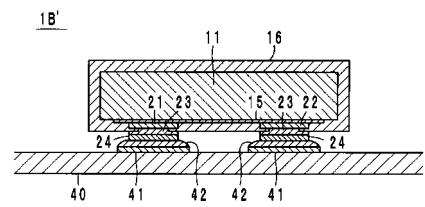
【 図 4 】



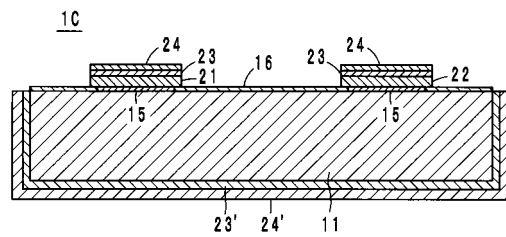
【 図 5 】



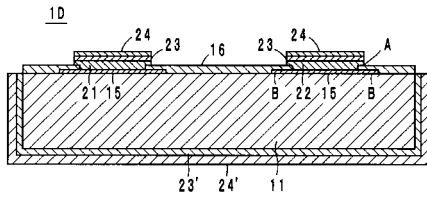
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

- (56)参考文献 特開平 1 1 - 0 5 4 3 0 1 (J P , A)
特開昭 6 1 - 2 4 5 5 0 2 (J P , A)
特開平 0 5 - 0 9 0 0 1 0 (J P , A)
特開昭 6 3 - 3 1 0 1 0 1 (J P , A)
特開昭 6 1 - 2 4 2 0 0 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 C 7 / 0 2 - 7 / 0 4

H 0 1 C 1 7 / 0 6