

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2021-504959

(P2021-504959A)

(43) 公表日 令和3年2月15日(2021.2.15)

(51) Int.Cl.	F I	テーマコード (参考)
H01L 33/08 (2010.01)	H01L 33/08	5C094
G09F 9/30 (2006.01)	G09F 9/30 338	5F241
H01L 33/38 (2010.01)	G09F 9/30 336	
H01L 33/02 (2010.01)	G09F 9/30 340	
G09F 9/33 (2006.01)	G09F 9/30 349A	
審査請求 未請求 予備審査請求 未請求 (全 157 頁) 最終頁に続く		

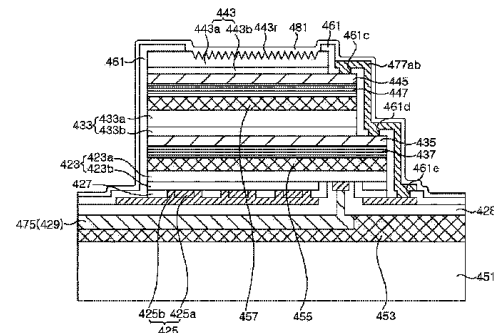
(21) 出願番号 特願2020-529153 (P2020-529153)
 (86) (22) 出願日 平成30年11月27日(2018.11.27)
 (85) 翻訳文提出日 令和2年7月1日(2020.7.1)
 (86) 国際出願番号 PCT/KR2018/014672
 (87) 国際公開番号 W02019/103567
 (87) 国際公開日 令和1年5月31日(2019.5.31)
 (31) 優先権主張番号 62/590,830
 (32) 優先日 平成29年11月27日(2017.11.27)
 (33) 優先権主張国・地域又は機関
 米国 (US)
 (31) 優先権主張番号 62/595,415
 (32) 優先日 平成29年12月6日(2017.12.6)
 (33) 優先権主張国・地域又は機関
 米国 (US)

(71) 出願人 506029004
 ソウル バイオシス カンパニー リミテッド
 SEOUL BIOSYS CO., LTD.
 大韓民国 ギョンギド アンサンシ
 ダンウォング サンダンロー 163ベ
 オンギル 65-16
 65-16, Sandan-ro 163
 Beon-gil, Danwon-gu
 , Ansan-si, Gyeonggi-do, Republic of Korea
 (74) 代理人 110000408
 特許業務法人高橋・林アンドパートナーズ
 最終頁に続く

(54) 【発明の名称】 ディスプレイ用発光ダイオードおよびこれを有するディスプレイ装置

(57) 【要約】

ディスプレイ用発光ダイオードスタックは、支持基板と、第1LEDスタックと、第2LEDスタックと、第3LEDスタックとを含み、導電性成長基板が第2LEDスタックまたは第3LEDスタックに結合され、第1カラーフィルタが第1および第2LEDスタックの間に介在し、第2LEDスタックから発生する光を反射させながら、第1LEDスタックから発生する光を透過させ、第2カラーフィルタが第2および第3LEDスタックの間に介在し、第3LEDスタックから発生する光を反射させながら、第1および第2LEDスタックから発生する光を透過させ、第1LEDスタックから発生する光は、第2LEDスタック、第3LEDスタックおよび導電性成長基板を介して外部に放出され、第2LEDスタックから発生する光は、第3LEDスタックおよび導電性成長基板を介して外部に放出される。



【特許請求の範囲】

【請求項 1】

第 1 L E D スタックと、
前記第 1 L E D スタック上で一部領域内に配置される第 2 L E D スタックと、
前記第 2 L E D スタック上で一部領域内に配置される第 3 L E D スタックと、
前記第 1 L E D スタックの下側に配置される反射電極と、
を備え、
前記第 1 ～ 第 3 L E D スタックのそれぞれが n 型半導体層および p 型半導体層を備え、
前記第 1 ～ 第 3 L E D スタックのすべての前記 n 型半導体層が前記反射電極に電氣的に
接続され、
前記第 1 L E D スタック、前記第 2 L E D スタックおよび前記第 3 L E D スタックが独
立して駆動される、ディスプレイ用発光ダイオードピクセル。

10

【請求項 2】

前記第 1 L E D スタック、前記第 2 L E D スタックおよび前記第 3 L E D スタックがそ
れぞれ互いに異なる波長を有する光を放出する、請求項 1 に記載のディスプレイ用発光ダ
イオードピクセル。

【請求項 3】

前記第 1 L E D スタック、前記第 2 L E D スタックおよび前記第 3 L E D スタックがそ
れぞれ赤色光、緑色光および青色光を放出する、請求項 2 に記載のディスプレイ用発光ダ
イオードピクセル。

20

【請求項 4】

前記第 1 ～ 第 3 L E D スタックの前記 p 型半導体層がその前記 n 型半導体層上にそれぞ
れ配置され、

前記反射電極は、前記第 1 L E D スタックの前記 n 型半導体層とオーミック接触を形成
する、請求項 1 に記載のディスプレイ用発光ダイオードピクセル。

【請求項 5】

前記第 1 L E D スタックと前記第 2 L E D スタックとの間に介在する第 1 カラーフィル
タと、

前記第 2 L E D スタックと前記第 3 L E D スタックとの間に介在する第 2 カラーフィル
タとをさらに備え、

30

前記第 1 カラーフィルタは、前記第 2 L E D スタックから発生する光を反射させながら
、前記第 1 L E D スタックから発生する光を透過させ、

前記第 2 カラーフィルタは、前記第 3 L E D スタックから発生する光を反射させながら
、前記第 2 L E D スタックから発生する光を透過させる、請求項 4 に記載のディスプレイ
用発光ダイオードピクセル。

【請求項 6】

前記第 1 カラーフィルタは、前記第 2 L E D スタックの前記 n 型半導体層に隣接し、

前記第 2 カラーフィルタは、前記第 3 L E D スタックの前記 n 型半導体層に隣接してい
る、請求項 5 に記載のディスプレイ用発光ダイオードピクセル。

【請求項 7】

前記第 1 L E D スタックと前記第 1 カラーフィルタとの間に介在する第 2 ボンディング
層と、

前記第 2 L E D スタックと前記第 2 カラーフィルタとの間に介在する第 3 ボンディング
層とをさらに備え、

40

前記第 2 ボンディング層は、前記第 1 L E D スタックから発生する光を透過させ、

前記第 3 ボンディング層は、前記第 2 L E D スタックから発生する光を透過させる、請
求項 5 に記載のディスプレイ用発光ダイオードピクセル。

【請求項 8】

前記第 1 L E D スタックの前記 p 型半導体層と接触する第 1 - 2 オーミック電極と、

前記第 2 L E D スタックの前記 n 型半導体層と接触する第 2 - 1 オーミック電極と、

50

前記第2LEDスタックの前記p型半導体層と接触する第2-2オーミック電極と、
前記第3LEDスタックの前記n型半導体層と接触する第3-1オーミック電極と、
前記第3LEDスタックの前記p型半導体層と接触する第3-2オーミック電極と、
をさらに備え、

前記第1-2オーミック電極は、前記第1LEDスタックの一部領域の外部で前記n型半導体層と接触し、

前記第2-1オーミック電極および前記第2-2オーミック電極は、前記第2LEDスタックの一部領域の外部で前記n型およびp型半導体層とそれぞれ接触する、請求項4に記載のディスプレイ用発光ダイオードピクセル。

【請求項9】

前記第3-1オーミック電極は、前記第3LEDスタックの前記n型半導体層上で前記n型半導体層と接触し、

前記第3-2オーミック電極は、前記第3LEDスタックの前記p型半導体層上で前記p型半導体層と接触する、請求項8に記載のディスプレイ用発光ダイオードピクセル。

【請求項10】

前記第2-1オーミック電極および前記第3-1オーミック電極を前記反射電極にそれぞれ電氣的に接続する接続部分をさらに備える、請求項9に記載のディスプレイ用発光ダイオードピクセル。

【請求項11】

前記第1LEDスタックの一部領域を除いた前記第1LEDスタック領域の面積、前記第2LEDスタックの一部領域を除いた前記第2LEDスタック領域の面積および前記第3LEDスタック領域の面積が互いに異なる、請求項1に記載のディスプレイ用発光ダイオードピクセル。

【請求項12】

支持基板上に配列される複数のピクセルを備えるディスプレイ装置であって、
各前記ピクセルが、

第1LEDスタックと、

前記第1LEDスタック上で一部領域内に配置される第2LEDスタックと、

前記第2LEDスタック上で一部領域内に配置される第3LEDスタックと、

前記第1LEDスタックの下側に配置される反射電極と、

を備え、

前記第1～第3LEDスタックのそれぞれがn型半導体層およびp型半導体層を備え、

前記第1～第3LEDスタックのすべての前記n型半導体層が前記反射電極に電氣的に接続され、

前記第1LEDスタック、前記第2LEDスタックおよび前記第3LEDスタックが独立して駆動される、ディスプレイ装置。

【請求項13】

前記第1LEDスタック、前記第2LEDスタックおよび前記第3LEDスタックがそれぞれ互いに異なる波長を有する光を放出する、請求項12に記載のディスプレイ装置。

【請求項14】

前記第1LEDスタックの前記n型半導体層、前記第2LEDスタックの前記n型半導体層および前記第3LEDスタックの前記n型半導体層が共通ラインに電氣的に接続され、

前記第1LEDスタックの前記p型半導体層、前記第2LEDスタックの前記p型半導体層および前記第3LEDスタックの前記p型半導体層は、互いに異なるラインに電氣的に接続される、請求項12に記載のディスプレイ装置。

【請求項15】

前記第1～第3LEDスタックの前記p型半導体層がその前記n型半導体層上にそれぞれ配置され、

前記反射電極は、前記第1LEDスタックの前記n型半導体層とオーミック接触を形成

10

20

30

40

50

する、請求項 13 に記載のディスプレイ装置。

【請求項 16】

各前記ピクセルが、

前記第 1 LED スタックと前記第 2 LED スタックとの間に介在する第 1 カラーフィルタと、

前記第 2 LED スタックと前記第 3 LED スタックとの間に介在する第 2 カラーフィルタとをさらに備え、

前記第 1 カラーフィルタは、前記第 2 LED スタックから発生する光を反射させながら、前記第 1 LED スタックから発生する光を透過させ、

前記第 2 カラーフィルタは、前記第 3 LED スタックから発生する光を反射させながら、前記第 2 LED スタックから発生する光を透過させる、請求項 15 に記載のディスプレイ装置。

10

【請求項 17】

各前記ピクセルが、

前記支持基板と前記反射電極との間に介在する第 1 ボンディング層と、

前記第 1 LED スタックと前記第 1 カラーフィルタとの間に介在する第 2 ボンディング層と、

前記第 2 LED スタックと前記第 2 カラーフィルタとの間に介在する第 3 ボンディング層とをさらに備える、請求項 16 に記載のディスプレイ装置。

20

【請求項 18】

各前記ピクセルが、

前記第 1 LED スタックの前記 p 型半導体層と接触する第 1-2 オーミック電極と、

前記第 2 LED スタックの前記 n 型半導体層と接触する第 2-1 オーミック電極と、

前記第 2 LED スタックの前記 p 型半導体層と接触する第 2-2 オーミック電極と、

前記第 3 LED スタックの前記 n 型半導体層と接触する第 3-1 オーミック電極と、

前記第 3 LED スタックの前記 p 型半導体層と接触する第 3-2 オーミック電極と、

をさらに備え、

前記第 1-2 オーミック電極が前記第 1 LED スタックの一部領域の外部で前記 p 型半導体層と接触し、

前記第 2-1 オーミック電極および前記第 2-2 オーミック電極は、前記第 2 LED スタックの一部領域の外部で前記 n 型および p 型半導体層とそれぞれ接触する、請求項 15 に記載のディスプレイ装置。

30

【請求項 19】

前記第 3-1 オーミック電極は、前記第 3 LED スタックの前記 n 型半導体層上で前記 n 型半導体層と接触し、前記第 3-2 オーミック電極は、前記第 3 LED スタックの前記 p 型半導体層上で前記 p 型半導体層と接触する、請求項 18 に記載のディスプレイ装置。

【請求項 20】

各前記ピクセルが、前記第 2-1 オーミック電極および前記第 3-1 オーミック電極を前記反射電極にそれぞれ電氣的に接続する接続部分をさらに備える、請求項 18 に記載のディスプレイ装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本開示の例示的な実施例は、次世代ディスプレイ用発光ダイオードおよびこれを有するディスプレイ装置に関する。

【背景技術】

【0002】

発光ダイオードは、ディスプレイ、車両ランプ、一般照明などを含む多様な分野で無機

50

光源として用いられてきた。長い寿命、低電力消費および速い応答のような多様な利点から、発光ダイオードは当業界で既存の光源を代替している。

【0003】

典型的な発光ダイオードは、ディスプレイ装置においてバックライト光源として用いられてきた。しかし、最近、マイクロLEDディスプレイが、発光ダイオードを用いてイメージを直接実現するように構成される次世代ディスプレイとして開発された。

【0004】

一般的に、ディスプレイ装置は、青色、緑色および赤色光の混合により多様な色相を実現する。ディスプレイ装置において、各ピクセルは、青色、緑色および赤色の色相にそれぞれ対応するサブピクセルを含み、これらサブピクセルの色相に基づいて特定のピクセルの色相を決定することにより、イメージはそのようなピクセルの組み合わせにより実現できる。

10

【0005】

マイクロLEDディスプレイにおいて、マイクロLEDは、二次元平面上にサブピクセルに対応して配列されるため、複数のマイクロLEDが単一基板上に配列される必要がある。しかし、マイクロLEDは $200\mu\text{m}$ 以下の非常に小さい大きさまたは $100\mu\text{m}$ 以下の大きさを有することにより、多様な問題が発生する。特に、マイクロLEDの取り扱いにおける困難によってマイクロLEDをディスプレイパネルに実装しにくく、ディスプレイパネル上のマイクロLEDのうち欠陥のあるマイクロLEDを新しいマイクロLEDに取り替えることが困難である。

20

【0006】

また、サブピクセルがディスプレイ内で二次元平面内に配列されるため、青色、緑色および赤色の色相のためのサブピクセルを含む1つのピクセルが相対的に大きな面積を占める。そのため、限られた面積内にサブピクセルを配列するためには各サブピクセルの面積が減少しなければならず、それによって、発光面積の減少による明るさの低下が誘発される。

【0007】

一方、青色、緑色および赤色の色相に対する可視性には大きな差がある。特に、緑色の色相に対する可視性は、赤色の色相に対する可視性よりはるかに高い。結果として、発光ダイオード(light emitting diode: LED)が同一の放射光束を放出するときにも、色相によって明るさの差が発生する。可視性による明るさの差を減少させるために、低い可視性を有する色相を放出するLEDの面積が増加できる。しかし、LEDの面積が増加すれば、サブピクセルの占める面積が増加する。

30

【0008】

また、各LEDに印加される電流密度の調節により明るさの差を減少させることができるが、電流密度の調節による可視性による明るさの差の減少は、ディスプレイの動作を複雑で困難にする。そのため、マイクロLEDを用いるディスプレイ装置の場合、二次元平面でマイクロLEDの占める面積またはマイクロLEDに印加される電流密度を大きく変化させることなく、マイクロLEDが類似する明るさの光を放出できるようにする技術の開発が必要である。

40

【0009】

本背景技術の欄に開示された前記情報は単に本発明の概念の背景を理解するためのものであり、そのため、先行技術を構成しない情報を含むことができる。

【発明の概要】

【発明が解決しようとする課題】

【0010】

本開示の例示的な実施例は、ピクセル面積を増加させることなく、各サブピクセルの発光面積の増加を許容するディスプレイ用発光ダイオードおよびこれを有するディスプレイ装置を提供する。

【0011】

50

本開示の例示的な実施例は、複数のピクセルの同時製造を許容することで、ディスプレイパネル上に個別に実装される必要がないディスプレイ用発光ダイオードおよびこれを有するディスプレイ装置を提供する。

【0012】

本開示の例示的な実施例は、ピクセル面積を増加させることなく、各サブピクセルの発光面積の増加を許容するディスプレイ用発光ダイオードおよびこれを有するディスプレイ装置を提供する。

【0013】

本開示の例示的な実施例は、複数のピクセルの同時製造を許容することで、ディスプレイパネル上に個別に実装される必要がないディスプレイ用発光ダイオードおよびこれを有するディスプレイ装置を提供する。

10

【0014】

本開示の例示的な実施例は、複数のピクセルの同時製造を許容することで、ディスプレイパネル上に個別に実装される必要がないディスプレイ用発光ダイオードピクセルおよびこれを含むディスプレイ装置を提供する。

【0015】

本開示の例示的な実施例は、ピクセル面積を増加させることなく、各サブピクセルの発光面積の増加を許容するディスプレイ用発光ダイオードおよびこれを含むディスプレイ装置を提供する。

【0016】

20

本開示の例示的な実施例は、複数のピクセルの同時製造を許容することで、ディスプレイパネル上に個別に実装される必要がないディスプレイ用発光ダイオードおよびこれを含むディスプレイ装置を提供する。

【0017】

本開示の例示的な実施例は、可視性を考慮して光の放出を調節可能なディスプレイ用発光ダイオードおよびこれを含むディスプレイ装置を提供する。

【0018】

本開示の例示的な実施例は、ピクセル面積を増加させることなく、各サブピクセルの発光面積の増加を許容するディスプレイ用発光ダイオードおよびこれを有するディスプレイ装置を提供する。

30

【0019】

本開示の例示的な実施例は、複数のピクセルの同時製造を許容することで、ディスプレイパネル上に個別に実装される必要がないディスプレイ用発光ダイオードおよびこれを有するディスプレイ装置を提供する。

【0020】

本開示の例示的な実施例は、可視性を考慮して光の放出を調節可能なディスプレイ用発光ダイオードおよびこれを有するディスプレイ装置を提供する。

【課題を解決するための手段】

【0021】

本開示の1つの例示的な実施例により、ディスプレイ用発光ダイオードスタックは、支持基板と、支持基板上に配置される第1LEDスタックと、第1LEDスタック上に配置される第2LEDスタックと、第2LEDスタック上に配置される第3LEDスタックと、第2LEDスタックまたは第3LEDスタックに結合される導電性成長基板と、第1LEDスタックと第2LEDスタックとの間に介在し、第2LEDスタックから発生する光を反射させながら、第1LEDスタックから発生する光を透過させる第1カラーフィルタと、第2LEDスタックと第3LEDスタックとの間に介在し、第3LEDスタックから発生する光を反射させながら、第1および第2LEDスタックから発生する光を透過させる第2カラーフィルタとを含み、第1LEDスタックから発生する光は、第2LEDスタック、第3LEDスタックおよび導電性成長基板を介して外部に放出され、第2LEDスタックから発生する光は、第3LEDスタックおよび導電性成長基板を介して外部に放出

40

50

される。

【0022】

本開示のもう1つの例示的な実施例により、ディスプレイ装置は、支持基板上に配列される複数のピクセルを含み、各ピクセルは、支持基板上に配置される第1LEDスタックと、第1LEDスタック上に配置される第2LEDスタックと、第2LEDスタック上に配置される第3LEDスタックと、第2LEDスタックまたは第3LEDスタックに結合される導電性成長基板と、第1LEDスタックと第2LEDスタックとの間に介在し、第2LEDスタックから発生する光を反射させながら、第1LEDスタックから発生する光を透過させる第1カラーフィルタと、第2LEDスタックと第3LEDスタックとの間に介在し、第3LEDスタックから発生する光を反射させながら、第1および第2LEDスタックから発生する光を透過させる第2カラーフィルタとを含み、第1LEDスタックから発生する光は、第2LEDスタック、第3LEDスタックおよび導電性成長基板を介して外部に放出され、第2LEDスタックから発生する光は、第3LEDスタックおよび導電性成長基板を介して外部に放出される。

10

【0023】

本開示の1つの例示的な実施例により、ディスプレイ用発光ダイオードスタックは、第1導電型半導体層および第2導電型半導体層を含む第1LEDスタックと、第1LEDスタック上に配置される第2LEDスタックと、第2LEDスタック上に配置される第3LEDスタックと、第2LEDスタックの反対側に配置され、第1LEDスタックの第1導電型半導体層とオーミック接触を形成するオーミック電極と、第2LEDスタックの反対側に配置され、第1LEDスタックの第2導電型半導体層とオーミック接触を形成する反射電極とを含み、第1LEDスタックから発生する光は、第2LEDスタックおよび第3LEDスタックを介して外部に放出され、第2LEDスタックから発生する光は、第3LEDスタックを介して外部に放出される。

20

【0024】

本開示のもう1つの例示的な実施例により、ディスプレイ装置は、支持基板上に配列される複数のピクセルを含み、各ピクセルは、支持基板上に配置され、第1導電型半導体層および第2導電型半導体層を含む第1LEDスタックと、第1LEDスタック上に配置される第2LEDスタックと、第2LEDスタック上に配置される第3LEDスタックと、基板と第1LEDスタックの第1導電型半導体層との間に介在し、第1LEDスタックの第1導電型半導体層とオーミック接触を形成するオーミック電極と、基板と第1LEDスタックの第2導電型半導体層との間に介在し、第1LEDスタックの第2導電型半導体層とオーミック接触を形成する反射電極とを含み、第1LEDスタックから発生する光は、第2LEDスタックおよび第3LEDスタックを介して外部に放出され、第2LEDスタックから発生する光は、第3LEDスタックを介して外部に放出される。

30

【0025】

本開示の1つの例示的な実施例により、ディスプレイ用発光ダイオードピクセルは、第1LEDスタックと、第1LEDスタック上の一部領域内に配置される第2LEDスタックと、第2LEDスタック上の一部領域内に配置される第3LEDスタックと、第1LEDスタックの下側に配置される反射電極とを含み、第1～第3LEDスタックのそれぞれは、n型半導体層およびp型半導体層を含み、第1～第3LEDスタックのn型半導体層のすべては、反射電極に電氣的に接続され、第1LEDスタック、第2LEDスタックおよび第3LEDスタックは、独立して駆動可能である。

40

【0026】

本開示のもう1つの例示的な実施例により、ディスプレイ装置は、支持基板上に配列される複数のピクセルを含み、各ピクセルは、第1LEDスタックと、第1LEDスタック上の一部領域内に配置される第2LEDスタックと、第2LEDスタック上の一部領域内に配置される第3LEDスタックと、第1LEDスタックの下側に配置される反射電極とを含み、第1～第3LEDスタックのそれぞれは、n型半導体層およびp型半導体層を含み、第1～第3LEDスタックのn型半導体層のすべては、反射電極に電氣的に接続され

50

、第1LEDスタック、第2LEDスタックおよび第3LEDスタックは、独立して駆動される。

【0027】

本開示の1つの例示的な実施例により、ディスプレイ用発光ダイオードスタックは、第1-1LEDスタックと、第1-1LEDスタック上に配置される第1-2LEDスタックと、第1-2LEDスタック上に配置される第2LEDスタックと、第2LEDスタック上に配置される第3LEDスタックとを含み、第1-1LEDスタックおよび第1-2LEDスタックは、赤色光を放出するように適合化され、第2LEDスタックは、緑色光を放出するように適合化され、第3LEDスタックは、青色光を放出するように適合化される。

10

【0028】

本開示のもう1つの例示的な実施例により、ディスプレイ装置は、支持基板上に配列される複数のピクセルを含み、各ピクセルは、支持基板上に配置される第1-1LEDスタックと、第1-1LEDスタック上に配置される第1-2LEDスタックと、第1-2LEDスタック上に配置される第2LEDスタックと、第2LEDスタック上に配置される第3LEDスタックとを含み、第1-1LEDスタックおよび第1-2LEDスタックは、赤色光を放出するように適合化され、第2LEDスタックは、緑色光を放出するように適合化され、第3LEDスタックは、青色光を放出するように適合化される。

【0029】

本開示の他の例示的な実施例により、ディスプレイ用発光ダイオードスタックは、第1-1LEDスタックと、第1-1LEDスタック上に配置される第1-2LEDスタックと、第1-2LEDスタック上に配置される第2LEDスタックと、第2LEDスタック上に配置される第3LEDスタックとを含み、第1-1LEDスタックおよび第1-2LEDスタックは、AlGaInP系井戸層を含み、第2LEDスタックは、第1-1および第1-2LEDスタックより短い波長を有する光を放出するように適合化され、第3LEDスタックは、第2LEDスタックより短い波長を有する光を放出するように適合化される。

20

【0030】

本開示の1つの例示的な実施例により、ディスプレイ用発光ダイオードスタックは、第1LEDスタックと、第1LEDスタック上に配置される第2LEDスタックと、第2LEDスタック上に配置される第3LEDスタックとを含み、第1LEDスタックは、多重接合LED積層構造を有する。

30

【0031】

本開示のもう1つの例示的な実施例により、ディスプレイ装置は、支持基板上に配列される複数のピクセルを含み、各ピクセルは、支持基板上に配置される第1LEDスタックと、第1LEDスタック上に配置される第2LEDスタックと、第2LEDスタック上に配置される第3LEDスタックとを含み、第1LEDスタックは、多重接合LED積層構造を有する。

【0032】

本開示の1つの例示的な実施例により、ディスプレイ用発光ダイオードスタックが提供される。発光ダイオードスタックは、支持基板と、支持基板上に配置される第1LEDスタックと、第1LEDスタック上に配置される第2LEDスタックと、第2LEDスタック上に配置される第3LEDスタックと、第2LEDスタックまたは第3LEDスタックに結合される導電性成長基板と、第1LEDスタックと第2LEDスタックとの間に介在し、第2LEDスタックから発生する光を反射させながら、第1LEDスタックから発生する光を透過させる第1カラーフィルタと、第2LEDスタックと第3LEDスタックとの間に介在し、第3LEDスタックから発生する光を反射させながら、第1および第2LEDスタックから発生する光を透過させる第2カラーフィルタと、を含み、第1LEDスタックから発生する光は、第2LEDスタック、第3LEDスタックおよび導電性成長基板を介して外部に放出され、第2LEDスタックから発生する光は、第3LEDスタック

40

50

および導電性成長基板を介して外部に放出される。

【0033】

第1～第3LEDスタックが互いに積層される構造によって、発光ダイオードスタックは、ピクセル面積を増加させることなく、各サブピクセルの発光面積を増加させることができる。加えて、第1および第2カラーフィルタによって、発光ダイオードスタックは、第1LEDスタックから発生する光が第2LEDスタックおよび第3LEDスタックを介して外部に放出されることを許容し、第2LEDスタックから発生する光が第3LEDスタックを介して外部に放出されることを許容し、第2LEDスタックから発生する光が第1LEDスタックに進入するのを防止し、第3LEDスタックから発生する光が第2LEDスタックに進入するのを防止し、それによって、発光効率を向上させる。

10

【0034】

また、第2LEDスタックまたは第3LEDスタックのための成長基板は除去されずに残留できて、製造工程の単純化を可能にする。しかし、本開示がこれに限定されるものではないことを理解しなければならない。他の例示的な実施例において、成長基板は除去可能である。

【0035】

特に、発光ダイオードスタックは、第2LEDスタックおよび第3LEDスタックにそれぞれ結合される導電性成長基板を含むことができる。

【0036】

一方、第1、第2および第3LEDスタックは、順に配置され、その順に次第に減少する波長を有する光を放出することができる。例えば、第1、第2および第3LEDスタックは、赤色光、緑色光および青色光をそれぞれ放出することができる。第1、第2および第3LEDスタックがその順に次第に減少する波長を有する光を放出するので、LEDスタック間の光干渉を防止することができる。

20

【0037】

第1カラーフィルタおよび第2カラーフィルタのそれぞれは、ローパスフィルタ、バンドパスフィルタまたはバンドストップフィルタであってもよい。特に、第1カラーフィルタおよび第2カラーフィルタのそれぞれは、互いに異なる屈折率を有する絶縁層を含むことができる。第1および第2カラーフィルタが絶縁層を含む構造によって、発光ダイオードスタックは、構造において安定性を有することができ、良好な発光効率を示すことができる。例えば、第1カラーフィルタおよび第2カラーフィルタのそれぞれは、分布ブラッグ反射器を含むバンドストップフィルタであってもよい。

30

【0038】

導電性成長基板は、SiドーピングされたGaN系基板であってもよい。成長基板として用いられるGaN系基板は、その上に成長する第2LEDスタックまたは第3LEDスタックの転位密度を減少させることができる。第2LEDスタックまたは第3LEDスタックは、例えば、 $10^3 \sim 10^7 / \text{cm}^2$ の転位密度を有することができる。結果として、第2LEDスタックまたは第3LEDスタックの発光効率が向上することができる。

【0039】

第1LEDスタック、第2LEDスタックおよび第3LEDスタックは、第1ボンディング層、第2ボンディング層および第3ボンディング層を経由して支持基板上に順に積層される。第1ボンディング層、第2ボンディング層および第3ボンディング層は、透明無機絶縁層、透明有機絶縁層または透明導電層であってもよい。

40

【0040】

1つの例示的な実施例において、ディスプレイ用発光ダイオードスタックは、支持基板と第1LEDスタックとの間に介在する第1ボンディング層と、第1LEDスタックと第1カラーフィルタとの間に介在する第2ボンディング層と、第2LEDスタックと第2カラーフィルタとの間に介在する第3ボンディング層とを追加的に含んでもよく、第2ボンディング層は、第1LEDスタックから発生する光を透過させ、第3ボンディング層は、第1および第2LEDスタックから発生する光を透過させる。第1～第3ボンディング層

50

によって、第1LEDスタック、第2LEDスタックおよび第3LEDスタックは、光が第2ボンディング層および第3ボンディング層を介して外部に放出されることを許容しながら、互いにボンディング可能であり、それによって、光損失を防止する。

【0041】

第1～第3LEDスタックは、独立して駆動可能である。このために、発光ダイオードスタックは、多様な構造を有する電極が提供できる。

【0042】

1つの例示的な実施例において、ディスプレイ用発光ダイオードスタックは、第1ボンディング層と第1LEDスタックとの間に介在し、第1LEDスタックのp型半導体層とオーミック接触を形成する第1-p反射電極と、第1カラーフィルタと第2LEDスタックとの間に介在し、第2LEDスタックのp型半導体層とオーミック接触を形成する第2-p透明電極と、第2カラーフィルタと第3LEDスタックとの間に介在し、第3LEDスタックのp型半導体層とオーミック接触を形成する第3-p透明電極とを追加的に含んでもよく、第1LEDスタックから発生する光は、第2-p透明電極および第3-p透明電極を介して外部に放出され、第2LEDスタックから発生する光は、第3-p透明電極を介して外部に放出される。第1-p反射電極、第2-p透明電極および第3-p透明電極は、発光ダイオードスタックにおける電流拡散を助けることができる。また、第1-p反射電極は、第1LEDスタックから発生する光を外部に放出されるように反射させて、発光効率を向上させることができ、第2-p透明電極および第3-p透明電極は、LEDスタックから発生する光を透過させて、光損失を防止する。

【0043】

第2ボンディング層は、第1LEDスタックのn型半導体層に隣接していてもよく、第3ボンディング層は、第2LEDスタックに結合される導電性成長基板に隣接していてもよい。

【0044】

他の例示的な実施例において、ディスプレイ用発光ダイオードスタックは、支持基板と第1LEDスタックとの間に介在する第1ボンディング層と、第1カラーフィルタと第2LEDスタックとの間に介在する第2ボンディング層と、第2LEDスタックと第2カラーフィルタとの間に介在する第3ボンディング層とを追加的に含んでもよく、第2ボンディング層および第3ボンディング層は、第1LEDスタックおよび第2LEDスタックから発生する光を透過させる。

【0045】

加えて、ディスプレイ用発光ダイオードスタックは、第1ボンディング層と第1LEDスタックとの間に介在し、第1LEDスタックのn型半導体層とオーミック接触を形成する第1-n反射電極と、第1LEDスタックと第1カラーフィルタとの間に介在し、第1LEDスタックのp型半導体層とオーミック接触を形成する第1-p透明電極と、第2LEDスタックと第3ボンディング層との間に介在し、第2LEDスタックのp型半導体層とオーミック接触を形成する第2-p透明電極と、第2カラーフィルタと第3LEDスタックとの間に介在し、第3LEDスタックのp型半導体層とオーミック接触を形成する第3-p透明電極とを追加的に含んでもよく、第1LEDスタックから発生する光は、第1-p透明電極、第2-p透明電極および第3-p透明電極を介して外部に放出され、第2LEDスタックから発生する光は、第2-p透明電極および第3-p透明電極を介して外部に放出される。

【0046】

本開示のさらに他の例示的な実施例により、ディスプレイ装置が提供される。ディスプレイ装置は、支持基板上に配列される複数のピクセルを含み、各ピクセルは、支持基板上に配置される第1LEDスタックと、第1LEDスタック上に配置される第2LEDスタックと、第2LEDスタック上に配置される第3LEDスタックと、第2LEDスタックまたは第3LEDスタックに結合される導電性成長基板と、第1LEDスタックと第2LEDスタックとの間に介在し、第2LEDスタックから発生する光を反射させながら、第

1 L E D スタックから発生する光を透過させる第 1 カラーフィルタと、第 2 L E D スタックと第 3 L E D スタックとの間に介在し、第 3 L E D スタックから発生する光を反射させながら、第 1 および第 2 L E D スタックから発生する光を透過させる第 2 カラーフィルタを含み、第 1 L E D スタックから発生する光は、第 2 L E D スタック、第 3 L E D スタックおよび導電性成長基板を介して外部に放出され、第 2 L E D スタックから発生する光は、第 3 L E D スタックおよび導電性成長基板を介して外部に放出される。

【0047】

また、ディスプレイ装置は、第 2 L E D スタックおよび第 3 L E D スタックにそれぞれ結合される導電性成長基板を含むことができる。

【0048】

第 1 カラーフィルタおよび第 2 カラーフィルタのそれぞれは、ローパスフィルタ、バンドパスフィルタまたはバンドストップフィルタであってもよい。

【0049】

導電性成長基板は、S i ードーピングされた G a N 系基板であってもよい。

【0050】

各ピクセルにおいて、第 1、第 2 および第 3 L E D スタックの p 型半導体層は、共通ラインに電氣的に接続され、その n 型半導体層は、互いに異なるラインに電氣的に接続される。例えば、共通ラインは、データラインであってもよく、互いに異なるラインは、スキャンラインであってもよい。

【0051】

ディスプレイ装置は、第 1、第 2 および第 3 L E D スタックの側面を覆う下部絶縁層を追加的に含んでもよいし、下部絶縁層は、電氣的接続のための開口部を含むことができる。

【0052】

下部絶縁層は、赤色、緑色および青色光を反射させる分布ブラッグ反射器を含むことができる。

【0053】

1 つの例示的な実施例において、ディスプレイ装置は、支持基板と第 1 L E D スタックとの間に介在する反射電極を追加的に含んでもよい。反射電極は、共通ラインとして用いられるために、複数のピクセルの上部に連続的に配置される。

【0054】

もう 1 つの例示的な実施例において、ディスプレイ装置は、支持基板と第 1 L E D スタックとの間に介在する反射電極を追加的に含んでもよい。各反射電極は、各ピクセル領域内に制限的に位置してもよい。

【0055】

ディスプレイ装置は、支持基板と第 1 L E D スタックとの間に介在する第 1 ボンディング層と、第 1 L E D スタックと第 2 L E D スタックとの間に介在する第 2 ボンディング層と、第 2 L E D スタックと第 2 カラーフィルタとの間に介在する第 3 ボンディング層とを追加的に含んでもよく、第 2 ボンディング層は、第 1 L E D スタックから発生する光を透過させ、第 3 ボンディング層は、第 1 および第 2 L E D スタックから発生する光を透過させる。

【0056】

第 1 ボンディング層、第 2 ボンディング層および第 3 ボンディング層は、透明無機絶縁層、透明有機絶縁層または透明導電層であってもよい。

【0057】

各ピクセルにおいて、第 1 ～第 3 L E D スタックは、独立して駆動可能である。

【0058】

本開示は、簡単な構造を有し、簡単に製造できる発光積層構造を提供する。

【0059】

本開示は、発光積層構造を有するディスプレイ装置を提供する。

10

20

30

40

50

【0060】

本発明の概念の実施例は、互いに順に積層され、互いに異なる波長帯域を有する色光（color lights）を放出する、複数のエピタキシャルスタックを含む発光積層構造を提供することができる。各エピタキシャルスタックは、色光のうち対応する色光を上方向に放出することができ、エピタキシャルスタックの発光区域は、互いに重なり、エピタキシャルスタックのうち最下端に配置されるエピタキシャルスタックは、その上部表面上に配置される凹凸部分を備える。

【0061】

各エピタキシャルスタックは、独立して駆動可能である。

【0062】

エピタキシャルスタックからそれぞれ放出される色光は、互いに異なるエネルギーバンドを有してもよく、エピタキシャルスタックから放出される色光のエネルギーバンドは、エピタキシャルスタックのうち最下端に配置されるエピタキシャルスタックから最上端に配置されるエピタキシャルスタックまで次第に高くなる。

【0063】

エピタキシャルスタックのうち互いに隣接して配置される2つのエピタキシャルスタックにおいて下部エピタキシャルスタックから放出される色光は、2つのエピタキシャルスタックにおいて上部エピタキシャルスタックを通過して進行することができる。エピタキシャルスタックは、その下に配置されるエピタキシャルスタックからの色光の約80%以上を透過させることができる。

【0064】

エピタキシャルスタックは、第1色光を放出するために基板上に配置される第1エピタキシャルスタックと、第1色光とは異なる波長帯域を有する第2色光を放出するために第1エピタキシャルスタック上に配置される第2エピタキシャルスタックと、第1および第2色光とは異なる波長帯域を有する第3色光を放出するために第2エピタキシャルスタック上に配置される第3エピタキシャルスタックとを含むことができる。

【0065】

第1、第2および第3色光は、それぞれ赤色光、緑色光および青色光であってもよい。

【0066】

発光積層構造は、第1エピタキシャルスタックと第2エピタキシャルスタックとの間に配置される第1波長通過フィルタを追加的に含んでもよい。

【0067】

発光積層構造は、第2エピタキシャルスタックと第3エピタキシャルスタックとの間に配置される第2波長通過フィルタを追加的に含んでもよい。

【0068】

第1、第2および第3エピタキシャルスタックのそれぞれは、基板上に配置されるp型半導体層と、p型半導体層上に配置される活性層と、活性層上に配置されるn型半導体層とを含むことができる。

【0069】

第2および第3エピタキシャルスタックのうちの少なくとも1つのn型半導体層は、その上に配置される凹凸部分を含むことができる。

【0070】

発光積層構造は、第1、第2および第3エピタキシャルスタックのp型半導体層にそれぞれ接続される第1、第2および第3p型電極を追加的に含んでもよい。

【0071】

第1p型電極は、基板と第1エピタキシャルスタックとの間に配置される。

【0072】

第2p型電極は、第1エピタキシャルスタックと第2エピタキシャルスタックとの間に配置される。第2p型電極は、透明導電性材料を含むことができる。

【0073】

第3 p型電極は、第2エピタキシャルスタックと第3エピタキシャルスタックとの間に配置される。第3 p型電極は、透明導電性材料を含むことができる。

【0074】

第1、第2および第3 p型電極は、それぞれ第1、第2および第3エピタキシャルスタックを実質的に覆うことができる。

【0075】

発光積層構造は、第3エピタキシャルスタックを覆い、第2および第3 p型電極の上部表面を露出させるためにそれを介して設けられる第1コンタクトホールと、第2および第3 n型半導体層の上部表面を露出させるためにそれを介して設けられる第2コンタクトホールとを含む、絶縁層を追加的に含んでもよい。

10

【0076】

第1および第2コンタクトホールは、周辺区域内に設けられる。

【0077】

発光積層構造は、第1、第2および第3エピタキシャルスタックの第1、第2および第3 p型電極に共通電圧を印加するためのデータラインを追加的に含んでもよい。データラインは、基板と第1エピタキシャルスタックとの間で第1 p型電極に接続され、第1コンタクトホールを介して第2 p型電極および第3 p型電極に接続される。

【0078】

発光積層構造は、第1、第2および第3エピタキシャルスタックの第1、第2および第3 n型半導体層にそれぞれ信号を印加する第1、第2および第3信号ラインを追加的に含んでもよい。第1信号ラインは、基板と第1エピタキシャルスタックとの間で第1 n型半導体層に接続され、第2信号ラインは、第2コンタクトホールを介して第2 n型半導体層に接続され、第3信号ラインは、第2コンタクトホールを介して第3 n型半導体層に接続される。

20

【0079】

本発明の概念の実施例は、発光積層構造が適用されるディスプレイ装置を提供することができる。ディスプレイ装置は、複数のピクセルを含む。各ピクセルは、互いに順に積層され、互いに異なる波長帯域を有する色光を放出する複数のエピタキシャルスタックを含む。各エピタキシャルスタックは、色光のうち対応する色光を上方向に放出し、エピタキシャルスタックの発光区域は、互いに重なり、エピタキシャルスタックのうち最下端に配置されるエピタキシャルスタックは、その上部表面上に配置される凹凸部分を含むことができる。

30

【0080】

ディスプレイ装置は、ピクセルに発光信号を印加するためにピクセルに電氣的に接続されるライン部 (line part) を追加的に含んでもよい。

【0081】

ライン部は、第1方向に延び、第1、第2および第3エピタキシャルスタックの第1半導体層に接続される複数のデータラインと、第1方向と交差する第2方向に延び、第1、第2および第3エピタキシャルスタックの第2半導体層にそれぞれ接続される複数の信号ラインとを含むことができる。

40

【0082】

ディスプレイ装置は、パッシブマトリクス方式またはアクティブマトリクス方式で駆動可能である。

【0083】

上記により、発光積層構造は、簡単な構造を有することができ、簡単に製造できる。また、ディスプレイ装置は、発光積層構造を含むことができる。

【0084】

本開示は、簡単な構造を有し、簡単に製造できる発光積層構造を提供する。

【0085】

本発明の概念の実施例は、第1色光を放出する第1エピタキシャルスタックと、第1色

50

光とは異なる第2色光を放出するために第1エピタキシャルスタック上に配置される第2エピタキシャルスタックと、第2エピタキシャルスタック上に配置され、第1および第2エピタキシャルスタックに電氣的に接続される電極部とを含む、発光積層構造を提供することができる。第1エピタキシャルスタックの発光区域は、第2エピタキシャルスタックの発光区域と重なってもよく、第1および第2エピタキシャルスタックは、第1および第2色光を下方に放出することができる。

【0086】

第1色光は、第2色光の波長より短い波長を有することができる。

【0087】

第1色光は、青色光であってもよく、第2色光は、赤色光であってもよい。

10

【0088】

第1および第2エピタキシャルスタックは、互いに独立して駆動可能である。

【0089】

第1エピタキシャルスタックおよび第2エピタキシャルスタックのうちの少なくとも1つは、その下部表面上に配置される凹凸部分を含むことができる。

【0090】

発光積層構造は、第1エピタキシャルスタックと第2エピタキシャルスタックとの間に配置される接着層を追加的に含んでもよい。

【0091】

発光積層構造は、第1エピタキシャルスタックと接着層との間に配置される長波長通過フィルタを追加的に含んでもよい。

20

【0092】

第1エピタキシャルスタックは、n型半導体層と、n型半導体層上に配置される活性層と、活性層上に配置されるp型半導体層と、p型半導体層上に配置される第1p型コンタクト電極とを含むことができる。

【0093】

第1p型コンタクト電極は、透明導電性材料を含むことができる。

【0094】

発光積層構造は、平面図からみて、発光区域に隣接して配置される周辺区域を追加的に含んでもよく、第1p型コンタクト電極は、発光区域と重なるように配置される。

30

【0095】

第2エピタキシャルスタックは、第2n型半導体層と、第2n型半導体層上に配置される第2エピタキシャルスタックの活性層と、第2エピタキシャルスタックの活性層上に配置される第2エピタキシャルスタックのp型半導体層と、第2n型半導体層上に配置される第2n型コンタクト電極と、第2エピタキシャルスタックのp型半導体層上に配置される第2p型コンタクト電極とを含むことができる。

【0096】

第2p型コンタクト電極は、反射材料を含むことができる。

【0097】

電極部は、第1p型コンタクト電極および第2p型コンタクト電極に接続される共通電極と、第1エピタキシャルスタックのn型半導体層に接続される第1信号電極と、第2n型半導体層に接続される第2信号電極とを含むことができる。

40

【0098】

第1コンタクトホールが第2エピタキシャルスタック、第1エピタキシャルスタックの活性層および第1エピタキシャルスタックのp型半導体層を介して設けられて、第1エピタキシャルのn型半導体層の上部表面を露出させてもよく、第1信号電極は、第1コンタクトホールを介して第1エピタキシャルスタックのn型半導体層に接続される。

【0099】

第3コンタクトホールが第2エピタキシャルスタックを介して設けられて、第1p型コンタクト電極の上部表面を露出させてもよく、共通電極は、第3コンタクトホールを介し

50

て第 1 p 型コンタクト電極に接続される。

【0100】

発光積層構造は、第 2 エピタキシャルスタックを覆う第 1 絶縁層を追加的に含んでもよく、第 2 コンタクトホールが第 1 絶縁層を介して設けられて、第 2 n 型コンタクト電極の上部表面を露出させてもよく、第 2 信号電極は、第 2 コンタクトホールを介して第 2 n 型コンタクト電極に接続される。

【0101】

発光積層構造は、第 1 絶縁層上に配置される第 2 絶縁層を追加的に含んでもよく、第 4 コンタクトホールが第 2 絶縁層を介して設けられて、第 2 p 型コンタクト電極の上部表面を露出させてもよく、共通電極は、第 4 コンタクトホールを介して第 2 p 型コンタクト電極に接続される。

10

【0102】

第 1 エピタキシャルスタックの n 型半導体層および第 2 n 型半導体層のうちの少なくとも 1 つは、その下部表面上に配置される凹凸部分を含むことができる。

【0103】

発光積層構造は、第 1 エピタキシャルスタックの下部表面上に配置される基板を追加的に含んでもよい。

【0104】

発光積層構造は、第 1 エピタキシャルスタックの下部表面上に配置される光変換層を追加的に含んでもよい。

20

【0105】

本発明の概念の実施例は、印刷回路基板と、印刷回路基板上に実装される発光積層構造とを含む、照明装置を提供することができる。

【0106】

本開示の 1 つの例示的な実施例により、ディスプレイ用発光ダイオードスタックが提供される。発光ダイオードスタックは、第 1 導電型半導体層および第 2 導電型半導体層を含む第 1 LED スタックと、第 1 LED スタック上に配置される第 2 LED スタックと、第 2 LED スタック上に配置される第 3 LED スタックと、第 2 LED スタックの反対側に配置され、第 1 LED スタックの第 1 導電型半導体層とオーミック接触を形成するオーミック電極と、第 2 LED スタックの反対側に配置され、第 1 LED スタックの第 2 導電型半導体層とオーミック接触を形成する反射電極とを含み、第 1 LED スタックから発生する光は、第 2 LED スタックおよび第 3 LED スタックを介して外部に放出され、第 2 LED スタックから発生する光は、第 3 LED スタックを介して外部に放出される。

30

【0107】

第 1 ～第 3 LED スタックが互いに積層される構造によって、発光ダイオードスタックは、ピクセル面積を増加させることなく、各サブピクセルの発光面積を増加させることができる。第 1 LED スタックから発生する光は、第 2 LED スタックおよび第 3 LED スタックを介して外部に放出され、第 2 LED スタックから発生する光は、第 3 LED スタックを介して外部に放出され、それによって、発光効率を向上させる。

【0108】

40

第 1 LED スタックは、第 2 および第 3 LED スタックより長い波長を有する光を放出することができる、第 2 LED スタックは、第 3 LED スタックより長い波長を有する光を放出することができる。例えば、第 1、第 2 および第 3 LED スタックは、赤色光、緑色光および青色光をそれぞれ放出することができる。第 1、第 2 および第 3 LED スタックがその順に次第に減少する波長を有する光を放出するので、LED スタック間の光干渉を防止することができる。

【0109】

ディスプレイ用発光ダイオードスタックは、第 1 LED スタックと第 2 LED スタックとの間に介在し、第 2 LED スタックから発生する光を反射させながら、第 1 LED スタックから発生する光を透過させる第 1 カラーフィルタと、第 2 LED スタックと第 3 LED

50

Dスタックとの間に介在し、第3LEDスタックから発生する光を反射させながら、第1および第2LEDスタックから発生する光を透過させる第2カラーフィルタとを追加的に含んでもよい。第1および第2カラーフィルタによって、発光ダイオードスタックは、第2LEDスタックから発生する光が第1LEDスタックに進入するのを防止することができ、第3LEDスタックから発生する光が第2LEDスタックに進入するのを防止することができ、それによって、発光効率をさらに向上させる。

【0110】

第1カラーフィルタおよび第2カラーフィルタのそれぞれは、ローパスフィルタ、バンドパスフィルタまたはバンドストップフィルタであってもよい。特に、第1カラーフィルタおよび第2カラーフィルタのそれぞれは、互いに異なる屈折率を有する絶縁層を含むことができる。第1および第2カラーフィルタが絶縁層を含む構造によって、発光ダイオードスタックは、構造において安定性を有することができ、良好な発光効率を示すことができる。

10

【0111】

ディスプレイ用発光ダイオードスタックは、第1LEDスタックの下に配置されて反射電極から絶縁され、オーミック電極に接続されるインターコネクションラインを追加的に含んでもよい。インターコネクションラインは、第1LEDスタックの第1導電型半導体層に電氣的に接続され、ディスプレイ装置においてスキャンラインまたはデータラインとして使用可能である。

【0112】

20

ディスプレイ用発光ダイオードスタックは、反射電極とインターコネクションラインとの間に介在し、インターコネクションラインを反射電極から絶縁させる絶縁層を追加的に含んでもよい。

【0113】

ディスプレイ用発光ダイオードスタックは、支持基板と、支持基板と第1LEDスタックとの間に介在する第1ボンディング層と、第1LEDスタックと第2LEDスタックとの間に介在する第2ボンディング層と、第2LEDスタックと第3LEDスタックとの間に介在する第3ボンディング層とを追加的に含んでもよく、第2ボンディング層は、第1LEDスタックから発生する光を透過させ、第3ボンディング層は、第1および第2LEDスタックから発生する光を透過させる。

30

【0114】

第1ボンディング層は、インターコネクションラインに隣接していてもよい。

【0115】

ディスプレイ用発光ダイオードスタックは、第2LEDスタックのp型半導体層とオーミック接触を形成する第2-p透明電極と、第3LEDスタックのp型半導体層とオーミック接触を形成する第3-p透明電極とを追加的に含んでもよい。発光ダイオードスタックは、対応するLEDスタックから発生する光の通過を許容する第2-p透明電極および第3-p透明電極を介して電流拡散を達成することができ、それによって、光損失を防止する。

【0116】

40

1つの例示的な実施例において、ディスプレイ用発光ダイオードスタックは、第1LEDスタックと第2LEDスタックとの間に介在し、第2LEDスタックから発生する光を反射させながら、第1LEDスタックから発生する光を透過させる第1カラーフィルタと、第2LEDスタックと第3LEDスタックとの間に介在し、第3LEDスタックから発生する光を反射させながら、第1および第2LEDスタックから発生する光を透過させる第2カラーフィルタとを追加的に含んでもよく、第1カラーフィルタは、第2ボンディング層上に配置され、第2カラーフィルタは、第3ボンディング層上に配置される。

【0117】

本開示のさらに他の例示的な実施例により、ディスプレイ装置が提供される。ディスプレイ装置は、支持基板上に配列される複数のピクセルを含み、各ピクセルは、支持基板上

50

に配置され、第1導電型半導体層および第2導電型半導体層を含む第1LEDスタックと、第1LEDスタック上に配置される第2LEDスタックと、第2LEDスタック上に配置される第3LEDスタックと、基板と第1LEDスタックの第1導電型半導体層との間に介在し、第1LEDスタックの第1導電型半導体層とオーミック接触を形成するオーミック電極と、基板と第1LEDスタックの第2導電型半導体層との間に介在し、第1LEDスタックの第2導電型半導体層とオーミック接触を形成する反射電極とを含み、第1LEDスタックから発生する光は、第2LEDスタックおよび第3LEDスタックを介して外部に放出され、第2LEDスタックから発生する光は、第3LEDスタックを介して外部に放出される。

【0118】

10

第1LEDスタックは、第2および第3LEDスタックより長い波長を有する光を放出することができ、第2LEDスタックは、第3LEDスタックより長い波長を有する光を放出することができる。

【0119】

ディスプレイ装置は、支持基板と第1LEDスタックとの間に介在し、反射電極から絶縁され、オーミック電極に接続されるインターコネクションラインを追加的に含んでもよい。

【0120】

ディスプレイ装置は、反射電極とインターコネクションラインとの間に介在し、インターコネクションラインを反射電極から絶縁させる絶縁層を追加的に含んでもよい。

20

【0121】

ディスプレイ装置は、第1LEDスタックと第2LEDスタックとの間に介在し、第2LEDスタックから発生する光を反射させながら、第1LEDスタックから発生する光を透過させる第1カラーフィルタと、第2LEDスタックと第3LEDスタックとの間に介在し、第3LEDスタックから発生する光を反射させながら、第1および第2LEDスタックから発生する光を透過させる第2カラーフィルタとを追加的に含んでもよい。

【0122】

第1カラーフィルタおよび第2カラーフィルタのそれぞれは、ローパスフィルタ、バンドパスフィルタまたはバンドストップフィルタであってもよい。

【0123】

30

各ピクセルにおいて、第1、第2および第3LEDスタックのp型半導体層は、共通ラインに電氣的に接続され、そのn型半導体層は、互いに異なるラインに電氣的に接続される。インターコネクションラインは、第1LEDスタックのn型半導体層に接続されるラインであってもよい。

【0124】

共通ラインは、データラインであってもよく、異なるラインは、スキャンラインであってもよい。その代わりとして、第1、第2および第3LEDスタックのn型半導体層は、共通ラインに電氣的に接続され、そのp型半導体層は、互いに異なるラインに電氣的に接続されてもよい。

【0125】

40

反射電極は、共通ラインとして用いられるために、複数のピクセルの上部に連続的に配置される。

【0126】

ディスプレイ装置は、第1、第2および第3LEDスタックの側面を覆う下部絶縁層を追加的に含んでもよく、下部絶縁層は、反射電極、第2LEDスタックおよび第3LEDスタックを露出させる開口部を含むことができる。

【0127】

下部絶縁層は、赤色、緑色および青色光を反射させる分布ブラッグ反射器を含むことができる。

【0128】

50

本開示の1つの例示的な実施例により、ディスプレイ用発光ダイオードピクセルは、第1LEDスタックと、第1LEDスタック上の一部領域内に配置される第2LEDスタックと、第2LEDスタック上の一部領域内に配置される第3LEDスタックと、第1LEDスタックの下側に配置される反射電極とを含み、第1～第3LEDスタックのそれぞれは、n型半導体層およびp型半導体層を含み、第1～第3LEDスタックのn型半導体層のすべては、反射電極に電氣的に接続され、第1LEDスタック、第2LEDスタックおよび第3LEDスタックは、独立して駆動される。

【0129】

第1～第3LEDスタックが互いに重なるように配置可能な構造によって、第1～第3LEDスタックは、ウェハボンディングによりウェハレベルで製造可能であり、それによ

10

【0130】

加えて、第2LEDスタックが第1LEDスタック上の一部領域内に配置され、第3LEDスタックが第2LEDスタック上の一部領域内に配置されるので、発光ダイオードピクセルは、第1LEDスタックおよび第2LEDスタックから放出される光の、第2LEDスタックまたは第3LEDスタックによる、吸収によって誘発される光損失を減少させることができる。

【0131】

加えて、第1～第3LEDスタックのn型半導体層が反射電極に電氣的に接続されるので、第1～第3LEDスタックのカソードが共通ラインに電氣的に接続されるピクセルを

20

【0132】

第1～第3LEDスタックは、それぞれ互いに異なる波長を有する光を放出する。いくつかの例示的な実施例において、第1LEDスタックは、第2LEDスタックより長い波長を有する光を放出することができ、第2LEDスタックは、第3LEDスタックより長い波長を有する光を放出することができる。例えば、第1、第2および第3LEDスタックは、赤色光、緑色光および青色光をそれぞれ放出することができる。

【0133】

第1～第3LEDスタックのp型半導体層は、そのn型半導体層上にそれぞれ配置され、反射電極は、第1LEDスタックのn型半導体層とオーミック接触を形成することが

30

【0134】

発光ダイオードピクセルは、第1LEDスタックと第2LEDスタックとの間に介在する第1カラーフィルタと、第2LEDスタックと第3LEDスタックとの間に介在する第2カラーフィルタとを追加的に含んでもよい。第1カラーフィルタは、第2LEDスタックから発生する光を反射させながら、第1LEDスタックから発生する光を透過させることができ、第2カラーフィルタは、第3LEDスタックから発生する光を反射させながら、第2LEDスタックから発生する光を透過させることができる。

【0135】

第1カラーフィルタは、第2LEDスタックのn型半導体層に隣接していてもよく、第2カラーフィルタは、第3LEDスタックのn型半導体層に隣接していてもよい。

40

【0136】

発光ダイオードピクセルは、第1LEDスタックと第1カラーフィルタとの間に介在する第2ボンディング層と、第2LEDスタックと第2カラーフィルタとの間に介在する第3ボンディング層とを追加的に含んでもよい。第2ボンディング層は、第1LEDスタックから発生する光を透過させることができ、第3ボンディング層は、第2LEDスタックから発生する光を透過させることができる。

【0137】

発光ダイオードピクセルは、第1LEDスタックのp型半導体層と接触する第1～2オーミック電極と、第2LEDスタックのn型半導体層と接触する第2～1オーミック電極

50

と、第2LEDスタックのp型半導体層と接触する第2-2オーミック電極と、第3LEDスタックのn型半導体層と接触する第3-1オーミック電極と、第3LEDスタックのp型半導体層と接触する第3-2オーミック電極とを追加的に含んでもよい。加えて、第1-2オーミック電極は、第1LEDスタックの一部領域の外部でn型半導体層と接触可能であり、第2-1オーミック電極および第2-2オーミック電極は、第2LEDスタックの一部領域の外部でn型およびp型半導体層とそれぞれ接触可能である。

【0138】

また、第3-1オーミック電極は、第3LEDスタックのn型半導体層上でn型半導体層と接触可能であり、第3-2オーミック電極は、第3LEDスタックのp型半導体層上でp型半導体層と接触可能である。

10

【0139】

発光ダイオードピクセルは、第2-1オーミック電極および第3-1オーミック電極を反射電極にそれぞれ電氣的に接続する接続部分を追加的に含んでもよい。したがって、第2LEDスタックのn型半導体層と第3LEDスタックのp型半導体層は、オーミック電極および接続部分を介して反射電極に電氣的に接続される。

【0140】

一方、第1LEDスタックの一部領域を除いた第1LEDスタック領域の面積、第2LEDスタックの一部領域を除いた第2LEDスタック領域の面積および第3LEDスタック領域の面積は、互いに異なってもよい。第1～第3LEDスタックが互いに異なる可視性を有する光を放出するので、第1～第3LEDスタックの面積の調節により、より低い可視性を有する光の光度をより高い可視性を有する光の光度以上に増加させることが可能である。

20

【0141】

本開示のさらに他の例示的な実施例により、ディスプレイ装置が提供される。ディスプレイ装置は、支持基板上に配列される複数のピクセルを含み、各ピクセルは、第1LEDスタックと、第1LEDスタック上の一部領域内に配置される第2LEDスタックと、第2LEDスタック上の一部領域内に配置される第3LEDスタックと、第1LEDスタックの下側に配置される反射電極とを含み、第1～第3LEDスタックのそれぞれは、n型半導体層およびp型半導体層を含み、第1～第3LEDスタックのn型半導体層のすべては、反射電極に電氣的に接続され、第1LEDスタック、第2LEDスタックおよび第3LEDスタックは、独立して駆動可能である。

30

【0142】

第1LEDスタック、第2LEDスタックおよび第3LEDスタックは、それぞれ互いに異なる波長を有する光を放出することができる。

【0143】

第1LEDスタックのn型半導体層、第2LEDスタックのn型半導体層および第3LEDスタックのn型半導体層は、共通ラインに電氣的に接続され、第1LEDスタックのp型半導体層、第2LEDスタックのp型半導体層および第3LEDスタックのp型半導体層は、互いに異なるラインに電氣的に接続される。したがって、第1LEDスタック、第2LEDスタックおよび第3LEDスタックは、独立して駆動可能である。

40

【0144】

一方、第1～第3LEDスタックのp型半導体層は、そのn型半導体層上にそれぞれ配置され、反射電極は、第1LEDスタックのn型半導体層とオーミック接触を形成することができる。

【0145】

各ピクセルは、第1LEDスタックと第2LEDスタックとの間に介在する第1カラーフィルタと、第2LEDスタックと第3LEDスタックとの間に介在する第2カラーフィルタとを追加的に含んでもよく、第1カラーフィルタは、第2LEDスタックから発生する光を反射させながら、第1LEDスタックから発生する光を透過させ、第2カラーフィルタは、第3LEDスタックから発生する光を反射させながら、第2LEDスタックで発

50

生する光を透過させる。

【0146】

各ピクセルは、支持基板と反射電極との間に介在する第1ボンディング層と、第1LEDスタックと第1カラーフィルタとの間に介在する第2ボンディング層と、第2LEDスタックと第2カラーフィルタとの間に介在する第3ボンディング層とを追加的に含んでもよい。

【0147】

各ピクセルは、第1LEDスタックのp型半導体層と接触する第1-2オーミック電極と、第2LEDスタックのn型半導体層と接触する第2-1オーミック電極と、第2LEDスタックのp型半導体層と接触する第2-2オーミック電極と、第3LEDスタックのn型半導体層と接触する第3-1オーミック電極と、第3LEDスタックのp型半導体層と接触する第3-2オーミック電極とを追加的に含んでもよい。加えて、第1-2オーミック電極は、第1LEDスタックの一部領域の外部でp型半導体層と接触可能であり、第2-1オーミック電極および第2-2オーミック電極は、第2LEDスタックの一部領域の外部でn型およびp型半導体層とそれぞれ接触可能である。

10

【0148】

また、第3-1オーミック電極は、第3LEDスタックのn型半導体層上でn型半導体層と接触可能であり、第3-2オーミック電極は、第3LEDスタックのp型半導体層上でp型半導体層と接触可能である。

【0149】

各ピクセルは、第2-1オーミック電極および第3-1オーミック電極を反射電極にそれぞれ電氣的に接続する接続部分を追加的に含んでもよい。

20

【0150】

一方、第1LEDスタックの一部領域を除いた第1LEDスタック領域の面積、第2LEDスタックの一部領域を除いた第2LEDスタック領域の面積および第3LEDスタック領域の面積は、互いに異なってもよい。例えば、第1LEDスタックの一部領域を除いた第1LEDスタック領域の面積は、第2LEDスタックの一部領域を除いた第2LEDスタック領域の面積より大きくてもよく、第3LEDスタック領域の面積は、互いに異なってもよい。

【0151】

本開示の1つの例示的な実施例により、ディスプレイ用発光ダイオードスタックは、支持基板と、支持基板上に配置される第1-1LEDスタックと、第1-1LEDスタック上に配置される第1-2LEDスタックと、第1-2LEDスタック上に配置される第2LEDスタックと、第2LEDスタック上に配置される第3LEDスタックとを含み、第1-1LEDスタックおよび第1-2LEDスタックは、赤色光を放出するように適合化され、第2LEDスタックは、緑色光を放出するように適合化され、第3LEDスタックは、青色光を放出するように適合化される。

30

【0152】

第1~第3LEDスタックが互いに積層される構造によって、発光ダイオードスタックは、ピクセル面積を増加させることなく、各サブピクセルの発光面積を増加させることができる。また、第1-1LEDスタックが第1-2LEDスタックと重なるように配置される構造によって、発光ダイオードスタックは、二次元平面でそれによって占有される面積を増加させることなく、赤色光の明るさを増加させることができる。

40

【0153】

1つの例示的な実施例において、発光ダイオードスタックは、第1-1LEDスタックの上部表面とオーミック接触を形成する第1-1上部オーミック接触層と、第1-2LEDスタックの下部表面とオーミック接触を形成する第1-2下部オーミック接触層とを追加的に含んでもよい。第1-1上部オーミック接触層および第1-2下部オーミック接触層は、互いに電氣的に接続される。

【0154】

50

発光ダイオードスタックは、第1-1 LEDスタックの下部表面とオーミック接触を形成する第1-1下部オーミック接触層と、第1-2 LEDスタックの上部表面とオーミック接触を形成する第1-2上部オーミック接触層とを追加的に含んでもよく、第1-1 LEDスタックおよび第1-2 LEDスタックは、第1-1下部オーミック接触層と第1-2上部オーミック接触層との間で直列に互いに接続される。

【0155】

第1-1下部オーミック接触層は、第1-1 LEDスタックから発生する光を反射させる反射層を含むことができる。結果として、第1-1 LEDスタックの発光効率が向上することができる。

【0156】

発光ダイオードスタックは、第1-1 LEDスタックと第1-2 LEDスタックとの間に介在する第2ボンディング層を追加的に含んでもよい。第2ボンディング層は、透明導電層であってもよい。ボンディング層として透明導電層を採用することにより、第1-1 LEDスタックおよび第1-2 LEDスタックは、容易に互いに電氣的に接続される。

【0157】

いくつかの例示的な実施例において、発光ダイオードスタックは、第1-1 LEDスタックの上部表面とオーミック接触を形成する第1-1上部オーミック接触層と、第1-2 LEDスタックの下部表面とオーミック接触を形成する第1-2下部オーミック接触層と、第1-1 LEDスタックおよび第1-2 LEDスタックの間に介在する第2ボンディング層とを追加的に含んでもよく、第1-1上部オーミック接触層は、第2ボンディング層によって第1-2下部オーミック接触層から絶縁される。第2ボンディング層は、絶縁材料で形成される。

【0158】

発光ダイオードスタックは、第1-1 LEDスタックの下部表面とオーミック接触を形成する第1-1下部オーミック接触層と、第1-2 LEDスタックの上部表面とオーミック接触を形成する第1-2上部オーミック接触層とを追加的に含んでもよく、第1-1下部オーミック接触層は、第1-2下部オーミック接触層に電氣的に接続され、第1-2上部オーミック接触層は、第1-1上部オーミック接触層に電氣的に接続される。したがって、第1-1 LEDスタックは、第1-2 LEDスタックに並列に接続される。

【0159】

発光ダイオードスタックは、第1-2 LEDスタックと第2 LEDスタックとの間に介在し、第2 LEDスタックから発生する光を反射させながら、第1-1および第1-2 LEDスタックから発生する光を透過させる第1カラーフィルタと、第2 LEDスタックと第3 LEDスタックとの間に介在し、第3 LEDスタックから発生する光を反射させながら、第1-1、第1-2および第2 LEDスタックから発生する光を透過させる第2カラーフィルタとを追加的に含んでもよい。

【0160】

第1-1および第1-2 LEDスタックから発生する光は、第2 LEDスタックおよび第3 LEDスタックを介して外部に放出され、第2 LEDスタックから発生する光は、第3 LEDスタックを介して外部に放出される。

【0161】

第1および第2カラーフィルタによって、発光ダイオードスタックは、第2 LEDスタックから発生する光が第1-2 LEDスタックに進入するのを防止することができ、第3 LEDスタックから発生する光が第2 LEDスタックに進入するのを防止することができ、それによって、光損失を減少させる。

【0162】

他の例示的な実施例において、第2 LEDスタックは、第1-2 LEDスタック上で一部領域内に配置され、第3 LEDスタックは、第2 LEDスタック上で一部領域内に配置される。したがって、第1-1および第1-2 LEDスタックから発生する一部の光は、第2 LEDスタックを通過せずに外部に放出され、第2 LEDスタックから発生する一部

10

20

30

40

50

の光は、第3LEDスタックを通過せずに外部に放出される。

【0163】

発光ダイオードスタックは、第1-1LEDスタックの下側に配置される支持基板と、支持基板と第1-1LEDスタックとの間に介在する第1ボンディング層と、第1-2LEDスタックと第1カラーフィルタとの間に介在する第3ボンディング層と、第2LEDスタックと第2カラーフィルタとの間に介在する第4ボンディング層とを追加的に含んでもよく、第3ボンディング層は、第1-1および第1-2LEDスタックから発生する光を透過させ、第4ボンディング層は、第1-1、1-2および第2LEDスタックから発生する光を透過させる。

【0164】

発光ダイオードスタックは、第1カラーフィルタと第2LEDスタックとの間に介在し、第2LEDスタックとオーミック接触を形成する第2透明電極と、第2カラーフィルタと第3LEDスタックとの間に介在し、第3LEDスタックとオーミック接触を形成する第3透明電極とを追加的に含んでもよい。

【0165】

第2透明電極および第3透明電極は、第2LEDスタックおよび第3LEDスタックにおける電流拡散を助けることができる。

【0166】

本開示のもう1つの例示的な実施例により、ディスプレイ装置は、支持基板上に配列される複数のピクセルを含み、各ピクセルは、支持基板上に配置される第1-1LEDスタックと、第1-1LEDスタック上に配置される第1-2LEDスタックと、第1-2LEDスタック上に配置される第2LEDスタックと、第2LEDスタック上に配置される第3LEDスタックとを含み、第1-1LEDスタックおよび第1-2LEDスタックは、赤色光を放出するように適合化され、第2LEDスタックは、緑色光を放出するように適合化され、第3LEDスタックは、青色光を放出するように適合化される。

【0167】

各ピクセルは、互いに重なる第1-1LEDスタックおよび第1-2LEDスタックを用いて赤色光を放出するように適合化され、それによって、サブピクセルの面積を増加させることなく、各ピクセル内で赤色光の明るさを増加させる。

【0168】

1つの例示的な実施例において、第1-1LEDスタックおよび第1-2LEDスタックは、直列に互いに接続される。また、各ピクセルにおいて、第1-1、第2および第3LEDスタックのp型半導体層は、共通ラインに電氣的に接続され、第1-2、第2および第3LEDスタックのn型半導体層は、互いに異なるラインに電氣的に接続される。

【0169】

もう1つの例示的な実施例において、第1-1LEDスタックおよび第1-2LEDスタックは、並列に互いに接続される。また、各ピクセルにおいて、第1-1、第1-2、第2および第3LEDスタックのp型半導体層は、共通ラインに電氣的に接続され、第1-1、第2および第3LEDスタックのn型半導体層は、互いに異なるラインに電氣的に接続され、第1-2LEDスタックのn型半導体層は、第1-1LEDスタックのn型半導体層に電氣的に接続される。

【0170】

ディスプレイ装置は、第1-1、第1-2、第2および第3LEDスタックの側面を覆う下部絶縁層を追加的に含んでもよく、下部絶縁層は、第1-2、第2および第3LEDスタックの少なくとも一部を露出させる開口部を含むことができる。

【0171】

ディスプレイ装置は、支持基板と第1LEDスタックとの間に介在する反射電極を追加的に含んでもよい。反射電極は、複数のピクセルの上部に連続的に配置される。

【0172】

ディスプレイ装置は、第1-2LEDスタックと第2LEDスタックとの間に介在し、

10

20

30

40

50

第2 LEDスタックから発生する光を反射させながら、第1-1および第1-2 LEDスタックから発生する光を透過させる第1カラーフィルタと、第2 LEDスタックと第3 LEDスタックとの間に介在し、第3 LEDスタックから発生する光を反射させながら、第1-1、第1-2および第2 LEDスタックから発生する光を透過させる第2カラーフィルタとを追加的に含んでもよい。

【0173】

第1-1および第1-2 LEDスタックから発生する光は、第2 LEDスタックおよび第3 LEDスタックを介して外部に放出され、第2 LEDスタックから発生する光は、第3 LEDスタックを介して外部に放出される。

【0174】

他の例示的な実施例において、第2 LEDスタックは、第1-2 LEDスタック上で一部領域内に配置され、第3 LEDスタックは、第2 LEDスタック上で一部領域内に配置される。したがって、第1-1および第1-2 LEDスタックから発生する一部の光は、第2 LEDスタックを通過せずに外部に放出され、第2 LEDスタックから発生する一部の光は、第3 LEDスタックを通過せずに外部に放出される。

【0175】

各ピクセルにおいて、第2および第3 LEDスタックは、第1-1および第1-2 LEDスタックと独立して駆動可能であり、第1-1 LEDスタックと第1-2 LEDスタックは、ともに駆動可能である。

【0176】

本開示の1つの例示的な実施例により、ディスプレイ用発光ダイオードスタックが提供される。発光ダイオードスタックは、第1 LEDスタックと、第1 LEDスタック上に配置される第2 LEDスタックと、第2 LEDスタック上に配置される第3 LEDスタックとを含み、第1 LEDスタックは、多重接合LED積層構造を有する。

【0177】

第1～第3 LEDスタックが互いに積層される構造によって、発光ダイオードスタックは、ピクセル面積を増加させることなく、各サブピクセルの発光面積を増加させることができる。また、多重接合LED積層構造を有する第1 LEDスタックを採用することにより、発光ダイオードスタックは、発光面積および電流密度を増加させることなく、第1 LEDスタックの明るさを増加させることができる。

【0178】

ここで、「LEDスタック」という用語は、光を放出可能な半導体層のスタックを意味する。加えて、多重接合LED積層構造は、2つ以上のLEDスタックのトンネル接合によって形成されるLEDスタックを意味する。

【0179】

第1 LEDスタックは、第1-1 LEDスタックと、第1-2 LEDスタックと、第1-1 LEDスタックと第1-2 LEDスタックとの間に介在するトンネル接合層とを含むことができ、第1-1 LEDスタックおよび第1-2 LEDスタックのそれぞれは、n型半導体層と、活性層と、p型半導体層とを含む。

【0180】

第1 LEDスタックは、AlGaInP系半導体層を含むことができる。

【0181】

第1 LEDスタックは、第2および第3 LEDスタックより長い波長を有する赤色光を放出することができ、第2 LEDスタックは、第3 LEDスタックより長い波長を有する赤色光を放出することができる。第1-1 LEDスタックは、第1-2 LEDスタックの波長と同一の波長または近似した波長を有する光を放出することができる。例えば、第1、第2および第3 LEDスタックは、赤色光、緑色光および青色光をそれぞれ放出することができる。

【0182】

また、第1 LEDスタックから発生する光は、第2 LEDスタックおよび第3 LEDス

10

20

30

40

50

タックを介して外部に放出され、第2LEDスタックから発生する光は、第3LEDスタックを介して外部に放出される。

【0183】

他の例示的な実施例において、第2LEDスタックは、第1LEDスタック上で一部領域内に配置され、第3LEDスタックも、第2LEDスタック上で一部領域内に配置される。したがって、第1LEDスタックから発生する光の少なくとも一部は、第2LEDスタックを通過せずに外部に放出され、第2LEDスタックから発生する光の少なくとも一部は、第3LEDスタックを通過せずに外部に放出される。

【0184】

発光ダイオードスタックは、第1LEDスタックと第2LEDスタックとの間に介在し、第2LEDスタックから発生する光を反射させながら、第1LEDスタックから発生する光を透過させる第1カラーフィルタと、第2LEDスタックと第3LEDスタックとの間に介在し、第3LEDスタックから発生する光を反射させながら、第1および第2LEDスタックから発生する光を透過させる第2カラーフィルタとを追加的に含んでもよい。

【0185】

第1および第2カラーフィルタによって、発光ダイオードスタックは、第1LEDスタックから発生する光が第2LEDスタックおよび第3LEDスタックを介して外部に放出されることを許容し、第2LEDスタックから発生する光が第3LEDスタックを介して外部に放出されることを許容し、第2LEDスタックから発生する光が第1LEDスタックに進入するのを防止し、第3LEDスタックから発生する光が第2LEDスタックに進入するのを防止し、それによって、発光効率を向上させる。

【0186】

第1カラーフィルタおよび第2カラーフィルタのそれぞれは、ローパスフィルタ、バンドパスフィルタまたはバンドストップフィルタであってもよい。特に、第1カラーフィルタおよび第2カラーフィルタのそれぞれは、分布ブラッグ反射器を含むことができる。第1および第2カラーフィルタが分布ブラッグ反射器を含む構造によって、発光ダイオードスタックは、構造において安定性を有することができ、良好な発光効率を示すことができる。

【0187】

発光ダイオードスタックは、第1LEDスタックと第1カラーフィルタとの間に介在する第2ボンディング層と、第2LEDスタックと第2カラーフィルタとの間に介在する第3ボンディング層とを追加的に含んでもよく、第2ボンディング層は、第1LEDスタックから発生する光を透過させ、第3ボンディング層は、第1LEDスタックおよび第2LEDスタックから発生する光を透過させる。

【0188】

第2および第3ボンディング層によって、第1LEDスタック、第2LEDスタックおよび第3LEDスタックは、光が第2ボンディング層および第3ボンディング層を介して外部に放出されることを許容しながら、互いにボンディング可能であり、それによって、光損失を防止する。

【0189】

発光ダイオードスタックは、第1LEDスタックの下側に配置される支持基板と、支持基板と第1LEDスタックとの間に介在する第1ボンディング層とを追加的に含んでもよい。

【0190】

発光ダイオードスタックは、第1ボンディング層と第1LEDスタックとの間に介在し、第1LEDスタックのp型半導体層とオーミック接触を形成する第1反射電極を追加的に含んでもよい。

【0191】

第1反射電極は、第1LEDスタックから発生する光を反射させて、第1LEDスタックの発光効率を向上させることができる。

10

20

30

40

50

【0192】

発光ダイオードスタックは、第1LEDスタックの上部表面とオーミック接触を形成する第1オーミック電極を追加的に含んでもよい。

【0193】

発光ダイオードスタックは、第1カラーフィルタと第2LEDスタックとの間に介在し、第2LEDスタックのp型半導体層とオーミック接触を形成する第2透明電極と、第2カラーフィルタと第3LEDスタックとの間に介在し、第3LEDスタックのp型半導体層とオーミック接触を形成する第3透明電極とを追加的に含んでもよく、第1LEDスタックから発生する光は、第2透明電極および第3透明電極を介して外部に放出され、第2LEDスタックから発生する光は、第3透明電極を介して外部に放出される。

10

【0194】

本開示のさらに他の例示的な実施例により、ディスプレイ装置が提供される。ディスプレイ装置は、支持基板上に配列される複数のピクセルを含み、各ピクセルは、支持基板上に配置される第1LEDスタックと、第1LEDスタック上に配置される第2LEDスタックと、第2LEDスタック上に配置される第3LEDスタックとを含み、第1LEDスタックは、多重接合LED積層構造を有する。

【0195】

多重接合LED積層構造によって、第1LEDスタックは、向上した明るさを有することができる。

【0196】

第1LEDスタックは、第1-1LEDスタックと、第1-2LEDスタックと、第1-1LEDスタックと第1-2LEDスタックとの間に介在するトンネル接合層とを含むことができ、第1-1LEDスタックおよび第1-2LEDスタックのそれぞれは、n型半導体層と、活性層と、p型半導体層とを含む。

20

【0197】

第1LEDスタックは、AlGaInP系半導体層を含むことができる。

【0198】

ディスプレイ装置は、第1LEDスタックと第2LEDスタックとの間に介在し、第2LEDスタックから発生する光を反射させながら、第1LEDスタックから発生する光を透過させる第1カラーフィルタと、第2LEDスタックと第3LEDスタックとの間に介在し、第3LEDスタックから発生する光を反射させながら、第1および第2LEDスタックから発生する光を透過させる第2カラーフィルタとを追加的に含んでもよく、第1LEDスタックから発生する光は、第2LEDスタックおよび第3LEDスタックを介して外部に放出され、第2LEDスタックから発生する光は、第3LEDスタックを介して外部に放出される。

30

【0199】

第1カラーフィルタおよび第2カラーフィルタのそれぞれは、ローパスフィルタ、バンドパスフィルタまたはバンドストップフィルタであってもよいし、特定の波長帯域で高い反射率を有する分布ブラッグ反射器を含むことができる。

【0200】

他の例示的な実施例において、第2LEDスタックは、第1LEDスタック上で一部領域内に配置され、第3LEDスタックも、第2LEDスタック上で一部領域内に配置される。したがって、第1LEDスタックから発生する光の少なくとも一部は、第2LEDスタックを通過せずに外部に放出され、第2LEDスタックから発生する光の少なくとも一部は、第3LEDスタックを通過せずに外部に放出される。

40

【0201】

各ピクセルにおいて、第1、第2および第3LEDスタックのp型半導体層は、共通ラインに電氣的に接続され、そのn型半導体層は、互いに異なるラインに電氣的に接続される。例えば、共通ラインは、データラインであってもよいし、互いに異なるラインは、スキャンラインであってもよい。

50

【0202】

ディスプレイ装置は、第1～第3LEDスタックの側面を覆う下部絶縁層を追加的に含んでもよく、下部絶縁層は、赤色、緑色および青色光を反射させる分布ブラッグ反射器を含むことができる。

【0203】

1つの例示的な実施例において、ディスプレイ装置は、第1LEDスタックと支持基板との間に介在する反射電極を追加的に含んでもよい。

【0204】

反射電極は、共通ラインとして用いられるために、複数のピクセルの上部に連続的に配置される。

【0205】

もう1つの例示的な実施例において、ディスプレイ装置は、支持基板と第1LEDスタックとの間に介在する反射電極を追加的に含んでもよい。各反射電極は、各ピクセル領域内に制限的に位置してもよい。

【0206】

各ピクセルにおいて、第1～第3LEDスタックは、独立して駆動可能である。

【0207】

前述した一般的な説明および以下の詳細な説明はすべて例示的かつ説明的であり、請求の範囲に記載の本発明に関するさらなる説明を提供するように意図されたものと理解されなければならない。

【発明の効果】

【0208】

本開示の例示的な実施例は、ピクセル面積を増加させることなく、各サブピクセルの発光面積の増加を許容するディスプレイ用発光ダイオードおよびこれを有するディスプレイ装置を提供する。

【0209】

本開示の例示的な実施例は、複数のピクセルの同時製造を許容することで、ディスプレイパネル上に個別に実装される必要がないディスプレイ用発光ダイオードおよびこれを有するディスプレイ装置を提供する。

【0210】

本開示の例示的な実施例は、ピクセル面積を増加させることなく、各サブピクセルの発光面積の増加を許容するディスプレイ用発光ダイオードおよびこれを有するディスプレイ装置を提供する。

【0211】

本開示の例示的な実施例は、複数のピクセルの同時製造を許容することで、ディスプレイパネル上に個別に実装される必要がないディスプレイ用発光ダイオードおよびこれを有するディスプレイ装置を提供する。

【0212】

本開示の例示的な実施例は、複数のピクセルの同時製造を許容することで、ディスプレイパネル上に個別に実装される必要がないディスプレイ用発光ダイオードピクセル、およびこれを含むディスプレイ装置を提供する。

【0213】

本開示の例示的な実施例は、ピクセル面積を増加させることなく、各サブピクセルの発光面積の増加を許容するディスプレイ用発光ダイオードおよびこれを含むディスプレイ装置を提供する。

【0214】

本開示の例示的な実施例は、複数のピクセルの同時製造を許容することで、ディスプレイパネル上に個別に実装される必要がないディスプレイ用発光ダイオードおよびこれを含むディスプレイ装置を提供する。

【0215】

10

20

30

40

50

本開示の例示的な実施例は、可視性を考慮して光の放出を調節可能なディスプレイ用発光ダイオードおよびこれを含むディスプレイ装置を提供する。

【0216】

本開示の例示的な実施例は、ピクセル面積を増加させることなく、各サブピクセルの発光面積の増加を許容するディスプレイ用発光ダイオードおよびこれを有するディスプレイ装置を提供する。

【0217】

本開示の例示的な実施例は、複数のピクセルの同時製造を許容することで、ディスプレイパネル上に個別に実装される必要がないディスプレイ用発光ダイオードおよびこれを有するディスプレイ装置を提供する。

【0218】

本開示の例示的な実施例は、可視性を考慮して光の放出を調節可能なディスプレイ用発光ダイオードおよびこれを有するディスプレイ装置を提供する。

【図面の簡単な説明】

【0219】

【図1】本開示の1つの例示的な実施例によるディスプレイ用発光ダイオードスタックの概略断面図である。

【図2】本開示の1つの例示的な実施例によるディスプレイ用発光ダイオードスタックを製造する方法を示す概略断面図である。

【図3】本開示の1つの例示的な実施例によるディスプレイ装置の作動を示す概略回路図である。

【図4】本開示の例示的な実施例によるディスプレイ装置の概略平面図である。

【図5】図4に示すディスプレイ装置の1つのピクセルの拡大平面図である。

【図6】図5のA-A線に沿った概略断面図である。

【図7】図5のB-B線に沿った概略断面図である。

【図8A】本開示の1つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図8B】本開示の1つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図8C】本開示の1つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図8D】本開示の1つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図8E】本開示の1つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図8F】本開示の1つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図8G】本開示の1つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図8H】本開示の1つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図8I】本開示の1つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図8J】本開示の1つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図8K】本開示の1つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図9】本開示のもう1つの例示的な実施例によるディスプレイ装置の作動を示す概略回路図である。

【図10】本開示のもう1つの例示的な実施例によるディスプレイ装置の概略平面図であ

10

20

30

40

50

る。

【図 1 1】本開示のもう 1 つの例示的な実施例によるディスプレイ用発光ダイオードスタックの概略断面図である。

【図 1 2 A】本開示のさらに他の例示的な実施例によるディスプレイ用発光ダイオードスタックを製造する方法を示す概略断面図である。

【図 1 2 B】本開示のさらに他の例示的な実施例によるディスプレイ用発光ダイオードスタックを製造する方法を示す概略断面図である。

【図 1 2 C】本開示のさらに他の例示的な実施例によるディスプレイ用発光ダイオードスタックを製造する方法を示す概略断面図である。

【図 1 2 D】本開示のさらに他の例示的な実施例によるディスプレイ用発光ダイオードスタックを製造する方法を示す概略断面図である。

10

【図 1 2 E】本開示のさらに他の例示的な実施例によるディスプレイ用発光ダイオードスタックを製造する方法を示す概略断面図である。

【図 1 2 F】本開示のさらに他の例示的な実施例によるディスプレイ用発光ダイオードスタックを製造する方法を示す概略断面図である。

【図 1 3】は、本開示の他の例示的な実施例によるディスプレイ用発光ダイオードスタックの概略断面図である。

【図 1 4】は、本開示のさらに他の 1 つの例示的な実施例によるディスプレイ用発光ダイオードスタックの概略断面図である。

【図 1 5】は、本開示の例示的な実施例による発光積層構造を示す断面図である。

20

【図 1 6】は、ラインのコンタクト部を有する本開示の例示的な実施例による発光積層構造を示す断面図である。

【図 1 7 A】図 1 6 の各エピタキシャルスタックを詳細に示す断面図である。

【図 1 7 B】図 1 6 の各エピタキシャルスタックを詳細に示す断面図である。

【図 1 7 C】図 1 6 の各エピタキシャルスタックを詳細に示す断面図である。

【図 1 8】本開示の例示的な実施例による所定の通過フィルタを有する発光積層構造を示す断面図である。

【図 1 9】本開示の例示的な実施例によるエピタキシャルスタックの少なくとも一部分で凹凸部分が形成される発光積層構造を示す断面図である。

【図 2 0】本開示の例示的な実施例によるエピタキシャルスタックの少なくとも一部分で凹凸部分が形成される発光積層構造を示す断面図である。

30

【図 2 1】本開示の例示的な実施例によるディスプレイデバイスを示す平面図である。

【図 2 2】図 2 1 の部分 P 1 を示す拡大平面図である。

【図 2 3】本開示の例示的な実施例によるディスプレイデバイスを示すブロック図である。

【図 2 4】パッシブマトリクスタイプのディスプレイデバイス用の 1 つのサブピクセルを示す回路図である。

【図 2 5】アクティブマトリクスタイプのディスプレイデバイス用の第 1 サブピクセルを示す回路図である。

【図 2 6】本開示の例示的な実施例によるピクセルを示す平面図である。

40

【図 2 7 A】図 2 6 の I - I ' 線に沿った断面図である。

【図 2 7 B】図 2 6 の I I - I I ' 線に沿った断面図である。

【図 2 8】第 1 ~ 第 3 エピタキシャルスタックがその上に積層される基板を示す平面図である。

【図 2 9 A】図 2 8 の I - I ' 線に沿った、基板上に第 1 ~ 第 3 エピタキシャルスタックを積層する工程を順に示す断面図である。

【図 2 9 B】図 2 8 の I - I ' 線に沿った、基板上に第 1 ~ 第 3 エピタキシャルスタックを積層する工程を順に示す断面図である。

【図 2 9 C】図 2 8 の I - I ' 線に沿った、基板上に第 1 ~ 第 3 エピタキシャルスタックを積層する工程を順に示す断面図である。

50

【図 29 D】図 28 の I - I ' 線に沿った、基板上に第 1 ～第 3 エピタキシャルスタックを積層する工程を順に示す断面図である。

【図 29 E】図 28 の I - I ' 線に沿った、基板上に第 1 ～第 3 エピタキシャルスタックを積層する工程を順に示す断面図である。

【図 29 F】図 28 の I - I ' 線に沿った、基板上に第 1 ～第 3 エピタキシャルスタックを積層する工程を順に示す断面図である。

【図 29 G】図 28 の I - I ' 線に沿った、基板上に第 1 ～第 3 エピタキシャルスタックを積層する工程を順に示す断面図である。

【図 29 H】図 28 の I - I ' 線に沿った、基板上に第 1 ～第 3 エピタキシャルスタックを積層する工程を順に示す断面図である。

10

【図 29 I】図 28 の I - I ' 線に沿った、基板上に第 1 ～第 3 エピタキシャルスタックを積層する工程を順に示す断面図である。

【図 29 J】図 28 の I - I ' 線に沿った、基板上に第 1 ～第 3 エピタキシャルスタックを積層する工程を順に示す断面図である。

【図 29 K】図 28 の I - I ' 線に沿った、基板上に第 1 ～第 3 エピタキシャルスタックを積層する工程を順に示す断面図である。

【図 29 L】図 28 の I - I ' 線に沿った、基板上に第 1 ～第 3 エピタキシャルスタックを積層する工程を順に示す断面図である。

【図 30 A】第 2 および第 3 エピタキシャルスタックを第 2 および第 3 サブスキャンラインおよびデータラインに接続する工程を順に示す平面図である。

20

【図 30 B】図 30 A の I - I ' 、 I I a - I I a ' および I I b - I I b ' 線に沿った断面図である。

【図 31 A】第 2 および第 3 エピタキシャルスタックを第 2 および第 3 サブスキャンラインおよびデータラインに接続する工程を順に示す平面図である。

【図 31 B】図 31 A の I - I ' 、 I I a - I I a ' および I I b - I I b ' 線に沿った断面図である。

【図 32 A】第 2 および第 3 エピタキシャルスタックを第 2 および第 3 サブスキャンラインおよびデータラインに接続する工程を順に示す平面図である。

【図 32 B】図 32 A の I - I ' 、 I I a - I I a ' および I I b - I I b ' 線に沿った断面図である。

30

【図 33 A】第 2 および第 3 エピタキシャルスタックを第 2 および第 3 サブスキャンラインおよびデータラインに接続する工程を順に示す平面図である。

【図 33 B】図 33 A の I - I ' 、 I I a - I I a ' および I I b - I I b ' 線に沿った断面図である。

【図 34 A】第 2 および第 3 エピタキシャルスタックを第 2 および第 3 サブスキャンラインおよびデータラインに接続する工程を順に示す平面図である。

【図 34 B】図 34 A の I - I ' 、 I I a - I I a ' および I I b - I I b ' 線に沿った断面図である。

【図 35 A】第 2 および第 3 エピタキシャルスタックを第 2 および第 3 サブスキャンラインおよびデータラインに接続する工程を順に示す平面図である。

40

【図 35 B】図 35 A の I - I ' 、 I I a - I I a ' および I I b - I I b ' 線に沿った断面図である。

【図 36 A】本開示の例示的な実施例による発光積層構造を示す断面図である。

【図 36 B】本開示の例示的な実施例による発光積層構造を示す断面図である。

【図 36 C】本開示の例示的な実施例による発光積層構造を示す断面図である。

【図 37 A】本開示の例示的な実施例による発光積層構造を示す平面図である。

【図 37 B】図 37 A の I - I ' 線に沿った断面図である。

【図 38 A】本開示の例示的な実施例による発光積層構造の製造方法を順に示す平面図である。

【図 38 B】図 38 A の I - I 線に沿った断面図である。

50

【図 3 9 A】本開示の例示的な実施例による発光積層構造の製造方法を順に示す平面図である。

【図 3 9 B】図 3 9 A の I - I 線に沿った断面図である。

【図 4 0 A】本開示の例示的な実施例による発光積層構造の製造方法を順に示す平面図である。

【図 4 0 B】図 4 0 A の I - I 線に沿った断面図である。

【図 4 0 C】図 4 0 A の I - I 線に沿った断面図である。

【図 4 0 D】図 4 0 A の I - I 線に沿った断面図である。

【図 4 0 E】図 4 0 A の I - I 線に沿った断面図である。

【図 4 0 F】図 4 0 A の I - I 線に沿った断面図である。

【図 4 0 G】図 4 0 A の I - I 線に沿った断面図である。

【図 4 1 A】本開示の例示的な実施例による発光積層構造の製造方法を順に示す平面図である。

【図 4 1 B】図 4 1 A の I - I 線に沿った断面図である。

【図 4 1 C】図 4 1 A の I - I 線に沿った断面図である。

【図 4 1 D】図 4 1 A の I - I 線に沿った断面図である。

【図 4 2 A】本開示の例示的な実施例による発光積層構造の製造方法を順に示す平面図である。

【図 4 2 B】図 4 2 A の I - I 線に沿った断面図である。

【図 4 3 A】本開示の例示的な実施例による発光積層構造の製造方法を順に示す平面図である。

【図 4 3 B】図 4 3 A の I - I 線に沿った断面図である。

【図 4 4】本開示の例示的な実施例による発光積層構造を示す断面図である。

【図 4 5】第 2 エピタキシャルスタック上に形成される凹凸部分を示す断面図である。

【図 4 6】本開示の例示的な実施例による発光積層構造を示す断面図である。

【図 4 7】本開示の例示的な実施例による光変換層を有する発光積層構造を示す断面図である。

【図 4 8】本開示の例示的な実施例による光変換層を有する発光積層構造を示す断面図である。

【図 4 9】本開示の例示的な実施例による印刷回路基板上に実装される発光積層構造を示す平面図である。

【図 5 0】本開示の例示的な実施例による印刷回路基板上に実装される発光積層構造を示す平面図である。

【図 5 1】本開示の 1 つの例示的な実施例によるディスプレイ用発光ダイオードスタックの概略断面図である。

【図 5 2 A】本開示の 1 つの例示的な実施例によるディスプレイ用発光ダイオードスタックを製造する方法を示す概略断面図である。

【図 5 2 B】本開示の 1 つの例示的な実施例によるディスプレイ用発光ダイオードスタックを製造する方法を示す概略断面図である。

【図 5 2 C】本開示の 1 つの例示的な実施例によるディスプレイ用発光ダイオードスタックを製造する方法を示す概略断面図である。

【図 5 2 D】本開示の 1 つの例示的な実施例によるディスプレイ用発光ダイオードスタックを製造する方法を示す概略断面図である。

【図 5 2 E】本開示の 1 つの例示的な実施例によるディスプレイ用発光ダイオードスタックを製造する方法を示す概略断面図である。

【図 5 3】本開示の 1 つの例示的な実施例によるディスプレイ装置の作動を示す概略回路図である。

【図 5 4】本開示の例示的な実施例によるディスプレイ装置の概略平面図である。

【図 5 5】図 5 4 に示すディスプレイ装置の 1 つのピクセルの拡大平面図である。

【図 5 6】図 5 5 の A - A 線に沿った概略断面図である。

10

20

30

40

50

【図 5 7】図 5 5 の B－B 線に沿った概略断面図である。

【図 5 8 A】本開示の 1 つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 5 8 B】本開示の 1 つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 5 8 C】本開示の 1 つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 5 8 D】本開示の 1 つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 5 8 E】本開示の 1 つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。 10

【図 5 8 F】本開示の 1 つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 5 8 G】本開示の 1 つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 5 8 H】本開示の 1 つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 5 9】本開示のもう 1 つの例示的な実施例によるディスプレイ装置の概略平面図である。

【図 6 0】本開示の 1 つの例示的な実施例によるディスプレイ用発光ダイオードピクセルの概略断面図である。 20

【図 6 1】本開示の例示的な実施例によるディスプレイ装置の作動を示す概略回路図である。

【図 6 2】本開示の特別な例示的な実施例によるディスプレイ装置の概略平面図である。

【図 6 3】図 6 2 に示すディスプレイ装置の 1 つのピクセルの拡大平面図である。

【図 6 4 A】図 6 3 の A－A 線に沿った概略断面図である。

【図 6 4 B】図 6 3 の B－B 線に沿った概略断面図である。

【図 6 4 C】図 6 3 の C－C 線に沿った概略断面図である。

【図 6 4 D】図 6 3 の D－D 線に沿った概略断面図である。

【図 6 5 A】本開示の特別な例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。 30

【図 6 5 B】本開示の特別な例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 6 6 A】本開示の特別な例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 6 6 B】本開示の特別な例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 6 7 A】本開示の特別な例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 6 7 B】本開示の特別な例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。 40

【図 6 7 C】本開示の特別な例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 6 8 A】本開示の特別な例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 6 8 B】本開示の特別な例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 6 8 C】本開示の特別な例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 6 9 A】本開示の特別な例示的な実施例によるディスプレイ装置を製造する方法を示す 50

す概略断面図である。

【図 6 9 B】本開示の特別な例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 7 0 A】本開示の特別な例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 7 0 B】本開示の特別な例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 7 1 A】本開示の特別な例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 7 1 B】本開示の特別な例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 7 2 A】本開示の特別な例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 7 2 B】本開示の特別な例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 7 3 A】本開示の特別な例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 7 3 B】本開示の特別な例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 7 4 A】本開示の特別な例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 7 4 B】本開示の特別な例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 7 5】本開示の特別な例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 7 6 A】本開示の特別な例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 7 6 B】本開示の特別な例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 7 7】本開示の特別な例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 7 8】本開示のもう 1 つの例示的な実施例によるディスプレイ装置の作動を示す概略回路図である。

【図 7 9】本開示の 1 つの例示的な実施例によるディスプレイ用発光ダイオードスタックの概略断面図である。

【図 8 0】本開示の 1 つの例示的な実施例によるディスプレイ用発光ダイオードスタックを製造する方法を示す概略断面図である。

【図 8 1】本開示の 1 つの例示的な実施例によるディスプレイ装置の作動を示す概略回路図である。

【図 8 2】本開示の例示的な実施例によるディスプレイ装置の概略平面図である。

【図 8 3】図 8 2 に示すディスプレイ装置の 1 つのピクセルの拡大平面図である。

【図 8 4】図 8 3 の A - A 線に沿った概略断面図である。

【図 8 5】図 8 3 の B - B 線に沿った概略断面図である。

【図 8 6 A】本開示の 1 つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 8 6 B】本開示の 1 つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 8 6 C】本開示の 1 つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 8 6 D】本開示の 1 つの例示的な実施例によるディスプレイ装置を製造する方法を示

10

20

30

40

50

す概略断面図である。

【図 8 6 E】本開示の 1 つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 8 6 F】本開示の 1 つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 8 6 G】本開示の 1 つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 8 6 H】本開示の 1 つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 8 6 I】本開示の 1 つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 8 6 J】本開示の 1 つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 8 6 K】本開示の 1 つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 8 7】本開示のもう 1 つの例示的な実施例によるディスプレイ装置の概略平面図である。

【図 8 8】本開示のもう 1 つの例示的な実施例によるディスプレイ装置の作動を示す概略回路図である。

【図 8 9 A】本開示の 1 つの例示的な実施例によるディスプレイ用発光ダイオードスタックの概略断面図である。

【図 8 9 B】図 8 9 A の第 1 L E D スタックの拡大断面図である。

【図 9 0 A】本開示の 1 つの例示的な実施例によるディスプレイ用発光ダイオードスタックを製造する方法を示す概略断面図である。

【図 9 0 B】本開示の 1 つの例示的な実施例によるディスプレイ用発光ダイオードスタックを製造する方法を示す概略断面図である。

【図 9 0 C】本開示の 1 つの例示的な実施例によるディスプレイ用発光ダイオードスタックを製造する方法を示す概略断面図である。

【図 9 1】本開示の 1 つの例示的な実施例によるディスプレイ装置の作動を示す概略回路図である。

【図 9 2】本開示の例示的な実施例によるディスプレイ装置の概略平面図である。

【図 9 3】図 9 2 に示すディスプレイ装置の 1 つのピクセルの拡大平面図である。

【図 9 4】図 9 3 の A - A 線に沿った概略断面図である。

【図 9 5】図 9 3 の B - B 線に沿った概略断面図である。

【図 9 6 A】本開示の 1 つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 9 6 B】本開示の 1 つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 9 6 C】本開示の 1 つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 9 6 D】本開示の 1 つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 9 6 E】本開示の 1 つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 9 6 F】本開示の 1 つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 9 6 G】本開示の 1 つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 9 6 H】本開示の 1 つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

10

20

30

40

50

【図 9 6 I】本開示の 1 つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 9 6 J】本開示の 1 つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 9 6 K】本開示の 1 つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。

【図 9 7】本開示のもう 1 つの例示的な実施例によるディスプレイ装置の作動を示す概略回路図である。

【図 9 8】本開示の他の例示的な実施例によるディスプレイ装置の概略平面図である。

【発明を実施するための形態】

10

【0 2 2 0】

以下、本開示の例示的な実施例を、添付した図面を参照して詳細に説明する。以下の実施例は、本開示の思想を本開示の属する技術分野における当業者に十分に伝達するための例として提供される。したがって、本開示はここに開示された実施例に限定されず、他の形態で実現されてもよい。図面において、要素の幅、長さ、厚さなどは明瞭さと説明的な目的のために誇張されることがある。要素または層が他の要素または層の「上部に配置」されるか、「上に配置」されると言及されたとき、当該要素または層は、直接的に他の要素または層の「上部に配置」されるか、「上に配置」されてもよく、または中間に介在する要素または層が存在してもよい。明細書全体にわたって、同じ参照番号は、同一または類似の機能を有する同じ要素を指し示す。

20

【0 2 2 1】

以下、本開示の例示的な実施例を、添付した図面を参照して詳細に説明する。本明細書で使用される、例示的な実施例による発光デバイスまたは発光ダイオードは、当業界で公知のように、約 $10,000\text{ }\mu\text{m}^2$ 未満の表面積を有するマイクロ LED を含むことができる。他の例示的な実施例において、マイクロ LED は、特定の応用例によって、約 $4,000\text{ }\mu\text{m}^2$ 未満または約 $2,500\text{ }\mu\text{m}^2$ 未満の表面積を有することができる。

【0 2 2 2】

図 1 は、本開示の 1 つの例示的な実施例によるディスプレイ用発光ダイオードスタック 100 の概略断面図である。

【0 2 2 3】

30

図 1 を参照すると、発光ダイオードスタック 100 は、支持基板 51 と、第 2 基板 31 と、第 3 基板 41 と、第 1 LED スタック 23 と、第 2 LED スタック 33 と、第 3 LED スタック 43 と、第 1-p 反射電極 25 と、第 2-p 透明電極 35 と、第 3-p 透明電極 45 と、第 1 カラーフィルタ 37 と、第 2 カラーフィルタ 47 と、第 1 ボンディング層 53 と、第 2 ボンディング層 55 と、第 3 ボンディング層 57 とを含むことができる。

【0 2 2 4】

支持基板 51 は、半導体スタック 23、33 および 43 を支持する。支持基板 51 は、その表面上にまたはその内部に回路を含むことができるが、これに限定されるものではない。支持基板 51 は、例えば、Si 基板または Ge 基板を含むことができる。

【0 2 2 5】

40

第 1 LED スタック 23、第 2 LED スタック 33 および第 3 LED スタック 43 のそれぞれは、n 型半導体層と、p 型半導体層と、その間に介在する活性層とを含む。活性層は、多重量子井戸構造を有してもよい。

【0 2 2 6】

例えば、第 1 LED スタック 23 は、赤色光を放出するように適合化される無機発光ダイオードであってもよく、第 2 LED スタック 33 は、緑色光を放出するように適合化される無機発光ダイオードであってもよいし、第 3 LED スタック 43 は、青色光を放出するように適合化される無機発光ダイオードであってもよい。第 1 LED スタック 23 は、GaInP 系井戸層を含むことができ、第 2 LED スタック 33 および第 3 LED スタック 43 のそれぞれは、GaInN 系井戸層を含むことができる。

50

【0227】

同時に、第1～第3LEDスタック23、33および43のそれぞれの両面は、それぞれn型半導体層およびp型半導体層である。このような例示的な実施例において、第1～第3LEDスタック23、33および43のそれぞれは、n型上部表面およびp型下部表面を有する。第3LEDスタック43がn型上部表面を有するので、粗面化された表面(roughened surface)が第3LEDスタック43の上部表面上に化学的エッチングにより形成される。しかし、本開示がこれに限定されるものではなく、各LEDスタックの上部および下部表面の半導体タイプは変化可能であることを理解しなければならない。

【0228】

第1LEDスタック23は、支持基板51近傍に配置され、第2LEDスタック33は、第1LEDスタック23上に配置され、第3LEDスタック43は、第2LEDスタック33上に配置される。第1LEDスタック23が第2および第3LEDスタック33および43より長い波長を有する光を放出するので、第1LEDスタック23から発生する光は、第2および第3LEDスタック33および43を介して外部に放出される。また、第2LEDスタック33が第3LEDスタック43より長い波長を有する光を放出するので、第2LEDスタック33から発生する光は、第3LEDスタック43を介して外部に放出される。

【0229】

第2基板31は、第2LEDスタック33のための成長基板であり、例えば、GaN系基板であってもよい。第2基板31は、第2LEDスタック33に対する均質基板であり、第2LEDスタック33にモノリシックに(monolithically)結合される。第2基板31は、n型半導体層として用いられるために、Siのようなn型ドーパントでドーピングされる。第2LEDスタック33に対する均質基板が第2基板31として用いられるので、第2基板31上に成長する第2LEDスタック33の転位密度(dislocation density)が減少可能であり、それによって、第2LEDスタック33の発光効率が向上する。第2LEDスタック33は、例えば、 $103 \sim 107 / \text{cm}^2$ の転位密度を有することができる。サファイア基板上に成長するGaN系半導体層が一般的に $108 / \text{cm}^2$ 以上の転位密度を有するので、第2LEDスタック33の転位密度がGaN成長基板を用いることで大きく減少できる。

【0230】

第3基板41は、第3LEDスタック43のための成長基板であり、GaN系基板、例えば、GaN基板であってもよい。第3基板41は、第3LEDスタック43に対する均質基板であり、第3LEDスタック43にモノリシックに結合される。第3基板41は、n型半導体層として用いられるために、Siのようなn型ドーパントでドーピングされる。第3LEDスタック43に対する均質基板が第3基板41として用いられるので、第3基板41上に成長する第3LEDスタック43の転位密度が減少可能であり、それによって、第3LEDスタック43の発光効率が向上する。第3LEDスタック43は、例えば、 $103 \sim 107 / \text{cm}^2$ の転位密度を有することができる。

【0231】

第2基板31および第3基板41ともが本例示的な実施例で用いられるが、第2基板31および第3基板41のうちの1つは省略可能である。また、第2基板31および第3基板41ともが図13を参照して後述するように除去可能である。

【0232】

第1-p反射電極25は、第1LEDスタック23のp型半導体層とオーミック接触を形成し、第1LEDスタック23から発生する光を反射させる。例えば、第1-p反射電極25は、Au-TiまたはAu-Snで形成される。また、第1-p反射電極25は、拡散バリア層を含むことができる。

【0233】

第2-p透明電極35は、第2LEDスタック33のp型半導体層とオーミック接触を

10

20

30

40

50

形成する。第2-p透明電極35は、赤色光および緑色光に関して透過性である金属層または導電性酸化物層で構成される。

【0234】

加えて、第3-p透明電極45は、第3LEDスタック43のp型半導体層とオーミック接触を形成する。第3-p透明電極45は、赤色光、緑色光および青色光に関して透過性である金属層または導電性酸化物層で構成される。

【0235】

第1-p反射電極25、第2-p透明電極35および第3-p透明電極45は、各LEDスタックのp型半導体層とのオーミック接触により電流拡散(current spreading)を助けることができる。

10

【0236】

第1カラーフィルタ37は、第1LEDスタック23と第2LEDスタック33との間に介在してもよい。加えて、第2カラーフィルタ47は、第2LEDスタック33と第3LEDスタック43との間に介在してもよい。第1カラーフィルタ37は、第2LEDスタック33から発生する光を反射させながら、第1LEDスタック23から発生する光を透過させる。第2カラーフィルタ47は、第3LEDスタック43から発生する光を反射させながら、第1および第2LEDスタック23および33から発生する光を透過させる。結果として、第1LEDスタック23から発生する光は、第2LEDスタック33および第3LEDスタック43を介して外部に放出され、第2LEDスタック33から発生する光は、第3LEDスタック43を介して外部に放出される。また、発光ダイオードスタックは、第2LEDスタック33から発生する光が第1LEDスタック23に進入するのを防止することができるか、または第3LEDスタック43から発生する光が第2LEDスタック33に進入するのを防止することができる、それによって、光損失を防止する。一方、第1LEDスタック23から発生する光は、第2-p透明電極35および第3-p透明電極45を介して外部に放出され、第2LEDスタック33から発生する光は、第3-p透明電極45を介して外部に放出される。

20

【0237】

いくつかの例示的な実施例において、第1カラーフィルタ37は、第3LEDスタック43から発生する光を反射させることができる。

【0238】

第1および第2カラーフィルタ37および47は、例えば、低周波数帯域で、すなわち、長波長帯域で、光を通過させるローパスフィルタ、所定の波長帯域で光を通過させるバンドパスフィルタ、または所定の波長帯域で光の通過を防止するバンドストップフィルタであってもよい。特に、第1および第2カラーフィルタ37および47のそれぞれは、分布ブラッグ反射器(DBR)を含むバンドストップフィルタであってもよい。分布ブラッグ反射器は、互いに異なる屈折率を有する絶縁層、例えば、TiO₂およびSiO₂を交互に積層することにより形成可能である。同時に、分布ブラッグ反射器の阻止帯域は、TiO₂およびSiO₂層の厚さを調節することにより制御可能である。ローパスフィルタおよびバンドパスフィルタも、互いに異なる屈折率を有する絶縁層を交互に積層することにより形成可能である。

40

【0239】

第1ボンディング層53は、第1LEDスタック23を支持基板51に結合する。図示のように、第1-p反射電極25は、第1ボンディング層53に隣接していてもよい。第1ボンディング層53は、光透過性または不透明層であってもよい。第1ボンディング層53は、例えば、透明無機絶縁層、透明有機絶縁層または透明導電層であってもよい。

【0240】

第2ボンディング層55は、第2LEDスタック33を第1LEDスタック23に結合する。図示のように、第2ボンディング層55は、第1LEDスタック23および第1カラーフィルタ37に隣接していてもよい。しかし、本開示がこれに限定されるものではなく、透明導電層が第1LEDスタック23上に配置できることを理解しなければならない

50

。第2ボンディング層55は、第1LEDスタック23から発生する光を透過させる。第2ボンディング層55は、例えば、透明無機絶縁層、透明有機絶縁層または透明導電層であってもよく、例えば、光透過性スピノングラスで形成される。

【0241】

第3ボンディング層57は、第3LEDスタック43を第2LEDスタック33に結合する。図示のように、第3ボンディング層57は、第2LEDスタック33にモノリシックに結合される第2基板31に隣接していてもよく、第2カラーフィルタ47にも隣接していてもよい。しかし、本開示がこれに限定されるものではないことを理解しなければならない。第2基板31が省略されると、第3ボンディング層57は、第2LEDスタック33に隣接していてもよい。また、透明導電層が第2LEDスタック33または第2基板31上に配置され、第3ボンディング層57は、透明導電層に隣接していてもよい。第3ボンディング層57は、第1LEDスタック23および第2LEDスタック33から発生する光を透過させる。第3ボンディング層57は、例えば、透明無機絶縁層、透明有機絶縁層または透明導電層であってもよく、例えば、光透過性スピノングラスで形成される。

【0242】

図2は、本開示の1つの例示的な実施例によるディスプレイ用発光ダイオードスタックを製造する方法を示す概略断面図である。

【0243】

図2を参照すると、まず、第1LEDスタック23が第1基板21上に成長し、第1-p反射電極25が第1LEDスタック23上に形成される。

【0244】

第1基板21は、例えば、GaAs基板であってもよい。加えて、第1LEDスタック23は、AlGaInP系半導体層で構成され、n型半導体層と、活性層と、p型半導体層とを含む。第1-p反射電極25は、p型半導体層とオーミック接触を形成する。

【0245】

一方、第2LEDスタック33が第2基板31上に成長し、第2-p透明電極35および第1カラーフィルタ37が第2LEDスタック33上に形成される。第2LEDスタック33は、GaN系半導体層で構成され、GaInN井戸層を含むことができる。第2基板31は、GaN系半導体層に対する均質基板であり、例えば、GaN基板であってもよい。また、第2基板31は、n型ドーパントでドーピングされたn型半導体であってもよい。第2LEDスタック33のためのGaInNの組成比は、第2LEDスタック33が緑色光を放出するように決定されてもよい。一方、第2-p透明電極35は、p型半導体層とオーミック接触を形成する。

【0246】

また、第3LEDスタック43が第3基板41上に成長し、第3-p透明電極45および第2カラーフィルタ47が第3LEDスタック43上に形成される。第3LEDスタック43は、GaN系半導体層で構成され、GaInN井戸層を含むことができる。第3基板41は、GaN系半導体層に対する均質基板であり、例えば、GaN基板であってもよい。第3LEDスタック43のためのGaInNの組成比は、第3LEDスタック43が青色光を放出するように決定されてもよい。他方、第3-p透明電極45は、p型半導体層とオーミック接触を形成する。

【0247】

第1カラーフィルタ37および第2カラーフィルタ47は、図1を参照して説明したものと同一であり、その繰り返される説明は省略する。

【0248】

図1および図2を参照すると、第1LEDスタック23が第1ボンディング層53を経由して支持基板51に結合される。第1ボンディング層53は、支持基板51上に予め形成されてもよく、第1-p反射電極25は、支持基板51に向かうように配置され、第1ボンディング層53にボンディングされてもよい。第1基板21が化学的エッチングにより第1LEDスタック23から除去される。

【0249】

その後、第2LEDスタック33が第2ボンディング層55を経由して第1LEDスタック23に結合される。第1カラーフィルタ37は、第1LEDスタック23に向かうように配置され、第2ボンディング層55にボンディングされる。第2ボンディング層55は、第1LEDスタック23上に予め形成されてもよく、第1カラーフィルタ37は、第2ボンディング層55に向かうように配置され、第2ボンディング層55にボンディングされてもよい。第2基板31は、第2基板が成長基板として用いられる場合に比べて、薄化工程(thinning process)により減少した厚さを有することができる。また、第2基板31全体が除去可能である。

【0250】

10

その後、第3LEDスタック43が第3ボンディング層57を経由して第2LEDスタック33に結合される。第2カラーフィルタ47は、第2基板31に向かうように配置され、第3ボンディング層57にボンディングされる。第3ボンディング層57は、第2基板31上に予め配置されてもよく、第2カラーフィルタ47は、第3ボンディング層57に向かうように配置され、第3ボンディング層57にボンディングされてもよい。結果として、図1に示すように、外部に露出する第3LEDスタック43を有する、ディスプレイ用発光ダイオードスタックが提供される。第3基板41はさらに、薄化工程が施されてもよく、完全に除去されてもよい。

【0251】

20

ディスプレイ装置が、ピクセルユニット内の支持基板51上で第1～第3LEDスタック23、33および43のスタックをバタニングし、次いで、インターコネクションラインを介して第1～第3LEDスタックを互いに接続することにより提供できる。以下、ディスプレイ装置の例示的な実施例を説明する。

【0252】

図3は、本開示の1つの例示的な実施例によるディスプレイ装置の作動を示す概略回路図であり、図4は、本開示の例示的な実施例によるディスプレイ装置の概略平面図である。

【0253】

まず、図3および図4を参照すると、本例示的な実施例によるディスプレイ装置は、パッシブマトリクス方式で作動するように実現できる。

30

【0254】

例えば、図1を参照して説明したディスプレイ用発光ダイオードスタックは、第1～第3LEDスタック23、33および43が垂直方向に積層される構造を有するので、1つのピクセルが3つの発光ダイオードR、GおよびBを含む。第1発光ダイオードRは、第1LEDスタック23に対応し、第2発光ダイオードGは、第2LEDスタック33に対応し、第3発光ダイオードBは、第3LEDスタック43に対応する。

【0255】

図3および図4で、1つのピクセルは、第1～第3発光ダイオードR、GおよびBを含み、そのそれぞれは、サブピクセルに対応する。第1～第3発光ダイオードR、GおよびBのアノードは、共通ライン、例えば、データラインに接続され、そのカソードは、異なるライン、例えば、スキャンラインに接続される。例えば、第1ピクセルにおいて、第1～第3発光ダイオードR、GおよびBのアノードは、データラインVdata1に共通に接続され、そのカソードは、スキャンラインVscan1-1、Vscan1-2およびVscan1-3にそれぞれ接続される。結果として、各ピクセル内の発光ダイオードR、GおよびBは、独立して駆動可能である。

40

【0256】

また、発光ダイオードR、GおよびBのそれぞれは、パルス幅変調によってまたは電流の大きさを変更することにより駆動され、それによって、各サブピクセルの明るさの調節を可能にする。

【0257】

50

図4を再度参照すると、複数のピクセルが図1を参照して説明したスタックをパターンニングすることにより形成され、各ピクセルは、第1-p反射電極25およびインターコネクションライン71、73および75に接続される。図3に示すように、第1-p反射電極25は、データラインVdataとして使用可能であり、インターコネクションライン71、73および75は、スキャンラインとして形成可能である。

【0258】

ピクセルは、各ピクセルの発光ダイオードR、GおよびBのアノードが第1-p反射電極25に共通に接続され、そのカソードが互いに分離されたインターコネクションライン71、73および75に接続される、マトリクス状に配列される。インターコネクションライン71、73および75は、スキャンラインVscanとして使用可能である。

10

【0259】

図5は、図4に示すディスプレイ装置の1つのピクセルの拡大平面図であり、図6は、図5のA-A線に沿った概略断面図であり、図7は、図5のB-B線に沿った概略断面図である。

【0260】

図4、図5、図6および図7を参照すると、各ピクセルにおいて、第1-p反射電極25の一部分、第1LEDスタック23の上部表面の一部分、第2-p透明電極35の一部分、第2基板31の上部表面の一部分、第3-p透明電極45の一部分、および第3基板41の上部表面が外部に露出する。

【0261】

第3LEDスタック43は、その上部表面上に粗面化された表面43aを有してもよい。粗面化された表面43aは、図示のように、第3基板41の上部表面の全体にわたって形成されるか、またはそのいくつかの領域に形成されてもよい。第3基板41が除去される構造では、粗面化された表面は、第3LEDスタック43上に形成される。

20

【0262】

第1絶縁層61は、各ピクセルの側面を覆うことができる。第1絶縁層61は、SiO₂のような光透過性材料で形成される。この場合、第1絶縁層61は、第3基板41の全体上部表面を覆うことができる。その代わりとして、第1絶縁層61は、分布ブラッグ反射器を含み、第1～第3LEDスタック23、33および43の側面に向かって進行する光を反射させてもよい。この場合、第1絶縁層61は、第3基板41の上部表面を少なくとも部分的に露出させる。

30

【0263】

第1絶縁層61は、第3基板41の上部表面を露出させる開口部61aと、第2基板31の上部表面を露出させる開口部61bと、第1LEDスタック23のオーミック電極29を露出させる開口部61c（図8H参照）と、第3-p透明電極45を露出させる開口部61dと、第2-p透明電極35を露出させる開口部61eと、第1-p反射電極25を露出させる開口部61fとを含むことができる。

【0264】

インターコネクションライン71および75は、支持基板51上で第1～第3LEDスタック23、33および43近傍に形成され、第1-p反射電極25から絶縁されるように第1絶縁層61上に配置される。一方、第1LEDスタック23、第2LEDスタック33および第3LEDスタック43のアノードが第1-p反射電極25に共通に接続されるように、接続部分77aが第3-p透明電極45を第1-p反射電極25に接続し、接続部分77bが第2-p透明電極35を第1-p反射電極25に接続する。

40

【0265】

接続部分71aは、第3基板41の上部表面をインターコネクションライン71に接続し、接続部分75aは、第1LEDスタック23の上部表面をインターコネクションライン75に接続する。

【0266】

第2絶縁層81がインターコネクションライン71および73上に配置されて第3基板

50

4 1 の上部表面を覆うことができる。第 2 絶縁層 8 1 は、第 2 基板 3 1 の上部表面を部分的に露出させる開口部 8 1 a を有してもよい。

【0 2 6 7】

インターコネクションライン 7 3 は、第 2 絶縁層 8 1 上に配置され、接続部分 7 3 a は、第 2 基板 3 1 の上部表面をインターコネクションライン 7 3 に接続することができる。接続部分 7 3 a は、インターコネクションライン 7 5 の上部部分を通過することができ、第 2 絶縁層 8 1 によってインターコネクションライン 7 5 から絶縁される。

【0 2 6 8】

各ピクセルの電極が本例示的な実施例でデータラインおよびスキャンラインに接続されるものと説明されるが、多様な実施形態が可能であることを理解しなければならない。本例示的な実施例では、インターコネクションライン 7 1 および 7 5 が第 1 絶縁層 6 1 上に形成され、インターコネクションライン 7 3 が第 2 絶縁層 8 1 上に形成されるが、本開示がこれに限定されないことを理解しなければならない。例えば、すべてのインターコネクションライン 7 1、7 3 および 7 5 が第 1 絶縁層 6 1 上に形成され、インターコネクションライン 7 3 を露出させるように構成される開口部を有し得る、第 2 絶縁層 8 1 によって覆われてもよい。この構造において、接続部分 7 3 a は、第 2 基板 3 1 の上部表面を第 2 絶縁層 8 1 の開口部を介してインターコネクションライン 7 3 に接続することができる。

【0 2 6 9】

その代わりとして、インターコネクションライン 7 1、7 3 および 7 5 は、支持基板 5 1 の内部に形成され、第 1 絶縁層 6 1 上の接続部分 7 1 a、7 3 a および 7 5 a は、第 1 L E D スタック 2 3 の上部表面および第 2 および第 3 基板 3 1 および 4 1 の上部表面をインターコネクションライン 7 1、7 3 および 7 5 に接続してもよい。

【0 2 7 0】

図 8 A ~ 図 8 K は、本開示の 1 つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。以下の説明は、図 5 のピクセルを形成する方法について与えられる。

【0 2 7 1】

まず、図 1 で説明した発光ダイオードスタック 1 0 0 が用意される。

【0 2 7 2】

その後、図 8 A を参照すると、粗面化された表面 4 1 a が第 3 基板 4 1 の上部表面上に形成される。粗面化された表面 4 1 a は、各ピクセル領域に対応するように第 3 基板 4 1 の上部表面上に形成される。粗面化された表面 4 1 a は、化学的エッチング、例えば、光増強化学的エッチング (p h o t o - e n h a n c e d c h e m i c a l e t c h i n g : P E C) により形成される。

【0 2 7 3】

粗面化された表面 4 1 a は、後続の工程でエッチングされる第 3 基板 4 1 の領域を考慮して各ピクセル領域内に部分的に形成されてもよいが、これに限定されるものではない。その代わりとして、粗面化された表面 4 1 a は、第 3 基板 4 1 の全体上部表面にわたって形成されてもよい。

【0 2 7 4】

図 8 B を参照すると、各ピクセルにおいて第 3 基板 4 1 および第 3 L E D スタック 4 3 の周囲領域がエッチングにより除去されて、第 3 - p 透明電極 4 5 を露出させる。図示のように、第 3 基板 4 1 は、長形状または正方形を有するように保持できる。複数の陥没部が第 3 基板 4 1 および第 3 L E D スタック 4 3 の周縁に沿って形成される。これらの陥没部は、第 3 基板 4 1 および第 3 L E D スタック 4 3 上に連続的に形成されてもよい。

【0 2 7 5】

図 8 C を参照すると、1 つの陥没部内で露出する第 3 - p 透明電極 4 5 の一部分を除いた他の領域で露出する第 3 - p 透明電極 4 5 を除去することにより、第 2 基板 3 1 の上部表面が露出する。したがって、第 2 基板 3 1 の上部表面は、第 3 基板 4 1 の周囲で、そして第 3 - p 透明電極 4 5 が部分的に残留する陥没部を除いた他の陥没部内で露出する。

【0276】

図8Dを参照すると、1つの陥没部内で露出する第2基板31の一部分を除いた他の領域で露出する第2基板31を除去し、次いで、第2LEDスタック33を除去することにより、第2-p透明電極35が露出する。

【0277】

図8Eを参照すると、1つの陥没部内で露出する第2-p透明電極35の一部分を除いた他の領域で露出する第2-p透明電極35を除去することにより、第1LEDスタック23の上部表面が露出する。したがって、第1LEDスタック23の上部表面が第3基板41の周囲で露出し、第1LEDスタック23の上部表面は、第3基板41内に形成される陥没部のうちの少なくとも1つ内で露出する。

10

【0278】

図8Fを参照すると、1つの陥没部内で露出する第1LEDスタック23を除いた他の領域で第1LEDスタック23の露出する部分を除去することにより、第1-p反射電極25が露出する。第1-p反射電極25は、第3基板41の周囲で露出する。

【0279】

図8Gを参照すると、線形インターコネクションラインが第1-p反射電極25をパターンニングすることにより形成される。ここで、支持基板51が露出してもよい。第1-p反射電極25は、マトリクスに配列されるピクセルのうちの1つの行(row)内に配列されるピクセルを互いに接続することができる(図4参照)。

【0280】

20

図8Hを参照すると、第1絶縁層61(図6および図7参照)がピクセルを覆うように形成される。第1絶縁層61は、第1-p反射電極25、第1~第3LEDスタック23、33および43の側面および第2および第3基板31および41の側面を覆う。加えて、第1絶縁層61は、第3基板41の上部表面を少なくとも部分的に覆うことができる。第1絶縁層61がSiO₂層のような透明層であれば、第1絶縁層61は、第3基板41の全体上部表面を覆うことができる。その代わりとして、第1絶縁層61は、分布ブラッグ反射器を含んでもよい。この場合、第1絶縁層61は、第3基板41の上部表面を少なくとも部分的に露出させて、光が外部に放出されることを許容することができる。

【0281】

30

第1絶縁層61は、第3基板41を露出させる開口部61aと、第2基板31を露出させる開口部61bと、第1LEDスタック23を露出させる開口部61cと、第3-p透明電極45を露出させる開口部61dと、第2-p透明電極35を露出させる開口部61eと、第1-p反射電極25を露出させる開口部61fとを含むことができる。第1-p反射電極25を露出させるように適合化される開口部61fは、複数形成されてもよい。

【0282】

40

図8Iを参照すると、インターコネクションライン71および75および接続部分71a、75a、77aおよび77bが形成される。これらはリフトオフ工程により形成される。インターコネクションライン71および75は、第1絶縁層61によって第1-p反射電極25から絶縁される。接続部分71aは、第3基板41をインターコネクションライン71に電氣的に接続し、接続部分75aは、第1LEDスタック23をインターコネクションライン75に電氣的に接続する。接続部分77aは、第3-p透明電極45を第1-p反射電極25に電氣的に接続し、接続部分77bは、第2-p透明電極35を第1-p反射電極25に電氣的に接続する。

【0283】

図8Jを参照すると、第2絶縁層81(図6および図7参照)がインターコネクションライン71および75および接続部分71a、75a、77aおよび77bを覆う。第2絶縁層81も、第3基板41の全体上部表面を覆うことができる。第2絶縁層81は、第2基板31の上部表面を露出させる開口部81aを有する。第2絶縁層81は、例えば、シリコン酸化物またはシリコン窒化物で形成され、分布ブラッグ反射器を含むことができる。第2絶縁層81が分布ブラッグ反射器を含む構造において、第2絶縁層81は、第3

50

基板 4 1 の上部表面の少なくとも一部を露出させるように形成されて、光が外部に放出されることを許容する。

【0284】

図 8 K を参照すると、インターコネクションライン 7 3 および接続部分 7 3 a が形成される。インターコネクションライン 7 5 および接続部分 7 3 a は、リフトオフ工程により形成される。インターコネクションライン 7 3 は、第 2 絶縁層 8 1 上に配置され、第 1 - p 反射電極 2 5 およびインターコネクションライン 7 1 および 7 5 から絶縁される。接続部分 7 3 a は、第 2 基板 3 1 をインターコネクションライン 7 3 に電氣的に接続する。接続部分 7 3 a は、インターコネクションライン 7 5 の上部部分を貫通することができ、第 2 絶縁層 8 1 によってインターコネクションライン 7 5 から絶縁される。

10

【0285】

結果として、ピクセル領域が図 5 に示すように完成する。加えて、図 4 に示すように、複数のピクセルが支持基板 5 1 上に形成され、第 1 - p 反射電極 2 5 およびインターコネクションライン 7 1、7 3 および 7 5 によって互いに接続されて、パッシブマトリクス方式で動作可能である。

【0286】

パッシブマトリクス方式で動作するように適合化されるディスプレイ装置を製造する方法を本例示的な実施例で示したが、本開示がこれに限定されないことを理解しなければならない。すなわち、例示的な実施例によるディスプレイ装置は、図 1 に示す発光ダイオードスタックを用いてパッシブマトリクス方式で動作するように多様な方式で製造できる。

20

【0287】

例えば、本例示的な実施例において、インターコネクションライン 7 3 が第 2 絶縁層 8 1 上に形成されるものとして示されるが、インターコネクションライン 7 3 は、第 1 絶縁層 6 1 上でインターコネクションライン 7 1 および 7 5 とともに形成されてもよいし、接続部分 7 3 a は、第 2 絶縁層 8 1 上に形成されて第 2 基板 3 1 をインターコネクションライン 7 3 に接続することができる。その代わりとして、インターコネクションライン 7 1、7 3 および 7 5 は、支持基板 5 1 の内部に配置されてもよい。

【0288】

図 9 は、本開示のもう 1 つの例示的な実施例によるディスプレイ装置の作動を示す概略回路図である。上記の実施例は、パッシブマトリクス方式で駆動されるディスプレイ装置に関するのに対し、本例示的な実施例は、アクティブマトリクス方式で駆動されるディスプレイ装置に関するものである。

30

【0289】

図 9 を参照すると、本例示的な実施例による駆動回路は、2 つ以上のトランジスタ T r 1 および T r 2 およびキャパシタを含む。電源が選択ライン V r o w 1 ~ V r o w 3 に接続され、電圧がデータライン V d a t a 1 ~ V d a t a 3 に印加されると、電圧が対応する発光ダイオードに印加される。また、対応するキャパシタは、データライン V d a t a 1 ~ V d a t a 3 の値に応じて充電される。トランジスタ T r 2 のターンオン状態がキャパシタの充電された電圧によって保持できるので、キャパシタの電圧は、選択ライン V r o w 1 に供給される電源が遮断されても保持されて発光ダイオード L E D 1 ~ L E D 3 に印加される。さらに、発光ダイオード L E D 1 ~ L E D 3 内で流れる電流は、データライン V d a t a 1 ~ V d a t a 3 の値に応じて変更可能である。電流は、電流供給源 V d d を介して連続的に供給可能であり、それによって、連続的な発光を可能にする。

40

【0290】

トランジスタ T r 1 および T r 2 およびキャパシタは、支持基板 5 1 の内部で形成される。例えば、シリコン基板上に形成される薄膜トランジスタがアクティブマトリクス駆動のために使用可能である。

【0291】

発光ダイオード L E D 1 ~ L E D 3 は、1 つのピクセル内に積層される第 1 ~ 第 3 L E D スタック 2 3、3 3 および 4 3 にそれぞれ対応する。第 1 ~ 第 3 L E D スタックのアノ

50

ードは、トランジスタT r 2に接続され、そのカソードは、接地（g r o u n d）に接続される。

【0292】

たとえばアクティブマトリクス駆動のための回路の一例が本例示的な実施例で示されたとしても、他の種類の回路も使用可能であることを理解しなければならない。加えて、本例示的な実施例において、発光ダイオードL E D 1～L E D 3のアノードが互いに異なるトランジスタT r 2に接続され、そのカソードが接地に接続されるが、他の例示的な実施例において、発光ダイオードのアノードは、電流供給源V d dに接続され、そのカソードは、互いに異なるトランジスタに接続されてもよい。

【0293】

図10は、本開示のもう1つの例示的な実施例によるディスプレイ装置の概略平面図である。以下の説明は、支持基板151上に配列される複数のピクセルのうちの1つのピクセルについて与えられる。

【0294】

図10を参照すると、本例示的な実施例によるピクセルは、支持基板151がトランジスタおよびキャパシタを含む薄膜トランジスタパネルであり、第1-p反射電極25が第1L E Dスタック23の下部領域内に制限的に位置することを除けば、図4～図7を参照して説明したピクセルと実質的に類似している。

【0295】

第3L E Dスタック43のカソードは、接続部分171aを介して支持基板151に接続される。例えば、図9に示すように、第3L E Dスタック43のカソードは、支持基板151への電氣的な接続により接地に接続される。第2L E Dスタック33および第1L E Dスタック23のカソードはさらに、接続部分173aおよび175aを経由した支持基板151への電氣的な接続により接地に接続されてもよい。

【0296】

一方、第1-p反射電極25は、支持基板151の内部でトランジスタT r 2（図9参照）に接続される。第3-p透明電極45および第2-p透明電極35も、接続部分171aおよび173bを介して支持基板151の内部でトランジスタT r 2（図9参照）に接続される。

【0297】

この方式により、第1～第3L E Dスタック23、33および43は、互いに接続され、それによって、図9に示すように、アクティブマトリクス駆動のための回路を構成する。

【0298】

アクティブマトリクス駆動のための電氣的な接続の一例が本例示的な実施例で示されるが、本開示がこれに限定されるものではなく、ディスプレイ装置用回路が多様な方式でアクティブマトリクス駆動のための多様な回路に変形可能であることを理解しなければならない。

【0299】

一方、図1を参照して説明した例示的な実施例では、第1-p反射電極25、第2-p透明電極35および第3-p透明電極45がそれぞれ第1L E Dスタック23、第2L E Dスタック33および第3L E Dスタック43のp型半導体層とオーミック接触を形成するが、第2基板31および第3基板41のそれぞれには別途のオーミック接触層が提供されない。ピクセルが200μm以下の小さい大きさを有する場合、n型半導体層内に別途のオーミック接触層を形成しなくても、電流拡散（c u r e n t s p r e a d i n g）における困難がない。しかし、電流拡散を確保するために、透明電極層が第2基板31および第3基板41のそれぞれの上に配置されてもよい。

【0300】

加えて、第1～第3L E Dスタック23、33および43は、多様な構造で互いに接続される。

10

20

30

40

50

【0301】

図11は、本開示のもう1つの例示的な実施例によるディスプレイ用発光ダイオードスタック101の概略断面図である。

【0302】

図11を参照すると、図1を参照して説明した発光ダイオードスタック100と同じく、発光ダイオードスタック101は、支持基板51と、第1LEDスタック23と、第2LEDスタック33と、第3LEDスタック43と、第2基板31と、第3基板41と、第2-p透明電極35と、第3-p透明電極45と、第1カラーフィルタ137と、第2カラーフィルタ47と、第1ボンディング層153と、第2ボンディング層155と、第3ボンディング層157とを含む。加えて、発光ダイオードスタック101は、第1-n 10
反射電極129と、第1-p透明電極125と、第2-n透明電極139とをさらに含んでもよい。

【0303】

支持基板51は、半導体スタック23、33および43を支持する。支持基板51は、その表面上にまたはその内部に回路を含むことができるが、これに限定されるものではない。支持基板51は、例えば、Si基板またはGe基板を含むことができる。

【0304】

第1LEDスタック23、第2LEDスタック33および第3LEDスタック43は、図1を参照して説明したものと類似しており、その詳細な説明は省略する。しかし、本例示的な実施例は、第1LEDスタック23および第2LEDスタック33のそれぞれがn 20
型下部表面およびp型上部表面を有するという点から、図1に示す例示的な実施例とは異なる。図1に示す例示的な実施例におけるのと同じく、本例示的な実施例による第3LEDスタック43は、p型下部表面およびn型上部表面を有する。

【0305】

第2基板31および第3基板41は、図1を参照して説明したものと類似しており、その詳細な説明は省略する。

【0306】

一方、第1LEDスタック23がp型上部表面を有するので、第1-p透明電極125は、第1LEDスタック23の上部表面とオーミック接触を形成する。第1-p透明電極 30
125は、第1LEDスタック23から発生する光、例えば、赤色光を透過させる。

【0307】

第1-n反射電極129は、第1LEDスタック23の下部表面とオーミック接触を形成する。第1-n反射電極129は、第1LEDスタック23とオーミック接触を形成し、第1LEDスタック23から発生する光を反射させる。第1-n反射電極129は、例えば、Au-TiまたはAu-Snで形成される。また、第1-n反射電極129は、拡散バリア層を含むことができる。

【0308】

第2-p透明電極35は、第2LEDスタック33のp型半導体層とオーミック接触を形成する。第2LEDスタック33がp型上部表面を有するので、第2-p透明電極35は、第2LEDスタック33上に配置される。第2-p透明電極35は、赤色光および緑 40
色光に関して透過性である金属層または導電性酸化物層で構成される。

【0309】

第2-n透明電極139は、第2基板31の下部表面とオーミック接触を形成することができる。第2-n透明電極139も、赤色光および緑色光に関して透過性である金属層または導電性酸化物層で構成される。第2-n透明電極139は、第2LEDスタック33および第2基板31をパターニングすることにより部分的に露出して、第2LEDスタック33のn型半導体層への電氣的な接続のための接続端子を提供する。

【0310】

第3-p透明電極45は、第3LEDスタック43のp型半導体層とオーミック接触を形成する。第3-p透明電極45は、赤色光、緑色光および青色光に関して透過性である 50

金属層または導電性酸化物層で構成される。

【0311】

第1カラーフィルタ137は、第1LEDスタック23と第2LEDスタック33との間に介在する。加えて、第2カラーフィルタ47は、第2LEDスタック33と第3LEDスタック43との間に介在する。第1カラーフィルタ137は、第1LEDスタック23から発生する光を透過させ、第2LEDスタック33から発生する光を反射させる。一方、第2カラーフィルタ47は、第1および第2LEDスタック23および33から発生する光を透過させ、第3LEDスタック43から発生する光を反射させる。したがって、第1LEDスタック23から発生する光は、第2基板31、第2LEDスタック33、第3LEDスタック43および第3基板41を介して外部に放出され、第2LEDスタック33から発生する光は、第3LEDスタック43および第3基板41を介して外部に放出される。また、発光ダイオードスタック101は、第2LEDスタック33から発生する光が第1LEDスタック23に進入するのを防止することができ、第3LEDスタック43から発生する光が第2LEDスタック33に進入するのを防止することができ、それによって、光損失を防止する。第1LEDスタック23から発生する光は、第1-p透明電極125、第2-p透明電極35、第2-n透明電極139および第3-p透明電極45を介して外部に放出される。さらに、第2LEDスタック33から発生する光は、第2-p透明電極35および第3-p透明電極45を介して外部に放出される。

10

【0312】

いくつかの例示的な実施例において、第1カラーフィルタ137は、第3LEDスタック43から発生する光を反射させることができる。

20

【0313】

第1および第2カラーフィルタ137および47は、例えば、低周波数帯域で、すなわち、長波長帯域で、光のそれを介した通過を許容するローパスフィルタ、所定の波長帯域で光のそれを介した通過を許容するバンドパスフィルタ、または所定の波長帯域で光のそれを介した通過を防止するバンドストップフィルタであってもよい。特に、第1および第2カラーフィルタ137および47のそれぞれは、分布ブラッグ反射器(DBR)を含むバンドストップフィルタであってもよい。分布ブラッグ反射器は、互いに異なる屈折率を有する絶縁層、例えば、TiO₂およびSiO₂を交互に積層することにより形成可能である。同時に、分布ブラッグ反射器の阻止帯域は、TiO₂およびSiO₂層の厚さを調節することにより制御可能である。ローパスフィルタおよびバンドパスフィルタも、互いに異なる屈折率を有する絶縁層を交互に積層することにより形成可能である。

30

【0314】

第1ボンディング層153は、第1LEDスタック23を支持基板51に結合する。図示のように、第1-n反射電極129は、第1ボンディング層153に隣接していてもよい。第1ボンディング層153は、光透過性または不透明層であってもよい。第1ボンディング層153は、例えば、透明無機絶縁層、透明有機絶縁層または透明導電層であってもよい。

【0315】

第2ボンディング層155は、第2LEDスタック33を第1LEDスタック23に結合する。図示のように、第2ボンディング層155は、第1カラーフィルタ137上に配置され、第2-n透明電極139に隣接していてもよい。第2ボンディング層155は、第1LEDスタック23から発生する光を透過させる。第2ボンディング層155は、例えば、透明無機絶縁層、透明有機絶縁層または透明導電層であってもよく、例えば、光透過性スピノンガラスで形成される。

40

【0316】

第3ボンディング層157は、第3LEDスタック43を第2LEDスタック33に結合する。図示のように、第3ボンディング層157は、第2-p透明電極35および第2カラーフィルタ47に隣接していてもよい。第3ボンディング層157は、第1LEDスタック23および第2LEDスタック33から発生する光を透過させる。第3ボンディン

50

グ層 1 5 7 は、例えば、透明無機絶縁層、透明有機絶縁層または透明導電層であってもよく、例えば、光透過性スピノンガラスで形成される。

【0317】

図 1 2 A ~ 図 1 2 F は、本開示のさらに他の例示的な実施例によるディスプレイ用発光ダイオードスタックを製造する方法を示す概略断面図である。

【0318】

図 1 2 A を参照すると、まず、第 3 LED スタック 4 3 が第 3 基板 4 1 上に成長し、第 3-p 透明電極 4 5 および第 2 カラーフィルタ 4 7 が第 3 LED スタック 4 3 上に形成される。第 3 LED スタック 4 3 は、Ga N 系半導体層で構成され、Ga I n N 井戸層を含むことができる。第 3 基板 4 1 は、Ga N 系半導体層に対する均質基板であり、例えば、n 型ドーパントでドーピングされた Ga N 基板であってもよい。第 3 LED スタック 4 3 のための Ga I n N の組成比は、第 3 LED スタック 4 3 が青色光を放出するように決定されてもよい。第 3-p 透明電極 4 5 は、p 型半導体層とオーミック接触を形成する。

【0319】

図 1 2 B を参照すると、第 2 LED スタック 3 3 が第 2 基板 3 1 上に成長し、第 2-p 透明電極 3 5 が第 2 LED スタック 3 3 上に形成される。第 2 LED スタック 3 3 は、Ga N 系半導体層で構成され、Ga I n N 井戸層を含むことができる。第 2 基板 3 1 は、Ga N 系半導体層に対する均質基板であり、例えば、n 型ドーパントでドーピングされた Ga N 基板であってもよい。第 2 LED スタック 3 3 のための Ga I n N の組成比は、第 2 LED スタック 3 3 が緑色光を放出するように決定されてもよい。一方、第 2-p 透明電極 3 5 は、p 型半導体層とオーミック接触を形成する。

【0320】

第 2 基板 3 1 は、第 3 ボンディング層 1 5 7 が第 2 カラーフィルタ 4 7 に提供され、第 2 基板 3 1 上の第 2-p 透明電極 3 5 が第 3 ボンディング層 1 5 7 に隣接するように配置される。第 3 ボンディング層 1 5 7 は、例えば、スピノンガラスで形成される。したがって、第 2 LED スタック 3 3 は、第 3 LED スタック 4 3 に結合される。

【0321】

図 1 2 C を参照すると、第 2-n 透明電極 1 3 9 が第 2 基板 3 1 上に形成される。第 2-n 透明電極 1 3 9 は、第 2 基板 3 1 とオーミック接触を形成する。第 2-n 透明電極 1 3 9 は、金属層または導電性酸化物層で構成される。第 2-n 透明電極 1 3 9 は省略可能である。

【0322】

図 1 2 D を参照すると、第 1 LED スタック 2 3 が第 1 基板 2 1 上に成長し、第 1-p 透明電極 1 2 5 が第 1 LED スタック 2 3 上に形成され、第 1 カラーフィルタ 1 3 7 が第 1-p 透明電極 1 2 5 上に形成される。

【0323】

第 1 基板 2 1 は、例えば、Ga A s 基板であってもよい。加えて、第 1 LED スタック 2 3 は、Al Ga I n P 系半導体層で構成され、n 型半導体層と、活性層と、p 型半導体層とを含む。第 1-p 透明電極 1 2 5 は、p 型半導体層とオーミック接触を形成する。

【0324】

第 1 カラーフィルタ 1 3 7 は、図 1 を参照して説明したものと実質的に同一であり、繰り返しを避けるためにその詳細な説明は省略する。

【0325】

その後、第 2 ボンディング層 1 5 5 が第 2-n 透明電極 1 3 9 に提供され、第 2 基板 3 1 は、第 1 基板 2 1 上の第 1 カラーフィルタ 1 3 7 が第 2 ボンディング層 1 5 5 に隣接するように配置される。第 2 ボンディング層 1 5 5 は、例えば、スピノンガラスで形成される。したがって、第 1 LED スタック 2 3 が第 2 LED スタック 3 3 に結合される。

【0326】

図 1 2 E を参照すると、第 1 LED スタック 2 3 が第 2 LED スタック 3 3 にボンディングされ、第 1 基板 2 1 は、化学的エッチングにより第 1 LED スタック 2 3 から除去さ

10

20

30

40

50

れる。結果として、第1LEDスタック23が露出する。

【0327】

図12Fを参照すると、第1-n反射電極129が露出した第1LEDスタック23上に形成される。第1-n反射電極129は、第1LEDスタック23から発生する光を反射させる金属層を含む。

【0328】

その後、第1ボンディング層153が第1-n反射電極129上に配置され、支持基板51がそれにボンディングされる。結果として、図11に示すように、外部に露出する第3基板41を有する発光ダイオードスタック101が提供される。

【0329】

ピクセルユニット内で支持基板51上の第1～第3LEDスタック23、33および43のスタック101をパターニングし、次いで、インターコネクションラインを介して第1～第3LEDスタックを互いに接続することにより、ディスプレイ装置が提供できる。

【0330】

図13は、本開示の他の例示的な実施例によるディスプレイ用発光ダイオードスタック102の概略断面図である。

【0331】

図13を参照すると、本例示的な実施例による発光ダイオードスタック102は、第2基板31および第3基板41が除去されることを除けば、図1を参照して説明した発光ダイオードスタック100と概ね類似している。第2基板31および第3基板41は、それぞれ第2LEDスタック33および第3LEDスタック43のための成長基板として用いられた後、第2LEDスタック33および第3LEDスタック43から除去される。第2LEDスタック33および第3LEDスタック43のそれぞれは、均質なGaN系基板上に成長し、それによって、 $103 \sim 107 / \text{cm}^2$ の減少した転位密度を提供する。

【0332】

第2基板31および第3基板41が除去されるので、これらの基板31および41に電氣的に接続されるインターコネクションラインは、第2LEDスタック33および第3LEDスタック43にそれぞれ電氣的に接続される。加えて、粗面化された表面41aが第3LEDスタック43の上部表面上に形成される。

【0333】

図14は、本開示のさらに他の1つの例示的な実施例によるディスプレイ用発光ダイオードスタック103の概略断面図である。

【0334】

図14を参照すると、本例示的な実施例による発光ダイオードスタック103は、第2基板31および第3基板41が除去されることを除けば、図11を参照して説明した発光ダイオードスタック101と概ね類似している。第2基板31および第3基板41は、それぞれ第2LEDスタック33および第3LEDスタック43のための成長基板として用いられた後、第2LEDスタック33および第3LEDスタック43から除去される。第2LEDスタック33および第3LEDスタック43のそれぞれは、均質なGaN系基板上に成長し、それによって、 $103 \sim 107 / \text{cm}^2$ の減少した転位密度を提供する。

【0335】

第2基板31および第3基板41が除去されるので、これらの基板31および41に電氣的に接続されるインターコネクションラインは、第2LEDスタック33および第3LEDスタック43にそれぞれ電氣的に接続される。加えて、粗面化された表面41aが第3LEDスタック43の上部表面上に形成される。

【0336】

例示的な実施例によれば、ディスプレイ用発光ダイオードスタック100；101；102；および103を用いてウェハレベルで複数のピクセルを形成することが可能なため、発光ダイオードを個別に実装する必要がない。加えて、例示的な実施例による発光ダイオードスタックは、第1～第3LEDスタック23、33および43が垂直方向に積層さ

10

20

30

40

50

れる構造を有し、それによって、限られたピクセル面積内でサブピクセルのための面積を確保する。また、例示的な実施例による発光ダイオードスタックは、第1LEDスタック23、第2LEDスタック33および第3LEDスタック43から発生する光がそれを介して外部に放出されることを許容し、それによって、光損失を減少させる。さらに、第2LEDスタック33および第3LEDスタック43のそれぞれが均質基板上に成長してその転位密度を減少させることができ、それによって、発光効率を向上させる。また、第2基板31および第3基板41が除去されずに第2LEDスタック33および第3LEDスタック43上に残留可能であり、それによって、発光ダイオードスタックを製造する工程を単純化する。

【0337】

図15は、本開示の例示的な実施例による発光積層構造を示す断面図である。

【0338】

図15を参照すると、本開示の例示的な実施例による発光積層構造は、互いに積層される複数のエピタキシャルスタックを含む。エピタキシャルスタックは、基板210上に配置される。

【0339】

基板210は、前面および後面が提供されるプレート形状を有する。

【0340】

基板210は、エピタキシャルスタックがその上に実装される前面がそれぞれ提供される、多様な形状を有することができる。基板210は、絶縁材料を含むことができる。基板210の材料として、ガラス、石英、シリコン、有機ポリマーまたは有機-無機複合材料が使用できるが、これにまたはこれによって限定されるものではない。すなわち、基板210の材料は、絶縁特性を有する限り、特に限定されるべきではない。本開示の例示的な実施例において、ライン部(line part)が基板210上にさらに配置され、各エピタキシャルスタックに発光信号および共通電圧を印加することができる。特に、各エピタキシャルスタックがアクティブマトリクス方法によって作動する場合、薄膜トランジスタを含む駆動デバイスがライン部に加えて基板上にさらに配置されてもよい。このために、基板210は、ライン部および/または駆動デバイスをガラス、石英、シリコン、有機ポリマーまたは有機-無機複合材料上に形成することにより得られる、印刷回路基板または複合基板として提供できる。

【0341】

エピタキシャルスタックは、基板210の前面上に順に積層される。

【0342】

本開示の例示的な実施例において、2つ以上のエピタキシャルスタックが提供され、エピタキシャルスタックは、互いに異なる波長帯域を有する光を放出する。すなわち、エピタキシャルスタックは、複数提供され、エピタキシャルスタックは、互いに異なるエネルギーバンドを有する。本例示的な実施例では、基板210上に順に積層される3つのエピタキシャルスタックが示される。以下の実施例において、基板210上に順に積層される3つの層は、第1、第2および第3エピタキシャルスタック220、230および240としてそれぞれ言及される。

【0343】

各エピタキシャルスタックは、多様な波長帯域の光のうち、可視光帯域の色光を放出することができる。最下端に配置されるエピタキシャルスタックから放出される光は、最も低いエネルギーバンドを有する最も長い波長の色光であり、エピタキシャルスタックから放出される色光の波長は、エピタキシャルスタックの底から頂部まで次第に短くなる。最上端に配置されるエピタキシャルスタックから放出される光は、最も高いエネルギーバンドを有する最も短い波長の色光である。例えば、第1エピタキシャルスタック220は、第1色光L1を放出し、第2エピタキシャルスタック230は、第2色光L2を放出し、第3エピタキシャルスタック240は、第3色光L3を放出する。第1、第2および第3色光L1、L2およびL3は、互いに異なる色光であってもよく、第1、第2および第3

10

20

30

40

50

色光 L 1、L 2 および L 3 は、順に短くなる互いに異なる波長帯域を有する色光であってもよい。すなわち、第 1、第 2 および第 3 色光 L 1、L 2 および L 3 は、互いに異なる波長帯域を有してもよく、色光は、第 1 色光 L 1 から第 3 色光 L 3 まで次第に高いエネルギーを有する次第に短い波長帯域の色光であってもよい。

【0344】

本例示的な実施例において、第 1 色光 L 1 は、赤色光であってもよく、第 2 色光 L 2 は、緑色光であってもよいし、第 3 色光 L 3 は、青色光であってもよい。

【0345】

各エピタキシャルスタックは、基板 210 の前面が向かう方向に進行するように光を放出する。この場合、1つのエピタキシャルスタックから放出される光は、当該エピタキシャルスタックから放出される光の光路上に位置する他のエピタキシャルスタックを通過した後、基板 210 の前面が向かう方向に進行する。基板 210 の前面が向かう方向は、第 1、第 2 および第 3 エピタキシャルスタック 220、230 および 240 が積層される方向を示す。

【0346】

以下、説明の便宜のために、基板 210 の前面が向かう方向は、「前面方向」または「上方向」と称し、基板 210 の後面が向かう方向は、「後面方向」または「下方向」と称する。しかし、「上」および「下」という用語は、互いに相対的な方向を示し、発光積層構造体の配列または積層方向によって変化可能である。

【0347】

各エピタキシャルスタックは、光を上方向に放出し、その下に配置されるエピタキシャルスタックから放出される光の大部分を透過させる。すなわち、第 1 エピタキシャルスタック 220 から放出される光は、第 2 エピタキシャルスタック 230 および第 3 エピタキシャルスタック 240 を通過した後、前面方向に進行し、第 2 エピタキシャルスタック 230 から放出される光は、第 3 エピタキシャルスタック 240 を通過した後、前面方向に進行する。このために、最下端に配置されるエピタキシャルスタックを除いた他のエピタキシャルスタックの少なくとも一部分、好ましくは、全体部分は、光透過性材料で形成される。「光透過性材料」という用語は、光透過性材料がすべての光を透過させる場合のみならず、光透過性材料が所定の波長を有する光または所定の波長を有する光の一部分を透過させる場合も表す。例示的な実施例において、各エピタキシャルスタックは、その下に配置されるエピタキシャルスタックからの光の約 60% 以上を透過させることができる。他の実施例により、各エピタキシャルスタックは、その下に配置されるエピタキシャルスタックからの光の約 80% 以上を透過させることができ、他の実施例により、各エピタキシャルスタックは、その下に配置されるエピタキシャルスタックからの光の約 90% 以上を透過させることができる。

【0348】

本開示の例示的な実施例による上記の構造を有する発光積層構造では、エピタキシャルスタックは、エピタキシャルスタックに発光信号をそれぞれ印加する信号ラインがエピタキシャルスタックに独立に接続されるため、独立して駆動可能であり、光が各エピタキシャルスタックから放出されるかによって多様な色相をディスプレイすることができる。加えて、互いに異なる波長を有する光を放出するエピタキシャルスタックが互いに重なるように形成されるので、発光積層構造は、狭い面積内に形成可能である。

【0349】

図 16 は、各エピタキシャルスタックが独立して駆動されることを許容する、ライン部を有する本開示の例示的な実施例による発光積層構造を示す断面図である。図 17A～図 17C は、図 16 の各エピタキシャルスタックを詳細に示す断面図である。

【0350】

図 16 を参照すると、発光積層構造は、発光区域 E A と、発光区域 E A に隣接して配置される周辺区域 P A とを含む。

【0351】

発光区域 E A は、光が第 1、第 2 および第 3 エピタキシャルスタック 2 2 0、2 3 0 および 2 4 0 から上方向に放出される区域である。第 1、第 2 および第 3 エピタキシャルスタック 2 2 0、2 3 0 および 2 4 0 の発光区域 E A は、互いに重なり、そのため、第 1、第 2 および第 3 エピタキシャルスタック 2 2 0、2 3 0 および 2 4 0 の発光区域 E A は、互いに同一の面積を有する。

【0352】

周辺区域 P A は、第 1、第 2 および第 3 エピタキシャルスタック 2 2 0、2 3 0 および 2 4 0 に接続されるライン部が配置される区域である。光は、周辺区域 P A 内に配置される第 1、第 2 および第 3 エピタキシャルスタック 2 2 0、2 3 0 および 2 4 0 から放出される。しかし、図示しないが、多様な付加的な構成要素がライン部に加えて周辺区域 P A 内に配置され、光が外部に出射するのを防止する別途の遮断層または反射層が周辺区域 P A 内にさらに配置されてもよい。したがって、光が周辺区域 P A を介して出射しない。

【0353】

第 1、第 2 および第 3 エピタキシャルスタック 2 2 0、2 3 0 および 2 4 0 のそれぞれは基板 2 1 0 上に配置され、第 1、第 2 および第 3 接着層 2 5 0 a、2 5 0 b および 2 5 0 c のうち対応する接着層がその間に介在する。第 1、第 2 および第 3 接着層 2 5 0 a、2 5 0 b および 2 5 0 c は、非導電性材料を含むことができ、光透過材料を含むことができる。例えば、第 1、第 2 および第 3 接着層 2 5 0 a、2 5 0 b および 2 5 0 c は、光学用透明接着剤 (optically clear adhesive: OCA) を含むことができる。第 1、第 2 および第 3 接着層 2 5 0 a、2 5 0 b および 2 5 0 c の材料は、第 1、第 2 および第 3 接着層 2 5 0 a、2 5 0 b および 2 5 0 c の材料が光学的に透明で安定して各エピタキシャルスタックに貼り合わされる限り、特に限定されるべきではない。例えば、第 1、第 2 および第 3 接着層 2 5 0 a、2 5 0 b および 2 5 0 c は、SU-8、多様なレジスト、パリレン、ポリ (メチルメタクリレート) (PMMA) およびベンゾシクロブテン (BCB) のようなエポキシ系ポリマーのような有機材料およびシリコン酸化物、アルミニウム酸化物および溶融ガラスのような無機材料を含むことができる。また、必要に応じて、導電性酸化物が接着層として使用可能であり、この場合、導電性酸化物は、他の構成要素から絶縁される必要がある。有機材料が接着層として用いられ、無機材料のうち溶融ガラスが接着層として用いられる場合、第 1、第 2 および第 3 エピタキシャルスタック 2 2 0、2 3 0 および 2 4 0 および基板 2 1 0 は、第 1、第 2 および第 3 エピタキシャルスタック 2 2 0、2 3 0 および 2 4 0 および基板 2 1 0 の接着側 (adhesive side) 上に材料をコーティングし、高真空下で材料に高温および高圧を印加することにより、互いに貼り合わされる。(溶融ガラスを除いた) 無機材料が接着層として用いられる場合、第 1、第 2 および第 3 エピタキシャルスタック 2 2 0、2 3 0 および 2 4 0 および基板 2 1 0 は、第 1、第 2 および第 3 エピタキシャルスタック 2 2 0、2 3 0 および 2 4 0 および基板 2 1 0 の接着側上に材料を蒸着し、化学機械的平坦化 (CMP) を利用して材料を平坦化し、材料の表面上でプラズマ処理を行い、高真空下で貼り合わされることにより、互いに貼り合わされる。

【0354】

図 1 7 A ~ 1 7 C を参照すると、第 1、第 2 および第 3 エピタキシャルスタック 2 2 0、2 3 0 および 2 4 0 は、順に積層される第 1 半導体層 2 2 1、2 3 1 および 2 4 1、活性層 2 2 3、2 3 3 および 2 4 3 および第 2 半導体層 2 2 5、2 3 5 および 2 4 5 を含む。図 1 7 A ~ 図 1 7 C で、第 1 半導体層 2 2 1、2 3 1 および 2 4 1、活性層 2 2 3、2 3 3 および 2 4 3 および第 2 半導体層 2 2 5、2 3 5 および 2 4 5 は、上方向に順に積層されるが、図 1 7 A ~ 図 1 7 C の第 1、第 2 および第 3 エピタキシャルスタック 2 2 0、2 3 0 および 2 4 0 が図 1 6 では逆に示されていることに注目しなければならない。すなわち、図 1 6 に示す第 1、第 2 および第 3 エピタキシャルスタック 2 2 0、2 3 0 および 2 4 0 は、上方向で第 2 半導体層 2 2 5、2 3 5 および 2 4 5、活性層 2 2 3、2 3 3 および 2 4 3 および第 1 半導体層 2 2 1、2 3 1 および 2 4 1 の順に配列されている。

【0355】

図17Aを参照すると、第1エピタキシャルスタック220の第1半導体層221、活性層223および第2半導体層225は、赤色光を放出する半導体材料を含むことができる。赤色光を放出する半導体材料として、アルミニウムガリウム砒化物（AlGaAs）、ガリウム砒化リン化物（GaAsP）、アルミニウムガリウムインジウムリン化物（AlGaInP）およびガリウムリン化物（GaP）が使用できる。しかし、赤色光を放出する半導体材料はこれにまたはこれによって限定されるべきではなく、多様な他の材料が使用できる。

【0356】

第1半導体層221は、第1導電型不純物を含む半導体層であってもよく、第2半導体層225は、第2導電型不純物を含む半導体層であってもよい。第1導電型と第2導電型は、互いに反対の極性を有する。第1導電型がn型の場合、第2導電型はp型であり、第1導電型がp型の場合、第2導電型はn型である。本開示の例示的な実施例において、n型半導体層、活性層およびp型半導体層が順に形成された構造を代表例として説明することとし、第1半導体層221は、「n型半導体層」と称され、第2半導体層225は、「p型半導体層」と称されてもよい。これは説明の便宜のためのものであり、本開示の他の実施例により、第1半導体層221および第2半導体層225は、それぞれp型半導体層およびn型半導体層であってもよい。

【0357】

n型半導体層221、活性層223およびp型半導体層225の部分を除去することにより、メサ（mesa）が第1エピタキシャルスタック220に形成される。第1n型コンタクト電極229が露出したn型半導体層221の上部表面上に配置され、第1p型コンタクト電極227がメサの形成されたp型半導体層225上に配置される。

【0358】

第1n型コンタクト電極229および第1p型コンタクト電極227は、金属材料の単層構造または多層構造を有してもよい。例えば、第1n型コンタクト電極229および第1p型コンタクト電極227は、Al、Ti、Cr、Au、Ag、Ti、Sn、Ni、Cr、W、Cuまたはその合金のような金属材料を含むことができる。特に、第1p型コンタクト電極227は、高い反射率を有する金属材料を含むことができ、第1p型コンタクト電極227が高い反射率を有する金属材料を含むので、第1エピタキシャルスタック220から放出される光の上方向への発光効率が向上することができる。

【0359】

第1エピタキシャルスタック220は、第1接着層250aが間に介在した状態で基板210上に反転して配置されるので、第1n型コンタクト電極229および第1p型コンタクト電極227は、基板210と第2接着層250bとの間に配置される。第1p型コンタクト電極227は、発光区域EAと重なり、第1エピタキシャルスタック220の活性層223から放出される光を上方向に反射させる。

【0360】

図17Bを参照すると、第2エピタキシャルスタック230は、順に積層されるn型半導体層231、活性層233およびp型半導体層235を含む。n型半導体層231、活性層233およびp型半導体層235は、緑色光を放出する半導体材料を含むことができる。緑色光を放出する半導体材料として、インジウムガリウム窒化物（InGaN）、ガリウム窒化物（GaN）、ガリウムリン化物（GaP）、アルミニウムガリウムインジウムリン化物（AlGaInP）およびアルミニウムガリウムリン化物（AlGaP）が使用できる。しかし、緑色光を放出する半導体材料はこれにまたはこれによって限定されるべきではなく、多様な他の材料が使用できる。

【0361】

図16を再度参照すると、第2p型コンタクト電極237が第2エピタキシャルスタック230のp型半導体層235上に配置される。図16で、第2エピタキシャルスタック230が図17Bの反転した第2エピタキシャルスタック230に対応するので、第2p型コンタクト電極237は、第1エピタキシャルスタック220と第2エピタキシャルス

タック 230 との間に、詳しくは、第 2 接着層 250b と第 2 エピタキシャルスタック 230 との間に配置される。

【0362】

第 2 p 型コンタクト電極 237 は、透明導電性材料、例えば、透明導電性酸化物 (TCO) を含むことができ、約 2000 オングストローム～約 2 マイクロメートルの厚さを有することができる。

【0363】

図 17C を参照すると、第 3 エピタキシャルスタック 240 は、順に積層される n 型半導体層 241、活性層 243 および p 型半導体層 245 を含む。n 型半導体層 241、活性層 243 および p 型半導体層 235 は、青色光を放出する半導体材料を含むことができる。青色光を放出する半導体材料として、ガリウム窒化物 (GaN)、インジウムガリウム窒化物 (InGaN) および亜鉛セレン化物 (ZnSe) が使用できる。しかし、青色光を放出する半導体材料はこれにまたはこれによって限定されるべきではなく、多様な他の材料が使用できる。

【0364】

図 16 を再度参照すると、第 3 p 型コンタクト電極 247 が第 3 エピタキシャルスタック 240 の p 型半導体層 245 上に配置される。図 16 で、第 3 エピタキシャルスタック 240 が図 17C の反転した第 3 エピタキシャルスタック 240 に対応するので、第 3 p 型コンタクト電極 247 は、第 2 エピタキシャルスタック 230 と第 3 エピタキシャルスタック 240 との間に、詳しくは、第 3 接着層 250c と第 3 エピタキシャルスタック 240 との間に配置される。

【0365】

本例示的な実施例において、第 1、第 2 および第 3 エピタキシャルスタック 220、230 および 240 のそれぞれの n 型半導体層 221、231 および 241 およびそれぞれの p 型半導体層 225、235 および 245 は、単層構造を有するものの、実施例により、第 1、第 2 および第 3 エピタキシャルスタック 220、230 および 240 のそれぞれの n 型半導体層 221、231 および 241 およびそれぞれの p 型半導体層 225、235 および 245 は、多層構造を有してもよく、超格子層を含むことができる。第 1、第 2 および第 3 エピタキシャルスタック 220、230 および 240 の活性層 223、233 および 243 は、単一量子井戸構造または多重量子井戸構造を有してもよい。

【0366】

本例示的な実施例において、第 2 および第 3 p 型コンタクト電極 237 および 247 は、発光区域 EA と重なるように配置される。第 2 および第 3 p 型コンタクト電極 237 および 247 は、下に配置されるエピタキシャルスタックからの光を透過させるために透明導電性材料を含むことができる。例えば、第 2 および第 3 p 型コンタクト電極 237 および 247 のそれぞれの透明導電性酸化物 (TCO) を含むことができる。透明導電性酸化物は、スズ酸化物 (SnO)、インジウム酸化物 (InO₂)、亜鉛酸化物 (ZnO)、インジウムスズ酸化物 (ITO) およびインジウムスズ亜鉛酸化物 (ITZO) を含むことができる。透明導電性酸化物は、蒸発器またはスパッタを用いた化学気相蒸着 (CVD) または物理気相蒸着 (PVD) によって蒸着できる。第 2 および第 3 p 型コンタクト電極 237 および 247 は、透過率の満足する範囲内で以下の製造工程でエッチングストッパとして機能するのに十分な厚さを有することができる。

【0367】

本例示的な実施例において、第 1、第 2 および第 3 p 型コンタクト電極 227、237 および 247 は、共通ラインに接続される。共通ラインは、共通電圧が印加されるラインである。また、共通信号ラインは、第 2 および第 3 エピタキシャルスタック 230 および 240 の第 1 n 型コンタクト電極 229 および p 型半導体層 235 および 245 にそれぞれ接続される。本例示的な実施例において、共通電圧 Sc が共通ラインを介して第 1 p 型コンタクト電極 227、第 2 p 型コンタクト電極 237 および第 3 p 型コンタクト電極 247 に印加され、発光信号は、発光信号ラインを介して第 1 n 型コンタクト電極 229、

第2エピタキシャルスタック230のn型半導体層231および第3エピタキシャルスタック240のn型半導体層241に印加される。したがって、第1、第2および第3エピタキシャルスタック220、230および240の発光が制御される。発光信号は、第1、第2および第3エピタキシャルスタック220、230および240にそれぞれ対応する第1、第2および第3発光信号SR、SGおよびSBを含み、第1、第2および第3発光信号SR、SGおよびSBは、赤色光、緑色光および青色光の発光にそれぞれ対応する信号である。

【0368】

上述した実施例において、共通電圧が第1、第2および第3エピタキシャルスタック220、230および240のp型半導体層に印加され、発光信号は、第1、第2および第3エピタキシャルスタック220、230および240のn型半導体層に印加されるが、本開示の実施例がこれにまたはこれによって限定されるべきではない。本開示の他の実施例により、共通電圧が第1、第2および第3エピタキシャルスタック220、230および240のn型半導体層に印加され、発光信号は、第1、第2および第3エピタキシャルスタック220、230および240のp型半導体層に印加されてもよい。この構造は、p型半導体層、活性層およびn型半導体層の順に各エピタキシャルスタックを形成することにより容易に実現可能であり、この順序は、上述した実施例でn型半導体層、活性層およびp型半導体層の順に形成される各エピタキシャルスタックの積層順序とは異なる。上述した実施例により、第1、第2および第3エピタキシャルスタック220、230および240は、それに印加される発光信号に応答して駆動される。すなわち、第1エピタキシャルスタック220は、第1発光信号SRに応答して駆動され、第2エピタキシャルスタック230は、第2発光信号SGに応答して駆動され、第3エピタキシャルスタック240は、第3発光信号SBに応答して駆動される。この場合、第1、第2および第3発光信号SR、SGおよびSBは、第1、第2および第3エピタキシャルスタック220、230および240に独立して印加され、結果として、第1、第2および第3エピタキシャルスタック220、230および240は、独立して駆動される。発光積層構造は、第1、第2および第3エピタキシャルスタックから上方向に放出される第1、第2および第3色光の組み合わせによって多様な色相の光を提供することができる。

【0369】

色相をディスプレイするときには、上述した構造を有する発光積層構造は、平面上の互いに異なる区域を介して互いに異なる色光を提供するよりは、互いに重なる区域を介して互いに異なる色光を提供し、そのため、発光素子が小型化され、集積化されることが可能である。従来技術によれば、互いに異なる色光、例えば、赤色、緑色および青色光を放出する発光素子は、フルカラーディスプレイを実現するために、平面上で互いに離隔して配置される。したがって、発光素子が平面上で互いに離隔して配置されるので、従来技術において発光素子によって占有される面積は相対的に大きい。一方、本開示によれば、互いに異なる色光を放出する発光素子が互いに重なるように同一の面積内に配置されて発光積層構造を形成し、そのため、従来技術より著しく小さな面積によりフルカラーディスプレイが実現できる。そのため、高解像度ディスプレイデバイスが小さい面積内に製造できる。

【0370】

また、積層方式で製造される従来の発光デバイスの場合にも、従来の発光デバイスは、各発光素子内にコンタクト部を個別に形成することにより、例えば、発光素子を個別に、そして分離的に形成し、ワイヤリングを用いて発光素子を互いに接続することにより製造される。結果として、発光デバイスの構造は複雑で、発光デバイスを製造することが容易でない。しかし、本開示の例示的な実施例による発光積層構造は、1つの基板上に複数のエピタキシャルスタックを順に積層し、最小工程によりエピタキシャルスタック内にコンタクト部を形成し、ライン部をエピタキシャルスタックに接続することにより製造される。加えて、本開示の例示的な実施例によれば、従来の発光素子の代わりに1つの発光積層構造が実装されるので、個別の色相の発光素子を分離的に製造し、発光素子を個別に実装

する従来のディスプレイデバイスの製造方法に比べて、ディスプレイデバイスの製造方法が単純化できる。

【0371】

本開示の例示的な実施例による発光積層構造は、色光を高純度および高効率で提供するための多様な構成要素を追加的に含んでもよい。例えば、本開示の例示的な実施例による発光積層構造は、相対的に短い波長を有する光が相対的に長い波長を有する光を放出するエピタキシャルスタックに進行するのを防止するための波長通過フィルタを含むことができる。

【0372】

以下の実施例では、重複を避けるために、上述した実施例の特徴とは異なる特徴が主に説明される。説明されていない部分は、上述した実施例のそれと同一または類似するものと仮定する。

【0373】

図18は、本開示の例示的な実施例による所定の波長通過フィルタを有する発光積層構造を示す断面図である。

【0374】

図18を参照すると、本開示の例示的な実施例による発光積層構造は、第1エピタキシャルスタック220と第2エピタキシャルスタック230との間に配置される第1波長通過フィルタ261を含むことができる。

【0375】

第1波長通過フィルタ261は、所定の波長を有する光を選択的に透過させる。第1波長通過フィルタ261は、第1エピタキシャルスタック220から放出される第1色光を透過させることができ、第1色光を除いた光を遮断または反射させることができる。したがって、第1エピタキシャルスタック220から放出される第1色光は、上方向に進行することができ、第2および第3エピタキシャルスタック230および240からそれぞれ放出される第2および第3色光は、第1波長通過フィルタ261によって第1エピタキシャルスタック220に向かって進行しなくてもよいし、反射または遮断可能である。

【0376】

第2および第3色光は、第1色光より相対的に短い波長および相対的に高いエネルギーを有する。第2および第3色光が第1エピタキシャルスタック220内に入射する場合、第1エピタキシャルスタック220内で付加的な発光が誘導されることがある。本例示的な実施例において、第2および第3色光は、第1波長通過フィルタ261によって第1エピタキシャルスタック220内に入射することが防止できる。

【0377】

本開示の例示的な実施例において、第2波長通過フィルタ263が第2エピタキシャルスタック230と第3エピタキシャルスタック240との間に配置される。第2波長通過フィルタ263は、第1および第2エピタキシャルスタック220および230からそれぞれ放出される第1および第2色光を透過させることができ、第1および第2色光を除いた光を遮断または反射させることができる。したがって、第1および第2エピタキシャルスタック220および230からそれぞれ放出される第1および第2色光は、上方向に進行することができ、第3エピタキシャルスタック240から放出される第3色光は、第2波長通過フィルタ263によって第1および第2エピタキシャルスタック220および230に向かって進行しなくてもよいし、反射または遮断可能である。

【0378】

上記の説明と類似して、第3色光は、第1および第2色光より相対的に短い波長および相対的に高いエネルギーを有する。第3色光が第1および第2エピタキシャルスタック220および230内に入射する場合、付加的な発光が第1および第2エピタキシャルスタック220および230内で誘導されることがある。本例示的な実施例において、第3色光は、第2波長通過フィルタ263によって第1および第2エピタキシャルスタック220および230内に入射することが防止できる。

【0379】

本開示の例示的な実施例による発光積層構造は、高効率の均一な光を提供するために多様な構成要素を追加的に含んでもよい。一例として、本開示の例示的な実施例による発光積層構造は、発光面上で多様な凹凸部分を含むことができる。

【0380】

図19および図20は、本開示の例示的な実施例によるエピタキシャルスタックの少なくとも一部分で凹凸部分が形成される発光積層構造を示す断面図である。

【0381】

本開示の例示的な実施例による発光積層構造は、第1、第2および第3エピタキシャルスタック220、230および240のn型半導体層221、231および241のうちの少なくとも1つのn型半導体層の上部表面上に形成される凹凸部分PRを含むことができる。本開示の例示的な実施例において、各エピタキシャルスタックの凹凸部分PRは、選択的に形成可能である。例えば、凹凸部分PRは、図19に示すように、第1および第3エピタキシャルスタック220および240上に配置され、凹凸部分PRは、図20に示すように、第1、第2および第3エピタキシャルスタック220、230および240上に配置される。各エピタキシャルスタックの凹凸部分PRは、第1、第2および第3エピタキシャルスタック220、230および240の発光面にそれぞれ対応するn型半導体層221、231および241上に配置される。

【0382】

凹凸部分PRは、発光効率を向上させるために用いられる。凹凸部分PRは、その上に凹凸部分がランダムに配列される、多角形ピラミッド、半球または粗さを有する表面のような、多様な形状に提供できる。凹凸部分PRは、多様なエッチング工程によりテクスチャリングされるか、またはパターニングされたサファイア基板を用いて形成されてもよい。

【0383】

本開示の例示的な実施例において、第1、第2および第3エピタキシャルスタック220、230および240からの第1、第2および第3色光は、光度において差を有することができ、光度差は可視性において差を誘発することがある。本例示的な実施例において、発光効率は、第1、第2および第3エピタキシャルスタック220、230および240の発光面上に選択的に形成される凹凸部分PRによって向上することができ、そのため、第1、第2および第3色光間の光度差は減少できる。赤色および／または青色に対応する色光は、緑色に対応する色光より低い可視性を有するので、可視性における差は、第1エピタキシャルスタック220および／または第3エピタキシャルスタック240をテクスチャリングすることにより減少できる。特に、赤色光は、発光積層構造の最下部分から提供されるので、相対的により小さい光度を有する。この場合、凹凸部分PRが第1エピタキシャルスタック220上に形成される場合、光効率が向上することができる。

【0384】

上述した構造を有する発光積層構造は、多様な色相をディスプレイ可能な発光素子に対応し、ピクセルとしてディスプレイデバイスで使用できる。以下の説明では、上述した構造を有する発光積層構造をその構成要素として用いるディスプレイデバイスが説明される。

【0385】

図21は、本開示の例示的な実施例によるディスプレイデバイス2100を示す平面図であり、図22は、図21の部分P1を示す拡大平面図である。

【0386】

図21および図22を参照すると、本開示の例示的な実施例によるディスプレイデバイス2100は、テキスト、ビデオ、写真および二次元または三次元イメージのような任意の視覚情報をディスプレイする。

【0387】

ディスプレイデバイス2100は、長方形状のような直線面を有する閉多角形、曲面を

有する円形または楕円形および直線面と曲面を有する半円形または半楕円形のような、多様な形状を有することができる。本開示の例示的な実施例では、長方形状を有するディスプレイデバイスが示される。

【0388】

ディスプレイデバイス2100は、イメージをディスプレイする複数のピクセル2110を含む。各ピクセル2110は、イメージをディスプレイする最小単位である。各ピクセル2110は、上述した構造を有する発光積層構造を含むことができ、白色光および／または色光を放出することができる。

【0389】

本開示の例示的な実施例において、各ピクセル2110は、赤色光を放出する第1サブピクセル2110Rと、緑色光を放出する第2サブピクセル2110Gと、青色光を放出する第3サブピクセル2110Bとを含む。第1、第2および第3サブピクセル2110R、2110Gおよび2110Bは、上述した発光積層構造の第1、第2および第3エピタキシャルスタック220、230および240にそれぞれ対応することができる。

【0390】

ピクセル2110は、マトリクス状に配列される。ピクセル2110がマトリクス状に配列されるという表現は、ピクセル2110が行または列に沿って正確に一行に配列されるだけでなく、ピクセル2110の細部位置が、例えば、ジグザグ状に変化しながら、ピクセル2110が全体的に行または列に沿って配列されることを示すことができる。

【0391】

図23は、本開示の例示的な実施例によるディスプレイデバイスを示すブロック図である。

【0392】

図23を参照すると、本開示の例示的な実施例によるディスプレイデバイス2100は、タイミングコントローラ2350と、スキャンドライバ2310と、データドライバ2330と、ライン部と、ピクセルとを含む。各ピクセルが複数のサブピクセルを含む場合、各サブピクセルは、ライン部を介してスキャンドライバ2310およびデータドライバ2330に個別に接続される。

【0393】

タイミングコントローラ2350は、外部ソース（例えば、イメージデータを伝送するシステム）から、ディスプレイデバイス2100を駆動するために必要な多様な制御信号およびイメージデータを受信する。タイミングコントローラ2350は、受信されたイメージデータを再配列し、再配列されたイメージデータをデータドライバ2330に印加する。また、タイミングコントローラ2350は、スキャンドライバ2310およびデータドライバ2330を駆動するために必要なスキャン制御信号およびデータ制御信号を生成し、生成されたスキャン制御信号およびデータ制御信号をスキャンドライバ2310およびデータドライバ2330にそれぞれ印加する。

【0394】

スキャンドライバ2310は、タイミングコントローラ2350からスキャン制御信号を受信し、スキャン制御信号に応答してスキャン信号を生成する。

【0395】

データドライバ2330は、タイミングコントローラ2350からデータ制御信号およびイメージデータを受信し、データ制御信号に応答してデータ信号を生成する。

【0396】

ライン部は、複数の信号ラインを含む。具体的には、ライン部は、スキャンドライバ2310とサブピクセルとを接続するスキャンライン2130と、データドライバ2330とサブピクセルとを接続するデータライン2120とを含む。スキャンライン2130は、サブピクセルにそれぞれ接続され、サブピクセルにそれぞれ接続されるスキャンラインは、第1、第2および第3サブスキャンライン2130R、2130Gおよび2130Bとして示される。

10

20

30

40

50

【0397】

加えて、ライン部は、信号を伝送するために、タイミングコントローラ2350とスキヤンドライバ2310、タイミングコントローラ2350とデータドライバ2330、またはその他の構成要素を互いに接続する、ラインをさらに含んでもよい。

【0398】

スキャンライン2130は、スキヤンドライバ2310によって生成されるスキャン信号をサブピクセルに印加する。データドライバ2330によって生成されるデータ信号は、データライン2120に印加される。

【0399】

サブピクセルは、スキャンライン2130およびデータライン2120に接続される。サブピクセルは、スキャンライン2130からのスキャン信号がそれに印加されるとき、データライン2120から提供されるデータ信号に応答して選択的に発光する。一例として、各サブピクセルは、各フレーム期間にそれに印加されるデータ信号に対応する明るさで光を放出する。ブラックの明るさに相当するデータ信号が印加されるサブピクセルは、当該フレーム期間に光を放出せず、そのため、黒色がディスプレイされる。

10

【0400】

本開示の例示的な実施例において、サブピクセルは、パッシブまたはアクティブマトリクス方式で駆動可能である。ディスプレイデバイスがアクティブマトリクス方式で駆動される場合、ディスプレイデバイス2100は、スキャン信号およびデータ信号に加えて、第1および第2ピクセル電源を追加的に受信することにより駆動できる。

20

【0401】

図24は、パッシブマトリクスタイプのディスプレイデバイス用の1つのサブピクセルを示す回路図である。この場合、サブピクセルは、サブピクセル、例えば、レッドサブピクセル、グリーンサブピクセルおよびブルーサブピクセルのうちの1つであってもよいし、第1サブピクセル2110Rが本例示的な実施例で示される。

【0402】

図24を参照すると、第1サブピクセル2110Rは、スキャンライン2130とデータライン2120との間に接続される発光素子2150を含む。発光素子2150は、第1エピタキシャルスタック220に相当する。閾値電圧以上の電圧がp型半導体層とn型半導体層との間に印加されるとき、第1エピタキシャルスタック220は、それに印加される電圧のレベルに対応する明るさで光を放出する。すなわち、第1サブピクセル2110Rの発光は、スキャンライン2130に印加されるスキャン信号の電圧および／またはデータライン2120に印加されるデータ信号の電圧を制御することにより制御可能である。

30

【0403】

図25は、アクティブマトリクスタイプのディスプレイデバイス用の第1サブピクセル2110Rを示す回路図である。ディスプレイデバイスがアクティブマトリクスタイプのディスプレイデバイスの場合、第1サブピクセル2110Rは、スキャン信号およびデータ信号に加えて、第1および第2ピクセル電源ELVDDおよびELVSSをさらに受信することにより駆動できる。

40

【0404】

図25を参照すると、第1サブピクセル2110Rは、1つ以上の発光素子2150と、発光素子2150に接続されるトランジスタ部とを含む。

【0405】

発光素子2150は、第1エピタキシャルスタック220に相当することができ、発光素子2150のp型半導体層は、トランジスタ部を経由して第1ピクセル電源ELVDDに接続され、発光素子2150のn型半導体層は、第2ピクセル電源ELVSSに接続される。第1ピクセル電源ELVDDおよび第2ピクセル電源ELVSSは、互いに異なる電位を有することができる。例えば、第2ピクセル電源ELVSSは、発光素子2150の閾値電圧以上だけ第1ピクセル電源ELVDDの電位より低い電位を有することができ

50

る。発光素子 2150 のそれぞれは、トランジスタ部によって制御される駆動電流に対応する明るさで光を放出する。

【0406】

本開示の例示的な実施例により、トランジスタ部は、第1および第2トランジスタM1およびM2およびストレージキャパシタCstを含む。しかし、トランジスタ部の構成は、図25に示す実施例に限定されるべきではない。

【0407】

第1トランジスタ（スイッチングトランジスタ）M1は、データライン2120に接続されるソース電極と、第1ノードN1に接続されるドレイン電極と、スキャンライン2130に接続されるゲート電極とを含む。第1トランジスタM1は、第1トランジスタM1をターンオンさせるのに十分な電圧を有するスキャン信号がスキャンライン2130を介して提供されるとき、ターンオンされてデータライン2120および第1ノードN1を電氣的に接続する。この場合、当該フレームのデータ信号は、データライン2120に印加され、そのため、データ信号は、第1ノードN1に印加される。ストレージキャパシタCstは、第1ノードN1に印加されるデータ信号で充電される。

【0408】

第2トランジスタ（駆動トランジスタ）M2は、第1ピクセル電源ELVDDに接続されるソース電極と、発光素子2150のn型半導体層に接続されるドレイン電極と、第1ノードN1に接続されるゲート電極とを含む。第2トランジスタM2は、第1ノードN1の電圧に応答して発光素子2150に供給される駆動電流の量を制御する。

【0409】

ストレージキャパシタCstの1つの電極は、第1ピクセル電源ELVDDに接続され、ストレージキャパシタCstの他の1つの電極は、第1ノードN1に接続される。ストレージキャパシタCstは、第1ノードN1に印加されるデータ信号に対応する電圧に充電され、次のフレームのデータ信号が提供されるまで充電された電圧を保持する。

【0410】

説明の便宜のために、図25は、2つのトランジスタを含むトランジスタ部を示す。しかし、トランジスタ部に含まれるトランジスタの個数は2つに限定されるべきではなく、トランジスタ部の構成は、多様な方式で変化可能である。例えば、トランジスタ部は、より多いトランジスタおよびより多いキャパシタを含むことができる。加えて、本例示的な実施例において、第1および第2トランジスタ、ストレージキャパシタおよびラインの構成は詳細に示されていないが、第1および第2トランジスタ、ストレージキャパシタおよびラインは、本開示の例示的な実施例による回路を実現する範囲内で多様な方式で変化可能である。

【0411】

上述したピクセルは、本開示の範囲内で多様な方式で変化可能であり、以下の構造で実現できる。

【0412】

図26は、本開示の例示的な実施例によるピクセルを示す平面図であり、図27Aおよび図27Bは、それぞれ図26のI-I'およびII-II'線に沿った断面図である。

【0413】

図26、図27Aおよび図27Bを参照すると、本開示の例示的な実施例によるピクセルは、発光区域EAと、周辺区域PAとを含む。エピタキシャルスタックは、発光区域EA内で積層される。本例示的な実施例において、エピタキシャルスタックは、第1、第2および第3エピタキシャルスタック220、230および240を含む。

【0414】

第1、第2および第3エピタキシャルスタック220、230および240は、第1、第2および第3サブスキャンライン2130R、2130Gおよび2130Bおよびデータライン2120に接続される。本開示の例示的な実施例において、第1、第2および第3サブスキャンライン2130R、2130Gおよび2130Bは、第1方向、例えば、

図 26 の水平方向に延びてもよい。データライン 2120 は、第 1 コンタクトホール CH1 を介して第 1 p 型コンタクト電極 227 に接続され、第 1 p 型コンタクト電極 227 は、実質的にデータライン 2120 として作用する。したがって、以下、第 1 p 型コンタクト電極 227 は、データライン 2120 と称されてもよい。データライン 2120 は、第 2 方向、例えば、第 1、第 2 および第 3 サブスキャンライン 2130R、2130G および 2130B を横切る図 26 の垂直方向に延びてもよい。しかし、第 1、第 2 および第 3 サブスキャンライン 2130R、2130G および 2130B およびデータライン 2120 の延びる方向はこれにまたはこれによって限定されるべきではなく、ピクセルの配列によって多様な方式で変化可能である。

【0415】

10

第 1 サブスキャンライン 2130R およびデータライン、具体的には、第 1 p 型コンタクト電極 227 は、第 1 エピタキシャルスタック 220 に接続される。データライン 2120 および第 2 サブスキャンライン 2130G は、それぞれ第 1 および第 2 コンタクトホール CH1 および CH2 を介して第 2 エピタキシャルスタック 230 に接続される。データライン 2120 および第 3 サブスキャンライン 2130B は、それぞれ第 1 および第 2 コンタクトホール CH1 および CH2 を介して第 3 エピタキシャルスタック 240 に接続される。本例示的な実施例において、第 1 および第 2 コンタクトホール CH1 および CH2 は、周辺区域 PA 内に形成される。

【0416】

20

接着層、コンタクト電極および波長通過フィルタが基板 210 と第 1 エピタキシャルスタック 220 との間、第 1 エピタキシャルスタック 220 と第 2 エピタキシャルスタック 230 との間、および第 2 エピタキシャルスタック 230 と第 3 エピタキシャルスタック 240 との間に配置される。以下、本開示の例示的な実施例によるピクセルを積層順序に従って説明する。

【0417】

本例示的な実施例により、メサ構造を有する第 1 エピタキシャルスタック 220 が、第 1 接着層 250a が間に介在する状態で、基板 210 上に配置される。

【0418】

30

第 1 絶縁層 271 が第 1 エピタキシャルスタック 220 の下部表面、すなわち、基板 210 と向かい合う表面上に配置される。第 1 絶縁層 271 にはそれを介して設けられる複数のコンタクトホールが提供される。第 1 エピタキシャルスタック 220 の n 型半導体層と接触する第 1 n 型コンタクト電極 229 は、周辺区域 PA に対応するコンタクトホール内に配置され、第 1 エピタキシャルスタック 220 の p 型半導体層と接触する第 1 p 型コンタクト電極 227 は、発光区域 EA に対応するコンタクトホール内に配置される。第 1 および第 2 オーミック電極 229' および 227' は、第 1 p 型コンタクト電極 227 および第 1 n 型コンタクト電極 229 とのオーミック接触のために、第 1 n 型コンタクト電極 229 および第 1 p 型コンタクト電極 227 が形成される区域上に配置される。オーミック接触のための第 1 および第 2 オーミック電極 229' および 227' は、多様な材料を含むことができる。本開示の例示的な実施例において、p 型オーミック電極に対応する第 2 オーミック電極 227' は、Au (Zn) または Au (Be) を含むことができる。この場合、第 2 オーミック電極 227' 用材料が Ag、Al および Au より低い反射率を有するので、追加の反射電極がさらに配置されてもよい。追加の反射電極用材料として、Ag または Au が使用可能であり、Ti、Ni、Cr または Ta を含む層が隣接した構成要素への接着のための接着層として配置されてもよい。この場合、接着層は、Ag または Au を含む反射電極の上部および下部表面上に薄く蒸着される。

40

【0419】

第 1 p 型コンタクト電極 227 は、発光区域 EA と重なり、平面図からみて、発光区域 EA の全体を覆うように提供される。第 1 p 型コンタクト電極 227 は、反射性を有する材料を含み、第 1 エピタキシャルスタック 220 内で光を反射させることができる。この場合、第 1 絶縁層 271 は、第 1 エピタキシャルスタック 220 内で光の反射が容易に行

50

われるように、反射性を有するように形成される。例えば、第1絶縁層271は、全方向反射器(omni-directional reflector: ODR)構造を有してもよい。

【0420】

第2絶縁層273が第1p型コンタクト電極227および基板210の間に配置される。第2絶縁層273は、第1p型コンタクト電極227が上に形成される第1エピタキシャルスタック220の下部表面を覆い、第1n型コンタクト電極229が露出した状態で貫通するコンタクトホールを有する。第1サブスキャンライン2130Rは、第2絶縁層273と基板210との間に配置され、データ信号を第1n型コンタクト電極229に印加する。

10

【0421】

第2接着層250bが第1エピタキシャルスタック220上に配置され、第1波長通過フィルタ261、第2p型コンタクト電極237および第2エピタキシャルスタック230が第2接着層250b上に順に配置される。別途に示さないが、第2エピタキシャルスタック230は、第2エピタキシャルスタック230の底から上方向に順に積層される、p型半導体層、活性層およびn型半導体層を含む。

【0422】

本例示的な実施例において、第1波長通過フィルタ261および第2p型コンタクト電極237は、第1エピタキシャルスタック220と実質的に同一の面積を有することができ、第2エピタキシャルスタック230は、第1エピタキシャルスタック220より小さい面積を有することができる。第2エピタキシャルスタック230が第1エピタキシャルスタック220より小さい面積を有するので、第2p型コンタクト電極237の一部が露出してもよい。

20

【0423】

第3接着層250cが第2エピタキシャルスタック230上に配置され、第2波長通過フィルタ263、第3p型コンタクト電極247および第3エピタキシャルスタック240が第3接着層250c上に順に配置される。別途に示さないが、第3エピタキシャルスタック240は、第3エピタキシャルスタック240の底から上方向に順に積層される、p型半導体層、活性層およびn型半導体層を含む。

【0424】

第3エピタキシャルスタック240は、第2エピタキシャルスタック230より小さい面積を有することができる。第3エピタキシャルスタック240は、第3p型コンタクト電極247より小さい面積を有することができ、そのため、第3p型コンタクト電極247の上部表面の一部が露出してもよい。加えて、第3p型コンタクト電極247が第2エピタキシャルスタック230より小さい面積を有することができ、そのため、第2エピタキシャルスタック230の上部表面の一部が露出してもよい。

30

【0425】

第3絶縁層275が第3エピタキシャルスタック240上に配置されて第1、第2および第3エピタキシャルスタック220、230および240の積層構造を覆う。第3絶縁層275は、多様な有機／無機絶縁材料を含むことができるが、これにまたはこれによって限定されるべきではない。例えば、第3絶縁層275は、シリコン窒化物およびシリコン酸化物を含む無機絶縁材料またはポリイミドのような有機絶縁材料を含むことができる。

40

【0426】

第3絶縁層275は、第1、第2および第3p型コンタクト電極227、237および247の上部表面が露出した状態で貫通する第1コンタクトホールCH1と、第2および第3エピタキシャルスタック230および240のn型半導体層の上部表面が露出した状態で貫通する第2コンタクトホールCH2とを含む。

【0427】

データライン2120および第1、第2および第3サブスキャンライン2130R、2

50

1 3 0 Gおよび2 1 3 0 Bが第3絶縁層2 7 5上に配置される。データライン2 1 2 0は、第3絶縁層2 7 5を介して形成される第1コンタクトホールCH1を介して第1、第2および第3 p型コンタクト電極2 2 7、2 3 7および2 4 7に同時に接続される。第2および第3サブスキャンライン2 1 3 0 Gおよび2 1 3 0 Bのそれぞれは、第2コンタクトホールCH2を介して第2エピタキシャルスタック2 3 0のn型半導体層および第3エピタキシャルスタック2 4 0のn型半導体層にそれぞれ接続される。

【0 4 2 8】

本開示の例示的な実施例において、第2サブスキャンライン2 1 3 0 Gは、第2エピタキシャルスタック2 3 0のn型半導体層と直接接触して電氣的に接続され、第3サブスキャンライン2 1 3 0 Bは、第3エピタキシャルスタック2 4 0のn型半導体層と直接接触して電氣的に接続される。しかし、他の実施例により、第2 n型コンタクト電極が第2サブスキャンライン2 1 3 0 Gと第2エピタキシャルスタック2 3 0のn型半導体層との間にさらに配置されてもよく、第2サブスキャンライン2 1 3 0 Gおよび第2エピタキシャルスタック2 3 0のn型半導体層は、第2 n型コンタクト電極によって互いに電氣的に接続されてもよい。また、第3 n型コンタクト電極が第3サブスキャンライン2 1 3 0 Bと第3エピタキシャルスタック2 4 0のn型半導体層との間にさらに配置されてもよく、第3サブスキャンライン2 1 3 0 Bおよび第3エピタキシャルスタック2 4 0のn型半導体層は、第3 n型コンタクト電極によって互いに電氣的に接続されてもよい。

【0 4 2 9】

第4絶縁層2 7 7がデータライン2 1 2 0および第1、第2および第3サブスキャンライン2 1 3 0 R、2 1 3 0 Gおよび2 1 3 0 B上に配置されてデータライン2 1 2 0および第1、第2および第3サブスキャンライン2 1 3 0 R、2 1 3 0 Gおよび2 1 3 0 Bを覆う。また、第4絶縁層2 7 7は、多様な有機／無機絶縁材料を含むことができるが、これにまたはこれによって限定されるべきではない。

【0 4 3 0】

本例示的な実施例で別途に示さないが、凹凸部分が第1、第2および第3エピタキシャルスタック2 2 0、2 3 0および2 4 0の上部表面、すなわち、第1、第2および第3エピタキシャルスタック2 2 0、2 3 0および2 4 0のそれぞれのn型半導体層の上部表面上に選択的に配置されてもよい。各凹凸部分は、発光区域EAに対応する面積内にもみ配置されるか、または各n型半導体層の全体上部表面上に配置されてもよい。したがって、第2および第3サブスキャンライン2 1 3 0 Gおよび2 1 3 0 Bは、凹凸部分PRがその上に配置されていないn型半導体層と接触して電氣的に接続されるか、または凹凸部分PRがその上に配置されるn型半導体層と接触して電氣的に接続されてもよい。

【0 4 3 1】

また、詳細に示さないが、本開示の例示的な実施例において、光不透過性層がピクセルの側面に対応する第4絶縁層2 7 7上にさらに配置されてもよい。光不透過性層は、光遮断層として作用して、第1、第2および第3エピタキシャルスタック2 2 0、2 3 0および2 4 0からの光がピクセルの側面に出射するのを防止することができ、光を吸収または反射させる材料を含むことができる。

【0 4 3 2】

光不透過性層は、光不透過性層が光を吸収または反射させて光の透過を遮断する限り、特に限定されるべきではない。本開示の例示的な実施例において、光不透過性層は、分布ブラッグ反射器（DBR）誘電体ミラー、絶縁層上に形成される金属反射層または黒色有機ポリマー層であってもよい。金属反射層が光不透過性層として用いられる場合、金属反射層は、金属反射層が他のピクセルの構成要素から電氣的に絶縁される、フローティング状態であってもよい。

【0 4 3 3】

ピクセルの側面に配置される光不透過性層によって、特定のピクセルから出射する光が隣接したピクセルに影響を及ぼすか、隣接したピクセルから出射する光と混合されるのを防止することができる。

【0434】

上記の構造を有するピクセルは、基板上に第1、第2および第3エピタキシャルスタックを順に積層することにより製造可能であり、以下、図28および図29A～図29Lを参照して詳細に説明する。

【0435】

図28は、第1～第3エピタキシャルスタックがその上に積層される基板を示す平面図であり、図29A～図29Lは、図28のI-I'線に沿った、基板上に第1～第3エピタキシャルスタックを積層する工程を順に示す断面図である。

【0436】

図28および図29Aを参照すると、第1エピタキシャルスタック220が第1初期基板210p上に形成される。本開示の例示的な実施例において、第1初期基板210pは、第1エピタキシャルスタック220を形成するために必要な半導体、例えば、ガリウム砒化物(GaAs)からなってもよい。第1エピタキシャルスタック220は、第1初期基板210p上にn型半導体層、活性層およびp型半導体層を形成し、n型半導体層、活性層およびp型半導体層の一部分を除去してメサ構造を形成することにより製造される。

【0437】

図28および図29Bを参照すると、第1絶縁層271が第1初期基板210p上に形成され、コンタクトホールが第1絶縁層271を介して形成されて、p型半導体層およびn型半導体層を部分的に露出させる。p型半導体層の上部に設けられるコンタクトホールは、複数提供されてもよい。オーミック電極227'および229'は、コンタクトホールを介して露出するp型半導体層およびn型半導体層上にそれぞれ形成される。

【0438】

図28および図29Cを参照すると、第1n型コンタクト電極229および第1p型コンタクト電極227は、オーミック電極227'および229'がその上に形成される、第1初期基板210p上に形成される。第1n型コンタクト電極229は、n型半導体層上に形成され、第1p型コンタクト電極227は、p型半導体層上に形成される。第1n型コンタクト電極229および第1p型コンタクト電極227は、反射材料で形成される。

【0439】

図28および図29Dを参照すると、第2絶縁層273は、第1n型コンタクト電極229および第1p型コンタクト電極227がその上に形成される、第1初期基板210p上に形成され、第1サブスキャンライン2130Rが第2絶縁層273上に形成される。コンタクトホールが第1n型コンタクト電極229に対応する位置で第2絶縁層273を介して形成され、第1サブスキャンライン2130Rは、第1n型コンタクト電極229に対応する位置に形成されるコンタクトホールを介して第1n型コンタクト電極229に接続される。

【0440】

図28および図29Eを参照すると、第1初期基板210p上に形成された第1エピタキシャルスタック220が反転して、第1接着層250aが間に介在する状態で、基板210に貼り合わされる。

【0441】

図28および図29Fを参照すると、第1初期基板210pは、第1エピタキシャルスタック220が基板210に貼り合わされた後に、除去される。第1初期基板210pは、ウェットエッチング工程、ドライエッチング工程、物理的除去工程またはレーザリフトオフ工程のような多様な方法によって除去可能である。図示しないが、第1初期基板210pが除去された後、凹凸部分PRが第1エピタキシャルスタック220の上部表面(n型半導体層)上に形成される。凹凸部分PRは、多様なエッチング工程によりテクスチャリングされる。例えば、凹凸部分PRは、マイクロフォトグラフィーを利用したドライエッチング工程、結晶特性を利用したウェットエッチング工程、サンドブラストのような物理的方法を利用したテクスチャリング工程、イオンビームエッチング工程またはブロック

コポリマーのエッチング速度差を利用したテクスチャリング工程のような多様な工程により形成されてもよい。

【0442】

図28および図29Gを参照すると、第2エピタキシャルスタック230が第2初期基板210q上に形成される。第2初期基板210qは、サファイア基板であってもよい。第2初期基板210q上にn型半導体層、活性層およびp型半導体層を形成することにより、第2エピタキシャルスタック230が製造される。第2p型コンタクト電極237および第1波長通過フィルタ261が第2エピタキシャルスタック230上にさらに形成されてもよい。

【0443】

図28および図29Hを参照すると、第2初期基板210q上に形成された第2エピタキシャルスタック230は反転して、第2接着層250bが間に介在する状態で、第1エピタキシャルスタック220に貼り合わされる。

【0444】

図28および図29Iを参照すると、第2エピタキシャルスタック230が第1エピタキシャルスタック220に貼り合わされた後、第2初期基板210qは除去される。

【0445】

図示しないが、第2初期基板210qが除去された後、凹凸部分PRが第2エピタキシャルスタック230の上部表面（n型半導体層）上に形成される。凹凸部分PRは、多様なエッチング工程によりテクスチャリングされるか、またはパターニングされたサファイア基板を第2初期基板210qとして用いて形成されてもよい。第2初期基板210qは、多様な方法で除去可能である。例えば、第2初期基板210qがサファイア基板の場合、サファイア基板は、レーザリフトオフ工程、ストレスリフトオフ工程、化学的リフトオフ工程または物理的研磨工程によって除去可能である。

【0446】

図28および図29Jを参照すると、第3エピタキシャルスタック240が第3初期基板210r上に形成される。第3初期基板210rは、サファイア基板であってもよい。第3初期基板210r上にn型半導体層、活性層およびp型半導体層を形成することにより、第3エピタキシャルスタック240が製造される。第3p型コンタクト電極247および第2波長通過フィルタ263が第3エピタキシャルスタック240上にさらに形成されてもよい。

【0447】

図28および図29Kを参照すると、第3初期基板210r上に形成された第3エピタキシャルスタック240は反転して、第3接着層250cが間に介在する状態で、第2エピタキシャルスタック230に貼り合わされる。

【0448】

図28および図29Lを参照すると、第3初期基板210rは、第3エピタキシャルスタック240が第2エピタキシャルスタック230に貼り合わされた後に除去され、そのため、すべての第1、第2および第3エピタキシャルスタック220、230および240が基板210上に積層される。図示しないが、第3初期基板210rが除去された後、凹凸部分PRが第3エピタキシャルスタック240の上部表面（n型半導体層）上に形成される。凹凸部分PRは、多様なエッチング工程によりテクスチャリングされるか、またはパターニングされたサファイア基板を第3初期基板210rとして用いて形成されてもよい。

【0449】

上述した工程により、第1エピタキシャルスタック220が第1サブスキャンライン2130Rおよびデータライン、すなわち、第1p型コンタクト電極227に接続されるが、第2および第3エピタキシャルスタック230および240は、第2および第3サブスキャンライン2130Gおよび2130Bおよびデータライン2120に接続されない。したがって、第2および第3エピタキシャルスタック230および240を第2および第

10

20

30

40

50

3サブスキャンライン2130Gおよび2130Bおよびデータライン2120に接続するための工程が行われる。

【0450】

図30A～図35Aは、第2および第3エピタキシャルスタック230および240を第2および第3サブスキャンライン2130Gおよび2130Bおよびデータライン2120に接続するための工程を順に示す平面図であり、図30B～図35Bは、それぞれ図30A～図35AのI-I'、IIa-IIa'およびIIb-IIb'線に沿った断面図である。

【0451】

図30Aおよび図30Bを参照すると、第3p型コンタクト電極247の上部表面の一部分が外部に露出するように、第3エピタキシャルスタック240の一部分が除去される。第3p型コンタクト電極247は、第3エピタキシャルスタック240がエッチングされるときに、エッチングストッパとして機能する。

10

【0452】

図31Aおよび図31Bを参照すると、第3p型コンタクト電極247、第2波長通過フィルタ263および第3接着層250cの一部分がエッチングされる。したがって、第2エピタキシャルスタック230の上部表面の一部分が外部に露出する。この場合、第3p型コンタクト電極247およびデータライン2120が接続されるコンタクト区域はエッチングされない。

【0453】

図32Aおよび図32Bを参照すると、第2エピタキシャルスタック230の一部分が除去されて、第2p型コンタクト電極237の上部表面の一部分を露出させる。第2p型コンタクト電極237は、第2エピタキシャルスタック230がエッチングされるときに、エッチングストッパとして機能する。

20

【0454】

図33Aおよび図33Bを参照すると、第2p型コンタクト電極237、第1波長通過フィルタ261、第2接着層250b、第1エピタキシャルスタック220および第1絶縁層271の一部分がエッチングされる。そのため、第2絶縁層273および第1p型コンタクト電極227の一部分が外部に露出する。この場合、第2p型コンタクト電極237およびデータライン2120が接続されるコンタクト区域はエッチングされない。

30

【0455】

図34Aおよび図34Bを参照すると、第1および第2コンタクトホールCH1およびCH2がそれを貫通して形成される第3絶縁層275が基板210上に形成される。データライン2120が接続される部分、すなわち、第1、第2および第3p型コンタクト電極227、237および247の上部表面の部分が第1コンタクトホールCH1を介して露出する。第2および第3サブスキャンライン2130Gおよび2130Bが接続される一部分、すなわち、第2および第3エピタキシャルスタック230および240のn型半導体層の上部表面の一部分が第2コンタクトホールCH2を介して露出する。

【0456】

図35Aおよび図35Bを参照すると、第2および第3サブスキャンライン2130Gおよび2130Bおよびデータライン2120は、第1および第2コンタクトホールCH1およびCH2がその上に形成される、基板210上に形成される。第2および第3サブスキャンライン2130Gおよび2130Bおよびデータライン2120は、基板210上に金属層を形成し、金属層をパターンニングすることにより形成される。第2および第3サブスキャンライン2130Gおよび2130Bは、第2コンタクトホールCH2を介して第2および第3n型半導体層にそれぞれ接続され、データライン2120は、第1コンタクトホールCH1を介して第1、第2および第3p型コンタクト電極227、237および247に接続される。

40

【0457】

第4絶縁層277は、第2および第3サブスキャンライン2130Gおよび2130B

50

およびデータライン 2120 がその上に形成される、基板 210 上に形成される。

【0458】

本開示の例示的な実施例において、たとえ図示していなくても、光不透過性層がピクセルの側面に対応する第3絶縁層 275 または第4絶縁層 277 上にさらに配置されてもよい。光不透過性層は、DBR誘電体ミラーによって、絶縁層上に形成される金属反射層によって、または有機ポリマーによって形成される。金属反射層が光不透過性層として用いられる場合に、金属反射層は、金属反射層が他のピクセルの構成要素から電氣的に絶縁される、フローティング状態にあってもよい。

【0459】

上述のように、本開示の例示的な実施例によるディスプレイデバイスは、複数のエピタキシャルスタックを順に積層し、エピタキシャルスタック内にライン部とコンタクト構造を実質的に同時に形成することにより製造できる。

【0460】

本開示の実施例は、光を放出する発光積層構造に関する。本開示の発光積層構造は、多様なデバイスにおける光源として利用可能である。

【0461】

図36A～図36Cは、本開示の例示的な実施例による発光積層構造を示す断面図である。

【0462】

図36A～図36Cを参照すると、本開示の例示的な実施例による発光積層構造は、順に積層される2つのエピタキシャルスタック、すなわち、第1エピタキシャルスタック 320 および第2エピタキシャルスタック 330 を含む。第1および第2エピタキシャルスタック 320 および 330 は、基板 310 上に配置される。

【0463】

基板 310 は、前面および後面が提供されるプレート形状を有する。

【0464】

基板 310 は、光透過性絶縁材料で形成される。「基板 310 は光透過特性を有する」という表現は、基板 310 が光を実質的に全体的に透過させるように透明な場合、基板 310 が特定の波長を有する光のみを透過させるように半透明の場合、または基板 310 が特定の波長を有する光の一部分のみを透過させるように部分的に透明な場合のような、多様な場合を示す。

【0465】

基板 310 の材料として、基板 310 の前上に配置されるエピタキシャルスタック、すなわち、第1エピタキシャルスタック 320 がその上に成長する、成長基板のうちの1つが使用できる。この場合、基板 310 は、サファイア基板であってもよいが、基板 310 がこれにまたはこれによって限定されるべきではない。すなわち、材料が透明で絶縁特性を有し、エピタキシャルスタックが基板 310 の上部表面上に配置される限り、サファイア基板のほかに、多様な透明絶縁材料が基板 310 の材料として使用可能である。例えば、基板 310 の材料として、ガラス、石英、有機ポリマーまたは有機-無機複合材料が使用できる。本開示の例示的な実施例において、ライン部が基板 310 上にさらに配置され、各エピタキシャルスタックに発光信号および共通電圧を印加することができる。このために、基板 310 は、ライン部および／または駆動デバイスをガラス、石英、シリコン、有機ポリマーまたは有機-無機複合材料上に形成することにより得られる、印刷回路基板または複合基板として提供できる。第1エピタキシャルスタック 320 は、順に積層されるn型半導体層 321、活性層 323 およびp型半導体層 325 を含む。本例示的な実施例において、n型半導体層 321 およびp型半導体層 325 は、単層構造、多層構造または超格子層を有することができる。加えて、活性層 323 は、単一量子井戸構造または多重量子井戸構造を有してもよい。第2エピタキシャルスタック 330 は、順に積層されるn型半導体層 331、活性層 333 およびp型半導体層 335 を含む。本例示的な実施例において、n型半導体層 331 およびp型半導体層 335 は、単層構造、多層構造または

10

20

30

40

50

超格子層を有してもよい。加えて、活性層 333 は、単一量子井戸構造または多重量子井戸構造を有してもよい。

【0466】

第2エピタキシャルスタック 330 の n 型半導体層 331、活性層 333 および p 型半導体層 335 は、赤色光を放出する半導体材料を含むことができる。

【0467】

赤色光を放出する半導体材料として、アルミニウムガリウム砒化物 (AlGaAs)、ガリウム砒化リン化物 (GaAsP)、アルミニウムガリウムインジウムリン化物 (AlGaInP) およびガリウムリン化物 (GaP) が使用できる。しかし、赤色光を放出する半導体材料はこれにまたはこれによって限定されるべきではなく、多様な他の材料が使用できる。本例示的な実施例において、半導体層が他の色光を放出する場合、他の色光に対応する半導体材料が選択されてもよい。

【0468】

第1および第2エピタキシャルスタック 320 および 330 は、基板 310 の前面上に順に積層され、第1および第2エピタキシャルスタック 320 および 330 のそれぞれは、光を放出する。第1エピタキシャルスタック 320 は、第2エピタキシャルスタック 330 より相対的により短い波長および相対的により高いエネルギーバンドを有する色光を放出し、第2エピタキシャルスタック 330 は、第1エピタキシャルスタック 320 より相対的により長い波長および相対的により低いエネルギーバンドを有する色光を放出する。

【0469】

本開示の例示的な実施例において、第1および第2エピタキシャルスタック 320 および 330 は、互いに異なる波長帯域を有する光を放出することができる。すなわち、エピタキシャルスタックは、複数提供され、エピタキシャルスタックは、互いに異なるエネルギーバンドを有する。各エピタキシャルスタックは、多様な波長帯域の光のうち可視光帯域の色光を放出することができる。例えば、第1エピタキシャルスタック 320 は、第1色光 L1 を放出することができ、第2エピタキシャルスタック 330 は、第2色光 L2 を放出することができる。

【0470】

第1および第2色光 L1 および L2 は、互いに異なる色光であってもよい。第1および第2色光 L1 および L2 は、順に長くなる、互いに異なる波長帯域を有する色光であってもよい。本例示的な実施例において、第1および第2色光 L1 および L2 のそれぞれは、所定の波長帯域の色相を示すことができ、第1および第2色光 L1 および L2 が互いに混合されるときに白色を示すように選択されてもよい。例えば、第1色光 L1 は、青色光であってもよく、第2色光 L2 は、赤色光であってもよい。他の例として、第1色光 L1 は、青色光であってもよく、第2色光 L2 は、黄色光であってもよい。他の例として、第1色光 L1 は、青色光であってもよく、第2色光 L2 は、緑色光であってもよい。第1および第2色光 L1 および L2 が互いに混合されるとき、第1および第2色光 L1 および L2 の混合光は、略白色を示すことができるが、第1および第2色光 L1 および L2 の光度差によって、色温度および色座標に差が存在する。

【0471】

以下、説明の便宜のために、第1色光 L1 は、青色光として説明し、第2色光 L2 は、赤色光として説明することとする。

【0472】

各エピタキシャルスタックは、基板 310 の後面方向に光を放出する。後面方向は、第1および第2エピタキシャルスタック 320 および 330 が積層される反対方向に対応する。以下、説明の便宜のために、基板 310 の前面が向かう方向は、「前面方向」または「上方向」と称し、基板 310 の後面が向かう方向は、「後面方向」または「下方向」と称する。しかし、「上」および「下」という用語は、互いに相対的な方向を示し、発光積層構造の配列または積層方向によって変化可能である。

【0473】

第1および第2エピタキシャルスタック320および330のそれぞれは、下方方向に光を放出する。すなわち、第1エピタキシャルスタック320は、その下に配置される基板310に光を放出し、第2エピタキシャルスタック330は、その下に配置される第1エピタキシャルスタック320および基板310に光を放出する。この場合、第1エピタキシャルスタック320は、その上に配置される第2エピタキシャルスタック330から放出される光の大部分を透過させる。このために、第1エピタキシャルスタック320の少なくとも一部分、好ましくは、全体部分が光透過性材料で形成される。「光透過性材料」という用語は、光透過性材料が光を実質的に全体的に透過させる場合のみならず、光透過性材料が所定の波長を有する光または所定の波長を有する光の一部分を透過させる場合も表す。例示的な実施例において、第1エピタキシャルスタック320は、その上に配置される第2エピタキシャルスタック330からの光の約60%以上を透過させることができる。他の実施例により、第1エピタキシャルスタック320は、その上に配置される第2エピタキシャルスタック330からの光の約80%以上を透過させることができ、他の実施例によれば、第1エピタキシャルスタック320は、その上に配置される第2エピタキシャルスタック330からの光の約90%以上を透過させることができる。

10

【0474】

本開示の例示的な実施例による上述した構造を有する発光積層構造では、第1および第2エピタキシャルスタック320および330は、第1および第2エピタキシャルスタック320および330に発光信号をそれぞれ印加する信号ラインが第1および第2エピタキシャルスタック320および330に独立に接続されるため、独立して駆動可能であり、光が各エピタキシャルスタックから放出されるかによって、多様な色温度を有する色光および白色光をディスプレイすることができる。加えて、互いに異なる波長を有する光を放出する第1および第2エピタキシャルスタック320および330が互いに重なるように形成されるので、発光積層構造は、狭い面積内に形成可能である。

20

【0475】

結果として、本開示の例示的な実施例による発光積層構造は、太陽光に近い白色光を実現することができ、使用者の要求に応じて多様な色相を有する光を放出することができる。

【0476】

図37Aは、本開示の例示的な実施例による発光積層構造を示す平面図であり、図37Bは、図37AのI-I'線に沿った断面図である。以下、説明の便宜のために、平面における発光積層構造の構造を、図37Aを参照して平面で説明し、断面における発光積層構造の構造を、図37Bを参照して断面で説明することとする。

30

【0477】

図37Aおよび図37Bを参照すると、本開示の例示的な実施例による発光積層構造は、実質的に長形状を有することができるが、発光積層構造の形状は、長形状に限定されるべきではない。

【0478】

本開示の例示的な実施例において、発光積層構造は、平面図からみて、発光区域EAと、周辺区域PAとを含む。第1および第2エピタキシャルスタック320および330は、発光積層構造の発光区域EA内で積層される。周辺区域PAは、発光区域EAの少なくとも一側に隣接して配置される。本例示的な実施例において、周辺区域PAは、発光区域EAを取り囲むように提供される。コンタクト部が周辺区域PA内に配置され、第1および第2エピタキシャルスタック320および330を配線に電氣的に接続する。コンタクト部は、コンタクトホールが第1および第2エピタキシャルスタック320および330の少なくとも一部分を介して設けられる区域であり、コンタクト部は、第1、第2および第3コンタクト部320C、330Cおよび340Cを含む。第1コンタクト部320Cは、第1エピタキシャルスタック320に発光信号を供給するために設けられ、第2コンタクト部330Cは、第2エピタキシャルスタック330に発光信号を供給するために設

40

50

けられ、第3コンタクト部340Cは、第1および第2エピタキシャルスタック320および330に共通電圧を供給するために設けられる。本例示的な実施例において、電極部と配線との電氣的な接続のために、第1コンタクトホールCH1が第1コンタクト部320Cに設けられ、第2コンタクトホールCH2が第2コンタクト部330Cに設けられ、第3および第4コンタクトホールCH3およびCH4が第3コンタクト部340Cに設けられる。

【0479】

本例示的な実施例において、コンタクト部は、長方形の各角に対応する位置に配置される。すなわち、発光積層構造が四角形状を有する場合、第1コンタクト部320C、第2コンタクト部330Cおよび第3コンタクト部340Cは、発光区域が中心部分に位置するように、四角形状の4つの角のうち3つの角に配置される。しかし、コンタクト部の位置はこれにまたはこれによって限定されるべきではなく、多様な方式で変更可能である。すなわち、コンタクト部は、四角形状の辺の中心または四角形状の内部に配置されてもよい。

【0480】

本例示的な実施例において、第1および第2エピタキシャルスタック320および330は、平面図からみて、互いに重なってもよい。第1および第2エピタキシャルスタック320および330は、発光区域EA内で互いに完全に重なってもよいが、電極部との接触のために、周辺区域内では互いに完全に重ならなくてもよい。

【0481】

第1および第2エピタキシャルスタック320および330のそれぞれは、第1および第2エピタキシャルスタック320および330に発光信号を印加するための電極部を含む。

【0482】

電極部は、第1信号電極320Eと、第2信号電極330Eと、共通電極340Eとを含む。

【0483】

第1信号電極320E、第2信号電極330Eおよび共通電極340Eは、平面図からみて、互いに離隔する。第1信号電極320E、第2信号電極330Eおよび共通電極340Eは、第1コンタクト部320C、第2コンタクト部330Cおよび第3コンタクト部340Cにそれぞれ対応する位置に配置される。

【0484】

この場合、第1信号電極320E、第2信号電極330Eおよび共通電極340Eのそれぞれは、周辺区域PAにのみ配置されるか、または周辺区域PAおよび発光区域EAにわたって配置されてもよい。本開示の例示的な実施例による発光積層構造は、光Lを下方に放出するので、発光積層構造上に形成される第1信号電極320E、第2信号電極330Eおよび共通電極340Eは、光路上に配置されず、そのため、第1信号電極320E、第2信号電極330Eおよび共通電極340Eは、発光区域EAを覆うように提供される。本例示的な実施例において、第1信号電極320Eおよび第2信号電極330Eは、周辺区域PAに配置され、共通電極340Eは、第1および第2信号電極320Eおよび330Eより広い面積を有し、周辺区域PAおよび発光区域EAの一部分上に配置される。

【0485】

第1信号電極320Eおよび共通電極340Eは、第1エピタキシャルスタック320に接続される。第2信号電極330Eおよび共通電極340Eは、第2エピタキシャルスタック330に接続される。第1信号電極320Eは、第1コンタクトホールCH1を介して第1エピタキシャルスタック320に接続され、共通電極340Eは、第3コンタクトホールCH3を介して第1エピタキシャルスタック320に接続される。第2信号電極330Eは、第2コンタクトホールCH2を介して第2エピタキシャルスタック330に接続され、共通電極340Eは、第4コンタクトホールCH4を介して第2エピタキシャル

ルスタック 330 に接続される。

【0486】

次に、発光積層構造を図 37A および図 37B を参照してその積層順序に従って説明する。

【0487】

本例示的な実施例により、第 1 エピタキシャルスタック 320 が基板 310 上に配置される。

【0488】

第 1 p 型コンタクト電極 327 が第 1 エピタキシャルスタック 320 上に配置される。具体的には、第 1 p 型コンタクト電極 327 は、第 1 エピタキシャルスタック 320 の p 型半導体層と接触するように提供される。第 1 p 型コンタクト電極 327 は、透明導電性材料、例えば、透明導電性酸化物 (TCO) を含むことができ、約 2000 オングストローム～約 2 マイクロメートルの厚さを有することができる。透明導電性酸化物は、スズ酸化物 (SnO)、インジウム酸化物 (InO₂)、亜鉛酸化物 (ZnO)、インジウムスズ酸化物 (ITO) およびインジウムスズ亜鉛酸化物 (ITZO) を含むことができる。透明導電性酸化物は、蒸発器またはスパッタを用いた化学気相蒸着 (CVD) または物理気相蒸着 (PVD) によって蒸着できる。第 1 p 型コンタクト電極 327 の材料はこれにまたはこれによって限定されるべきではない。

【0489】

本開示の例示的な実施例において、長波長通過フィルタ 360 は、第 1 p 型コンタクト電極 327 上に配置される。長波長通過フィルタ 360 は、高純度および高効率を有する色光を提供するための構成要素であってもよく、発光積層構造において選択的に利用可能である。長波長通過フィルタ 360 は、相対的により短い波長を有する光が相対的により長い波長を有する光を放出するエピタキシャルスタックに進行することを遮断するために使用される。

【0490】

本例示的な実施例において、長波長通過フィルタ 360 は、所定の波長を有する光を選択的に透過させる。長波長通過フィルタ 360 は、第 2 エピタキシャルスタック 330 から放出される第 2 色光を透過させることができ、第 2 色光を除いた光を遮断または反射させることができる。したがって、第 2 エピタキシャルスタック 330 から放出される第 2 色光は、下方向に進行することができ、第 1 エピタキシャルスタック 320 から放出される第 1 色光は、第 2 エピタキシャルスタック 330 に向かって進行しなくてもよいし、長波長通過フィルタ 360 によって反射または遮断可能である。

【0491】

第 1 色光は、第 2 色光より相対的により短い波長および相対的に高いエネルギーを有する光である。第 1 色光が第 2 エピタキシャルスタック 330 内に入射する場合、付加的な発光が第 2 エピタキシャルスタック 330 内で誘発されることがある。本例示的な実施例において、第 1 色光は、第 2 エピタキシャルスタック 330 内に入射することが長波長通過フィルタ 360 によって防止できる。

【0492】

長波長通過フィルタ 360 は、発光区域 EA および周辺区域 PA 内に配置されるが、長波長通過フィルタ 360 は、必要に応じて、周辺区域 (AP) 内には配置されなくてもよい。

【0493】

第 2 エピタキシャルスタック 330 は、接着層 350 が間に介在する状態で第 1 p 型コンタクト電極 327 がその上に配置される、第 1 エピタキシャルスタック 320 上に配置される。

【0494】

接着層 350 は、非導電性材料を含むことができ、光透過性材料を含むことができる。例えば、接着層 350 は、光学用透明接着剤 (optically clear adh

10

20

30

40

50

esive:OCA)を含むことができる。接着層350の材料は、接着層350の材料が光学的に透明で各エピタキシャルスタックに安定して貼り合わされる限り、特に限定されるべきではない。例えば、接着層350は、SU-8、多様なレジスト、パリレン、ポリ(メチルメタクリレート)(PMMMA)およびベンゾシクロブテン(BCB)のようなエポキシ系ポリマーのような有機材料、およびシリコン酸化物、アルミニウム酸化物および溶融ガラスのような無機材料を含むことができる。また、必要に応じて、導電性酸化物が接着層として使用可能であり、この場合、導電性酸化物は、他の構成要素から絶縁される必要がある。有機材料が接着層として用いられ、無機材料のうち溶融ガラスが接着層として用いられる場合、第1および第2エピタキシャルスタック320および330は、第1および第2エピタキシャルスタック320および330の接着側(adh es i v e
s i d e)上に材料をコーティングし、高真空状態で材料に高温および高圧を印加することにより、互いに貼り合わされる。(溶融ガラスを除いた)無機材料が接着層として用いられる場合、第1および第2エピタキシャルスタック320および330は、第1および第2エピタキシャルスタック320および330の接着側上に無機材料を蒸着し、化学機械的平坦化(CMP)を利用して無機材料を平坦化し、無機材料の表面上でプラズマ処理を行い、第1および第2エピタキシャルスタック320および330を高真空状態で貼り合わされることにより、互いに付貼り合わされる。

【0495】

第2エピタキシャルスタック330は、接着層350上に配置される。

【0496】

n型半導体層、活性層およびp型半導体層の一部を除去することにより、メサMが第2エピタキシャルスタック330に形成される。半導体層の一部(詳しくは、n型半導体層および活性層の一部)がメサMの形成されない部分から除去され、そのため、n型半導体層の上部表面が露出する。メサMが配置される区域は、発光区域EAと重なってもよく、メサMが配置されない区域は、周辺区域PA、特に、コンタクト部と重なってもよい。

【0497】

第2n型コンタクト電極339がn型半導体層の露出した上部表面上に配置される。第2p型コンタクト電極337は、オーミック電極337'および第1絶縁層371が間に介在する状態で、メサがその上に形成されるp型半導体層の上部に配置される。

【0498】

第1絶縁層371は、第2エピタキシャルスタック330の上部表面を覆い、オーミック電極337'が配置される部分に対応してそれを貫通して設けられるコンタクトホールを含む。オーミック電極337'は、第3コンタクト部340Cが配置される区域に対応して配置され、多様な形状、例えば、図37Aに示すようなドーナツ形状を有することができる。

【0499】

オーミック電極337'は、オーミック接触のために使用可能であり、多様な材料を含むことができる。本開示の例示的な実施例において、オーミック電極337'は、Au(Zn)またはAu(Be)を含むことができる。この場合、オーミック電極337'用材料は、Ag、AlおよびAuより低い反射率を有するので、追加の反射電極がさらに配置されてもよい。追加の反射電極用材料として、AgまたはAuが使用可能であり、Ti、Ni、CrまたはTaを含む層が隣接した構成要素への接着のための接着層として配置されてもよい。この場合、接着層は、AgまたはAuを含む反射電極の上部および下部表面上に薄く蒸着される。

【0500】

第2p型コンタクト電極337が第1絶縁層371上に配置される。第2p型コンタクト電極337は、発光区域EAと重なってもよく、平面図からみて、発光区域EAの全体を覆うように提供される。第2p型コンタクト電極337は、反射性を有する材料を含み、第2エピタキシャルスタック330からの光を下方向に反射させることができる。第2

10

20

30

40

50

p型コンタクト電極337用の反射性を有する材料として、多様な反射性金属、例えば、Ag、AlおよびAuが使用可能であり、Ti、Ni、CrまたはTaを含む層が隣接した構成要素への接着のための接着層として配置されてもよい。

【0501】

特に、第2エピタキシャルスタック330が赤色光を放出する場合、第2p型コンタクト電極337は、赤色光の波長帯域で高い反射率を有する材料を含むことができる。例えば、第2p型コンタクト電極337は、赤色光の波長帯域で高い反射率を有する「Au」を含むことができ、この場合、「Au」は、第2p型コンタクト電極337の底から漏れる青色光を吸収可能なため、不必要な色干渉が減少できる。

【0502】

本例示的な実施例において、第1絶縁層271は、第2エピタキシャルスタック330からの光の反射が容易に行われるように、反射性を有するように形成される。例えば、第1絶縁層371は、全方向反射器(omni-directional reflector: ODR)構造を有してもよい。

【0503】

第2絶縁層373が、第2p型コンタクト電極337がその上に配置される、第1絶縁層371の上部に配置される。第2絶縁層373は、第2エピタキシャルスタック330の上部表面および第2絶縁層373の下に配置される各構成要素の側面を覆う。

【0504】

本例示的な実施例において、第2絶縁層373はさらに、反射性を有することができる。加えて、詳細に示さないが、本開示の例示的な実施例において、光不透過性層が、発光積層構造の側面に対応する第2絶縁層373の側部分上に、さらに配置されてもよい。光不透過性層は、光遮断層として作用して、第1および第2エピタキシャルスタック320および330からの光が発光積層構造の側面を介して出射するのを防止することができ、光を吸収または反射させる材料を含むことができる。

【0505】

光不透過性層は、光不透過性層が光を吸収または反射させて光の透過を遮断する限り、特に限定されるべきではない。本開示の例示的な実施例において、光不透過性層は、分布ブラッグ反射器(DBR)誘電体ミラー、絶縁層上に形成される金属反射層または黒色有機ポリマー層であってもよい。金属反射層が光不透過性層として用いられる場合、金属反射層は、金属反射層が他の発光積層構造の構成要素から電氣的に絶縁される、フローティング状態であってもよい。

【0506】

発光積層構造の側面上に配置される光不透過性層によって、特定の発光積層構造から出射する光が隣接した発光積層構造に影響を及ぼすか、隣接した発光積層構造から出射する光と混合されるのを防止することができる。

【0507】

第1および第2信号電極320Eおよび330Eおよび共通電極340Eは、第2絶縁層373上に配置される。第1および第2信号電極320Eおよび330Eおよび共通電極340Eは、単層または多層金属を有してもよい。例えば、第1および第2信号電極320Eおよび330Eおよび共通電極340Eは、Al、Ti、Cr、Ni、Au、Ag、Sn、WおよびCuの金属またはその合金を含む多様な材料を含むことができる。

【0508】

第1および第2信号電極320Eおよび330Eおよび共通電極340Eは、その下に設けられる第1、第2、第3および第4コンタクトホールCH1、CH2、CH3およびCH4を介して対応する構成要素にそれぞれ接続される。

【0509】

第1信号電極320Eは、第1コンタクトホールCH1を介して第1エピタキシャルスタック320のn型半導体層に接続される。第1コンタクトホールCH1は、上から第2絶縁層373、第1絶縁層371、第2エピタキシャルスタック330、接着層350、

10

20

30

40

50

長波長通過フィルタ 360、第 1 p 型コンタクト電極 327 および第 1 エピタキシャルスタック 320 の部分を貫通することにより設けられる。特に、第 1 エピタキシャルスタック 320 の p 型半導体層および活性層の部分が除去され、第 1 エピタキシャルスタック 320 の n 型半導体層の上部表面が露出するので、第 1 信号電極 320E が第 1 コンタクトホール CH1 を介して第 1 エピタキシャルスタック 320 の n 型半導体層に接続される。

【0510】

第 2 信号電極 330E は、第 2 コンタクトホール CH2 を介して第 2 エピタキシャルスタック 330 の n 型半導体層に接続される。第 2 コンタクトホール CH2 は、上から第 2 絶縁層 373 および第 1 絶縁層 371 を貫通することにより設けられる。したがって、第 2 エピタキシャルスタック 330 の n 型半導体層の上部表面が第 2 コンタクトホール CH2 を介して露出し、そのため、第 2 信号電極 330E が第 2 コンタクトホール CH2 を介して第 2 エピタキシャルスタック 330 の n 型半導体層に接続される。

【0511】

共通電極 340E は、第 3 コンタクトホール CH3 を介して第 1 エピタキシャルスタック 320 の第 1 p 型コンタクト電極 327 に接続される。第 3 コンタクトホール CH3 は、上から第 2 絶縁層 373、第 1 絶縁層 371、第 2 エピタキシャルスタック 330、接着層 350 および長波長通過フィルタ 360 の部分を貫通することにより設けられる。したがって、第 1 p 型コンタクト電極 327 の上部表面が露出し、共通電極 340E は、第 3 コンタクトホール CH3 を介して第 1 p 型コンタクト電極 327 に接続される。

【0512】

加えて、共通電極 340E は、第 4 コンタクトホール CH4 を介して第 2 エピタキシャルスタック 330 の第 2 p 型コンタクト電極 337 に接続される。第 4 コンタクトホール CH4 は、第 2 絶縁層 373 の部分を貫通することにより設けられる。したがって、第 2 p 型コンタクト電極 337 の上部表面が露出し、共通電極 340E は、第 4 コンタクトホール CH4 を介して第 2 p 型コンタクト電極 337 に接続される。

【0513】

上述した構造を有する発光積層構造は、第 1 および第 2 エピタキシャルスタック 320 および 330 からの発光を利用して光を下方方向に放出する。この場合、別途の駆動信号が第 1 および第 2 信号電極 320E および 330E を介して第 1 および第 2 エピタキシャルスタック 320 および 330 に印加され、そのため、第 1 および第 2 エピタキシャルスタック 320 および 330 の発光が独立して制御可能である。つまり、第 1 エピタキシャルスタック 320 が発光するか否かは、第 1 信号電極 320E および共通電極 340E を介して第 1 エピタキシャルスタック 320 にそれぞれ印加される発光信号および共通電圧によって決定可能である。第 2 エピタキシャルスタック 330 が発光するか否かは、第 2 信号電極 330E および共通電極 340E を介して第 2 エピタキシャルスタック 330 にそれぞれ印加される発光信号および共通電圧によって決定可能である。結果として、第 1 エピタキシャルスタック 320 および第 2 エピタキシャルスタック 330 の発光は、第 1 信号電極 320E に印加される信号および第 2 信号電極 330E に印加される信号によって、個別に異なってもよい。

【0514】

上述した実施例において、共通電圧が第 1 および第 2 エピタキシャルスタック 320 および 330 の p 型半導体層に印加され、発光信号が第 1 および第 2 エピタキシャルスタック 320 および 330 の n 型半導体層に印加されるが、本開示の実施例がこれにまたはこれによって限定されるべきではない。本開示の他の実施例により、共通電圧が第 1 および第 2 エピタキシャルスタック 320 および 330 の n 型半導体層に印加され、発光信号が第 1 および第 2 エピタキシャルスタック 320 および 330 の p 型半導体層に印加される。このような構造は、p 型半導体層、活性層および n 型半導体層の順に各エピタキシャルスタックの構成要素を配列することにより容易に実現可能であり、このような順序は、本開示において半導体層の積層順序、すなわち、n 型半導体層、活性層および p 型半導体層の順序とは異なる。

【0515】

したがって、本例示的な実施例による発光積層構造は、第1および第2エピタキシャルスタックを個別に駆動することにより、各動作モードによって異なる色温度を有する白色光を提供することができる。特に、第1および第2エピタキシャルスタックに印加される電流が個別に制御されるので、色温度が微細に制御可能である。そのため、本例示的な実施例による発光積層構造が照明装置に適用される場合、光は使用者の感度によって制御可能である。加えて、第1および第2エピタキシャルスタックからの光を利用して色光を多様な方式で互いに混合することにより白色光が発生し、結果として、高い演色指数（color rendering index）および広い相関色温度（correlated color temperature）を有する白色光が実現できる。

10

【0516】

また、色相をディスプレイするとき、上述した構造を有する発光積層構造は、平面上の互いに異なる区域を介して互いに異なる色光を提供するよりは、互いに重なる区域を介して互いに異なる色光を提供し、そのため、発光素子が小型化され、集積化されることが可能である。従来技術によれば、互いに異なる色光、例えば、赤色および青色光を放出する発光素子は、白色光を実現するために平面上で互いに離隔して配置される。したがって、発光素子が平面上で互いに離隔して配置されるので、従来技術において発光素子によって占有される面積は相対的に大きい。一方、本開示によれば、互いに異なる色光を放出する発光素子が互いに重なる同一の面積内に配置されて発光積層構造を形成し、そのため、従来技術より著しく小さな面積により白色光が実現できる。そのため、高解像度ディスプレイデバイスが小さい面積内に製造できる。

20

【0517】

また、積層方式で製造される従来の発光素子の場合にも、従来の発光素子は、各発光素子内にコンタクト部を個別に形成することにより、例えば、発光素子を個別に、そして分離的に形成し、ワイヤリングを用いて発光素子を互いに接続することにより製造される。結果として、発光デバイスの構造が複雑で、発光デバイスを製造することが容易でない。しかし、本開示の例示的な実施例による発光積層構造は、1つの基板上に複数のエピタキシャルスタックを順に積層し、最小工程によりエピタキシャルスタックにライン部を接続することにより製造され、そのため、発光積層構造の構造および製造方法が単純化できる。

30

【0518】

上述した構造を有する発光積層構造は、基板上に第1および第2エピタキシャルスタックを順に積層することにより製造可能であり、これについて添付した図面を参照して説明する。本開示の例示的な実施例による発光積層構造は、単一個数で製造されるか、または複数の発光積層構造が広い面積を有する基板を用いて実質的に同時に形成されてもよい。発光積層構造が実質的に同時に形成される場合、互いに隣接した発光積層構造を互いに電氣的に物理的に分離するためにリセス部分が形成されてもよく、各発光積層構造は、最終工程でリセス部分に対応する部分を切断することにより単一発光積層構造として分離可能である。

【0519】

以下の実施例において、1つの発光積層構造が代表例として示される。複数の発光積層構造が形成される場合、図面において、最外郭ラインに相当する部分が基板の周縁および互いに隣接した発光積層構造間の境界に相当する。

40

【0520】

図38A、図39A、図40A、図41A、図42Aおよび図43Aは、本開示の例示的な実施例による発光積層構造の製造方法を順に示す平面図であり、図38B、図39B、図40B～図40G、図41B～図41D、図42Bおよび図43Bは、それぞれ図38A、図39A、図40A、図41A、図42Aおよび図43AのI-I線に沿った断面図である。

【0521】

50

本開示の例示的な実施例による発光積層構造は、基板 310 上に第 1 エピタキシャルスタック 320 を形成し、別途の仮基板上に第 2 エピタキシャルスタック 330 を形成し、第 1 エピタキシャルスタック 320 上に第 2 エピタキシャルスタック 330 を形成し、第 1 および第 2 エピタキシャルスタック 320 および 330 を接続する電極部を形成することにより製造できる。以下、説明の便宜のために、発光積層構造の製造について、第 2 エピタキシャルスタック 330 を仮基板上に形成し、第 2 エピタキシャルスタック 330 を第 1 エピタキシャルスタック 230 上で形成する順序で説明する。

【0522】

図 38A および図 38B を参照すると、第 1 エピタキシャルスタック 320 が第 1 仮基板 310p 上に配置される。

【0523】

第 1 仮基板 310p は、第 2 エピタキシャルスタック 330 を形成するための半導体基板 310 であってもよい。第 1 仮基板 310p は、形成される半導体層によって異なって設定可能であり、第 2 エピタキシャルスタック 330 が赤色光を放出する半導体層を含む場合、第 1 仮基板 310p は、ガリウム砒化物 (GaAs) 基板であってもよい。第 2 エピタキシャルスタック 330 は、第 1 仮基板 310p 上に n 型半導体層、活性層および p 型半導体層を形成し、活性層および p 型半導体層の一部分、および必要であれば、メサ構造 M を形成するために、n 型半導体層の一部分を除去することにより製造される。メサ構造 M が形成されるので、第 2 エピタキシャルスタック 330 の n 型半導体層の上部表面が露出する。

【0524】

図 39A および図 39B を参照すると、第 2 n 型コンタクト電極 339、オーミック電極 337' および第 1 絶縁層 371 は、メサ構造 M がその上に形成される、第 2 エピタキシャルスタック 330 上に形成される。第 2 n 型コンタクト電極 339 は、第 2 コンタクト部 330C に相当する区域内に配置され、オーミック電極 337' は、第 3 コンタクト部 340C に相当する区域内に配置される。第 2 エピタキシャルスタック 330 の p 型半導体層の上部表面を介して露出するコンタクトホールが、オーミック電極 337' の形成される区域内で、第 1 絶縁層 371 を介して形成され、オーミック電極 337' は、コンタクトホール内に形成される。

【0525】

図 40A および図 40B を参照すると、第 2 p 型コンタクト電極 337 は、第 1 絶縁層 371 がその上に形成される、第 1 仮基板 310p の上部に形成される。第 2 p 型コンタクト電極 337 は、反射材料を含むことができ、発光区域 EA を覆うように形成される。第 2 p 型コンタクト電極 337 は、第 1 絶縁層 371 およびオーミック電極 337' の全体表面上に反射性導電材料を形成し、フォトリソグラフィ工程を利用して反射性導電材料をパターニングすることにより形成される。

【0526】

図 40A および図 40C を参照すると、第 2 p 型コンタクト電極 337 がその上に形成される、第 2 エピタキシャルスタック 330 は、第 1 仮基板 310p とともに反転し、仮接着層 351 が間に介在する状態で第 2 仮基板 310q に貼り合わされる。

【0527】

仮接着層 351 は、第 2 エピタキシャルスタック 330 を第 2 仮基板 310q に貼り合わせて所定の工程が実行された後に、除去される。したがって、仮接着層 351 は、所定の接着力を有しかつ除去しやすい材料の中から選択される材料で形成される。仮接着層 351 の材料は特に限定されるべきではない。

【0528】

第 2 仮基板 310q は、第 2 エピタキシャルスタック 330 がその上に一時的に貼り合わされるキャリア基板であり、第 2 仮基板 310q の類型は特に限定されるべきではない。

【0529】

図40Aおよび図40Dを参照すると、第1仮基板310pは、第2エピタキシャルスタック330が第2仮基板310qに貼り合わされた後に、除去される。第1仮基板310pは、ウェットエッチング工程、ドライエッチング工程、物理的除去工程またはレーザーリフトオフ工程のような多様な方法によって除去可能である。しかし、第1仮基板310pを除去するための方法はこれにまたはこれによって限定されるべきではない。第1仮基板310pは、第1仮基板310pと第2エピタキシャルスタック330との間に犠牲層を形成し犠牲層を除去することにより除去可能である。

【0530】

図40Aおよび図40Eを参照すると、第1エピタキシャルスタック320が第2エピタキシャルスタック330とは別途に製造される。第1エピタキシャルスタック320は、n型半導体層、活性層およびp型半導体層を基板310上に順に形成することにより製造できる。第1p型コンタクト電極327、長波長通過フィルタ360および接着層350が第1エピタキシャルスタック320上に順に形成される。

【0531】

図40Aおよび図40Fを参照すると、第2仮基板310q上に形成された第2エピタキシャルスタック330は反転して、接着層350が間に介在する状態で、第1エピタキシャルスタック320に貼り合わされる。この場合、第2エピタキシャルスタック330のn型半導体層の下部表面は、第1エピタキシャルスタック320のp型半導体層と向かい合うように配置され、その後、第2エピタキシャルスタック330は、第1エピタキシャルスタック320に貼り合わされる。接着層350は、非導電性材料を含むことができ、光透過特性を有する材料を含むことができる。例えば、光学用透明接着剤が接着層350として使用可能である。

【0532】

図40Aおよび図40Gを参照すると、第2エピタキシャルスタック330の上部に配置される仮接着層351および第2仮基板310qは、第2エピタキシャルスタック330が第1エピタキシャルスタック320上に貼り合わされた後に、除去される。第2仮基板310qは、多様な方法で除去可能である。例えば、第2仮基板310qがサファイア基板の場合、サファイア基板は、レーザーリフトオフ工程、ストレスリフトオフ工程、化学的リフトオフ工程または物理的研磨工程により除去可能である。

【0533】

上述のように、第1エピタキシャルスタック320および第2エピタキシャルスタック330が基板310上に形成された後、電極部およびコンタクト部が形成される。これを以下に詳細に説明する。

【0534】

図41Aおよび図41Bを参照すると、第1絶縁層371、第2エピタキシャルスタック330、接着層350および長波長通過フィルタ360の部分が第1コンタクト部320Cおよび第3コンタクト部340Cに対応する区域から除去されて、第1仮コンタクトホールCH1'および第3コンタクトホールCH3をそれぞれ形成する。この場合、第1仮コンタクトホールCH1'および第3コンタクトホールCH3を有する発光積層構造の周辺に沿ってリセス部分が形成される。リセス部分は、発光積層構造が形成されるときに、互いに隣接した発光積層構造を電氣的に、そして物理的に分離するように形成される。

【0535】

第1仮コンタクトホールCH1'、第3コンタクトホールCH3およびリセス部分は、フォトリソグラフィ工程を利用して形成される。第1p型コンタクト電極327の上部表面が第1仮コンタクトホールCH1'、第3コンタクトホールCH3およびリセス部分Rによって外部に露出する。

【0536】

図41Aおよび図41Cを参照すると、第1p型コンタクト電極327および第1エピタキシャルスタック320の部分、具体的には、第1エピタキシャルスタック320のp型半導体層および活性層の部分が第1コンタクト部320Cに相当する区域から除去され

て、第1コンタクトホールCH1を形成する。この場合、第1エピタキシャルスタック320のp型半導体層および活性層の部分が発光積層構造の周辺に沿って除去され、そのため、リセス部分がさらにエッチングされる。

【0537】

第1コンタクトホールCH1およびリセス部分の追加的なエッチングは、フォトリソグラフィ工程により実行されてもよい。したがって、第1エピタキシャルスタック320のn型半導体層の上部表面は、第1コンタクト部320Cに対応する区域で第1コンタクトホールCH1を介して、そして発光積層構造の周辺内のリセス部分を介して外部に露出する。

【0538】

図41Aおよび図41Dを参照すると、第1エピタキシャルスタック320のn型半導体層の部分が発光積層構造の周辺に沿って除去され、そのため、リセス部分がさらにエッチングされる。これは、各発光積層構造をそれに隣接した発光積層構造から電氣的に、そして物理的に分離するためのものである。本作業においてリセス部分の追加的なエッチングは、フォトリソグラフィ工程により実行されてもよく、基板310の上部表面は、発光積層構造の周辺で露出する。

【0539】

図42Aおよび図42Bを参照すると、第2絶縁層373が基板310の全体表面上部に形成されパターニングされて、第2コンタクト部330Cおよび第3コンタクト部340Cに第2コンタクトホールCH2および第4コンタクトホールCH4をそれぞれ形成する。第2絶縁層373は、第2エピタキシャルスタック330の上部の構成要素だけでなく、第1および第2エピタキシャルスタック320および330およびリセス部分が形成される発光積層構造の側面も覆う。

【0540】

第2コンタクトホールCH2および第4コンタクトホールCH4は、フォトリソグラフィ工程により形成される。

【0541】

第2コンタクトホールCH2が形成されると、第2絶縁層373の下に配置される第1絶縁膜371がパターニングされ、そのため、第2n型コンタクト電極339の上部表面が外部に露出する。第4コンタクトホールCH4は、第2p型コンタクト電極337の上部表面の一部分が第3コンタクト部340Cで外部に露出するように形成される。本例示的な実施例において、第4コンタクトホールCH4が形成される区域は、オーミック電極337'が形成される区域と重なるが、これは説明の便宜のためのものに過ぎず、これにまたはこれによって限定されるべきではない。

【0542】

本例示的な実施例において、第2絶縁層373が第1および第3コンタクトホールCH1およびCH3内に形成され、第2絶縁層373がパターニングされるときに、第1エピタキシャルスタック320のn型半導体層の上部表面上の第2絶縁層373および第1p型コンタクト電極327の上部表面上の第2絶縁層373は、第1エピタキシャルスタック320のn型半導体層の上部表面および第1p型コンタクト電極327の上部表面の露出が保持されるように除去される。しかし、第1および第3コンタクトホールCH1およびCH3の側壁上に形成される第2絶縁層373は、除去されずに保持できる。

【0543】

図43Aおよび図43Bを参照すると、第1信号電極320E、第2信号電極330Eおよび共通電極340Eが、第1、第2、第3および第4コンタクトホールCH1、CH2、CH3およびCH4が形成された、基板310上に形成される。

【0544】

第1信号電極320E、第2信号電極330Eおよび共通電極340Eは、フォトリソグラフィ工程により形成され、第1信号電極320E、第2信号電極330Eおよび共通電極340Eは、1つのマスクを用いる単一工程により形成される。

【0545】

第1信号電極320Eは、第1コンタクト部320Cに相当する区域に形成され、第2信号電極330Eは、第2コンタクト部330Cに相当する区域に形成され、共通電極340Eは、第3コンタクト部340Cに相当する区域に形成される。したがって、第1信号電極320Eは、第1コンタクトホールCH1を介して第1エピタキシャルスタック320のn型半導体層に接続され、第2信号電極330Eは、第2コンタクトホールCH2を介して第2n型コンタクト電極339に直接接続され、共通電極340Eは、第3および第4コンタクトホールCH3およびCH4を介して第1p型コンタクト電極327および第2p型コンタクト電極337にそれぞれ接続される。

【0546】

各発光積層構造は、上述した作業によって製造される。図示しないが、複数の発光積層構造が実質的に同時に製造される場合、発光積層構造の境界に沿って基板310を切断する工程がさらに実行されてもよい。複数の発光積層構造が広い面積を有する基板を用いて実質的に同時に製造され、発光積層構造を各発光積層構造に分割するために切断される場合、発光積層構造の製造効率が改善され、発光積層構造の製造費用が減少することが可能である。

【0547】

本開示の例示的な実施例による発光積層構造は、高効率の均一な光を提供するために多様な構成要素を追加的に含んでもよい。一例として、本開示の例示的な実施例による発光積層構造は、発光面上で多様な凹凸部分PRを含むことができる。

【0548】

図44は、本開示の例示的な実施例による発光積層構造を示す断面図である。具体的には、図44は、第2エピタキシャルスタック330上に形成される凹凸部分PRを示す。以下の実施例では、重複を避けるために、上述した実施例の特徴と異なる特徴が主に説明される。説明されていない部分は、上述した実施例のそれと同一または類似するものと仮定する。

【0549】

本開示の例示的な実施例による発光積層構造は、第2エピタキシャルスタック330上に形成される凹凸部分PRを含むことができる。本開示の例示的な実施例において、凹凸部分PRは、第2エピタキシャルスタック330の発光面に対応するn型半導体層の下部表面上に配置される。

【0550】

凹凸部分PRは、発光効率を向上させるために用いられる。凹凸部分PRは、その上に凹凸部分がランダムに配列される、多角形ピラミッド、半球または粗さを有する表面のような、多様な形状に提供できる。凹凸部分PRは、多様なエッチング工程によるテクスチャリングによって形成されてもよい。例えば、凹凸部分PRは、マイクロフォトグラフィーを利用したドライエッチング工程、結晶特性を利用したウェットエッチング工程、サンドブラストのような物理的方法を利用したテクスチャリング工程、イオンビームエッチング工程またはブロックコポリマーのエッチング速度差を利用したテクスチャリング工程のような多様な工程により形成されてもよい。

【0551】

本開示の例示的な実施例において、第1および第2エピタキシャルスタックからの第1および第2色光間の光度差があり得、光度差は、白色光が発生するときに、色温度における差を誘発することがある。本例示的な実施例において、凹凸部分は、第1および第2エピタキシャルスタックの発光面上に選択的に形成されて発光効率を向上させ、結果として、第1および第2色光間の光度差が減少できる。特に、赤色に対応する色光は、青色より可視性が低く、光の光度差は、第2エピタキシャルスタックをテクスチャリングすることにより減少できる。

【0552】

第2エピタキシャルスタックのn型半導体層の下部表面上に凹凸部分を形成する工程は

、図40Dに示す作業後に実行され、図45は、図40Dの第2エピタキシャルスタック上に形成される凹凸部分を示す断面図である。

【0553】

図45を参照すると、第2エピタキシャルスタック330のn型半導体層と接触する第1仮基板310pが除去された後、テクスチャリング工程が露出したn型半導体層上で行われて凹凸部分PRを形成する。

【0554】

本開示の例示的な実施例により、凹凸部分は、他のエピタキシャルスタックに提供され、基板は除去可能である。

【0555】

図46は、本開示の例示的な実施例による発光積層構造を示す断面図である。具体的には、図46は、基板310が除去され、凹凸部分PRが第2エピタキシャルスタック330に加えて、第1エピタキシャルスタック320上に形成される構造を示す。

【0556】

図46を参照すると、本開示の例示的な実施例による発光積層構造は、基板310が除去された構造を有してもよい。基板310は、相対的に厚い厚さを有するので、発光積層構造の厚さは、基板310が除去されると著しく減少できる。したがって、基板310が除去された発光積層構造を別途の配線基板上に転写して所定のデバイスが製造される場合、所定のデバイスを薄くすることが容易である。

【0557】

本例示的な実施例により、凹凸部分PRは、第1エピタキシャルスタック320上に配置されて光効率を向上させることができる。すなわち、凹凸部分PRは、第1エピタキシャルスタック320の発光表面に対応するn型半導体層の下部表面上に配置される。この場合、パターニングされたサファイア基板が基板310として用いられ、パターニングされたサファイア基板が除去されると、凹凸部分PRが第1エピタキシャルスタック320の発光面上に容易に形成できる。

【0558】

本開示の例示的な実施例により、発光積層構造は、高い演色指数および広い相関色温度のための追加の構成要素をさらに用いることができる。一例として、発光積層構造は、第1および第2エピタキシャルスタックからそれぞれ放出される光の少なくとも一部分を他の波長を有する光に変換するための光変換層をさらに含んでもよい。

【0559】

図47および図48は、本開示の例示的な実施例による光変換層を有する発光積層構造を示す断面図である。図47は、基板が除去された発光積層構造を示し、図48は、基板を含む発光積層構造を示す。

【0560】

図47を参照すると、光変換層380が第1エピタキシャルスタック320の発光面に対応する下部表面上に追加的に配置されてもよい。図48を参照すると、光変換層380が基板310の下部表面上に追加的に配置され、発光積層構造の側面を選択的に覆うように光変換層380が提供されてもよい。

【0561】

光変換層380は、蛍光物質および量子ドット(quantum dot)のようなナノ構造、色変換が可能な有機物質またはこれらの組み合わせを含むことができる。例えば、蛍光物質が光変換層380の材料として使用される場合、蛍光物質は、所定の波長を有する光を吸収し、所定の波長より長い波長を有する光を放出することができる。蛍光物質は、PDMS(ポリジメチルシロキサン)、PI(ポリイミド)、PMMA(ポリ(メチル2-メチルプロペノエート))またはセラミックのような透明または半透明バインダーと混合された形態で提供される。

【0562】

本例示的な実施例において、発光積層構造が光変換層380を含むので、発光積層構造

10

20

30

40

50

は、第1および第2エピタキシャルスタック320および330から放出される第1色光および／または第2色光とは異なる波長を有する光を出力することができる。したがって、本開示の例示的な実施例では、最終的に提供される光を混合することにより高い演色指数および広い相関色温度を得ることができる。

【0563】

本開示の例示的な実施例による発光積層構造は、独立して使用可能であるが、これにまたはこれによって限定されるべきではない。すなわち、発光積層構造は、配線が形成されるベース基板、例えば、印刷回路基板に実装された後、多様な種類の光源として使用可能である。

【0564】

図49および図50は、本開示の例示的な実施例による印刷回路基板3110上に実装される発光積層構造を示す平面図である。

【0565】

図49を参照すると、本開示の例示的な実施例による複数の発光積層構造3120は、一方向に伸びる印刷回路基板3110上に縦方向に沿って配列される。図50を参照すると、本開示の例示的な実施例による発光積層構造3120は、長方形状のような所定の形状および所定の面積を有する印刷回路基板3110上にマトリクス状に配列される。印刷回路基板3110の形状および発光積層構造3120の配列はこれにまたはこれによって限定されるべきではなく、多様な方式で変化可能である。そのため、発光積層構造は、点光源、線形光源または表面光源の形態で光を提供することができる。

【0566】

端子が印刷回路基板3110上に形成され、発光積層構造に発光信号および共通電圧をそれぞれ印加することができ、発光積層構造の発光は、端子を介して発光積層構造に印加される発光信号および共通電圧によって決定されてもよい。

【0567】

本開示の例示的な実施例による発光積層構造は、白色光を必要とする多様な照明装置に使用可能である。例えば、発光積層構造は、受光型ディスプレイデバイスに含まれるバックライトユニットおよび／または日常生活で室内および／または室外照明として使用可能である。

【0568】

図51は、本開示の1つの例示的な実施例によるディスプレイ用発光ダイオードスタック400の概略断面図である。

【0569】

図51を参照すると、発光ダイオードスタック400は、支持基板451と、第1LEDスタック423と、第2LEDスタック433と、第3LEDスタック443と、反射電極425と、オーミック電極426と、第1絶縁層427と、第2絶縁層428と、インターコネクションライン429と、第2-p透明電極435と、第3-p透明電極445と、第1カラーフィルタ437と、第2カラーフィルタ447と、第1ボンディング層453と、第2ボンディング層455と、第3ボンディング層457とを含む。

【0570】

支持基板451は、半導体スタック423、433および443を支持する。支持基板451は、その表面上にまたはその内部に回路を含むことができるが、これに限定されるものではない。支持基板451は、例えば、ガラス、サファイア基板、Si基板またはGe基板を含むことができる。

【0571】

第1LEDスタック423、第2LEDスタック433および第3LEDスタック443のそれぞれは、n型半導体層423a、433aまたは443aと、p型半導体層423b、433bまたは443bと、その間に介在する活性層とを含む。活性層は、多重量子井戸構造を有してもよい。

【0572】

10

20

30

40

50

例えば、第1LEDスタック423は、赤色光を放出するように適合化される無機発光ダイオードであってもよく、第2LEDスタック433は、緑色光を放出するように適合化される無機発光ダイオードであってもよいし、第3LEDスタック443は、青色光を放出するように適合化される無機発光ダイオードであってもよい。第1LEDスタック423は、GaInP系井戸層を含むことができ、第2LEDスタック433および第3LEDスタック443のそれぞれは、GaInN系井戸層を含むことができる。

【0573】

同時に、第1～第3LEDスタック423、433および443のそれぞれの両面は、それぞれn型半導体層およびp型半導体層である。本例示的な実施例において、第1～第3LEDスタック423、433および443の第1導電型半導体層423a、433aおよび443aのそれぞれは、n型半導体層であり、第1～第3LEDスタック423、433および443の第2導電型半導体層423b、433bおよび443bは、p型半導体層である。第3LEDスタック443がn型上部表面を有するので、粗面化された表面(roughened surface)が第3LEDスタック443の上部表面上に化学的エッチングにより形成される。しかし、本開示がこれに限定されるものではなく、各LEDスタックの上部および下部表面の半導体タイプは変化可能であることを理解しなければならない。

【0574】

第1LEDスタック423は、支持基板451近傍に配置され、第2LEDスタック433は、第1LEDスタック423上に配置され、第3LEDスタック443は、第2LEDスタック433上に配置される。第1LEDスタック423が第2および第3LEDスタック433および443より長い波長を有する光を放出するので、第1LEDスタック423から発生する光は、第2および第3LEDスタック433および443を介して外部に放出される。また、第2LEDスタック433が第3LEDスタック443より長い波長を有する光を放出するので、第2LEDスタック433から発生する光は、第3LEDスタック443を介して外部に放出される。

【0575】

反射電極425は、第1LEDスタック423の第2導電型半導体層とオーミック接触を形成し、第1LEDスタック423から発生する光を反射させる。例えば、反射電極425は、オーミック接触層425aと、反射層425bとを含むことができる。

【0576】

オーミック接触層425aは、第2導電型半導体層、すなわち、p型半導体層と部分的に接触する。オーミック接触層425aによる光の吸収を防止するために、オーミック接触層425aがp型半導体層と接触する領域は、p型半導体層の全体面積の50%を超えない。反射層425bは、オーミック接触層425aおよび絶縁層427を覆う。図示のように、反射層425bは、オーミック接触層425a全体を覆うことができるが、これに限定されるものではない。その代わりとして、反射層425bは、オーミック接触層425aの一部を覆ってもよい。

【0577】

反射層425bが第1絶縁層427を覆うので、全方向反射器は、比較的高い屈折率を有する第1LEDスタック423と比較的低い屈折率を有する絶縁層427との積層構造、および反射層425bによって形成される。反射層425bは、第1LEDスタック423の面積の50%以上または第1LEDスタック423の大部分を覆い、それによって、発光効率を向上させる。

【0578】

オーミック接触層425aおよび反射層425bは、金(Au)を含む金属層であってもよい。オーミック接触層425aは、例えば、Au-Zn合金またはAu-Be合金で形成される。反射層425bは、第1LEDスタック423から発生する光、例えば、赤色光に対して相対的に高い反射率を有する金属、例えば、Al、AgまたはAuで形成される。特に、Auは、第2LEDスタック433および第3LEDスタック443から発

生する光、例えば、緑色光または青色光に対して相対的に低い反射率を有することができ、それによって、第2および第3 LEDスタック433および443から発生して支持基板451に向かって進行する光の光吸収による光干渉を減少させることができる。

【0579】

絶縁層427は、支持基板451と第1 LEDスタック423との間に介在し、第1 LEDスタック423を露出させる開口部を有する。オーミック接触層425aは、絶縁層427の開口部内で第1 LEDスタック423に接続される。

【0580】

オーミック電極426は、第1 LEDスタック423の第1導電型半導体層423aとオーミック接触を形成する。オーミック電極426は、第2導電型半導体層423bを部分的に除去することにより露出する第1導電型半導体層423a上に配置される。単一オーミック電極426を図51に示すが、複数のオーミック電極426が支持基板451上の複数の領域内に整列される。オーミック電極426は、例えば、Au-Te合金またはAu-Ge合金で形成される。

【0581】

第2絶縁層428は、支持基板425と反射電極425との間に介在し、反射電極425を覆う。第2絶縁層428は、オーミック電極426を露出させる開口部を有する。

【0582】

インターコネクションライン429は、第2絶縁層428と支持基板451との間に介在し、第2絶縁層428の開口部を介してオーミック電極426に接続される。インターコネクションライン429は、支持基板451上で複数のオーミック電極426を互いに接続することができる。

【0583】

第2-p透明電極435は、第2 LEDスタック433の第2導電型半導体層433b、すなわち、そのp型半導体層とオーミック接触を形成する。第2-p透明電極435は、赤色光および緑色光に関して透過性である金属層または導電性酸化物層で構成される。

【0584】

加えて、第3-p透明電極445は、第3 LEDスタック443の第2導電型半導体層443b、すなわち、そのp型半導体層とオーミック接触を形成する。第3-p透明電極445は、赤色光、緑色光および青色光に関して透過性である金属層または導電性酸化物層で構成される。

【0585】

反射電極425、第2-p透明電極435および第3-p透明電極445は、各LEDスタックのp型半導体層とのオーミック接触により電流拡散(current spreading)を助けることができる。

【0586】

第1カラーフィルタ437は、第1 LEDスタック423と第2 LEDスタック433との間に介在してもよい。加えて、第2カラーフィルタ447は、第2 LEDスタック433と第3 LEDスタック443との間に介在してもよい。第1カラーフィルタ437は、第2 LEDスタック433から発生する光を反射させながら、第1 LEDスタック423から発生する光を透過させる。第2カラーフィルタ447は、第3 LEDスタック443から発生する光を反射させながら、第1および第2 LEDスタック423および433から発生する光を透過させる。結果として、第1 LEDスタック423から発生する光は、第2 LEDスタック433および第3 LEDスタック443を介して外部に放出され、第2 LEDスタック433から発生する光は、第3 LEDスタック443を介して外部に放出される。また、発光ダイオードスタックは、第2 LEDスタック433から発生する光が第1 LEDスタック423に進入するのを防止することができるか、または第3 LEDスタック443から発生する光が第2 LEDスタック433に進入するのを防止することができるか、それによって、光損失を防止する。

【0587】

いくつかの例示的な実施例において、第1カラーフィルタ437は、第3LEDスタック443から発生する光を反射させることができる。

【0588】

第1および第2カラーフィルタ437および447は、例えば、低周波数帯域で、すなわち、長波長帯域で、光のそれを介した通過を許容するローパスフィルタ、所定の波長帯域で光のそれを介した通過を許容するバンドパスフィルタ、または所定の波長帯域で光のそれを介した通過を防止するバンドストップフィルタであってもよい。特に、第1および第2カラーフィルタ437および447のそれぞれは、互いに異なる屈折率を有する絶縁層を互いに交互に積層することにより形成可能である。例えば、第1および第2カラーフィルタ437および447のそれぞれは、TiO₂およびSiO₂層、Ta₂O₅およびSiO₂層、Nb₂O₅およびSiO₂層、HfO₂およびSiO₂層、またはZrO₂およびSiO₂層を交互に積層することにより形成可能である。また、第1および/または第2カラーフィルタ437および447は、分布ブラッグ反射器(DBR)を含むことができる。分布ブラッグ反射器は、互いに異なる屈折率を有する絶縁層を交互に互いに積層することにより形成可能である。同時に、分布ブラッグ反射器の阻止帯域は、TiO₂およびSiO₂層の厚さを調節することにより制御可能である。

【0589】

第1ボンディング層453は、第1LEDスタック423を支持基板451に結合する。図示のように、インターコネクションライン429は、第1ボンディング層453に隣接していてもよい。また、インターコネクションライン429は、その上に形成されるインターコネクションライン429を有しない第2絶縁層428の領域が第1ボンディング層453に隣接するように、第2絶縁層428のいくつかの領域の下に配置される。第1ボンディング層453は、光透過性であるか、不透明であってもよい。特に、光を吸収可能な黒色エポキシ樹脂で形成されるボンディング層が第1ボンディング層453として用いられ、それによって、ディスプレイ装置のコントラストを向上させる。

【0590】

第2ボンディング層455は、第2LEDスタック433を第1LEDスタック423に結合する。図示のように、第2ボンディング層455は、第1LEDスタック423および第1カラーフィルタ437に隣接していてもよい。オーミック電極426は、第2ボンディング層455によって覆われてもよい。第2ボンディング層455は、第1LEDスタック423から発生する光を透過させる。第2ボンディング層455は、例えば、光透過性スピノングラス(spin-on-glass: SOG)で形成される。

【0591】

第3ボンディング層457は、第3LEDスタック443を第2LEDスタック433に結合する。図示のように、第3ボンディング層457は、第2LEDスタック433および第2カラーフィルタ447に隣接していてもよい。しかし、本開示がこれに限定されるものではないことを理解しなければならない。例えば、透明導電層が第2LEDスタック433上に配置されてもよい。第3ボンディング層457は、第1LEDスタック423および第2LEDスタック433から発生する光を透過させる。第3ボンディング層457は、例えば、光透過性スピノングラスで形成される。

【0592】

本例示的な実施例において、第1～第3ボンディング層453、455および457は、SOGで形成される。しかし、本開示がこれに限定されるものではなく、第1～第3ボンディング層が他の透明な有機または無機材料で形成できることを理解しなければならない。有機材料の例は、SU8、ポリ(メチルメタクリレート)(PMMA)、ポリイミド、パリレン、ベンゾシクロブテン(BCB)などを含むことができ、無機材料の例は、Al₂O₃、SiO₂、SiNxなどを含むことができる。有機材料層は、高真空および高圧条件下でボンディングされてもよく、無機材料層は、例えば、無機材料層の表面を平坦化するための化学機械的研磨によりプラズマを用いて表面エネルギーを変化させた後、高真空条件下でボンディングされてもよい。

【0593】

図52A、図52B、図52C、図52Dおよび図52Eは、本開示の1つの例示的な実施例によるディスプレイ用発光ダイオードスタックを製造する方法を示す概略断面図である。

【0594】

図52Aを参照すると、まず、第1LEDスタック423が第1基板421上に成長する。第1基板421は、例えば、GaAs基板であってもよい。加えて、第1LEDスタック423は、AlGaInP系半導体層で構成され、第1導電型半導体層423aと、活性層と、第2導電型半導体層423bとを含む。

【0595】

その後、第1導電型半導体層423aが、第2導電型半導体層423bを部分的に除去することにより露出する。単一ピクセル領域を示すが、第1導電型半導体層423aは、各ピクセル領域で部分的に露出する。

【0596】

絶縁層427が第1LEDスタック423上に形成され、開口部を形成するようにパターンニングが施される。例えば、SiO₂層が第1LEDスタック423上に形成され、フォトリソグロフがSiO₂層上に蒸着され、フォトリソグロフパターンを形成するようにフォトリソグラフィおよび現像(development)が続く。その後、SiO₂層がエッチングマスクとして用いられるフォトリソグロフパターンを介してパターンニングが施され、それによって、絶縁層427を形成する。第1絶縁層427に形成される開口部のうちの1つは、第1導電型半導体層423a上に配置され、他の開口部は、第2導電型半導体層423b上に配置される。

【0597】

その後、オーミック接触層425aおよびオーミック電極426が第1絶縁層427の開口部内に形成される。オーミック接触層425aおよびオーミック電極426は、リフトオフ工程により形成される。オーミック接触層425aは、オーミック電極426の形成前に形成されてもよいし、その逆も可能である。また、いくつかの例示的な実施例において、オーミック電極426およびオーミック接触層425aは、同一の材料層で同時に形成されてもよい。

【0598】

オーミック接触層425aが形成された後に、反射層425bがオーミック接触層425aおよび第1絶縁層427を覆うように形成される。反射層425bは、リフトオフ工程により形成される。反射層425bは、図示のように、オーミック接触層425aの一部またはその全体を覆うことができる。オーミック接触層425aおよび反射層425bは、反射電極425を形成する。

【0599】

反射電極425は、第1LEDスタック423のp型半導体層とオーミック接触を形成し、そのため、第1-p反射電極425と称される。反射電極425は、オーミック電極426から分離され、そのため、第1導電型半導体層423aから電氣的に絶縁される。

【0600】

その後、第2絶縁層428が形成されて、反射電極425を覆い、オーミック電極426を露出させる開口部を有する。第2絶縁層428は、例えば、SiO₂またはSiO₂Gで形成される。

【0601】

一方、インターコネクションライン429が第2絶縁層428上に形成される。インターコネクションライン429は、第2絶縁層428の開口部を介してオーミック電極426に接続され、第1導電型半導体層423aに電氣的に接続される。

【0602】

インターコネクションライン429が第2絶縁層428の全体表面を覆うものとして図52Aに示されるが、インターコネクションライン429は、第2絶縁層428の上部表

10

20

30

40

50

面がインターコネクションライン 4 2 9 の周囲で露出するように、第 2 絶縁層 4 2 8 上に部分的に配置されてもよい。

【0603】

単一ピクセル領域を示すが、基板 4 2 1 上に配置される第 1 LED スタック 4 2 3 は、複数のピクセル領域を覆うことができ、インターコネクションライン 4 2 9 は、複数の領域内に形成されるオーミック電極 4 2 6 に共通に接続されてもよい。また、複数のインターコネクションライン 4 2 9 が基板 4 2 1 上に形成されてもよい。

【0604】

図 5 2 B を参照すると、第 2 LED スタック 4 3 3 が第 2 基板 4 3 1 上に成長し、第 2 - p 透明電極 4 3 5 および第 1 カラーフィルタ 4 3 7 が第 2 LED スタック 4 3 3 上に形成される。第 2 LED スタック 4 3 3 は、Ga N 系の第 1 導電型半導体層 4 3 3 a と、第 2 導電型半導体層 4 3 3 b と、その間に介在し、Ga I n N 井戸層を含む活性層とを含むことができる。第 2 基板 4 3 1 は、Ga N 系半導体層がその上に成長することを許容する基板であり、第 1 基板 4 2 1 とは異なる。第 2 LED スタック 4 3 3 のための Ga I n N の組成比は、第 2 LED スタック 4 3 3 が緑色光を放出するように決定されてもよい。他方、第 2 - p 透明電極 4 3 5 は、第 2 導電型半導体層 4 3 3 b とオーミック接触を形成する。

10

【0605】

第 1 カラーフィルタ 4 3 7 が第 2 - p 透明電極 4 3 5 上に形成される。第 1 カラーフィルタ 4 3 7 の細部事項は、図 5 1 を参照して説明したものと同一であり、繰り返しの説明は省略する。

20

【0606】

図 5 2 C を参照すると、第 3 LED スタック 4 4 3 が第 3 基板 4 4 1 上に成長し、第 3 - p 透明電極 4 4 5 および第 2 カラーフィルタ 4 4 7 が第 3 LED スタック 4 4 3 上に形成される。第 3 LED スタック 4 4 3 は、Ga N 系の第 1 導電型半導体層 4 4 3 a と、第 2 導電型半導体層 4 4 3 b と、その間に介在し、Ga I n N 井戸層を含む活性層とを含むことができる。第 3 基板 4 4 1 は、Ga N 系半導体層がその上に成長することを許容する基板であり、第 1 基板 4 2 1 とは異なる。第 3 LED スタック 4 4 3 のための Ga I n N の組成比は、第 3 LED スタック 4 4 3 が青色光を放出するように決定されてもよい。他方、第 3 - p 透明電極 4 4 5 は、第 2 導電型半導体層 4 4 3 b とオーミック接触を形成する。

30

【0607】

第 2 カラーフィルタ 4 4 7 の細部事項は、図 5 1 を参照して説明したものと同一であり、繰り返しの説明は省略する。

【0608】

このように、第 1 LED スタック 4 2 3、第 2 LED スタック 4 3 3 および第 3 LED スタック 4 4 3 は、互いに異なる基板上に成長し、そのため、その形成順序は特定の順序に限定されない。

【0609】

図 5 2 D を参照すると、第 1 LED スタック 4 2 3 が第 1 ボンディング層 4 5 3 を経由して支持基板 4 5 1 に結合される。ボンディング材料層は、支持基板 4 5 1 および第 2 絶縁層 4 2 8 上に配置され、互いにボンディングされて第 1 ボンディング層 4 5 3 を形成することができる。インターコネクションライン 4 2 9 は、支持基板 4 5 1 に向かうように配置される。一方、第 1 基板 4 2 1 が化学的エッチングにより第 1 LED スタック 4 2 3 から除去される。結果として、第 2 LED スタック 4 2 3 の第 1 導電型半導体層の上部表面が露出する。第 1 導電型半導体層 4 2 3 a の露出した表面は、光抽出効率を向上させるためにテクスチャリングが施され、これによって、粗面化された表面のような光抽出構造が第 1 導電型半導体層 4 2 3 a の表面上に形成される。

40

【0610】

図 5 2 E を参照すると、第 2 LED スタック 4 3 3 が第 2 ボンディング層 4 5 5 を経由

50

して第1LEDスタック423に結合される。第1カラーフィルタ437は、第1LEDスタック423に向かうように配置され、第2ボンディング層455にボンディングされる。ボンディング材料層は、第1LEDスタック423および第1カラーフィルタ437上に配置され、互いにボンディングされて第2ボンディング層455を形成することができる。第2基板431は、レーザリフトオフまたは化学的リフトオフ工程により第2LEDスタック433から除去可能である。加えて、光抽出効率を向上させるために、粗面化された表面が表面テクスチャリングによって第1導電型半導体層433aの露出した表面上に形成される。

【0611】

その後、図51および図52Cを参照すると、第3LEDスタック443が第3ボンディング層457を経由して第2LEDスタック433に結合される。第2カラーフィルタ447は、第2LEDスタック433に向かうように配置され、第3ボンディング層457にボンディングされる。ボンディング材料層は、第2LEDスタック433および第3カラーフィルタ447上に配置され、互いにボンディングされて第3ボンディング層457を形成することができる。

【0612】

第3基板441は、レーザリフトオフまたは化学的リフトオフ工程により第3LEDスタック443から分離される。結果として、図51に示すように、外部に露出する第3LEDスタック443の第1導電型半導体層443aを有する、ディスプレイ用発光ダイオードスタックが完成する。加えて、粗面化された表面が表面テクスチャリングによって第1導電型半導体層443aの露出した表面上に形成される。

【0613】

ディスプレイ装置が、ピクセルユニット内の支持基板451上で第1～第3LEDスタック423、433および443のスタックをパターンニングし、次いで、インターコネクションラインを介して第1～第3LEDスタックを互いに接続することにより提供できる。以下、ディスプレイ装置の例示的な実施例を説明する。

【0614】

図53は、本開示の1つの例示的な実施例によるディスプレイ装置の作動を示す概略回路図であり、図54は、本開示の例示的な実施例によるディスプレイ装置の概略平面図である。

【0615】

まず、図53および図54を参照すると、本例示的な実施例によるディスプレイ装置は、パッシブマトリクス方式で作動するように実現できる。

【0616】

例えば、図51を参照して説明したディスプレイ用発光ダイオードスタックは、第1～第3LEDスタック423、433および443が垂直方向に積層される構造を有するので、1つのピクセルが3つの発光ダイオードR、GおよびBを含む。第1発光ダイオードRは、第1LEDスタック423に対応し、第2発光ダイオードGは、第2LEDスタック433に対応し、第3発光ダイオードBは、第3LEDスタック443に対応する。

【0617】

図53および図54で、1つのピクセルは、第1～第3発光ダイオードR、GおよびBを含み、そのそれぞれは、サブピクセルに対応する。第1～第3発光ダイオードR、GおよびBのアノードは、共通ライン、例えば、データラインに接続され、そのカソードは、異なるライン、例えば、スキャンラインに接続される。例えば、第1ピクセルにおいて、第1～第3発光ダイオードR、GおよびBのアノードは、データラインVdata1に共通に接続され、そのカソードは、スキャンラインVscan1-1、Vscan1-2およびVscan1-3にそれぞれ接続される。結果として、各ピクセル内の発光ダイオードR、GおよびBは、独立して駆動可能である。

【0618】

また、発光ダイオードR、GおよびBのそれぞれは、パルス幅変調によってまたは電流

10

20

30

40

50

の大きさを変更することにより駆動され、それによって、各サブピクセルの明るさの調節を可能にする。

【0619】

図54を再度参照すると、複数のピクセルが図51を参照して説明したスタックをパターンニングすることにより形成され、各ピクセルは、反射電極425およびインターコネクションライン471、473および475に接続される。図53に示すように、反射電極425は、データラインVdataとして使用可能であり、インターコネクションライン471、473および475は、スキャンラインとして形成可能である。ここで、インターコネクションライン475は、インターコネクションライン429によって形成される。反射電極425は、複数のピクセルの第1～第3LEDスタック423、433および443の第1導電型半導体層423a、433aおよび443aを電氣的に接続することができ、インターコネクションライン429は、反射電極425に垂直に配置され、複数のピクセルの第1導電型半導体層423aを電氣的に接続することができる。

10

【0620】

ピクセルは、各ピクセルの発光ダイオードR、GおよびBのアノードが反射電極425に共通に接続され、そのカソードが互いに分離されたインターコネクションライン471、473および475に接続される、マトリクス状に配列される。インターコネクションライン471、473および475は、スキャンラインVscanとして使用可能である。

【0621】

20

図55は、図54に示すディスプレイ装置の1つのピクセルの拡大平面図であり、図56は、図55のA-A線に沿った概略断面図であり、図57は、図55のB-B線に沿った概略断面図である。

【0622】

図54、図55、図56および図57を参照すると、各ピクセルにおいて、反射電極425の一部分、第2-p透明電極435の一部分、第2LEDスタック433の上部表面の一部分、第3-p透明電極445の一部分および第3LEDスタック443の上部表面が外部に露出する。

【0623】

第3LEDスタック443は、その上部表面上に粗面化された表面443rを有してもよい。粗面化された表面443rは、図示のように、第3LEDスタック443の上部表面の全体にわたって形成されるか、またはそのいくつかの領域に形成されてもよい。

30

【0624】

下部絶縁層461は、各ピクセルの側面を覆うことができる。下部絶縁層461は、SiO₂のような光透過性材料で形成される。この場合、下部絶縁層461は、第3LEDスタック443の全体上部表面を覆うことができる。その代わりとして、下部絶縁層461は、分布ブラッグ反射器を含み、第1～第3LEDスタック423、433および443の側面に向かって進行する光を反射させてもよい。この場合、下部絶縁層461は、第3LEDスタック443の上部表面を少なくとも部分的に露出させる。

【0625】

40

下部絶縁層461は、第3LEDスタック443の上部表面を露出させる開口部461aと、第2LEDスタック433の上部表面を露出させる開口部461bと、第3-p透明電極445を露出させる開口部461cと、第2-p透明電極435を露出させる開口部461dと、第1-p反射電極425を露出させる開口部461eとを含むことができる。一方、第1LEDスタック423の上部表面は露出しなくてもよい。

【0626】

インターコネクションライン471および473は、支持基板451上で第1～第3LEDスタック423、433および443近傍に形成され、第1-p反射電極425から絶縁されるように下部絶縁層461上に配置される。一方、接続部分477abは、第2-p透明電極435および第3-p透明電極445を反射電極425に接続する。結果と

50

して、第1LEDスタック423、第2LEDスタック433および第3LEDスタック443のアノードは、反射電極425に共通に接続される。

【0627】

インターコネクションライン475または429は、反射電極425の下で反射電極425に垂直に配置されてもよいし、オーミック電極426に接続され、第1導電型半導体層423aに電氣的に接続されてもよい。オーミック電極426は、第1LEDスタック423の下で第1導電型半導体層423aに接続される。図55に示すように、オーミック電極426は、第3LEDスタック443の粗面化された表面443rの下部領域の外部に配置可能であり、それによって、光損失を減少させる。

【0628】

接続部分471aは、第3LEDスタック443の上部表面をインターコネクションライン471に接続し、接続部分473aは、第2LEDスタック433の上部表面をインターコネクションライン473に接続する。

【0629】

上部絶縁層481は、インターコネクションライン471および473および下部絶縁層461上に配置されてインターコネクションライン471、473および475を保護することができる。上部絶縁層481は、インターコネクションライン471、473および475を露出させる開口部を有し、ボンディングワイヤがそれを介して接続される。

【0630】

例示的な実施例により、第1～第3LEDスタック423、433および443のアノードは、反射電極425に共通に接続され、そのカソードは、インターコネクションライン471、473および475にそれぞれ接続される。結果として、第1～第3LEDスタック423、433および443は、独立して駆動可能である。

【0631】

各ピクセルの電極が本例示的な実施例でデータラインおよびスキャンラインに接続されるものと説明されるが、多様な実施形態が可能であることを理解しなければならない。

【0632】

図58A～図58Hは、本開示の1つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。以下の説明は、図55のピクセルを形成する方法について与えられる。

【0633】

まず、図51で説明した発光ダイオードスタック400が設けられる。

【0634】

その後、図58Aを参照すると、粗面化された表面443rが第3LEDスタック443の上部表面上に形成される。粗面化された表面443rは、第3LEDスタック443の上部表面上に形成されて各ピクセル領域に対応することができる。粗面化された表面443rは、化学的エッチング、例えば、光増強化学的エッチング（photo-enhanced chemical etching：PEC）により形成される。

【0635】

粗面化された表面443rは、後続の工程でエッチングされる第3LEDスタック443の領域を考慮して各ピクセル領域内に部分的に形成されてもよいが、これに限定されるものではない。特に、粗面化された表面443rは、オーミック電極426が粗面化された表面443rの外部に位置するように形成される。その代わりとして、粗面化された表面443rは、第3LEDスタック443の全体上部表面上に形成されてもよい。

【0636】

図58Bを参照すると、各ピクセルにおいて第3LEDスタック443の周囲領域はエッチングによって除去されて、第3-p透明電極445を露出させる。図示のように、第3LEDスタック443は、長形状または正方形を有するように保持できる。第3LEDスタック443は、その周縁に沿って2つ以上の陥没部を有してもよい。また、図示のように、1つの陥没部は、他の陥没部よりも大きい大きさを有してもよい。

10

20

30

40

50

【0637】

図58Cを参照すると、より大きい大きさを有する陥没部内で露出する第3-p透明電極445の一部分を除いた他の領域で露出する第3-p透明電極445を除去することにより、第2LEDスタック433の上部表面が露出する。したがって、第2LEDスタック433の上部表面は、第3LEDスタック443の周囲で、そして他の陥没部内で露出する。より大きい大きさを有する陥没部内で、第3-p透明電極445の露出した領域および第2LEDスタック433の露出した領域が形成される。

【0638】

図58Dを参照すると、より小さい大きさを有する陥没部内で露出する第2LEDスタック433を除いた他の領域で露出する第2LEDスタック433を除去することにより、第2-p透明電極435が露出する。第2-p透明電極435は、第3LEDスタック443の周囲で露出し、より大きい大きさを有する陥没部内で部分的に露出する。

10

【0639】

図58Eを参照すると、より大きい大きさを有する陥没部内で露出する第2-p透明電極435の一部分を除いた第3LEDスタック443の周囲で露出する第2-p透明電極435を除去することにより、第1LEDスタック423の上部表面が露出する。

【0640】

図58Fを参照すると、第3LEDスタック443の周囲で露出する第2LEDスタック433を除去した後に第1絶縁層427を除去することにより、反射電極425が露出する。結果として、反射電極425が第3LEDスタック443の周囲で露出する。露出した反射電極425を垂直方向に延伸された形状を有するようにパターニングすることにより、線形インターコネクションラインが形成される。パターニングされた反射電極425は、垂直方向に複数の領域の上部に配置され、水平方向に隣接したピクセルから離隔する。

20

【0641】

本例示的な実施例では、第2LEDスタック423の除去後、反射電極425はパターニングが施されるが、反射電極425は、基板421上に反射電極425を形成するときに、パターニングされた形状を有するように形成されてもよい。この場合、第2LEDスタック423の除去後、反射電極425をパターニングする必要がある。

【0642】

反射電極425をパターニングすることにより、第2絶縁層428が露出してもよい。インターコネクションライン429は、反射電極425に垂直に配置され、第2絶縁層428によって反射電極425から絶縁される。

30

【0643】

図58Gを参照すると、下部絶縁層461（図56および図57参照）がピクセルを覆うように形成される。下部絶縁層461は、反射電極425および第1～第3LEDスタック423、433および443の側面を覆う。また、下部絶縁層461は、第3LEDスタック443の上部表面を少なくとも部分的に覆うことができる。下部絶縁層461がSiO₂層のような透明な層であれば、下部絶縁層461は、第3LEDスタック443の全体上部表面を覆うことができる。その代わりとして、下部絶縁層461は、分布ブラッグ反射器を含んでもよい。この場合、下部絶縁層461は、第3LEDスタック443の上部表面を少なくとも部分的に露出させて、光が外部に放出されることを許容することができる。

40

【0644】

下部絶縁層461は、第3LEDスタック443を露出させる開口部461aと、第2LEDスタック433を露出させる開口部461bと、第3-p透明電極445を露出させる開口部461cと、第2-p透明電極435を露出させる開口部461dと、反射電極425を露出させる開口部461eとを含むことができる。反射電極425を露出させるように適合化される開口部461fは、単数または複数形成されてもよい。

【0645】

50

図 5 8 H を参照すると、インターコネクションライン 4 7 1 および 4 7 3 および接続部分 4 7 1 a、4 7 3 a および 4 7 7 a b が形成される。これらはリフトオフ工程により形成される。インターコネクションライン 4 7 1 および 4 7 3 は、下部絶縁層 4 6 1 によって反射電極 4 2 5 から絶縁される。接続部分 4 7 1 a は、第 3 L E D スタック 4 4 3 をインターコネクションライン 4 7 1 に電氣的に接続し、接続部分 4 7 3 a は、第 2 L E D スタック 4 3 3 をインターコネクションライン 4 7 3 に電氣的に接続する。接続部分 4 7 7 a b は、第 3 - p 透明電極 4 4 5 および第 2 - p 透明電極 4 3 5 を第 1 - p 反射電極 4 2 5 に電氣的に接続する。

【0646】

インターコネクションライン 4 7 1 および 4 7 3 は、反射電極 4 2 5 に直交するように配置され、複数のピクセルを互いに接続することができる。

10

【0647】

その後、上部絶縁層 4 8 1 (図 5 6 および図 5 7 参照) がインターコネクションライン 4 7 1 および 4 7 3 および接続部分 4 7 1 a、4 7 3 a および 4 7 7 a b を覆う。上部絶縁層 4 8 1 はさらに、第 3 L E D スタック 4 4 3 の全体上部表面を覆うことができる。上部絶縁層 4 8 1 は、例えば、シリコン酸化物またはシリコン窒化物で形成され、分布ブラッグ反射器を含むことができる。加えて、上部絶縁層 4 8 1 は、透明絶縁層および透明絶縁層上に形成される反射性金属層または多層構造の有機反射層を含むことができるか、光を遮断するために黒色エポキシ樹脂で形成される光吸収層を含むことができる。

【0648】

20

上部絶縁層 4 8 1 が光を反射させるか遮断する場合、上部絶縁層 4 8 1 は、第 3 L E D スタック 4 4 3 の上部表面を少なくとも部分的に露出させて、光が外部に放出されることを許容するように形成される。上部絶縁層 4 8 1 は部分的に除去されて、外部からの電氣的な接続のためにインターコネクションライン 4 7 1、4 7 3 および 4 7 5 を露出させることができる。その代わりとして、上部絶縁層 4 8 1 は省略されてもよい。

【0649】

結果として、ピクセル領域が図 5 5 に示すように完成する。また、図 5 4 に示すように、複数のピクセルが支持基板 4 5 1 上に形成され、第 1 - p 反射電極 4 2 5 およびインターコネクションライン 4 7 1、4 7 3 および 4 7 5 によって互いに接続されてパッシブマトリクス方式で動作可能である。

30

【0650】

パッシブマトリクス方式で動作するように適合化されるディスプレイ装置を製造する方法を本例示的な実施例で示したが、本開示がこれに限定されないことを理解しなければならない。すなわち、例示的な実施例によるディスプレイ装置は、図 5 1 に示す発光ダイオードスタックを用いてパッシブマトリクス方式で動作するように多様な方式で製造できる。

【0651】

本例示的な実施例では、インターコネクションライン 4 7 1 およびインターコネクションライン 4 7 3 が下部絶縁層 4 6 1 上にともに形成されるが、インターコネクションライン 4 7 1 が下部絶縁層 4 6 1 上に形成され、インターコネクションライン 4 7 3 は、上部絶縁層 4 8 1 上に形成されてもよい。

40

【0652】

図 5 1 を参照して説明した例示的な実施例では、たとえ反射電極 4 2 5、第 2 - p 透明電極 4 3 5 および第 3 - p 透明電極 4 4 5 が第 1 L E D スタック 4 2 3、第 2 L E D スタック 4 3 3 および第 3 L E D スタック 4 4 3 の第 2 導電型半導体層 4 2 3 b、4 3 3 b および 4 4 3 b とそれぞれオーミック接触を形成し、オーミック電極 4 2 6 が第 1 L E D スタック 4 2 3 の第 1 導電型半導体層 4 2 3 a とオーミック接触を形成しても、第 2 L E D スタック 4 3 3 および第 3 L E D スタック 4 4 3 の第 1 導電型半導体層 4 3 3 a および 4 4 3 a は、別途のオーミック接触層が提供されない。ピクセルが 200 μm 以下の小さい大きさを有する場合、n 型半導体層内に別途のオーミック接触層を形成しなくても、電流

50

拡散 (current spreading) における困難がない。しかし、電流拡散を確保するために、第2および第3LEDスタックのそれぞれのn型半導体層上に透明電極層が配置されてもよい。

【0653】

例示的な実施例によれば、ディスプレイ用発光ダイオードスタック400を用いてウエハレベルで複数のピクセルを形成することが可能なため、発光ダイオードを個別に実装する必要がない。加えて、例示的な実施例による発光ダイオードスタックは、第1～第3LEDスタック423、433および443が垂直方向に積層される構造を有し、それによって、限られたピクセル面積内でサブピクセルのための面積を確保する。また、例示的な実施例による発光ダイオードスタックは、第1LEDスタック423、第2LEDスタック433および第3LEDスタック443から発生する光がそれを介して外部に放出されることを許容し、それによって、光損失を減少させる。

10

【0654】

図59は、本開示のもう1つの例示的な実施例によるディスプレイ装置5000の概略平面図であり、図60は、本開示の1つの例示的な実施例によるディスプレイ用発光ダイオードピクセル500の概略断面図である。

【0655】

図59を参照すると、ディスプレイ装置5000は、支持基板551と、支持基板551上に配列される複数のピクセル500とを含む。各ピクセル500は、第1～第3サブピクセルR、GおよびBを含む。

20

【0656】

図60を参照すると、支持基板551は、LEDスタック523、533および543を支持する。支持基板551は、その表面上にまたはその内部に回路を含むことができるが、これに限定されるものではない。支持基板551は、例えば、Si基板またはGe基板を含むことができる。

【0657】

第1サブピクセルRは、第1LEDスタック523を含み、第2サブピクセルGは、第2LEDスタック533を含み、第3サブピクセルBは、第3LEDスタック543を含む。第1サブピクセルRは、第1LEDスタック523が光を放出することを許容するように適合化され、第2サブピクセルGは、第2LEDスタック533が光を放出することを許容するように適合化され、第3サブピクセルBは、第3LEDスタック543が光を放出することを許容するように適合化される。第1～第3LEDスタック523、533および543は、独立して駆動可能である。

30

【0658】

第1LEDスタック523、第2LEDスタック533および第3LEDスタック543は、互いに重なるように垂直方向に互いに積層される。図示のように、第2LEDスタック533は、第1LEDスタック523上の一部領域内に配置される。図示のように、第2LEDスタック533は、第1LEDスタック523上で一側に偏向するように配置される。加えて、第3LEDスタック543は、第2LEDスタック533上の一部領域内に配置される。図示のように、第3LEDスタック543は、第2LEDスタック533上で一側に偏向するように配置される。図面において、第3LEDスタック543が右側に偏向しているが、本開示がこれに限定されるものではなく、第2LEDスタック533が左側に偏向するように配置できることを理解しなければならない。

40

【0659】

第1LEDスタック523から発生する光Rは、第2LEDスタック533によって覆われていない第1LEDスタック523の領域を介して放出され、同時に、第2LEDスタック533および第3LEDスタック543を通過した後に放出され、第2LEDスタック533から発生する光Gは、第3LEDスタック543によって覆われていない第2LEDスタック533の領域を介して放出され、同時に第3LEDスタック543を通過した後に放出される。

50

【0660】

一般的に、第2LEDスタック533によって覆われた第1LEDスタック523の領域は、光損失を誘発することがあり、これによって、第2LEDスタック533によって覆われていない第1LEDスタック523の領域は、単位面積あたりにより高い光度を有する光を放出することができる。したがって、第1LEDスタック523から放出される光の光度は、第1LEDスタック523の面積のうち第2LEDスタック533によって覆われ、かつ第2LEDスタック533によって覆われていない第1LEDスタック523の領域の面積を調節することにより制御可能である。同じく、第2LEDスタック533から放出される光の光度は、第2LEDスタック533の面積のうち第3LEDスタック543によって覆われ、かつ第3LEDスタック543によって覆われていない第2LEDスタック533の領域の面積を調節することにより制御可能である。

10

【0661】

例えば、第1LEDスタック523が赤色光を放出し、第2LEDスタック533が緑色光を放出し、第3LEDスタック543が青色光を放出する構造において、緑色光の高い可視性に起因して緑色光の光度を減少させる必要がある。このために、第3LEDスタック543によって覆われていない第2LEDスタック533の面積が、第3LEDスタック543の面積より小さいように調節可能である。加えて、赤色光は低い可視性を有するので、その発光光度を増加させる必要がある。このために、第2LEDスタック533によって覆われていない第1LEDスタック523の面積が、第3LEDスタック543の面積より大きいように調節可能である。

20

【0662】

一方、第1LEDスタック523、第2LEDスタック533および第3LEDスタック543のそれぞれは、n型半導体層と、p型半導体層と、その間に介在する活性層とを含む。活性層は、多重量子井戸層構造を有してもよい。第1～第3LEDスタック523、533および543は、互いに異なる波長を有する光を放出するために互いに異なる活性層を含むことができる。例えば、第1LEDスタック523は、赤色光を放出する無機発光ダイオードであってもよく、第2LEDスタック533は、緑色光を放出する無機発光ダイオードであってもよいし、第3LEDスタック543は、青色光を放出する無機発光ダイオードであってもよい。このために、第1LEDスタック523は、GaInP系井戸層を含むことができ、第2LEDスタック533および第3LEDスタック543は、GaInN系井戸層を含むことができる。

30

【0663】

図61は、本開示の例示的な実施例によるディスプレイ装置の作動を示す概略回路図である。

【0664】

図61を参照すると、本例示的な実施例によるディスプレイ装置は、パッシブマトリクス方式で作動するように実現できる。図59および図60を参照して説明したように、1つのピクセルは、第1～第3サブピクセルR、GおよびBを含む。第1サブピクセルRの第1LEDスタック523は、第1波長を有する光を放出し、第2サブピクセルGの第2LEDスタック533は、第2波長を有する光を放出し、第3サブピクセルBの第3LEDスタック543は、第3波長を有する光を放出する。第1～第3サブピクセルR、GおよびBのカソードは、共通ライン、例えば、データラインVdata(525)に接続され、そのアノードは、異なるライン、例えば、スキャンラインVscan(571、573および575)に接続される。

40

【0665】

例えば、第1ピクセルにおいて、第1～第3サブピクセルR、GおよびBのカソードは、データラインVdata1に共通に接続され、そのアノードは、スキャンラインVscan1-1、Vscan1-2およびVscan1-3にそれぞれ接続される。したがって、同一のピクセル内のサブピクセルR、GおよびBは、個別に駆動できる。

【0666】

50

また、各LEDスタック523、533および543は、パルス幅変調によってまたは電流の大きさを変更することにより駆動され、それによって、各サブピクセルの明るさの調節を可能にする。さらに、第1～第3LEDスタック523、533および543の面積および第1～第3LEDスタック523、533および543が重ならない領域の面積の調節により、明るさが調節可能である。

【0667】

図62は、図61の回路図に示すように、複数のピクセル500Aが支持基板551上に配列される、特別な例示的な実施例によるディスプレイ装置5000Aの概略平面図である。図63は、図62に示すディスプレイ装置の1つのピクセル500Aの拡大平面図であり、図64A、図64B、図64Cおよび図64Dは、図63のA-A、B-B、C-CおよびD-D線に沿った概略断面図である。

10

【0668】

図62、図63、図64A、図64B、図64Cおよび図64Dを参照すると、ディスプレイ装置5000Aは、支持基板551と、複数のピクセル500Aと、第1～第3サブピクセルR、GおよびBと、第1LEDスタック523と、第2LEDスタック533と、第3LEDスタック543と、反射電極（第1～1オーミック電極）525と、第1～2オーミック電極529と、第2～1オーミック電極537と、第2～2オーミック電極539と、第3～1オーミック電極547と、第3～2オーミック電極549と、第1カラーフィルタ535と、第2カラーフィルタ545と、第1ボンディング層553と、第2ボンディング層555と、第3ボンディング層557と、絶縁層527と、下部絶縁層561と、上部絶縁層563と、インターコネクションライン571、573および575と、接続部分571a、573a、575a、577aおよび577bを含むことができる。

20

【0669】

各サブピクセルR、GおよびBは、反射電極525およびインターコネクションライン571、573および575に接続される。図61に示すように、反射電極525は、データラインVdataとして使用可能であり、インターコネクションライン571、573および575は、スキャンラインVscanとして使用可能である。

【0670】

図62に示すように、ピクセルは、各ピクセル内のサブピクセルR、GおよびBのカソードが反射電極525に共通に接続され、そのアノードが互いに離隔するインターコネクションライン571、573および575に接続される、マトリクス状に配列される。接続部分571a、573aおよび575aは、インターコネクションライン571、573および575をサブピクセルR、GおよびBに接続することができる。

30

【0671】

支持基板551は、LEDスタック523、533および543を支持する。支持基板551は、その表面上にまたはその内部に回路を含むことができるが、これに限定されるものではない。支持基板551は、例えば、ガラス基板、サファイア基板、Si基板、またはGe基板を含むことができる。

【0672】

第1LEDスタック523は、第1導電型半導体層523aおよび第2導電型半導体層523bを含み、第2LEDスタック533は、第1導電型半導体層533aおよび第2導電型半導体層533bを含み、第3LEDスタック543は、第1導電型半導体層543aおよび第2導電型半導体層543bを含む。加えて、たとえ図示していなくても、活性層が第1導電型半導体層523a、533aおよび543aと第2導電型半導体層523b、533bおよび543bとの間にそれぞれ介在してもよい。

40

【0673】

本例示的な実施例において、第1導電型半導体層523a、533aおよび543aのそれぞれは、n型半導体層であり、第2導電型半導体層523b、533bおよび543bのそれぞれは、p型半導体層である。粗面化された表面が表面テクスチャリング(su

50

r f a c e t e x t u r i n g) によって第1導電型半導体層523a、533aおよび543aの1つ以上の表面上に形成される。

【0674】

第1LEDスタック523は、支持基板551近傍に配置され、第2LEDスタック533は、第1LEDスタック523の上部に配置され、第3LEDスタック543は、第2LEDスタック533の上部に配置される。加えて、第2LEDスタック533は、第1LEDスタック523が第2LEDスタック533と部分的に重なるように、第1LEDスタック523上の一部領域内に配置される。また、第3LEDスタック543は、第2LEDスタック533が第3LEDスタック543と部分的に重なるように、第2LEDスタック533上の一部領域内に配置される。したがって、第1LEDスタック523から発生する光の少なくとも一部が第2および第3LEDスタック533および543を通過せずに外部に放出される。さらに、第2LEDスタック533から発生する光の少なくとも一部が第3LEDスタック543を通過せずに外部に放出される。

10

【0675】

第1LEDスタック523、第2LEDスタック533および第3LEDスタック543の材料の細部事項は、図60を参照して説明したものと同一であり、その詳細な説明は省略する。

【0676】

反射電極525は、第1LEDスタック523の下部表面、すなわち、その第1導電型半導体層523aとオーミック接触を形成する。反射電極525は、第1LEDスタック523から放出される光を反射させるための反射層を含む。図示のように、反射電極525は、第1LEDスタック523のほぼ全体の下部表面を覆うことができる。また、反射電極525は、複数のピクセル500Aに共通に接続されてデータラインVdataとして使用可能である。

20

【0677】

反射電極525は、例えば、第1LEDスタック523の第2導電型半導体層523bとオーミック接触を形成する材料層で形成され、第1LEDスタック523から発生する光、例えば、赤色光を反射させるように適合化される反射層を含むことができる。

【0678】

反射電極525は、オーミック反射層を含むことができ、例えば、Au-Te合金またはAu-Ge合金で形成される。これらの合金は、赤色範囲内の光に対して高い反射率を有し、第1導電型半導体層523aとオーミック接触を形成する。

30

【0679】

第1-2オーミック電極529は、第1サブピクセルRの第2導電型半導体層523bとオーミック接触を形成する。第1-2オーミック電極529は、例えば、Au-Zn合金またはAu-Be合金に形成される。第1-2オーミック電極529は、パッド領域および延長部分を含むことができ、接続部分575aは、図64Bに示すように、パッド領域に接続される。第1-2オーミック電極529は、第2LEDスタック533が配置される領域から離隔可能である。

【0680】

40

第2-1オーミック電極537は、第2LEDスタック533の第1導電型半導体層533aとオーミック接触を形成する。第2-1オーミック電極537は、第1導電型半導体層533a上に配置される。例えば、第1導電型半導体層533aは、第1導電型半導体層533a上に配置される第2導電型半導体層533bおよび活性層を除去することにより露出してもよく、第2-1オーミック電極537は、第1導電型半導体層533aの露出した表面上に配置される。

【0681】

一方、図64Cに示すように、接続部分577bは、第2-1オーミック電極537を反射電極525に電氣的に接続することができる。第2-1オーミック電極537は、第3LEDスタック543が配置される領域から離隔可能である。

50

【0682】

第2-2オーミック電極539は、第2LEDスタック533の第2導電型半導体層533bとオーミック接触を形成する。第2-2オーミック電極539は、第3LEDスタック543が配置される領域から離隔するように、第2導電型半導体層533b上に配置される。第2-2オーミック電極539は、図64Bに示すように、パッド領域および延長部分を含むことができ、接続部分575aは、図64Cに示すように、パッド領域に接続される。

【0683】

第3-1オーミック電極547は、第3LEDスタック543の第1導電型半導体層543aとオーミック接触を形成する。第3-1オーミック電極547は、第1導電型半導体層543a上に配置される。例えば、第1導電型半導体層543aは、第1導電型半導体層543a上に配置される第2導電型半導体層543bおよび活性層を除去することにより露出してもよく、第3-1オーミック電極547は、第1導電型半導体層543aの露出した表面上に配置される。図64Dに示すように、接続部分577aは、第3-1オーミック電極547を反射電極525に電氣的に接続することができる。

10

【0684】

第3-2オーミック電極549は、第3LEDスタック543の第2導電型半導体層543bとオーミック接触を形成する。第3-2オーミック電極549も、パッド領域および延長部分を含むことができ、接続部分571aは、図64Dに示すように、第3-2オーミック電極549のパッド領域に接続される。

20

【0685】

第1-2オーミック電極529、第2-1オーミック電極537および第3-1オーミック電極547のそれぞれは、延長部分を含み、各LEDスタックでの電流拡散を助けることができる。

【0686】

一方、第1カラーフィルタ535は、第1LEDスタック523と第2LEDスタック533との間に介在してもよい。加えて、第2カラーフィルタ545は、第2LEDスタック533と第3LEDスタック543との間に介在してもよい。第1カラーフィルタ535は、第2LEDスタック533から発生する光を反射させながら、第1LEDスタック523から発生する光を透過させる。一方、第2カラーフィルタ545は、第3LEDスタック543から発生する光を反射させながら、第1および第2LEDスタック523および533から発生する光を透過させる。したがって、第1LEDスタック523から発生する光は、第2LEDスタック533および第3LEDスタック543を介して外部に放出され、第2LEDスタック533から発生する光は、第3LEDスタック543を介して外部に放出される。また、発光ダイオードピクセルは、第2LEDスタック533から発生する光が第1LEDスタック523に進入するのを防止することができるか、または第3LEDスタック543から発生する光が第2LEDスタック533に進入するのを防止することができ、それによって、光損失を防止する。

30

【0687】

いくつかの例示的な実施例において、第1カラーフィルタ535は、第3LEDスタック543から発生する光を反射させることができる。

40

【0688】

第1および第2カラーフィルタ535および545は、例えば、低周波数帯域で、すなわち、長波長帯域で、光がそれを介して通過することを許容するローパスフィルタ、所定の波長帯域で光がそれを介して通過することを許容するバンドパスフィルタ、または所定の波長帯域で光がそれを介して通過するのを防止するバンドストップフィルタであってもよい。特に、第1および第2カラーフィルタ535および545のそれぞれは、互いに異なる屈折率を有する絶縁層を互いに交互に積層することにより、例えば、TiO₂およびSiO₂層を交互に積層することにより形成可能である。特に、第1および第2カラーフィルタ535および545は、分布ブラッグ反射器(DBRs)を含むことができる。分

50

布ブラッグ反射器の阻止帯域は、 TiO_2 および SiO_2 層の厚さを調節することにより制御可能である。ローパスフィルタおよびバンドパスフィルタも、互いに異なる屈折率を有する絶縁層を交互に積層することにより形成可能である。

【0689】

第1ボンディング層553は、第1LEDスタック523を支持基板551に結合する。図示のように、反射電極525は、第1ボンディング層553に隣接していてもよい。第1ボンディング層553は、光透過性または不透明層であってもよい。第1ボンディング層553は、有機または無機材料で形成されてもよい。有機材料の例は、SU8、ポリ(メチルメタクリレート)(PMMA)、ポリイミド、パリレン、ベンゾシクロブテン(BCB)などを含むことができ、無機材料の例は、 Al_2O_3 、 SiO_2 、 $SiNx$ などを含むことができる。有機材料層は、高真空および高圧条件下でボンディングされてもよく、無機材料層は、例えば、無機材料層の表面を平坦化するための化学機械的研磨によりプラズマを用いて表面エネルギーを変化させた後、高真空下でボンディングされてもよい。特に、光を吸収可能な黒色エポキシ樹脂で形成されるボンディング層が第1ボンディング層553として使用可能であり、それによって、ディスプレイ装置のコントラストを向上させる。第1ボンディング層553はさらに、スピノンガラスで形成される。

10

【0690】

第2ボンディング層555は、第1LEDスタック523を第2LEDスタック533に結合する。第2ボンディング層555は、第1LEDスタック523と第1カラーフィルタ535との間に介在してもよい。第2ボンディング層555は、第1LEDスタック523から発生する光を透過させ、第1ボンディング層553のように、光透過性ボンディング材料で形成されてもよい。

20

【0691】

絶縁層527は、第2ボンディング層555と第1LEDスタック523との間に介在してもよい。絶縁層527は、第2導電型半導体層523bに隣接していてもよい。絶縁層527は、例えば、 SiO_2 で形成され、それによって、第2ボンディング層555のボンディング強度を向上させることができる。

【0692】

第3ボンディング層557は、第2LEDスタック533を第3LEDスタック543に結合する。第3ボンディング層557は、第2LEDスタック533と第2カラーフィルタ545との間に介在し、第2LEDスタック533を第2カラーフィルタ545にボンディングすることができる。第3ボンディング層557は、第2および第3LEDスタック523および533から発生する光を透過させ、第1ボンディング層553のように、光透過性ボンディング材料で形成されてもよい。

30

【0693】

下部絶縁層561は、第1～第3LEDスタック523、533および543を覆うことができる。下部絶縁層561は、第1LEDスタック523の周囲で露出する反射電極525を覆う。特に、下部絶縁層561は、電気的な接続通路を提供するための開口部を有してもよい。

【0694】

上部絶縁層563は、下部絶縁層561を覆う。上部絶縁層563は、電気的な接続通路を提供するための開口部を有してもよい。

40

【0695】

下部絶縁層561および上部絶縁層563は、任意の絶縁材料、例えば、シリコン酸化物またはシリコン窒化物で形成されてもよいし、これに限定されるものではない。

【0696】

図62および図63に示すように、インターコネクションライン571、573および575は、反射電極525と直交するように配置される。インターコネクションライン571およびインターコネクションライン575は、上部絶縁層563上に配置され、接続部分571aおよび575aを介して第3-2オーミック電極549および第1-2オー

50

ミック電極 529 にそれぞれ接続される。このために、上部絶縁層 563 および下部絶縁層 561 は、第 3-2 オーミック電極 549 および第 1-2 オーミック電極 529 を露出させる開口部を有してもよい。

【0697】

インターコネクションライン 573 は、下部絶縁層 561 上に配置され、反射電極 525 から絶縁される。インターコネクションライン 573 は、下部絶縁層 561 と上部絶縁層 563 との間に配置され、接続部分 573a を介して第 2-2 オーミック電極 539 に接続される。このために、下部絶縁層 561 は、第 2-2 オーミック電極 539 を露出させる開口部を有する。

【0698】

接続部分 577a および 577b は、下部絶縁層 561 と上部絶縁層 563 との間に配置され、第 3-1 オーミック電極 547 と第 2-1 オーミック電極 537 をそれぞれ反射電極 525 に電氣的に接続する。このために、下部絶縁層 561 は、第 3-1 オーミック電極 547 および第 2-1 オーミック電極 537 を露出させる開口部を有してもよい。

【0699】

インターコネクションライン 571 およびインターコネクションライン 573 は、上部絶縁層 563 によって互いに絶縁され、そのため、垂直方向に重なるように配置される。

【0700】

各ピクセルの電極が本例示的な実施例でデータラインおよびスキャンラインに接続されるが、多様な実施形態が可能であることを理解しなければならない。上述した例示的な実施例において、インターコネクションライン 571 および 575 が下部絶縁層 561 上に形成され、インターコネクションライン 573 が下部絶縁層 561 と上部絶縁層 563 との間に配置される。しかし、本開示がこれに限定されるものではないことを理解しなければならない。例えば、すべてのインターコネクションライン 571、573 および 575 が下部絶縁層 561 上に形成されてもよいし、上部絶縁層 563 によって覆われてもよく、接続部分 571a および 575a は、上部絶縁層 563 上に形成されてもよい。

【0701】

次に、上述した例示的な実施例によるディスプレイ装置 5000A を製造する方法を説明する。

【0702】

図 65～図 77 は、本開示の特別な例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。これらの断面図のそれぞれは、対応する平面図の A-A 線に沿ったものである。

【0703】

まず、図 65A および図 65B を参照すると、第 1 LED スタック 523 が第 1 基板 521 上に成長する。第 1 基板 521 は、例えば、GaAs 基板であってもよい。加えて、第 1 LED スタック 523 は、AlGaInP 系半導体層で構成され、第 1 導電型半導体層 523a と、活性層（図示せず）と、第 2 導電型半導体層 523b とを含む。

【0704】

その後、絶縁層 527 が第 1 LED スタック 523 上に形成される。絶縁層 527 は、第 2 導電型半導体層 523b を露出させる開口部を有するようにパターニングが施される。絶縁層 527 は、親水性材料、例えば、SiO₂ で形成される。絶縁層 527 は省略可能である。

【0705】

第 1-2 オーミック電極 529 が絶縁層 527 の開口部の内部に形成される。第 1-2 オーミック電極 529 は、例えば、Au-Zn 合金または Au-Be 合金で形成される。第 1-2 オーミック電極 529 は、パッド領域および延長部分を有するように形成される。第 1-2 オーミック電極 529 は、各ピクセル領域内に位置するようにリフトオフ工程により形成される。第 1-2 オーミック電極 529 は、図 65A に示すように、各ピクセル領域内で一側に偏向することができる。

【0706】

次に、図66Aを参照すると、予備基板5121aがボンディング層5123aを介して第1LEDスタック523の上部側に貼り合わされることができる。予備基板5121aは特定の基板に限定されず、第1LEDスタック523を支持できる任意の基板から選択可能である。第1基板521が化学的エッチングにより第1LEDスタック523から除去される。結果として、第1LEDスタック523の第1導電型半導体層523aの上部表面が露出する。粗面化された表面が表面テクスチャリングによって第1導電型半導体層523aの露出した上部表面上に形成される。

【0707】

その後、第1-1オーミック電極（反射電極）525が第1LEDスタック523の露出した表面上に形成される。反射電極525は、例えば、Au-Te合金またはAu-Ge合金で形成される。反射電極525は、リフトオフ工程により形成され、特定の形状を有するようにパターニングが施される。例えば、反射電極525は、複数のピクセルを互いに接続する長さを有するようにパターニングが施される。しかし、本開示がこれに限定されるものではなく、反射電極525がパターニングなしに第1LEDスタック523の全体上部表面にわたって形成された後、パターニングが施されてもよいことを理解しなければならない。反射電極525は、第1LEDスタック523の第1導電型半導体層523a、すなわち、そのn型半導体層とオーミック接触を形成することができる。

【0708】

図66Bを参照すると、支持基板551が第1ボンディング層553を経由して第1LEDスタック523に結合される。第1LEDスタック523上の反射電極525は、支持基板551に向かうように配置され、それにボンディングされてもよい。したがって、第1ボンディング層553は、反射電極525および第1導電型半導体層523aに隣接していてもよい。

【0709】

支持基板551がボンディングされた後、予備基板5121aおよびボンディング層5123aが除去可能である。結果として、絶縁層527および第1-2オーミック電極529が露出していてもよい。

【0710】

図67Aを参照すると、第2LEDスタック533が第2基板531上に成長する。第2LEDスタック533は、Ga_{0.5}N_{0.5}系半導体層で構成され、第1導電型半導体層533aと、GaInN井戸層と、第2導電型半導体層533bとを含むことができる。第2LEDスタック533は、Ga_{0.5}N_{0.5}系半導体層がその上に成長することを許容する基板であり、第1基板521とは異なる。第2LEDスタック533のGaInNの組成比は、第2LEDスタック533が緑色光を放出できるように決定されてもよい。

【0711】

図67Bを参照すると、予備基板5121bがボンディング層5123bを介して第2LEDスタック533の上部側に貼り合わされることができる。予備基板5121bは特定の基板に限定されず、第1LEDスタック523を支持できる任意の基板から選択可能である。

【0712】

図67Cを参照すると、第2基板531が除去される。第2基板531は、レーザリフトオフまたは化学的エッチングにより第2LEDスタック533から除去可能である。結果として、第2LEDスタック533の第1導電型半導体層533aの上部表面が露出する。粗面化された表面が表面テクスチャリングによって第1導電型半導体層533aの露出した上部表面上に形成される。

【0713】

一方、第1カラーフィルタ535が第1導電型半導体層533aの露出した表面上に形成される。第1カラーフィルタ535は、第1導電型半導体層533aに隣接していてもよい。第1カラーフィルタ535の材料の細部事項は、図64Aを参照して説明したもの

10

20

30

40

50

と同一であり、その詳細な説明は省略する。

【0714】

図68Aを参照すると、第3LEDスタック543が第3基板541上に成長する。第3LEDスタック543は、Ga_{0.5}N系半導体層で構成され、第1導電型半導体層543aと、GaInN井戸層と、第2導電型半導体層543bとを含むことができる。第3基板543は、Ga_{0.5}N系半導体層がその上に成長することを許容する基板であり、第1基板521とは異なる。第3LEDスタック543のGaInNの組成比は、第3LEDスタック543が青色光を放出できるように決定されてもよい。

【0715】

図68Bを参照すると、予備基板5121cがボンディング層5123cを介して第3LEDスタック543の上部側に貼り合わされることができる。予備基板5121cは特定の基板に限定されず、第3LEDスタック543を支持できる任意の基板から選択可能である。

【0716】

図68Cを参照すると、第3基板541が除去される。第3基板541は、レーザリフトオフまたは化学的エッチングにより第3LEDスタック543から除去可能である。結果として、第3LEDスタック543の第1導電型半導体層543aの上部表面が露出する。粗面化された表面が表面テクスチャリングによって第1導電型半導体層543aの露出した上部表面上に形成される。

【0717】

一方、第2カラーフィルタ545が第1導電型半導体層543aの露出した表面上に形成される。第2カラーフィルタ545は、第1導電型半導体層543aに隣接していてもよい。第2カラーフィルタ545の材料の細部事項は、図64Aを参照して説明したものと同一であり、その詳細な説明は省略する。

【0718】

第1LEDスタック523、第2LEDスタック533および第3LEDスタック543が互いに異なる基板上に成長するので、第1～第3LEDスタックを形成する順序は特に限定されない。

【0719】

図69Aおよび図69Bを参照すると、図67Cを参照して説明した第2LEDスタック533が、第2ボンディング層555を経由して、図66Bを参照して説明したように、露出する絶縁層527および第1～2オーミック電極529にボンディングされる。

【0720】

第1カラーフィルタ535が支持基板551に向かうように配置され、第2ボンディング層555を経由して絶縁層527にボンディングされる。第2ボンディング層555は、光透過性材料で形成される。

【0721】

その後、予備基板5121bおよびボンディング層5123bが除去されて、第2導電型半導体層533bを露出させ、第2～2オーミック電極539が第2導電型半導体層533bの露出した表面上に形成される。

【0722】

図69Aに示すように、第2～2オーミック電極539は、パッド領域および延長部分を含むことができる。延長部分は、反射電極525の縦方向に延びてもよい。一方、第2～2オーミック電極539が第1～2オーミック電極529から水平方向に離隔するように配置される。第2～2オーミック電極539は、第2導電型半導体層533bとオーミック接触を形成する。

【0723】

その後、図69Aに示すように、第2導電型半導体層533bおよび活性層が部分的に除去されて、第1導電型半導体層533aを露出させることができる。第2導電型半導体層533bおよび活性層は、メサエッチングにより部分的に除去可能である。

【0724】

その後、第2-1オーミック電極537が第1導電型半導体層533aの露出した表面上に形成される。第2-1オーミック電極537は、第1導電型半導体層533aとオーミック接触を形成する。

【0725】

本例示的な実施例では、第2-2オーミック電極539が第2-1オーミック電極537の前に形成されるが、第2-2オーミック電極539および第2-1オーミック電極537を形成する順序は変更可能である。

【0726】

その後、図70Aおよび図70Bを参照すると、図68を参照して説明した第3LEDスタック543は、第2-1オーミック電極537および第2-2オーミック電極539がその上に形成される、第2LEDスタック533に第3ボンディング層557を経由してボンディングされる。

10

【0727】

第2カラーフィルタ545は、第2LEDスタック533に向かうように配置され、第3ボンディング層557を介して第2LEDスタック533にボンディングされてもよい。第3ボンディング層557は、光透過性材料で形成される。

【0728】

その後、予備基板5121cおよびボンディング層5123cが除去されて、第2導電型半導体層543bの表面を露出させることができ、第3-2オーミック電極549が第2導電型半導体層543bの露出した表面上に形成される。

20

【0729】

図70Aに示すように、第3-2オーミック電極549は、パッド領域および延長部分を含むことができる。延長部分は、反射電極525の縦方向に延びてもよい。一方、第3-2オーミック電極549は、第1-2オーミック電極529および第2-2オーミック電極539から水平方向に離隔するように配置される。第3-2オーミック電極549は、第2導電型半導体層543bとオーミック接触を形成する。

【0730】

一方、図70Aに示すように、第2導電型半導体層543bおよび活性層が部分的に除去されて、第1導電型半導体層543aを露出させることができる。第2導電型半導体層543bおよび活性層は、メサエッチングにより部分的に除去可能である。

30

【0731】

その後、第3-1オーミック電極547が第1導電型半導体層543aの露出した表面上に形成される。第3-1オーミック電極547は、第1導電型半導体層543aとオーミック接触を形成する。

【0732】

本例示的な実施例では、第3-2オーミック電極549が第3-1オーミック電極547の前に形成されるが、第3-2オーミック電極549および第3-1オーミック電極547を形成する順序は変更可能である。

【0733】

40

図71Aおよび図71Bを参照すると、各ピクセル領域において、第3LEDスタック543は、第3サブピクセルBのための領域を除いた第3LEDスタック543を除去するために、パターニングが施される。結果として、第3サブピクセルBが設けられる。また、第2カラーフィルタ545および第3ボンディング層557もともに除去可能であり、それによって、図示のように、第2LEDスタック533の第2導電型半導体層533b、第2-1オーミック電極537および第2-2オーミック電極539を露出させることができる。

【0734】

図72Aおよび図72Bを参照すると、各ピクセル領域において第2サブピクセルGのための領域を除いた領域で第2LEDスタック533を除去するために、第2LEDスタ

50

ック533はパターニングが施される。結果として、第2サブピクセルGが設けられる。第2サブピクセルGのための領域において、第2LEDスタック533は、第3LEDスタック543と部分的に重なる。すなわち、第2LEDスタック533は、第3LEDスタック543が第2LEDスタック533の一部領域内に配置されるように、パターニングが施される。

【0735】

一方、第1カラーフィルタ535、第2ボンディング層555および絶縁層527ともに除去可能であり、それによって、図示のように、第1LEDスタック523の第2導電型半導体層523bおよび第1-2オーミック電極529を露出させる。

【0736】

図73Aおよび図73Bを参照すると、第1サブピクセルRのための領域を除いた領域で第1LEDスタック523を除去するために、第1LEDスタック523はパターニングが施される。一方、第1-2オーミック電極529は、第1サブピクセルRのための領域内に残留する。第1LEDスタック523は、第2LEDスタック533および第3LEDスタック543と部分的に重なる。すなわち、第2LEDスタック533および第3LEDスタック543は、第1LEDスタック523の上部領域内に制限的に位置する。

【0737】

一方、第1LEDスタック523はパターニングが施されることにより、反射電極525が露出してもよく、第1ボンディング層553の表面も部分的に露出してもよい。他の例示的な実施例において、絶縁層が第1ボンディング層553上に配置されてもよいし、第1ボンディング層553の表面を露出させる代わりに、第1LEDスタック523をパターニングすることにより露出してもよい。

【0738】

図74Aおよび図74Bを参照すると、下部絶縁層561が形成される。下部絶縁層561は、第1~第3LEDスタック523、533および543を覆うことができ、また、反射電極525および第1ボンディング層553を覆うことができる。一方、下部絶縁層561は、第1-2オーミック電極529、第2-1オーミック電極537、第2-2オーミック電極539、第3-1オーミック電極547、第3-2オーミック電極549および反射電極525を露出させる開口部を有するように、パターニングが施される。

【0739】

図75を参照すると、インターコネクションライン573および接続部分573a、577aおよび577bが下部絶縁層561上に形成される。接続部分573aは、第2-2オーミック電極539をインターコネクションライン573に接続し；接続部分577aは、第3-1オーミック電極547を反射電極525に接続し；接続部分577bは、第2-1オーミック電極537を反射電極525に接続する。図75のA-A線に沿った断面図は、図74Bと同一であり、図示しない。

【0740】

その後、図76Aおよび図76Bを参照すると、上部絶縁層563が形成される。上部絶縁層563は、インターコネクションライン573および接続部分573a、577aおよび577bを覆う。上部絶縁層563はパターニングが施されて、第1-2オーミック電極529および第3-2オーミック電極549のパッド領域を露出させることができる。

【0741】

その後、図77を参照すると、インターコネクションライン571および575および接続部分571aおよび575aが上部絶縁層563上に形成される。接続部分571aは、インターコネクションライン571を第3-2オーミック電極549に接続し、接続部分575aは、インターコネクションライン575を第1-2オーミック電極529に接続する。

【0742】

結果として、図62および図63を参照して説明したディスプレイ装置5000Aが完

10

20

30

40

50

成する。図 77 の A-A 線に沿った断面図は、図 76 B と同一であり、図示しない。

【0743】

上述した例示的な実施例において、ピクセルは、例としてパッシブマトリクス方式で駆動されるのに対し、本例示的な実施例のピクセルは、アクティブマトリクス方式で駆動可能である。

【0744】

図 78 は、本開示のもう 1 つの例示的な実施例によるディスプレイ装置の作動を示す概略回路図である。本実施例において、ディスプレイ装置は、アクティブマトリクス方式で駆動される。

【0745】

図 78 を参照すると、本例示的な実施例による駆動回路は、2 つ以上のトランジスタ $Tr1$ および $Tr2$ およびキャパシタを含む。電源が選択ライン $Vrow1 \sim Vrow3$ に接続され、電圧がデータライン $Vdata1 \sim Vdata3$ に印加されると、電圧が対応する発光ダイオードに印加される。また、対応するキャパシタは、データライン $Vdata1 \sim Vdata3$ の値に応じて充電される。トランジスタ $Tr2$ のターンオン状態がキャパシタの充電された電圧によって保持できるので、キャパシタの電圧は、選択ライン $Vrow1$ に供給される電源が遮断されるときにも保持されて発光ダイオード $LED1 \sim LED3$ に印加される。また、発光ダイオード $LED1 \sim LED3$ 内で流れる電流は、データライン $Vdata1 \sim Vdata3$ の値に応じて変更可能である。電流は、電流供給源 Vdd を介して連続的に供給され、それによって、連続的な発光を可能にする。

【0746】

トランジスタ $Tr1$ および $Tr2$ およびキャパシタは、支持基板 551 の内部に形成される。トランジスタおよびキャパシタへの接続のための接続パッドが支持基板 551 の表面上に形成される。加えて、選択ラインおよびデータラインが支持基板 551 の内部にまたはその表面上に形成される。この構造において、インターコネクションライン 571、573 および 575 は省略可能である。

【0747】

発光ダイオード $LED1 \sim LED3$ は、各ピクセルにおいて第 1 ～ 第 3 LED スタック 523、533 および 543 に対応する。第 1 ～ 第 3 LED スタック 523、533 および 543 のアノードは、トランジスタ $Tr2$ に接続され、そのカソードは、接地に接続される。第 1-2 オーミック電極 529、第 2-2 オーミック電極 539 および第 3-2 オーミック電極 549 は、接続部分を介して支持基板 551 上の接続パッドに接続され、反射電極 525 は、支持基板 551 上の接続パッドに対する接続により接地に接続される。

【0748】

本例示的な実施例において、第 1 ～ 第 3 LED スタック 523、533 および 543 は、反射電極 525 に対する共通接続により接地に接続される。また、反射電極 525 は、2 つ以上またはすべてのピクセルにわたって連続的に配置される。したがって、反射電極 525 は、ディスプレイ装置においてすべての LED スタックに共通に接続される。反射電極 525 は、ピクセルと基板 551 との間に配置され、それによって、アクティブマトリクス回路のノイズを除去する。

【0749】

本例示的な実施例がアクティブマトリクス駆動用回路に関するものであるが、他の種類の回路も使用可能である。

【0750】

本開示の例示的な実施例により、複数のピクセルがウエハボンディングを利用してウエハレベルで形成可能であり、それによって、発光ダイオードの個別な実装に対する必要性を省く。

【0751】

図 79 は、本開示の 1 つの例示的な実施例によるディスプレイ用発光ダイオードスタック 600 の概略断面図である。

10

20

30

40

50

【0752】

図79を参照すると、発光ダイオードスタック600は、支持基板651と、第1-1LEDスタック623aと、第1-2LEDスタック623bと、第2LEDスタック633と、第3LEDスタック643と、第1-1下部オーミック電極625aと、第1-1上部オーミック電極627aと、第1-2下部オーミック電極625bと、第1-2上部オーミック電極627bと、第2透明電極635と、第3透明電極645と、第1カラーフィルタ637と、第2カラーフィルタ647と、第1ボンディング層653と、第2ボンディング層655と、第3ボンディング層657と、第4ボンディング層659とを含むことができる。

【0753】

支持基板651は、LEDスタック623a、623b、633および643を支持する。支持基板651は、その表面上にまたはその内部に回路を含むことができるが、これに限定されるものではない。支持基板651は、例えば、Si基板またはGe基板を含むことができる。

【0754】

第1-1LEDスタック623a、第1-2LEDスタック623b、第2LEDスタック633および第3LEDスタック643のそれぞれは、n型半導体層と、p型半導体層と、その間に介在する活性層とを含む。活性層は、多重量子井戸構造を有してもよい。

【0755】

第1-1LEDスタック623aおよび第1-2LEDスタック623bは、赤色光を放出するように適合化される無機発光ダイオードであってもよく、第2LEDスタック633は、緑色光を放出するように適合化される無機発光ダイオードであってもよいし、第3LEDスタック643は、青色光を放出するように適合化される無機発光ダイオードであってもよい。第1-1LEDスタック623aおよび第1-2LEDスタック623bは、AlGaInP系井戸層を含むことができ、第2LEDスタック633は、AlGaInPまたはAlGaInN系井戸層を含むことができる。第3LEDスタック643は、AlGaInN系井戸層を含むことができる。第1-1LEDスタック623aおよび第1-2LEDスタック623bは、同一の構造および同一の組成を有してもよく、これに限定されるものではない。例えば、第1-1LEDスタック623aは、第1-2LEDスタック623bよりも長い波長を有する赤色光を放出することができる。

【0756】

同時に、LEDスタック623a、623b、633および643のそれぞれの両面は、それぞれn型半導体層およびp型半導体層である。本例示的な実施例において、スタック623a、623b、633および643のそれぞれは、n型上部表面およびp型下部表面を有する。第3LEDスタック643がn型上部表面を有するので、粗面化された表面(roughened surface)が第3LEDスタック643の上部表面上に化学的エッチングにより形成される。しかし、本開示がこれに限定されるものではなく、各LEDスタックの上部および下部表面の半導体タイプは変化可能であることを理解しなければならない。

【0757】

第1-1LEDスタック623aは、支持基板651近傍に配置され；第1-2LEDスタック623bは、第1-1LEDスタック623a上に配置され；第2LEDスタック633は、第1-2LEDスタック623b上に配置され；そして、第3LEDスタック643は、第2LEDスタック633上に配置される。第1-1LEDスタック623aおよび第1-2LEDスタック623bは、第2および第3LEDスタック633および643よりも長い波長を有する光を放出するので、第1-1および第1-2LEDスタック623aおよび623bから発生する光は、第2および第3LEDスタック633および643を介して外部に放出される。また、第2LEDスタック633が第3LEDスタック643より長い波長を有する光を放出するので、第2LEDスタック633から発生する光は、第3LEDスタック643を介して外部に放出される。

【0758】

第1-1下部オーミック電極625aは、第1-1LEDスタック623aの下部表面、例えば、そのp型半導体層とオーミック接触を形成し、第1-1LEDスタック623aから発生する光を反射させる。第1-1下部オーミック電極625aは、例えば、Au-Zn合金またはAu-Be合金で形成されるオーミック反射層を含むことができる。

【0759】

第1-1上部オーミック電極627aは、第1-1LEDスタック623aの上部表面、例えば、そのn型半導体層とオーミック接触を形成する。第1-1上部オーミック電極627aは、例えば、Au-Te合金またはAu-Ge合金で形成されるオーミック層を含むことができる。

10

【0760】

第1-2下部オーミック電極625bは、第1-2LEDスタック623bの下部表面、すなわち、そのp型半導体層とオーミック接触を形成する。第1-2下部オーミック電極625bは、例えば、Au-Zn合金またはAu-Be合金で形成されるオーミック層を含むことができる。第1-2下部オーミック電極625bは、第1-1下部オーミック電極625aより狭い面積を有し、光が通過できる経路を提供する。

【0761】

また、第1-2下部オーミック電極625bは、第1-1上部オーミック電極627aと電氣的に接続される。図79に示すように、第1-2下部オーミック電極625bは、第1-1上部オーミック電極627aに直接接触可能であるが、これに限定されるものではない。その代わりとして、第1-2下部オーミック電極625bは、後述のように、透明な導電性ボンディング層655を介して第1-1上部オーミック電極627aに電氣的に接続されてもよい。

20

【0762】

第1-2下部オーミック電極625bが第1-1上部オーミック電極627aに電氣的に接続されることにより、第1-1LEDスタック623aと第1-2LEDスタック623bは、互いに電氣的に直列に接続される。

【0763】

第1-2上部オーミック電極627bは、第1-2LEDスタック623bの上部表面、例えば、そのn型半導体層とオーミック接触を形成する。第1-2上部オーミック電極627bは、例えば、Au-Te合金またはAu-Ge合金で形成されるオーミック層を含むことができる。

30

【0764】

第2透明電極635は、第2LEDスタック633のp型半導体層とオーミック接触を形成する。第2透明電極635は、赤色光および緑色光に関して透過性である金属層または導電性酸化物層で構成される。

【0765】

第3透明電極645は、第3LEDスタック643のp型半導体層とオーミック接触を形成する。第3透明電極645は、赤色光、緑色光および青色光に関して透過性である金属層または導電性酸化物層で構成される。

40

【0766】

第1-1下部オーミック電極625a、第1-2下部オーミック電極625b、第2透明電極635および第3透明電極645は、各LEDスタックのp型半導体層とのオーミック接触により電流拡散を助けることができる。

【0767】

第1カラーフィルタ637は、第1-2LEDスタック623bと第2LEDスタック633との間に介在する。加えて、第2カラーフィルタ647は、第2LEDスタック633と第3LEDスタック643との間に介在する。第1カラーフィルタ637は、第2LEDスタック633から発生する光を反射させながら、第1-1および第1-2LEDスタック623aおよび623bから発生する光を透過させる。第2カラーフィルタ64

50

7は、第3LEDスタック643から発生する光を反射させながら、第1-1、第1-2および第2LEDスタック623a、623bおよび633から発生する光を透過させる。結果として、第1-1LEDスタック623aおよび第1-2LEDスタック623bから発生する光は、第2LEDスタック633および第3LEDスタック643を介して外部に放出され、第2LEDスタック633から発生する光は、第3LEDスタック643を介して外部に放出される。また、発光ダイオードスタックは、第2LEDスタック633から発生する光が第1-2LEDスタック623bに進入するのを防止することができるか、または第3LEDスタック643から発生する光が第2LEDスタック633に進入するのを防止することができ、それによって、光損失を防止する。

【0768】

10

いくつかの例示的な実施例において、第1カラーフィルタ637は、第3LEDスタック643から発生する光を反射させることができる。

【0769】

第1および第2カラーフィルタ637および647は、例えば、低周波数帯域で、すなわち、長波長帯域で、光がそれを介して通過することを許容するローパスフィルタ、所定の波長帯域で光がそれを介して通過することを許容するバンドパスフィルタ、または所定の波長帯域で光がそれを介して通過するのを防止するバンドストップフィルタであってもよい。特に、第1および第2カラーフィルタ637および647のそれぞれは、分布ブラッグ反射器(DBR)を含むことができる。分布ブラッグ反射器(DBR)は、他の波長範囲の光を透過させながら、特定の波長帯域(阻止帯域)の光を反射させる。分布ブラッグ反射器は、互いに異なる屈折率を有する絶縁層、例えば、TiO₂およびSiO₂を交互に積層することにより形成可能である。同時に、分布ブラッグ反射器の阻止帯域は、TiO₂およびSiO₂層の厚さを調節することにより制御可能である。ローパスフィルタおよびバンドパスフィルタも、互いに異なる屈折率を有する絶縁層を交互に積層することにより形成可能である。

20

【0770】

第1ボンディング層653は、第1-1LEDスタック623aを支持基板651に結合する。図示のように、第1-1下部オーミック電極625aは、第1ボンディング層653に隣接していてもよい。第1ボンディング層653は、光透過性または不透明層であってもよい。第1ボンディング層653は、有機または無機材料で形成されてもよい。有機材料の例は、SU8、ポリ(メチルメタクリレート)(PMMA)、ポリイミド、パリレン、ベンゾシクロブテン(BCB)などを含むことができ、無機材料の例は、Al₂O₃、SiO₂、SiNxなどを含むことができる。有機材料層は、高真空および高圧条件下でボンディングされてもよく、無機材料層は、例えば、無機材料層の表面を平坦化するための化学機械的研磨によりプラズマを用いて表面エネルギーを変化させた後、高真空下でボンディングされてもよい。特に、光を吸収可能な黒色エポキシ樹脂で形成されるボンディング層が第1ボンディング層653として使用可能であり、それによって、ディスプレイ装置のコントラストを向上させる。第1ボンディング層653はさらに、スピノンガラスで形成される。

30

【0771】

40

第2ボンディング層655は、第1-2LEDスタック623bを第1-1LEDスタック623aに結合する。図示のように、第1-1上部オーミック電極627aおよび第1-2下部オーミック電極625bは、第2ボンディング層655の内部に配置される。

【0772】

第2ボンディング層655は、光透過性層であってもよいし、第1ボンディング層653と同じく、有機または無機材料で形成されてもよい。加えて、第2ボンディング層655は、絶縁層または導電層であってもよい。例えば、第2ボンディング層655は、ITO、IZO、ZnOなどのような透明導電性酸化物で形成される。

【0773】

第2ボンディング層655が絶縁層の場合、第1-1上部オーミック電極627aおよ

50

び第1-2下部オーミック電極625bは、互いに直接電氣的に接続される。その代わりとして、第2ボンディング層655が導電層の場合、第1-1上部オーミック電極627aと第1-2下部オーミック電極625bは、互いに直接接続される代わりに、第2ボンディング層655を介して互いに電氣的に接続されてもよい。この構造において、第1-1上部オーミック電極627aおよび第1-2下部オーミック電極625bは整列される必要がないので、発光ダイオードスタック600を製造する工程を単純化する。

【0774】

第3ボンディング層657は、第2LEDスタック633を第1-2LEDスタック623bに結合する。図示のように、第3ボンディング層657は、第1-2LEDスタック623bおよび第1カラーフィルタ637に隣接していてもよい。

10

【0775】

第3ボンディング層657は、第1-1および第1-2LEDスタック623aおよび623bから発生する光を透過させる。第1ボンディング層653と同じく、第3ボンディング層657は、例えば、透明無機材料、透明有機材料、スピノングラスまたは透明導電性材料で形成される。

【0776】

第4ボンディング層659は、第3LEDスタック643を第2LEDスタック633に結合する。図示のように、第4ボンディング層659は、第2LEDスタック633および第2カラーフィルタ647に隣接していてもよい。しかし、本開示がこれに限定されるものではないことを理解しなければならない。その代わりとして、透明導電層が第2LEDスタック633上に配置されてもよい。第4ボンディング層659は、第1-1、第1-2および第2LEDスタック623a、623bおよび633から発生する光を透過させる。第1ボンディング層653と同じく、第4ボンディング層659は、例えば、透明無機材料、透明有機材料、スピノングラスまたは透明導電性材料で形成される。

20

【0777】

図80A、図80B、図80Cおよび図80Dは、本開示の1つの例示的な実施例によるディスプレイ用発光ダイオードスタックを製造する方法を示す概略断面図である。

【0778】

図80Aを参照すると、まず、第1-1LEDスタック623aが第1-1基板621a上に成長し、第1-1下部オーミック電極625aが第1-1LEDスタック623a上に形成される。

30

【0779】

第1-1基板621aは、例えば、GaAs基板であってもよい。加えて、第1-1LEDスタック623aは、AlGaInP系半導体層で構成され、n型半導体層と、活性層と、p型半導体層とを含む。第1-1下部オーミック電極625aは、p型半導体層とオーミック接触を形成する。第1-1下部オーミック電極625aは、第1-1LEDスタック623aの全体面積を覆うことができる。

【0780】

図80Bを参照すると、第1-2LEDスタック623bが第1-2基板621b上に成長し、第1-2下部オーミック電極625bは、第1-2LEDスタック623b上に形成される。

40

【0781】

第1-2基板621bは、例えば、GaAs基板であってもよい。加えて、第1-2LEDスタック623bは、AlGaInP系半導体層で構成され、n型半導体層と、活性層と、p型半導体層とを含む。第1-2下部オーミック電極625bは、p型半導体層とオーミック接触を形成する。第1-2下部オーミック電極625bは、第1-2LEDスタック623bと部分的に接触する。

【0782】

図80Cを参照すると、第2LEDスタック633が第2基板631上に成長し、第2透明電極635および第1カラーフィルタ637が第2LEDスタック633上に形成さ

50

れる。第2LEDスタック633は、AlGaInPまたはAlGaInN系半導体層で構成され、AlGaInPまたはAlGaInN系井戸層を含むことができる。第2基板631は、AlGaInP系半導体層のその上での成長を許容する基板、例えば、GaAs基板であってもよく、またはGaN系半導体層のその上での成長を許容する基板、例えば、サファイア基板であってもよい。第2LEDスタック633のAl、GaおよびInの組成比は、第2LEDスタック633が緑色光を放出できるように決定されてもよい。一方、第2透明電極635は、p型半導体層とオーミック接触を形成する。

【0783】

図80Dを参照すると、第3LEDスタック643が第3基板641上に成長し、第3透明電極645および第2カラーフィルタ647が第3LEDスタック643上に形成される。第3LEDスタック643は、GaN系半導体層で構成され、AlGaInN系井戸層を含むことができる。第3LEDスタック643は、GaN系半導体層がその上に成長することを許容する基板であり、第1基板621とは異なる。第3LEDスタック643のAl、GaおよびInの組成比は、第3LEDスタック643が青色光を放出できるように決定されてもよい。一方、第3透明電極645は、p型半導体層とオーミック接触を形成する。

【0784】

第1カラーフィルタ637および第2カラーフィルタ647は、図79を参照して説明したものと同一であり、その繰り返しの説明は省略する。

【0785】

図79および図80Aを参照すると、まず、第1-1LEDスタック623aが第1ボンディング層653を経由して支持基板651に結合される。第1-1下部オーミック電極625aは、支持基板651に向かうように配置され、第1ボンディング層653を介して支持基板651にボンディングされてもよい。一方、第1-1基板621が化学的エッチングにより第1-1LEDスタック623から除去される。粗面化された表面が表面テクスチャリングによって第1-1LEDスタック623aの露出した表面上に形成される。

【0786】

図79に示すように、第1-1上部オーミック電極627aが第1-1LEDスタック623aの露出した表面上に形成される。

【0787】

その後、図79および図80Bを参照すると、第1-2LEDスタック623bが第2ボンディング層655を経由して第1-1LEDスタック623aに結合される。第1-2下部オーミック電極625bは、第1-1LEDスタック623aに向かうように配置され、第1-1LEDスタック623aにボンディングされてもよい。

【0788】

第2ボンディング層655は、例えば、透明導電性酸化物層であってもよいし、そのため、第1-1上部オーミック電極627aおよび第1-2下部オーミック電極625bを互いに電氣的に接続することができる。その代わりとして、第2ボンディング層655が絶縁層の場合、第1-2下部オーミック電極625bは、第1-1上部オーミック電極627aと整列されて直接接触する。

【0789】

第2ボンディング層655が透明導電性酸化物層の場合、透明導電性酸化物層が第1-1LEDスタック623aおよび第1-2LEDスタック623b上にそれぞれ蒸着され、互いにボンディングされて第2ボンディング層655を形成する。第1-1LEDスタック623aおよび第1-2LEDスタック623bの表面上に形成される透明導電性酸化物層は、化学機械的研磨により平坦化される。その代わりとして、第1-1上部オーミック電極627aと第1-1LEDスタック623a上に形成される透明導電性酸化物層は、互いに同一平面をなすように処理され、第1-2下部オーミック電極625bおよび第1-2LEDスタック623bの表面上に形成される透明導電性酸化物層は、互いに同

10

20

30

40

50

一平面をなすように処理され、次いで、透明導電性酸化物層がボンディングされる。

【0790】

図79および図80Cを参照すると、第2LEDスタック633が第3ボンディング層657を経由して第1-2LEDスタック623bに結合される。第1カラーフィルタ637は、第1-2LEDスタック623bに向かうように配置され、第3ボンディング層657を介して第1-2LEDスタック623bにボンディングされてもよい。一方、第2基板631は、レーザリフトオフ、化学的リフトオフまたは化学的エッチングにより第2LEDスタック633から分離される。第2基板631が分離された後、粗面化された表面が表面テクスチャリングによって第2LEDスタック633の表面上に形成される。

【0791】

図79および図80Dを参照すると、第3LEDスタック643は、第4ボンディング層659を経由して第2LEDスタック633に結合される。第2カラーフィルタ647は、第2LEDスタック633に向かうように配置され、第4ボンディング層659を介して第2LEDスタック633にボンディングされてもよい。

【0792】

一方、第3LEDスタック643は、レーザリフトオフ、化学的リフトオフまたは化学的エッチングにより第3LEDスタック643から分離される。結果として、図79に示すように、第3LEDスタック643のn型半導体層が露出するディスプレイ用発光ダイオードスタックが提供できる。粗面化された表面が表面テクスチャリングによって第3LEDスタック643の表面上に形成される。

【0793】

ディスプレイ装置が、ピクセルユニット内の支持基板651上で第1-1、第1-2、第2および第3LEDスタック623a、623b、633および643のスタックをパターンニングし、次いで、インターコネクションラインを介して第1-1、第1-2、第2および第3LEDスタックを互いに接続することにより提供できる。以下、ディスプレイ装置の例示的な実施例を説明する。

【0794】

図81は、本開示の1つの例示的な実施例によるディスプレイ装置の作動を示す概略回路図であり、図82は、本開示の例示的な実施例によるディスプレイ装置の概略平面図である。

【0795】

まず、図81および図82を参照すると、本例示的な実施例によるディスプレイ装置は、パッシブマトリクス方式で作動するように実現できる。

【0796】

例えば、図79を参照して説明したディスプレイ用発光ダイオードスタックは、スタック623a、623b、633および643が垂直方向に積層される構造を有するので、1つのピクセルが少なくとも4つの発光ダイオードR1、R2、GおよびBを含む。ここで、第1-1発光ダイオードR1は、第1-1LEDスタック623aに対応し、第1-2発光ダイオードR2は、第1-2LEDスタック623bに対応し、第2発光ダイオードGは、第2LEDスタック633に対応し、第3発光ダイオードBは、第3LEDスタック643に対応する。

【0797】

図81および図82で、1つのピクセルは、第1-1、第1-2、第2および第3発光ダイオードR1、R2、GおよびBを含み、第1-1および第1-2発光ダイオードは、赤色光を放出するサブピクセルに対応し、第2および第3発光ダイオードGおよびBは、緑色および青色光を放出するサブピクセルにそれぞれ対応する。

【0798】

第1-1発光ダイオードR1は、第1-2発光ダイオードR2に直列に接続され、第1-1および第1-2発光ダイオードR1およびR2のアノードは、共通ライン、例えば、データラインに接続され、そのカソードは、スキャンラインに接続される。一方、第2お

10

20

30

40

50

よび第3発光ダイオードGおよびBのアノードは、共通ライン、例えば、データラインに接続され、そのカソードは、互いに異なるライン、例えば、スキャンラインに接続される。

【0799】

例えば、第1ピクセルにおいて、第1-1発光ダイオードR1と第1-2発光ダイオードR2は、互いに直列に接続される。そのアノード、すなわち、第1-1発光ダイオードR1のアノードは、第2および第3発光ダイオードGおよびBのアノードとともにデータラインVdata1に共通に接続され、第1-2発光ダイオードR2、第2発光ダイオードGおよび第3発光ダイオードBのカソードは、スキャンラインVscan1-1、Vscan1-2およびVscan1-3にそれぞれ接続される。したがって、第1-1発光ダイオードR1および第1-2発光ダイオードR2はともに駆動可能であり、第2発光ダイオードGおよび第3発光ダイオードBは、第1-1発光ダイオードR1および第1-2発光ダイオードR2と独立して駆動可能である。

【0800】

また、発光ダイオードR1、R2、GおよびBのそれぞれは、パルス幅変調によってまたは電流の大きさを変更することにより駆動され、それによって、各サブピクセルの明るさにおける調節を可能にする。さらに、本例示的な実施例において、第1-1発光ダイオードR1および第1-2発光ダイオードR2は、低い可視性を有する赤色光を放出することにより、赤色光の光度を向上させる。

【0801】

図82を再度参照すると、複数のピクセルが図79を参照して説明したスタックをパターンニングすることにより形成され、各ピクセルは、第1-1下部オーミック電極625aおよびインターコネクションライン671、673および675に接続される。図81に示すように、第1-1下部オーミック電極625aは、データラインVdataとして使用可能であり、インターコネクションライン671、673および675は、スキャンラインとして形成可能である。

【0802】

ピクセルは、各ピクセルの発光ダイオードR1、GおよびBのアノードが第1-1下部オーミック電極625aに共通に接続され、各ピクセルの発光ダイオードR1、GおよびBのカソードが互いに離隔したインターコネクションライン671、673および675に接続される、マトリクス状に配列される。インターコネクションライン671、673および675は、スキャンラインVscanとして使用可能である。

【0803】

図83は、図82に示すディスプレイ装置の1つのピクセルの拡大平面図であり、図84は、図83のA-A線に沿った概略断面図であり、図85は、図83のB-B線に沿った概略断面図である。

【0804】

図82、図83、図84および図85を参照すると、各ピクセルにおいて、第1-1下部オーミック電極625aの一部分、第1-2上部オーミック電極627bの上部表面、第2透明電極635の一部分、第2LEDスタック633の上部表面の一部分、第3透明電極645の一部分および第3LEDスタック643の上部表面が外部に露出してもよい。

【0805】

第3LEDスタック643は、その上部表面上に粗面化された表面643aを有してもよい。粗面化された表面643aは、図示のように、第3LEDスタック643の上部表面の全体にわたって形成されるか、またはそのいくつかの領域に形成されてもよい。

【0806】

下部絶縁層661は、各ピクセルの側面を覆うことができる。下部絶縁層661は、SiO2のような光透過性材料で形成される。本構造において、下部絶縁層661は、第3LEDスタック643の全体上部表面を覆うことができる。その代わりとして、下部絶縁

層 6 6 1 は、分布ブラッグ反射器を含み、第 1 ～第 3 L E D スタック 6 2 3、6 3 3 および 6 4 3 の側面に向かって進行する光を反射させてもよい。この場合、下部絶縁層 6 6 1 は、第 3 L E D スタック 6 4 3 の上部表面を少なくとも部分的に露出させる。

【0807】

下部絶縁層 6 6 1 は、第 3 L E D スタック 6 4 3 の上部表面を露出させる開口部 6 6 1 a と、第 2 基板 6 3 1 の上部表面を露出させる開口部 6 6 1 b と、第 1 - 1 上部オーミック電極 6 2 7 b の上部表面を露出させる開口部 6 6 1 c (図 8 6 H 参照) と、第 3 透明電極 6 4 5 を露出させる開口部 6 6 1 d と、第 2 透明電極 6 3 5 を露出させる開口部 6 6 1 e と、第 1 - 1 下部オーミック電極 6 2 5 a を露出させる開口部 6 6 1 f とを含むことができる。

10

【0808】

インターコネクションライン 6 7 1 および 6 7 5 は、支持基板 6 5 1 上で L E D スタック 6 2 3 a、6 2 3 b、6 3 3 および 6 4 3 近傍に形成され、下部絶縁層 6 6 1 上に配置され、第 1 - 1 下部オーミック電極 6 2 5 a から絶縁される。一方、第 1 - 1 L E D スタック 6 2 3 a、第 2 L E D スタック 6 3 3 および第 3 L E D スタック 6 4 3 のアノードが第 1 - 1 下部オーミック電極 6 2 5 a に共通に接続されるように、接続部分 6 7 7 a が第 3 透明電極 6 4 5 を第 1 - 1 下部オーミック電極 6 2 5 a に接続し、接続部分 6 7 7 b が第 2 透明電極 6 3 5 を第 1 - 1 下部オーミック電極 6 2 5 a に接続する。

【0809】

接続部分 6 7 1 a は、第 3 L E D スタック 6 4 3 の上部表面をインターコネクションライン 6 7 1 に接続し、接続部分 6 7 5 a は、第 1 - 2 上部オーミック電極 6 2 7 b の上部表面をインターコネクションライン 6 7 5 に接続する。

20

【0810】

上部絶縁層 6 8 1 は、第 3 L E D スタック 6 4 3 の上部表面を覆うようにインターコネクションライン 6 7 1 および 6 7 3 および下部絶縁層 6 6 1 上に配置される。上部絶縁層 6 8 1 は、第 2 L E D スタック 6 3 3 の上部表面を部分的に露出させる開口部 8 1 a を有してもよい。

【0811】

上部絶縁層 6 8 1 は、例えば、シリコン酸化物またはシリコン窒化物で形成され、分布ブラッグ反射器を含むことができる。加えて、上部絶縁層 6 8 1 は、透明絶縁層および透明絶縁層上に形成される反射性金属層または多層構造の有機反射層を含むことができるか、光を遮断するために黒色エポキシ樹脂で形成される光吸収層を含むことができる。

30

【0812】

上部絶縁層 6 8 1 が光を反射させるか遮断する構造では、上部絶縁層 6 8 1 は、第 3 L E D スタック 6 4 3 の上部表面を少なくとも部分的に露出させて、光が外部に放出されることを許容するように形成される。上部絶縁層 6 8 1 は部分的に除去されて、外部からの電氣的接続のためにインターコネクションライン 6 7 1、6 7 3 および 6 7 5 を露出させることができる。その代わりとして、上部絶縁層 6 8 1 は省略されてもよい。

【0813】

インターコネクションライン 6 7 3 は、上部絶縁層 6 8 1 上に配置され、接続部分 6 7 3 a は、第 2 L E D スタック 6 3 3 の上部表面をインターコネクションライン 6 7 3 に接続することができる。接続部分 6 7 3 a は、インターコネクションライン 6 7 5 の上部を通過することができ、上部絶縁層 6 8 1 によってインターコネクションライン 6 7 5 から絶縁される。

40

【0814】

各ピクセルの電極が本例示的な実施例でデータラインおよびスキャンラインに接続されるが、多様な実施形態が可能であることを理解しなければならない。上述した例示的な実施例において、インターコネクションライン 6 7 1 および 6 7 5 が下部絶縁層 6 6 1 上に形成され、インターコネクションライン 6 7 3 が上部絶縁層 6 8 1 上に形成される。しかし、本開示がこれに限定されるものではないことを理解しなければならない。例えば、す

50

すべてのインターコネクションライン671、673および675が下部絶縁層661上に形成され、インターコネクションライン673を露出させるように構成される開口部を有し得る、上部絶縁層681によって覆われてもよい。この構造において、接続部分673aは、第2LEDスタック633の上部表面を上部絶縁層681の開口部を介してインターコネクションライン673に接続することができる。

【0815】

その代わりとして、インターコネクションライン671、673および675は、支持基板651の内部に形成され、下部絶縁層661上の接続部分671a、673aおよび675aは、LEDスタック623b、633および643のカソードをインターコネクションライン671、673および675に接続してもよい。

10

【0816】

図86A～図86Kは、本開示の1つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。以下の説明は、図83のピクセルを形成する方法について与えられる。

【0817】

まず、図79で説明した発光ダイオードスタック600が設けられる。

【0818】

その後、図86Aを参照すると、粗面化された表面643aが第3LEDスタック643の上部表面上に形成される。粗面化された表面643aは、第3LEDスタック643の上部表面上に形成されて各ピクセル領域に対応することができる。粗面化された表面643aは、化学的エッチング、例えば、光増強化学的エッチング（photo-enhanced chemical etching：PEC）により形成される。

20

【0819】

粗面化された表面643aは、後続の工程でエッチングされる第3LEDスタック643の領域を考慮して各ピクセル領域に部分的に形成されてもよいが、これに限定されるものではない。その代わりとして、粗面化された表面643aは、第3LEDスタック643の全体上部表面上に形成されてもよい。

【0820】

図86Bを参照すると、各ピクセルにおいて第3LEDスタック643の周囲領域はエッチングによって除去されて、第3透明電極645を露出させる。図示のように、第3LEDスタック643は、長形状または正方形を有するように残留してもよい。複数の陥没部が第3LEDスタック643の周縁に沿って形成されてもよい。

30

【0821】

図86Cを参照すると、1つの陥没部内で露出する第3透明電極645の一部分を除いた他の領域で露出する第3透明電極645を除去した後、第2カラーフィルタ647および第4ボンディング層659を順に除去することにより、第2LEDスタック633の上部表面が露出する。したがって、第2LEDスタック633の上部表面は、第3LEDスタック643の周囲で、そして第3透明電極645が内部に残留する陥没部を除いた他の陥没部で露出する。

【0822】

図86Dを参照すると、1つの陥没部内で露出する第2LEDスタック633の一部分を除いた他の領域で露出する第2LEDスタック633を除去することにより、第2透明電極635が露出する。

40

【0823】

図86Eを参照すると、1つの陥没部内で露出する第2透明電極635の一部分を除いた他の領域で露出する第2透明電極635を除去した後、第1カラーフィルタ637および第3ボンディング層657を順に除去することにより、第1-2LEDスタック623bの上部表面が露出する。したがって、第1-2LEDスタック623bの上部表面が第3LEDスタック643の周囲で露出する。第3LEDスタック643の上部表面が露出することにより、第1-2上部オーミック電極627bも露出する。図示のように、第1

50

ー 2 上部オーミック電極 6 2 7 b が第 3 L E D スタック 6 4 3 の陥没部のうちの少なくとも 1 つ内で露出してもよい。

【0 8 2 4】

図 8 6 F を参照すると、第 3 L E D スタック 6 4 3 の周囲で露出する第 1 ー 2 L E D スタック 6 2 3 b を除去した後、第 2 ボンディング層 6 5 5 および第 1 ー 1 L E D スタック 6 2 3 a を順に除去することにより、第 1 ー 1 下部オーミック電極 6 2 5 a が露出する。第 1 ー 1 下部オーミック電極 6 2 5 a は、第 3 L E D スタック 6 4 3 の周囲で露出する。

【0 8 2 5】

図 8 6 G を参照すると、線形インターコネクションラインが第 1 ー 1 下部オーミック電極 6 2 5 a をパターンニングすることにより形成される。ここで、支持基板 6 5 1 が露出してもよい。第 1 ー 1 下部オーミック電極 6 2 5 a は、マトリクスに配列されるピクセルのうちの 1 つの行 (r o w) 内に配列されるピクセルを互いに接続することができる (図 8 2 参照) 。

【0 8 2 6】

図 8 6 H を参照すると、下部絶縁層 6 6 1 (図 8 4 および図 8 5 参照) がピクセルを覆うように形成される。下部絶縁層 6 6 1 は、第 1 ー 1 下部オーミック電極 6 2 5 a および L E D スタック 6 2 3 a 、 6 2 3 b 、 6 3 3 および 6 4 3 の側面を覆う。また、下部絶縁層 6 6 1 は、第 3 L E D スタック 6 4 3 の上部表面を少なくとも部分的に覆うことができる。下部絶縁層 6 6 1 が S i O 2 層のような透明な層であれば、下部絶縁層 6 6 1 は、第 3 L E D スタック 6 4 3 の全体上部表面を覆うことができる。その代わりとして、下部絶縁層 6 6 1 は、分布ブラッグ反射器を含んでもよい。この構造において、下部絶縁層 6 6 1 は、第 3 L E D スタック 6 4 3 の上部表面を少なくとも部分的に露出させて、光が外部に放出されることを許容することができる。

【0 8 2 7】

下部絶縁層 6 6 1 は、第 3 L E D スタック 6 4 3 を露出させる開口部 6 6 1 a と、第 2 L E D スタック 6 3 3 を露出させる開口部 6 6 1 b と、第 1 ー 2 上部オーミック電極 6 2 7 b を露出させる開口部 6 6 1 c と、第 3 透明電極 6 4 5 を露出させる開口部 6 6 1 d と、第 2 透明電極 6 3 5 を露出させる開口部 6 6 1 e と、第 1 ー 1 下部オーミック電極 6 2 5 a を露出させる開口部 6 6 1 f とを含むことができる。第 1 ー 1 下部オーミック電極 6 2 5 a を露出させるように適合化される少なくとも 2 つの開口部 6 6 1 f が形成されてもよい。

【0 8 2 8】

図 8 6 I を参照すると、インターコネクションライン 6 7 1 および 6 7 5 および接続部分 6 7 1 a 、 6 7 5 a 、 6 7 7 a および 6 7 7 b が形成される。これらはリフトオフ工程により形成される。インターコネクションライン 6 7 1 および 6 7 5 は、下部絶縁層 6 6 1 によって第 1 ー 1 下部オーミック電極 6 2 5 a から絶縁される。接続部分 6 7 1 a は、第 3 L E D スタック 6 4 3 をインターコネクションライン 6 7 1 に電氣的に接続し、接続部分 6 7 5 a は、第 1 ー 2 上部オーミック電極 6 2 7 b をインターコネクションライン 6 7 5 に電氣的に接続する。接続部分 6 7 7 a は、第 3 透明電極 6 4 5 を第 1 ー 1 下部オーミック電極 6 2 5 a に電氣的に接続し、接続部分 6 7 7 b は、第 2 透明電極 6 3 5 を第 1 ー 1 下部オーミック電極 6 2 5 a に電氣的に接続する。

【0 8 2 9】

図 8 6 J を参照すると、上部絶縁層 6 8 1 (図 8 4 および図 8 5 参照) がインターコネクションライン 6 7 1 および 6 7 5 および接続部分 6 7 1 a 、 6 7 5 a 、 6 7 7 a および 6 7 7 b を覆う。上部絶縁層 6 8 1 はさらに、第 3 L E D スタック 6 4 3 の全体上部表面を覆うことができる。上部絶縁層 6 8 1 は、第 2 L E D スタック 6 3 3 の上部表面を露出させる開口部 6 8 1 a を有する。上部絶縁層 6 8 1 は、例えば、シリコン酸化物またはシリコン窒化物で形成され、分布ブラッグ反射器を含むことができる。上部絶縁層 6 8 1 が分布ブラッグ反射器を含む構造において、上部絶縁層 6 8 1 は、第 3 L E D スタック 6 4 3 の上部表面の少なくとも一部を露出させるように形成されて、光が外部に放出されるこ

10

20

30

40

50

とを許容する。

【0830】

図86Kを参照すると、インターコネクションライン673および接続部分673aが形成される。インターコネクションライン673および接続部分673aは、リフトオフ工程により形成される。インターコネクションライン673は、上部絶縁層681上に配置され、第1-1下部オーミック電極625aおよびインターコネクションライン671および675から絶縁される。接続部分673aは、第2LEDスタック633をインターコネクションライン673に電氣的に接続する。接続部分673aは、インターコネクションライン675の上部に通過することができ、上部絶縁層681によってインターコネクションライン675から絶縁される。

10

【0831】

結果として、ピクセル領域が図83に示すように完成される。また、図82に示すように、複数のピクセルが支持基板651上に形成され、第1-1下部オーミック電極625aおよびインターコネクションライン671、673および675によって互いに接続されてパッシブマトリクス方式で動作可能である。

【0832】

パッシブマトリクス方式で動作するように適合化されるディスプレイ装置を製造する方法を本例示的な実施例で示したが、本開示がこれに限定されないことを理解しなければならない。すなわち、例示的な実施例によるディスプレイ装置は、図79に示す発光ダイオードスタックを用いてパッシブマトリクス方式で動作するように多様な方式で製造できる。

20

【0833】

例えば、本例示的な実施例において、インターコネクションライン673が上部絶縁層681上に形成されるものとして示されるが、インターコネクションライン673は、下部絶縁層661上でインターコネクションライン671および675とともに形成されてもよいし、接続部分673aは、上部絶縁層681上に形成されて第2LEDスタック633をインターコネクションライン673に接続することができる。その代わりとして、インターコネクションライン671、673および675は、支持基板651の内部に配置されてもよい。

【0834】

図87は、本開示のもう1つの例示的な実施例によるディスプレイ装置用発光ダイオードスタック601の概略平面図である。

30

【0835】

図87を参照すると、本例示的な実施例による発光ダイオードスタック601は、第1-1上部オーミック電極627aと第1-2下部オーミック電極625bとが互いに絶縁されることを除けば、図79を参照して説明した発光ダイオードスタック600と概ね類似している。

【0836】

特に、第1-1上部オーミック電極627aおよび第1-2下部オーミック電極625bは、互いに分離され、互いに電氣的に絶縁される。このために、第2ボンディング層655は、光透過性絶縁層で形成される。

40

【0837】

複数のピクセルが発光ダイオードスタック601をパターンニングすることにより、支持基板651上に形成され、第1-1LEDスタック623aおよび第1-2LEDスタック623bは、接続部分を介して互いに並列に接続される。

【0838】

図88は、本開示のもう1つの例示的な実施例によるディスプレイ装置の作動を示す概略回路図である。本例示的な実施例において、第1-1LEDスタック623aおよび第1-2LEDスタック623bは、互いに並列に接続されてパッシブマトリクスを形成する。

50

【0839】

図88を参照すると、例示的な実施例によるディスプレイ装置は、第1-1発光ダイオードR1と第1-2発光ダイオードR2が互いに並列に接続されることを除けば、図81を参照して説明したディスプレイ装置と概ね類似している。

【0840】

本例示的な実施例において、図87の第1-2上部オーミック電極627bは、第1-1上部オーミック電極627aに電氣的に接続され、第1-2下部オーミック電極625bは、第1-1下部オーミック電極625aに電氣的に接続される。

【0841】

第1-1下部オーミック電極625aは、共通ラインとして使用可能であり、第1-2下部オーミック電極625bは、接続部分を介して第1-1下部オーミック電極625aに電氣的に接続される。第1-2上部オーミック電極627bは、第1-1上部オーミック電極627aとともにインターコネクションライン675に接続される。

【0842】

本例示的な実施例は、第1-1発光ダイオードR1および第1-2発光ダイオードR2が各ピクセルで並列に接続される、ディスプレイ装置を提供する。

【0843】

本開示の例示的な実施例によれば、ディスプレイ用発光ダイオードスタック600または601を用いてウエハレベルで複数のピクセルを形成することを可能なため、発光ダイオードを個別に実装する必要がない。加えて、例示的な実施例による発光ダイオードスタックは、スタック623a、623b、633および643が垂直方向に互いに積層される構造を有し、それによって、限られたピクセル面積内でサブピクセルのための面積を確保する。また、低い可視性を有する光を放出する複数のLEDスタックが互いに積層され、限られた面積で電流密度の大きな変化なく赤色光の明るさを向上させる。

【0844】

第1-1LEDスタック623a、第1-2LEDスタック623b、第2LEDスタック633および第3LEDスタック643は、上述した例示的な実施例で概ね類似の発光面積を有しかつ互いに重なるものとして示されるが、これらのLEDスタックが類似の発光面積を有する必要はない。特に、第2LEDスタック633が第1-2LEDスタック623b上で一部領域内に配置され、第3LEDスタック643は、第2LEDスタック633上で一部領域内に配置される。また、第1-2LEDスタック623bと第1-1LEDスタック623a上で一部領域内に配置される。この構造により、低い可視性を有する第1-1および第1-2LEDスタック623aおよび623bは、第2および第3LEDスタック633および643より大きい発光面積を有し、明るさをさらに向上させる。さらに、第1-1および第1-2LEDスタック623aおよび623bから発生する光の少なくとも一部は、第2LEDスタック633および第3LEDスタック643を通過せずに外部に放出され、第2LEDスタック633から発生する光の少なくとも一部は、第3LEDスタック643を通過せずに外部に放出され、それによって、発光効率をさらに向上させる。

【0845】

図89Aは、本開示の1つの例示的な実施例によるディスプレイ用発光ダイオードスタック700の概略断面図であり、図89Bは、図89Aに示す第1LEDスタック723の拡大断面図である。

【0846】

図89Aおよび図89Bを参照すると、発光ダイオードスタック700は、支持基板751と、第1LEDスタック723と、第2LEDスタック733、第3LEDスタック743と、第1反射電極725と、第1オーミック電極727と、第2透明電極735と、第3透明電極745と、第1カラーフィルタ737と、第2カラーフィルタ747と、第1ボンディング層753と、第2ボンディング層755と、第3ボンディング層757とを含むことができる。

【0847】

支持基板751は、半導体スタック723、733および743を支持する。支持基板751は、その表面上にまたはその内部に回路を含むことができるが、これに限定されるものではない。支持基板751は、例えば、Si基板またはGe基板を含むことができる。

【0848】

本例示的な実施例において、第1LEDスタック723は、第2LEDスタック733および第3LEDスタック743より長い波長を有する光、例えば、赤色光を放出するように適合化される無機発光ダイオードであってもよい。加えて、第2LEDスタック733は、第3LEDスタック743より長い波長を有する光、例えば、緑色光を放出するように適合化される無機発光ダイオードであってもよいし、第3LEDスタック743は、青色光を放出するように適合化される無機発光ダイオードであってもよい。しかし、本開示がこれに限定されるものではないことを理解しなければならない。

10

【0849】

本例示的な実施例において、第1LEDスタック723は、多重接合LEDスタック構造を有することができ、例えば、図89Bに示すように、第1-1LEDスタック723aと、第1-2LEDスタック723bと、トンネル接合層7130とを含むことができる。

【0850】

第1-1LEDスタック723aは、n型半導体層7123と、活性層7125と、p型半導体層7127とを含むことができる。n型半導体層7123は、単一層または多重層で構成されてもよい。例えば、n型半導体層7123は、AlGaInP系n型クラッド(cld)層およびn型ウィンドウ層を含むことができる。p型半導体層7127は、例えば、AlGaInP系p型クラッド層を含むことができる。活性層7125は、多重量子井戸層構造を有してもよいし、AlGaInP系井戸層を含むことができる。

20

【0851】

第1-2LEDスタック723bは、n型半導体層7133と、活性層7135と、p型半導体層7137と、高密度p-コンタクト層7139とを含むことができる。n型半導体層7133は、AlGaInP系n型クラッド層を含むことができる。p型半導体層7137は、単一層または多重層で構成されてもよいし、例えば、AlGaInP系p型クラッド層およびp型ウィンドウ層を含むことができる。活性層7135は、多重量子井戸層構造を有してもよいし、AlGaInP系井戸層を含むことができる。高密度p-コンタクト層7139は、例えば、高密度p-GaPで形成される。

30

【0852】

トンネル接合層7130は、AlGaInP系高密度ドーピングされたp型層7129および高密度ドーピングされたn型層7131を含むことができる。電流は、高密度ドーピングされたn型層7131が高密度ドーピングされたp型層7129にボンディングされる、トンネル接合層7130を介して伝導される。

【0853】

本例示的な実施例において、2つのLEDスタック723aおよび723bが1つのトンネル接合層7130を介して互いにボンディングされる。しかし、より多いLEDスタックが2つ以上のトンネル接合層を介して互いにボンディングできることを理解しなければならない。

40

【0854】

多重接合LEDスタック構造により、発光ダイオードスタックは、面積および電流密度を増加させることなく、低い可視性を有する光の光度を増加させることができる。

【0855】

本例示的な実施例において、第1LEDスタック723は、n型上部表面およびp型下部表面を有する。しかし、本開示がこれに限定されるものではなく、上部および下部表面の半導体タイプは変化可能であることを理解しなければならない。

50

【0856】

第2LEDスタック733および第3LEDスタック743のそれぞれは、n型半導体層と、p型半導体層と、その間に介在する活性層とを含む。活性層は、多重量子井戸構造を有してもよい。第2LEDスタック733は、AlGaInPまたはAlGaInN系井戸層を含むことができ、第3LEDスタック743は、AlGaInN系井戸層を含むことができる。

【0857】

同時に、第2および第3LEDスタック733および743のそれぞれの両面は、それぞれn型半導体層およびp型半導体層である。本例示的な実施例において、第2および第3LEDスタック733および743のそれぞれは、n型上部表面およびp型下部表面を有する。第3LEDスタック743がn型上部表面を有するので、粗面化された表面(roughened surface)が第3LEDスタック743の上部表面上に化学的エッチングにより形成される。しかし、本開示がこれに限定されるものではなく、LEDスタック733および743のそれぞれの上部および下部表面の半導体タイプは変化可能であることを理解しなければならない。

【0858】

第1LEDスタック723は、支持基板751近傍に配置され、第2LEDスタック733は、第1LEDスタック723上に配置され、第3LEDスタック743は、第2LEDスタック733上に配置される。第1LEDスタック723が第2および第3LEDスタック733および743より長い波長を有する光を放出するので、第1LEDスタック723から発生する光は、第2および第3LEDスタック733および743を介して外部に放出される。また、第2LEDスタック733が第3LEDスタック743より長い波長を有する光を放出するので、第2LEDスタック733から発生する光は、第3LEDスタック743を介して外部に放出される。

【0859】

第1反射電極725は、第1LEDスタック723の下部表面、例えば、そのp型半導体層とオーミック接触を形成し、第1LEDスタック723から発生する光を反射させる。例えば、第1反射電極725は、例えば、Au-Zn合金またはAu-Be合金で形成されるオーミック反射層を含むことができる。

【0860】

第1オーミック電極727は、第1LEDスタック723の上部表面、例えば、そのn型半導体層とオーミック接触を形成する。第1オーミック電極727は、例えば、Au-Te合金またはAu-Ge合金で形成されるオーミック層を含むことができる。第1オーミック電極727は、各ピクセル領域内に形成される。

【0861】

第2透明電極735は、第2LEDスタック733の下部表面、例えば、そのp型半導体層とオーミック接触を形成する。第2透明電極735は、赤色光および緑色光に関して透過性である金属層または導電性酸化物層で構成される。

【0862】

第3透明電極745は、第3LEDスタック743の下部表面、例えば、そのp型半導体層とオーミック接触を形成する。第3透明電極745は、赤色光、緑色光および青色光に関して透過性である金属層または導電性酸化物層で構成される。

【0863】

第1反射電極725、第2透明電極735および第3透明電極745は、各LEDスタックのp型半導体層とのオーミック接触によりそのp型半導体層での電流拡散を助ける。

【0864】

第1カラーフィルタ737は、第1LEDスタック723と第2LEDスタック733との間に介在する。加えて、第2カラーフィルタ747は、第2LEDスタック733と第3LEDスタック743との間に介在する。第1カラーフィルタ737は、第2LEDスタック733から発生する光を反射させながら、第1LEDスタック723から発生す

る光を透過させる。第2カラーフィルタ747は、第3LEDスタック743から発生する光を反射させながら、第1および第2LEDスタック723および733から発生する光を透過させる。結果として、第1LEDスタック723から発生する光は、第2LEDスタック733および第3LEDスタック743を介して外部に放出され、第2LEDスタック733から発生する光は、第3LEDスタック743を介して外部に放出される。また、発光ダイオードスタックは、第2LEDスタック733から発生する光が第1LEDスタック723に進入するのを防止することができるか、または第3LEDスタック743から発生する光が第2LEDスタック733に進入するのを防止することができ、それによって、光損失を防止する。

【0865】

いくつかの例示的な実施例において、第1カラーフィルタ737は、第3LEDスタック743から発生する光を反射させることができる。

【0866】

第1および第2カラーフィルタ737および747は、例えば、低周波数帯域で、すなわち、長波長帯域で、光がそれを介して通過することを許容するローパスフィルタ、所定の波長帯域で光がそれを介して通過することを許容するバンドパスフィルタ、または所定の波長帯域で光がそれを介して通過するのを防止するバンドストップフィルタであってもよい。特に、第1および第2カラーフィルタ737および747のそれぞれは、分布ブラッグ反射器(DBR)を含むことができる。分布ブラッグ反射器(DBR)は、他の波長範囲の光を透過させながら、特定の波長帯域(阻止帯域)の光を反射させる。分布ブラッグ反射器は、互いに異なる屈折率を有する絶縁層、例えば、TiO₂およびSiO₂を交互に積層することにより形成可能である。同時に、分布ブラッグ反射器の阻止帯域は、TiO₂およびSiO₂層の厚さを調節することにより制御可能である。ローパスフィルタおよびバンドパスフィルタも、互いに異なる屈折率を有する絶縁層を交互に積層することにより形成可能である。

【0867】

第1ボンディング層753は、第1LEDスタック723を支持基板751に結合する。図示のように、第1反射電極725は、第1ボンディング層753に隣接していてもよい。第1ボンディング層753は、光透過性または不透明層であってもよい。第1ボンディング層753は、有機または無機材料で形成されてもよい。有機材料の例はSU8、ポリ(メチルメタクリレート)(PMMA)、ポリイミド、パリレン、ベンゾシクロブテン(BCB)などを含むことができ、無機材料の例は、Al₂O₃、SiO₂、SiNxなどを含むことができる。有機材料層は、高真空および高圧条件下でボンディングされてもよく、無機材料層は、例えば、無機材料層の表面を平坦化するための化学機械的研磨によりプラズマを用いて表面エネルギーを変化させた後、高真空下でボンディングされてもよい。特に、光を吸収可能な黒色エポキシ樹脂で形成されるボンディング層が第1ボンディング層753として使用可能であり、それによって、ディスプレイ装置のコントラストを向上させる。第1ボンディング層753はさらに、スピノングラスまたは透明導電性材料で形成されてもよい。

【0868】

第2ボンディング層755は、第2LEDスタック733を第1LEDスタック723に結合する。図示のように、第2ボンディング層755は、第1LEDスタック723および第1カラーフィルタ737に隣接していてもよい。第2ボンディング層755は、第1オーミック電極727を覆うことができる。

【0869】

第2ボンディング層755は、第1ボンディング層753と同じく、光透過性材料で形成される。第2ボンディング層755は、例えば、透明無機絶縁層、透明有機絶縁層または透明導電層であるか、光透過性スピノングラスで形成されてもよい。

【0870】

第3ボンディング層757は、第3LEDスタック743を第2LEDスタック733

10

20

30

40

50

に結合する。図示のように、第3ボンディング層757は、第2基板731および第2カラーフィルタ747に隣接していてもよい。しかし、本開示がこれに限定されるものではなく、透明導電層が第2LEDスタック733上に配置されてもよいことを理解しなければならない。第3ボンディング層757は、第1LEDスタック723および第2LEDスタック733から発生する光を透過させる。第3ボンディング層757は、第1ボンディング層753と同じく、光透過性材料で形成される。第3ボンディング層757は、例えば、透明無機絶縁層、透明有機絶縁層または透明導電層であるか、光透過性スピノングラスで形成されてもよい。

【0871】

図90A、図90Bおよび図90Cは、本開示の1つの例示的な実施例によるディスプレイ用発光ダイオードスタックを製造する方法を示す概略断面図である。 10

【0872】

図90Aを参照すると、先に、n型GaAs層7121が第1基板721上に成長し、第1LEDスタック723がn型GaAs層7121上に成長し、第1反射電極725が第1LEDスタック723上に成長する。n型GaAs層7121は省略可能である。

【0873】

第1基板721は、例えば、GaAs基板であってもよい。加えて、第1LEDスタック723は、多重接合LEDスタック構造を有し、第1-1LEDスタック723a、トンネル接合層7130および第1-2LEDスタック723bを含む。第1-1LEDスタック723aおよび第1-2LEDスタック723bは、トンネル接合層7130を介して互いに連続的に接続される。図90Aの第1LEDスタック723は、図89Bの第1LEDスタック723の反転構造と同一であり、その繰り返しの説明は省略する。 20

【0874】

第1反射電極725は、第1-2LEDスタック723bの上部表面とオーミック接触を形成する。第1反射電極725は、例えば、p-コンタクト層7139（図89B参照）とオーミック接触を形成することができる。

【0875】

図90Bを参照すると、第2LEDスタック733が第2基板731上に成長し、第2透明電極735および第1カラーフィルタ737が第2LEDスタック733上に形成される。第2LEDスタック733は、AlGaInPまたはAlGaInN系半導体層で構成され、n型半導体層と、p型半導体層と、井戸層とを含むことができる。第2基板731は、AlGaInP系半導体層のその上での成長を許容する基板、例えば、GaAs基板であってもよく、またはGaN系半導体層のその上での成長を許容する基板、例えば、サファイア基板であってもよい。第2LEDスタック733のAl、GaおよびInの組成比は、第2LEDスタック733が緑色光を放出できるように決定されてもよい。一方、第2透明電極735は、p型半導体層とオーミック接触を形成する。 30

【0876】

図90Cを参照すると、第3LEDスタック743が第3LEDスタック743上に成長し、第3透明電極745および第2カラーフィルタ747が第3LEDスタック743上に形成される。第3LEDスタック743は、GaN系半導体層で構成され、n型半導体層と、p型半導体層と、AlGaInN系井戸層とを含むことができる。第3LEDスタック743は、GaN系半導体層がその上に成長することを許容する基板であり、第1基板721とは異なる。第3LEDスタック743のAl、GaおよびInの組成比は、第3LEDスタック743が青色光を放出できるように決定されてもよい。一方、第3透明電極745は、p型半導体層とオーミック接触を形成する。 40

【0877】

第1カラーフィルタ737および第2カラーフィルタ747は、図89を参照して説明したものと同一であり、その繰り返しの説明は省略する。

【0878】

図89および図90Aを参照すると、まず、第1LEDスタック723が第1ボンディ 50

ング層 753 を経由して支持基板 751 に結合される。第 1 反射電極 725 は、支持基板 751 に向かうように配置され、第 1 ボンディング層 753 を介して支持基板 751 にボンディングされてもよい。一方、第 1 基板 721 および n 型 GaAs 層 7121 が化学的エッチングにより第 1 LED スタック 723 から除去可能である。結果として、第 1-1 LED スタック 723a の表面が露出してもよい。粗面化された表面が表面テクスチャリングによって第 1-1 LED スタック 723a の露出した表面上に形成される。

【0879】

その後、第 2 LED スタック 733 が第 2 ボンディング層 755 を経由して第 1 LED スタック 723 に結合される。第 1 カラーフィルタ 737 は、第 1 LED スタック 723 に向かうように配置され、第 1 LED スタック 723 にボンディングされてもよい。一方、第 2 基板 731 がレーザリフトオフ、化学的リフトオフまたは化学的エッチングにより第 2 LED スタック 733 から除去可能である。第 2 基板 731 の除去後、粗面化された表面が表面テクスチャリングによって第 2 LED スタック 733 の表面上に形成される。

【0880】

その後、第 3 LED スタック 743 が第 3 ボンディング層 757 を経由して第 2 LED スタック 733 に結合される。第 2 カラーフィルタ 747 は、第 2 LED スタック 733 に向かうように配置され、第 3 ボンディング層 757 を介してそれにボンディングされてもよい。

【0881】

第 3 基板 741 は、レーザリフトオフまたは化学的リフトオフ工程により第 3 LED スタック 743 から分離される。結果として、図 89 に示すように、第 3 LED スタック 743 の n 型半導体層が露出するディスプレイ用発光ダイオードスタックが提供される。また、粗面化された表面が表面テクスチャリングによって第 3 LED スタック 743 の表面上に形成される。

【0882】

ディスプレイ装置が、ピクセルユニット内の支持基板 751 上で第 1～第 3 LED スタック 723、733 および 743 のスタックをパターンニングし、次いで、インターコネクションラインを介して第 1～第 3 LED スタック 723、733 および 743 を互いに接続することにより提供できる。以下、ディスプレイ装置の例示的な実施例を説明する。

【0883】

図 91 は、本開示の 1 つの例示的な実施例によるディスプレイ装置の作動を示す概略回路図であり、図 92 は、本開示の例示的な実施例によるディスプレイ装置の概略平面図である。

【0884】

まず、図 91 および図 92 を参照すると、本例示的な実施例によるディスプレイ装置は、パッシブマトリクス方式で作動するように実現できる。

【0885】

例えば、図 89 を参照して説明したディスプレイ用発光ダイオードスタック 700 は、第 1～第 3 LED スタック 723、733 および 743 が垂直方向に積層される構造を有するので、1 つのピクセルが 3 つの発光ダイオード R、G および B を含む。第 1 発光ダイオード R は、第 1 LED スタック 723 に対応し、第 2 発光ダイオード G は、第 2 LED スタック 733 に対応し、第 3 発光ダイオード B は、第 3 LED スタック 743 に対応する。また、第 1 発光ダイオード R は、多重接合 LED スタック構造を有し、そのため、少なくとも 2 つの発光ダイオードが互いに直列に接続される構造を有する。

【0886】

図 91 および図 92 で、1 つのピクセルは、第 1～第 3 発光ダイオード R、G および B を含み、そのそれぞれは、サブピクセルに対応する。第 1～第 3 発光ダイオード R、G および B のアノードは、共通ライン、例えば、データラインに接続され、そのカソードは、異なるライン、例えば、スキャンラインに接続される。例えば、第 1 ピクセルにおいて、第 1～第 3 発光ダイオード R、G および B のアノードは、データライン Vdata1 に共

10

20

30

40

50

通に接続され、そのカソードは、スキャンラインVscan1-1、Vscan1-2およびVscan1-3にそれぞれ接続される。結果として、各ピクセル内の発光ダイオードR、GおよびBは、独立して駆動可能である。

【0887】

また、発光ダイオードR、GおよびBのそれぞれは、パルス幅変調によってまたは電流の大きさを変更することにより駆動され、それによって、各サブピクセルの明るさにおける調節を可能にする。さらに、第1発光ダイオードRは、低い可視性を有する赤色光を放出するが、第1発光ダイオードRの多重接合LEDスタック構造は、それから放出される赤色光の光度を向上させることができる。

【0888】

図92を再度参照すると、複数のピクセルが図89を参照して説明した発光ダイオードスタック700をパターンニングすることにより形成され、各ピクセルは、第1反射電極725およびインターコネクションライン771、771および773に接続される。図91に示すように、反射電極725は、データラインVdataとして使用可能であり、インターコネクションライン771、773および775は、スキャンラインとして形成可能である。

【0889】

ピクセルは、各ピクセルの発光ダイオードR、GおよびBのアノードが第1反射電極725に共通に接続され、そのカソードが互いに分離されたインターコネクションライン771、773および775に接続される、マトリクス状に配列される。ここで、インターコネクションライン771、773および775は、スキャンラインVscanとして使用可能である。

【0890】

図93は、図92に示すディスプレイ装置の1つのピクセルの拡大平面図であり、図94は、図93のA-A線に沿った概略断面図であり、図95は、図93のB-B線に沿った概略断面図である。

【0891】

図92、図93、図94および図95を参照すると、各ピクセルにおいて、第1反射電極725の一部分、第1オーミック電極727の上部表面、第2透明電極735の一部分、第2LEDスタック733の上部表面の一部分、第3透明電極745の一部分、および第3LEDスタック743の上部表面が外部に露出してもよい。

【0892】

第3LEDスタック743は、その上部表面上に粗面化された表面743aを有してもよい。粗面化された表面743aは、図示のように、第3LEDスタック743の全体上部表面にわたって形成されるか、またはそのいくつかの領域に形成されてもよい。

【0893】

下部絶縁層761は、各ピクセルの側面を覆うことができる。下部絶縁層761は、SiO₂のような光透過性材料で形成される。本構造において、下部絶縁層761は、第3LEDスタック743の全体上部表面を覆うことができる。その代わりとして、下部絶縁層761は、分布ブラッグ反射器を含んで第1～第3LEDスタック723、733および743の側面に向かって進行する光を反射させてもよい。本構造において、下部絶縁層761は、第3LEDスタック743の上部表面を少なくとも部分的に露出させる。

【0894】

下部絶縁層761は、第3LEDスタック743の上部表面を露出させる開口部761aと、第2LEDスタック733の上部表面を露出させる開口部761bと、第1オーミック電極727の上部表面を露出させる開口部761c（図8H参照）と、第3透明電極745を露出させる開口部761dと、第2透明電極735を露出させる開口部761eと、第1反射電極725を露出させる開口部761fとを含むことができる。

【0895】

インターコネクションライン771および775は、支持基板751上で第1～第3L

10

20

30

40

50

ＥＤスタック７２３、７３３および７４３近傍に形成され、第１反射電極７２５から絶縁されるように下部絶縁層７６１上に配置される。一方、第１ＬＥＤスタック７２３、第２ＬＥＤスタック７３３および第３ＬＥＤスタック７４３のアノードが第１反射電極７２５に共通に接続されるように、接続部分７７７ａが第３透明電極７４５を第１反射電極７２５に接続し、接続部分７７７ｂが第２透明電極７３５を第１反射電極７２５に接続する。

【０８９６】

接続部分７７７１ａは、第３ＬＥＤスタック７４３の上部表面をインターコネクションライン７７１に接続し、接続部分７７７５ａは、第１オーミック電極７２７をインターコネクションライン７７５に接続する。

【０８９７】

上部絶縁層７８１は、第３ＬＥＤスタック７４３の上部表面を覆うようにインターコネクションライン７７１および７７３および下部絶縁層７６１上に配置される。上部絶縁層７８１は、第２ＬＥＤスタック７３３の上部表面を部分的に露出させる開口部７８１ａを有してもよい。

【０８９８】

インターコネクションライン７７３は、上部絶縁層７８１上に配置され、接続部分７７３ａは、第２ＬＥＤスタック７３３の上部表面をインターコネクションライン７７３に接続することができる。接続部分７７３ａは、インターコネクションライン７７５の上部に通過することができ、上部絶縁層７８１によってインターコネクションライン７７５から絶縁される。

【０８９９】

各ピクセルの電極が本例示的な実施例でデータラインおよびスキャンラインに接続されるものと説明されるが、多様な実施形態が可能であることを理解しなければならない。本例示的な実施例では、インターコネクションライン７７１および７７５が下部絶縁層７６１上に形成され、インターコネクションライン７７３が上部絶縁層７８１上に形成されるが、本開示がこれに限定されないことを理解しなければならない。例えば、すべてのインターコネクションライン７７１、７７３および７７５が下部絶縁層７６１上に形成されてもよいし、インターコネクションライン７７３を露出させるように構成される開口部を有し得る、上部絶縁層７８１によって覆われてもよい。この構造において、接続部分７７３ａは、第２ＬＥＤスタック７３３の上部表面を上部絶縁層７８１の開口部を介してインターコネクションライン７７３に接続することができる。

【０９００】

その代わりとして、インターコネクションライン７７１、７７３および７７５は、支持基板７５１の内部に形成され、下部絶縁層７６１上の接続部分７７１ａ、７７３ａおよび７７５ａは、第１～第３ＬＥＤスタック７２３、７３３および７４３の上部表面をインターコネクションライン７７１、７７３および７７５に接続してもよい。

【０９０１】

図９６Ａ～図９６Ｋは、本開示の１つの例示的な実施例によるディスプレイ装置を製造する方法を示す概略断面図である。以下の説明は、図９３のピクセルを形成する方法について与えられる。

【０９０２】

まず、図８９で説明した発光ダイオードスタック７００が設けられる。

【０９０３】

その後、図９６Ａを参照すると、粗面化された表面７４３ａが第３ＬＥＤスタック７４３の上部表面上に形成される。粗面化された表面７４３ａは、第３ＬＥＤスタック７４３の上部表面上に形成されて各ピクセル領域に対応することができる。粗面化された表面７４３ａは、化学的エッチング、例えば、光－増強化学的エッチング（photo-enhanced chemical etching：ＰＥＣ）により形成される。

【０９０４】

粗面化された表面７４３ａは、後続の工程でエッチングされる第３ＬＥＤスタック７４

10

20

30

40

50

3の領域を考慮して各ピクセル領域で部分的に形成されてもよいが、これに限定されるものではない。その代わりとして、粗面化された表面743aは、第3LEDスタック743の全体上部表面上部に形成されてもよい。

【0905】

図96Bを参照すると、各ピクセルにおいて第3LEDスタック743の周囲領域はエッチングにより除去されて、第3透明電極745を露出させる。図示のように、第3LEDスタック743は、長形状または正方形を有するように残留してもよい。第3LEDスタック743は、その周縁に沿って複数の陥没部を有してもよい。

【0906】

図96Cを参照すると、1つの陥没部内で露出する第3透明電極745の一部分を除いた他の領域で露出する第3透明電極745を除去することにより、第2LEDスタック733の上部表面が露出する。したがって、第2LEDスタック733の上部表面は、第3LEDスタック743の周囲で、そして第3透明電極745が部分的に内部に残留する陥没部を除いた他の陥没部で露出する。

10

【0907】

図96Dを参照すると、1つの陥没部内で露出する第2LEDスタック733の一部分を除いた他の領域で露出する第2LEDスタック733を除去することにより、第2透明電極735が露出する。

【0908】

図96Eを参照すると、1つの陥没部内で露出する第2透明電極735の一部分を除いた他の領域で露出する第2透明電極735を除去することにより、第1オーミック電極727が第1LEDスタック723の上部表面とともに露出する。したがって、第1LEDスタック723の上部表面が第3LEDスタック743の周囲で露出し、第1オーミック電極727の上部表面が第3LEDスタック743に形成される陥没部のうちの1つ以上で露出する。

20

【0909】

図96Fを参照すると、第1反射電極725は、第3LEDスタック743の周囲で第1LEDスタック723の露出する部分を除去することにより露出する。第1反射電極725は、第3LEDスタック743の周囲で露出する。

【0910】

図96Gを参照すると、線形インターコネクションラインが第1反射電極725をパターンニングすることにより形成される。第1ボンディング層753はさらに、支持基板751を露出させるように除去可能である。第1反射電極725は、マトリクスに配列されたピクセルのうちの1つの行内に配列されるピクセルを互いに接続することができる(図92参照)。

30

【0911】

図96Hを参照すると、下部絶縁層761(図94および図95参照)がピクセルを覆うように形成される。下部絶縁層761は、反射電極725および第1~第3LEDスタック723、733および743の側面を覆う。また、下部絶縁層761は、第3LEDスタック743の上部表面を少なくとも部分的に覆うことができる。下部絶縁層761がSiO₂層のような透明層であれば、下部絶縁層761は、第3LEDスタック743の全体上部表面を覆うことができる。その代わりとして、下部絶縁層761は、分布ブラッグ反射器を含んでもよい。この構造において、下部絶縁層761は、第3LEDスタック743の上部表面を少なくとも部分的に露出させて、光が外部に放出されることを許容することができる。

40

【0912】

下部絶縁層761は、第3LEDスタック743を露出させる開口部761aと、第2LEDスタック733を露出させる開口部761bと、第1オーミック電極727を露出させる開口部761cと、第3透明電極745を露出させる開口部761dと、第2透明電極735を露出させる開口部761eと、第1反射電極725を露出させる開口部76

50

1 fとを含むことができる。第1反射電極725を露出させるように適合化される開口部761fは、図示のように、単数または複数形成されてもよい。

【0913】

図96Iを参照すると、インターコネクションライン771および775および接続部分771a、775a、777aおよび777bが形成される。これらはリフトオフ工程により形成される。インターコネクションライン771および775は、下部絶縁層761によって反射電極725から絶縁される。接続部分7771aは、第3LEDスタック743をインターコネクションライン771に電氣的に接続し、接続部分7775aは、第1オーミック電極727をインターコネクションライン775に電氣的に接続する。接続部分777aは、第3透明電極745を第1反射電極725に電氣的に接続し、接続部分777bは、第2透明電極735を第1反射電極725に電氣的に接続する。

10

【0914】

図96Jを参照すると、上部絶縁層781（図94および図95参照）がインターコネクションライン771および775および接続部分771a、775a、777aおよび777bを覆う。上部絶縁層781はさらに、第3LEDスタック743の全体上部表面を覆うことができる。上部絶縁層781は、第2LEDスタック733の上部表面を露出させる開口部781aを有する。上部絶縁層781は、例えば、シリコン酸化物またはシリコン窒化物で形成され、分布ブラッグ反射器を含むことができる。上部絶縁層781が分布ブラッグ反射器を含む構造において、上部絶縁層781は、第3LEDスタック743の上部表面の少なくとも一部を露出させるように形成され、光が外部に放出されることを許容する。

20

【0915】

図96Kを参照すると、インターコネクションライン773および接続部分773aが形成される。インターコネクションライン773および接続部分773aは、リフトオフ工程により形成される。インターコネクションライン773は、上部絶縁層781上に配置され、第1反射電極725およびインターコネクションライン771および775から絶縁される。接続部分773aは、第2LEDスタック733をインターコネクションライン773に電氣的に接続する。接続部分773aは、インターコネクションライン775の上部に通過することができ、上部絶縁層781によってインターコネクションライン775から絶縁される。

30

【0916】

結果として、ピクセル領域が図93に示すように完成する。また、図92に示すように、複数のピクセルが支持基板751上に形成され、第1反射電極725およびインターコネクションライン771、773および775によって互いに接続されてパッシブマトリクス方式で動作可能である。

【0917】

パッシブマトリクス方式で動作するように適合化されるディスプレイ装置を製造する方法を本例示的な実施例で示したが、本開示がこれに限定されないことを理解しなければならない。すなわち、例示的な実施例によるディスプレイ装置は、図89に示す発光ダイオードスタック700を用いてパッシブマトリクス方式で動作するように多様な方式で製造できる。

40

【0918】

例えば、本例示的な実施例において、インターコネクションライン773が上部絶縁層781上に形成されるものとして示されるが、インターコネクションライン773は、下部絶縁層761上でインターコネクションライン771および775とともに形成され、接続部分773aは、上部絶縁層781上に形成され、第2LEDスタック733をインターコネクションライン773に接続することができる。また、インターコネクションライン771、773および775は、支持基板751の内部に配置される。

【0919】

図97は、本開示のもう1つの例示的な実施例によるディスプレイ装置の作動を示す概

50

略回路図である。前記実施例は、パッシブマトリクス方式で駆動されるディスプレイ装置に関するのに対し、本例示的な実施例は、アクティブマトリクス方式で駆動されるディスプレイ装置に関するものである。

【0920】

図97を参照すると、本例示的な実施例による駆動回路は、2つ以上のトランジスタTr1およびTr2およびキャパシタを含む。電源が選択ラインVrow1～Vrow3に接続され、電圧がデータラインVdata1～Vdata3に印加されると、電圧に対応する発光ダイオードに印加される。また、対応するキャパシタは、データラインVdata1～Vdata3の値に応じて充電される。トランジスタTr2のターンオン状態がキャパシタの充電された電圧によって保持できるので、キャパシタの電圧は、選択ラインVrow1に供給される電源が遮断されても保持されて発光ダイオードR、GおよびBに印加される。また、発光ダイオードR、GおよびB内で流れる電流は、データラインVdata1～Vdata3の値に応じて変更可能である。電流は、電流供給源Vddを介して連続的に供給され、それによって、連続的な発光を可能にする。

10

【0921】

トランジスタTr1およびTr2およびキャパシタは、支持基板751の内部に形成される。例えば、シリコン基板上に形成される薄膜トランジスタがアクティブマトリクス駆動のために使用可能である。

【0922】

発光ダイオードR、GおよびBは、1つのピクセル内に積層される第1～第3LEDスタック723、733および743にそれぞれ対応する。加えて、発光ダイオードRは、第1-1LEDスタック723aと、第1-2LEDスタック723bと、その間に介在するトンネル接合層7130とを含む。第1～第3LEDスタック723、733および743のアノードは、トランジスタTr2に接続され、そのカソードは、接地に接続される。

20

【0923】

たとえアクティブマトリクス駆動のための回路の一例が本例示的な実施例で示されたとしても、他の種類の回路も使用可能であることを理解しなければならない。加えて、本例示的な実施例において、発光ダイオードR、GおよびBのアノードが互いに異なるトランジスタTr2に接続され、そのカソードが接地に接続されるが、他の例示的な実施例において、発光ダイオードのアノードは、電流供給源Vddに接続され、そのカソードは、互いに異なるトランジスタに接続されてもよい。

30

【0924】

図98は、本開示のもう1つの例示的な実施例によるディスプレイ装置の概略平面図である。以下の説明は、支持基板7151上に配列される複数のピクセルのうちの1つのピクセルについて与えられる。

【0925】

図98を参照すると、本例示的な実施例によるピクセルは、支持基板7151がトランジスタおよびキャパシタを含む薄膜トランジスタパネルであり、第1反射電極725が第1LEDスタック723の下部領域内に制限的に位置することを除けば、図92～図95を参照して説明したピクセルと実質的に類似している。

40

【0926】

第3LEDスタック743のカソードは、接続部分7171aを介して支持基板7151に接続される。例えば、図97に示すように、第3LEDスタック743のカソードは、支持基板7151への電気的な接続により接地に接続される。第2LEDスタック733および第1LEDスタック723のカソードはさらに、接続部分7173aおよび7175aを経由した支持基板7151への電気的な接続により接地に接続されてもよい。

【0927】

一方、第1反射電極725は、支持基板7151の内部でトランジスタTr2（図97参照）に接続される。第3透明電極745および第2透明電極735も、接続部分717

50

1bおよび7173bを介して支持基板7151の内部でトランジスタTr2（図97参照）に接続される。

【0928】

この方式により、第1～第3LEDスタック723、733および743は互いに接続され、それによって、図97に示すように、アクティブマトリクス駆動のための回路を構成する。

【0929】

アクティブマトリクス駆動のための電氣的な接続の一例が本例示的な実施例で示されるが、本開示がこれに限定されるものではなく、ディスプレイ装置用回路が多様な方式でアクティブマトリクス駆動のための多様な回路に変形可能であることを理解しなければならない。

10

【0930】

一方、図89を参照して説明した例示的な実施例では、第1反射電極725、第2透明電極735および第3透明電極745がそれぞれ第1LEDスタック723、第2LEDスタック733および第3LEDスタック743のp型半導体層とオーミック接触を形成するが、そのn型半導体層は、別途のオーミック接触層が提供されない。ピクセルが200μm以下の小さい大きさを有する場合、n型半導体層内に別途のオーミック接触層を形成しなくても、電流拡散（current spreading）における困難がない。しかし、電流拡散を確保するために、LEDスタックのそれぞれのn型半導体層上に透明電極層が配置されてもよい。

20

【0931】

また、本例示的な実施例では、第1～第3LEDスタック723、733および743が互いに順に接続されるものとして示されるが、第1～第3LEDスタック723、733および743は、ウエハボンディング技術を利用して多様な順序で互いに接続できることを理解しなければならず、n型半導体層およびp型半導体層の位置は変更可能である。

【0932】

本開示の例示的な実施例によれば、ディスプレイ用発光ダイオードスタック700を用いてウエハレベルで複数のピクセルを形成することが可能なため、発光ダイオードを個別に実装する必要がない。加えて、例示的な実施例による発光ダイオードスタックは、第1～第3LEDスタック723、733および743が垂直方向に積層される構造を有し、それによって、限られたピクセル面積内でサブピクセルのための面積を確保する。また、例示的な実施例による発光ダイオードスタックにおいて、第1LEDスタック723は、多重接合LEDスタック構造を有し、それによって、限られた領域で電流密度の大きな変化なく赤色光の明るさを向上させることができる。

30

【0933】

上記の例示的な実施例において、第1LEDスタックが多重接合LEDスタック構造を有するものとして例示されるが、第2LEDスタックまたは第3LEDスタックが多重接合LEDスタック構造を有することができる。低い可視性を有するLED構造が多重接合LEDスタック構造を有するように形成される構造により、発光ダイオードスタックは、発光面積または電流密度を調節せずに第1～第3LEDスタックが類似の明るさで光を放出することを許容する。

40

【0934】

第1LEDスタック723、第2LEDスタック733および第3LEDスタック743は、上述した例示的な実施例で概ね類似の発光面積を有しかつ互いに重なるものとして示されるが、これらのLEDスタックが類似の発光面積を有する必要はない。特に、第2LEDスタック733が第1LEDスタック723上で一部領域内に配置され、第3LEDスタック743は、第2LEDスタック733上で一部領域内に配置される。この構造により、低い可視性を有する第1LEDスタック723が第2および第3LEDスタック733および743より大きい発光面積を有し、明るさをさらに向上させる。また、第1LEDスタック723から発生する光の少なくとも一部は、第2LEDスタック733お

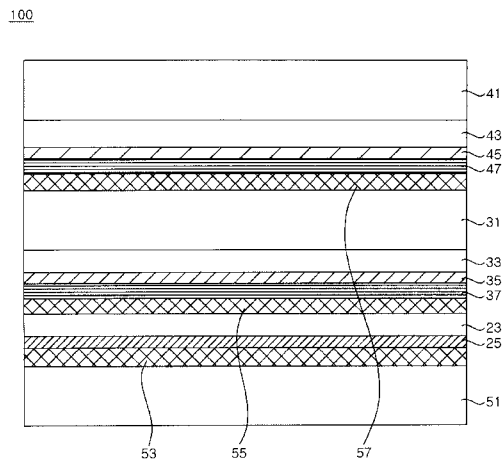
50

よび第３ＬＥＤスタック７４３を通過せずに外部に放出され、第２ＬＥＤスタック７３３から発生する光の少なくとも一部は、第３ＬＥＤスタック７４３を通過せずに外部に放出され、それによって発光効率をさらに向上させる。

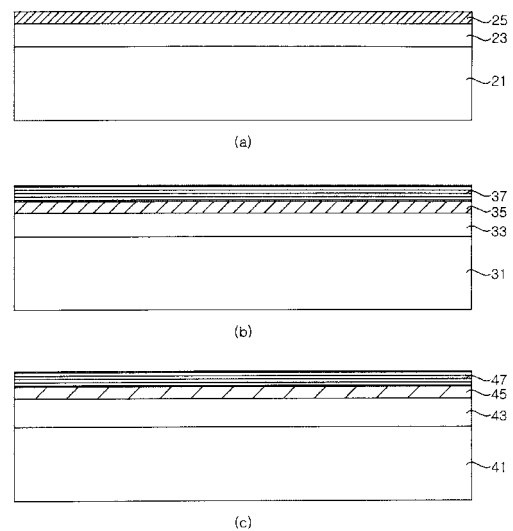
【０９３５】

いくつかの例示的な実施例を説明したが、これらの実施例は単に例示のために提供されるものであり、いかなる方式でも本開示を制限すると解釈されてはならないことを理解しなければならない。１つの例示的な実施例の特徴または構成要素は、本開示の思想および範囲を逸脱しない限度内で他の例示的な実施例にも適用可能であることを理解しなければならない。

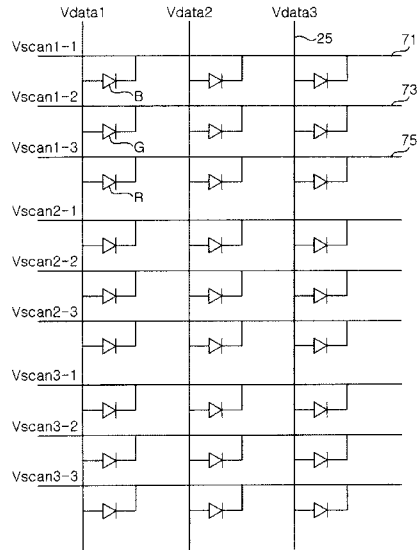
【図１】



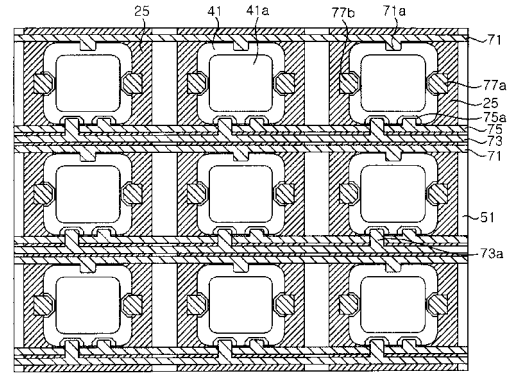
【図２】



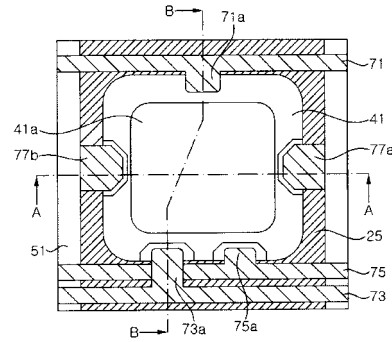
【図 3】



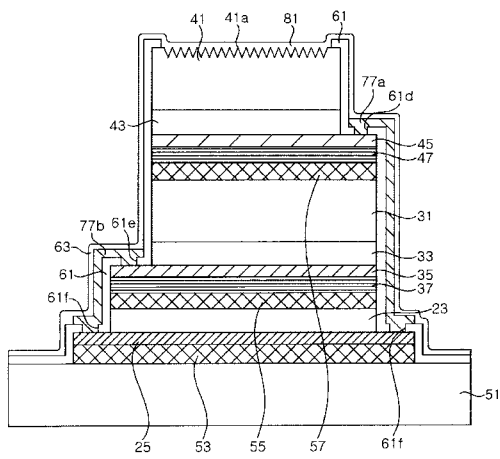
【図 4】



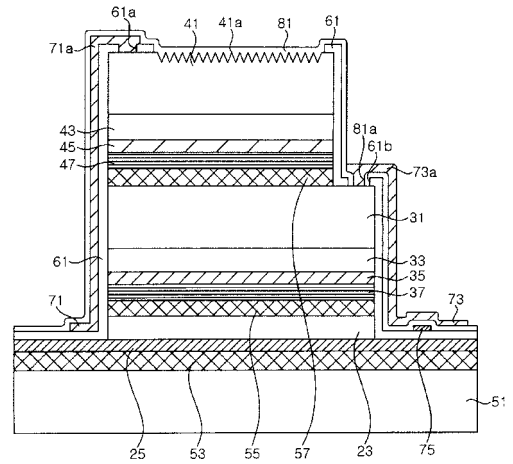
【図 5】



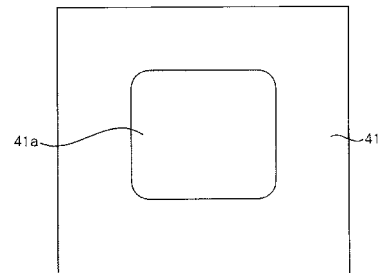
【図 6】



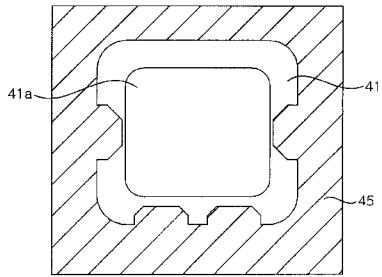
【図 7】



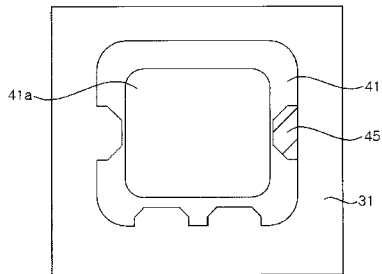
【図 8 A】



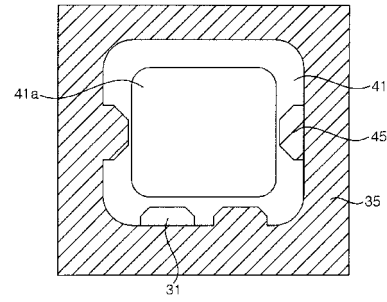
【図 8 B】



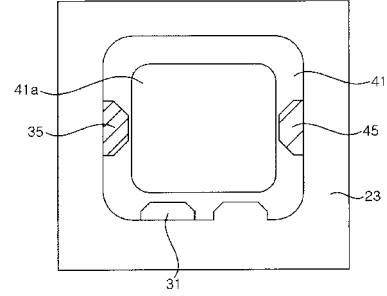
【図 8 C】



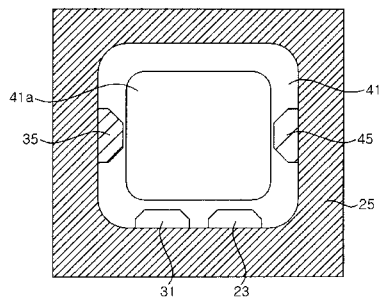
【図 8 D】



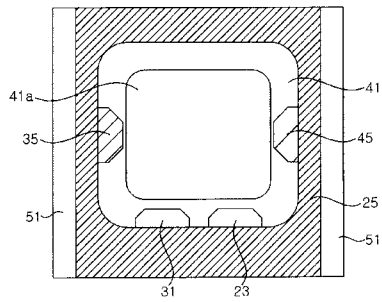
【図 8 E】



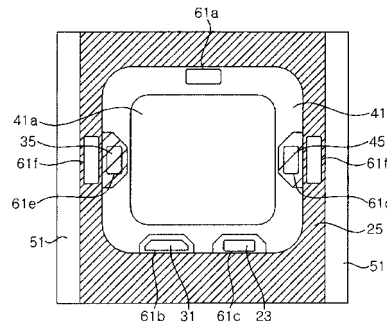
【図 8 F】



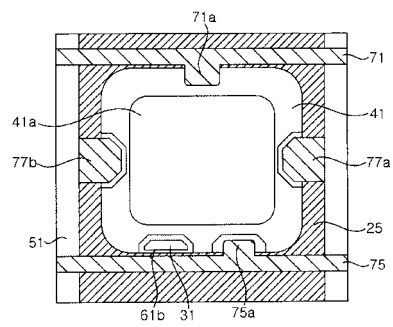
【図 8 G】



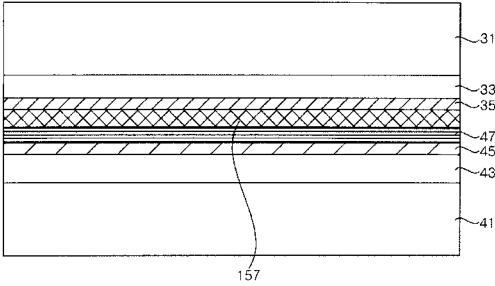
【図 8 H】



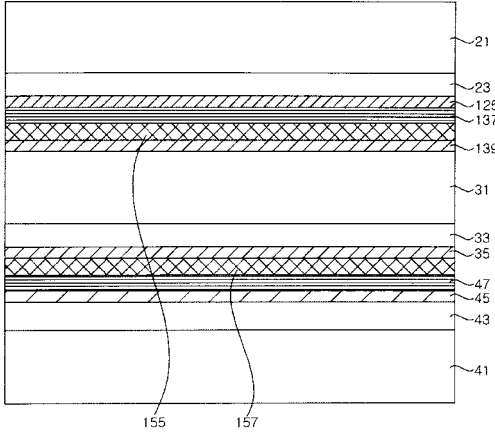
【図 8 I】



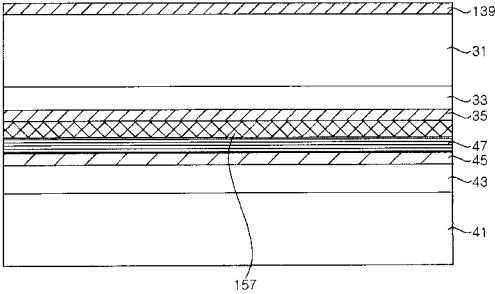
【図 1 2 B】



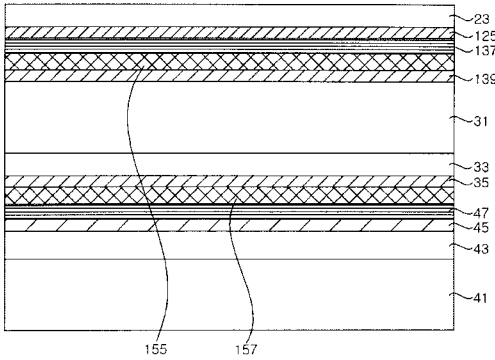
【図 1 2 D】



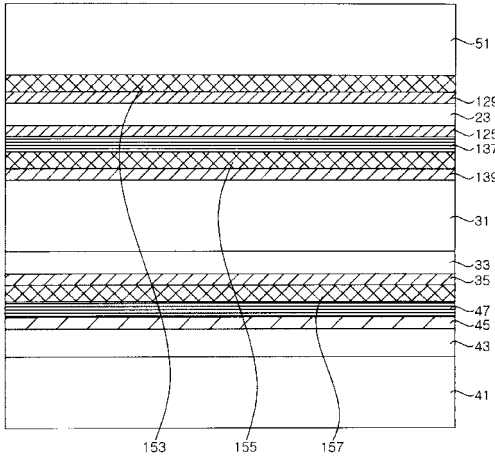
【図 1 2 C】



【図 1 2 E】

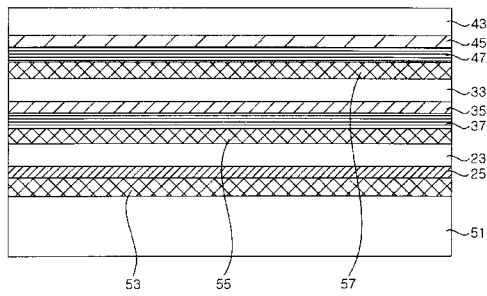


【図 1 2 F】



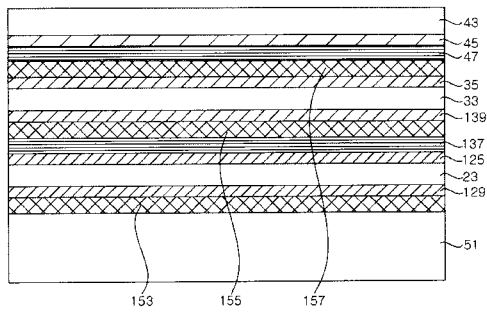
【図 13】

102

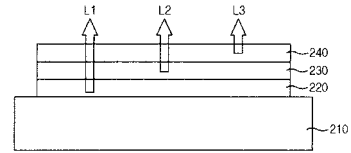


【図 14】

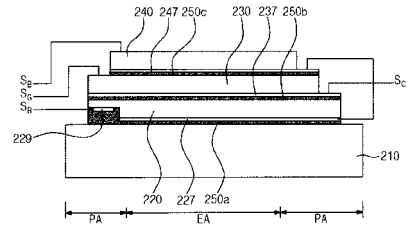
103



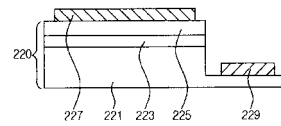
【図 15】



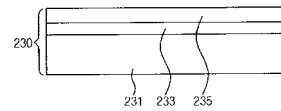
【図 16】



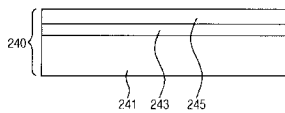
【図 17 A】



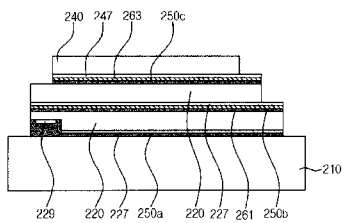
【図 17 B】



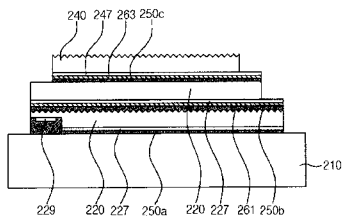
【図 17 C】



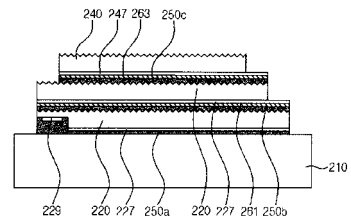
【図 18】



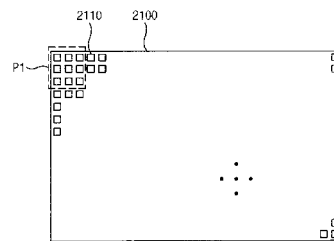
【図 19】



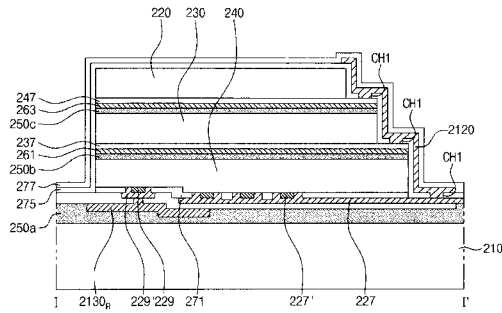
【図 20】



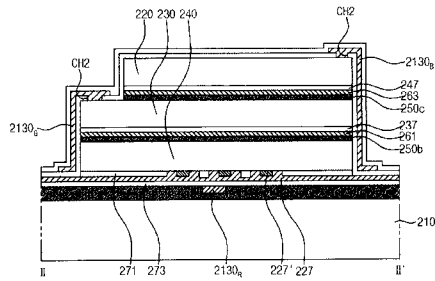
【図 21】



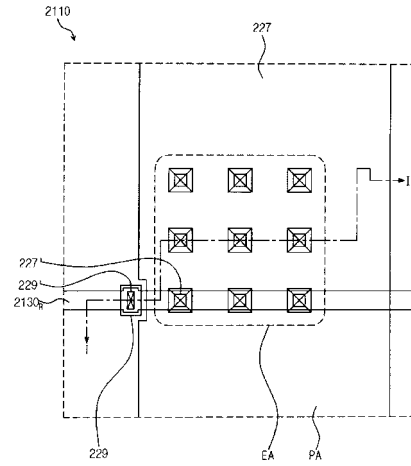
【图 2 7 A】



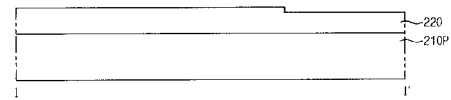
【图 2 7 B】



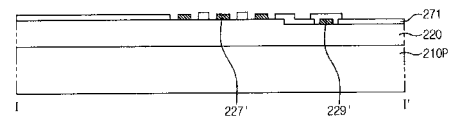
【図 28】



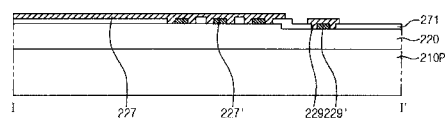
【図 29 A】



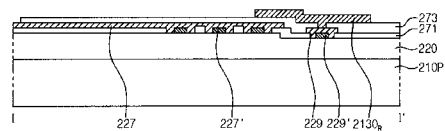
【图 29 B】



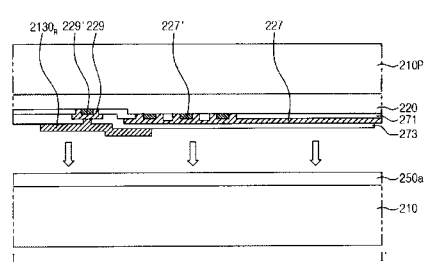
【図 2 9 C】



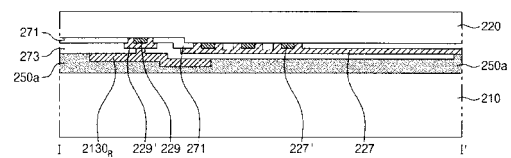
【図 29 D】



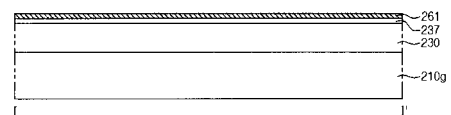
【図 29 E】



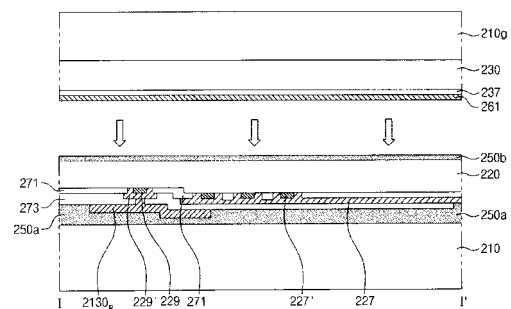
【図 29 F】



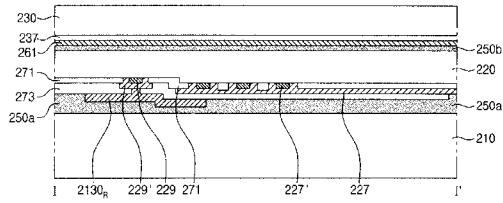
【図 29 G】



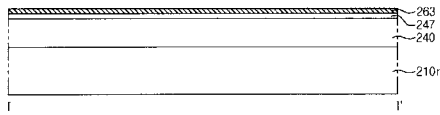
【図 29 H】



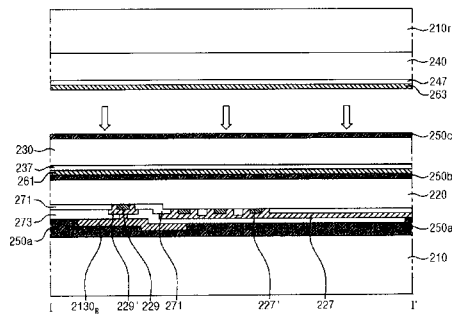
【図 29 I】



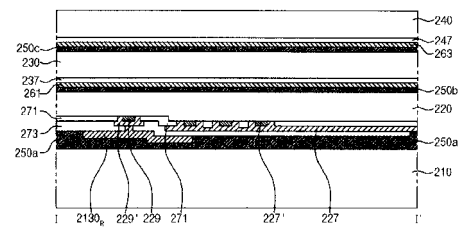
【図 29 J】



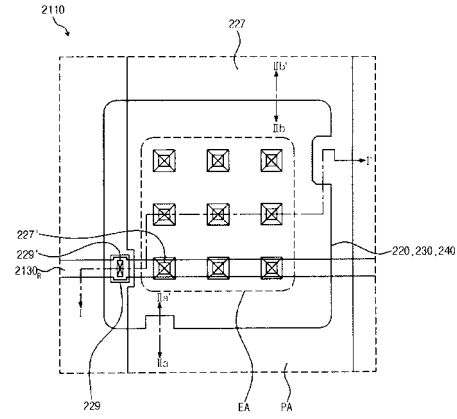
【図 29 K】



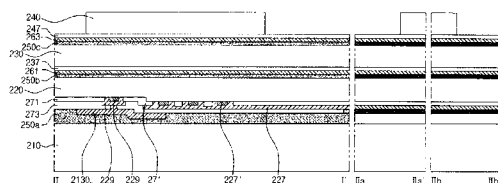
【図 29 L】



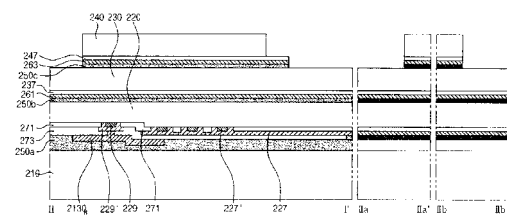
【図 30 A】



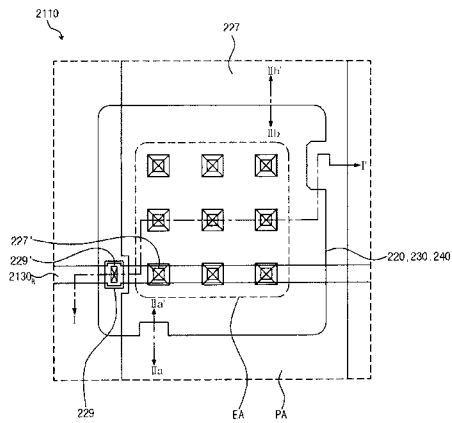
【図 30 B】



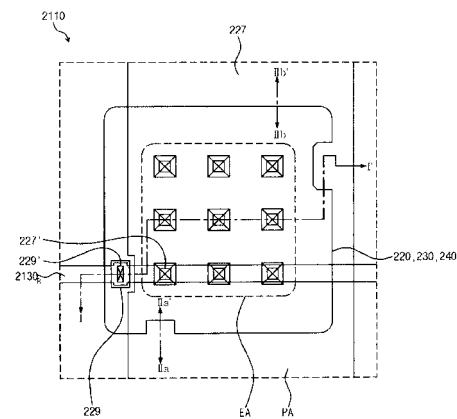
【図 31 B】



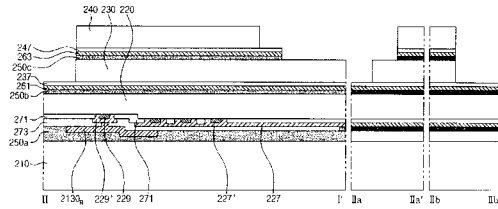
【図 31 A】



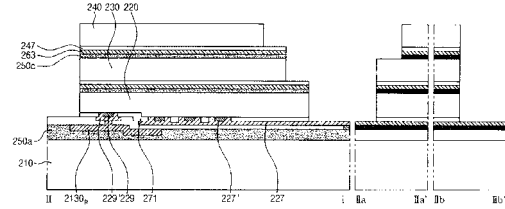
【図 32 A】



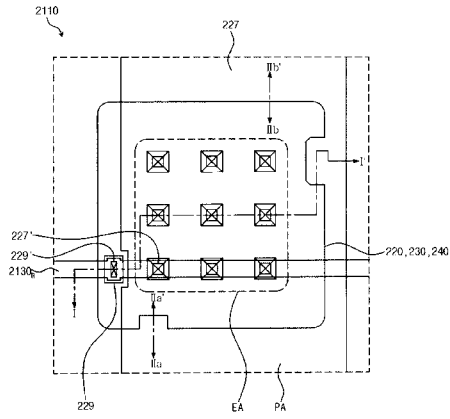
【図 3 2 B】



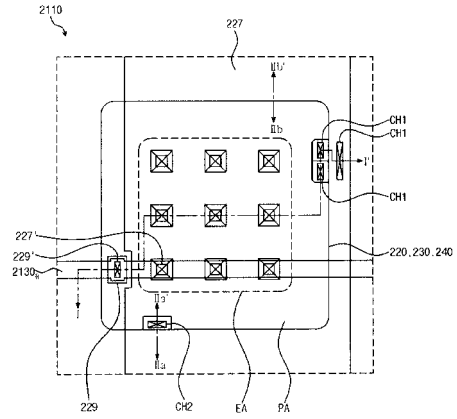
【図 3 3 B】



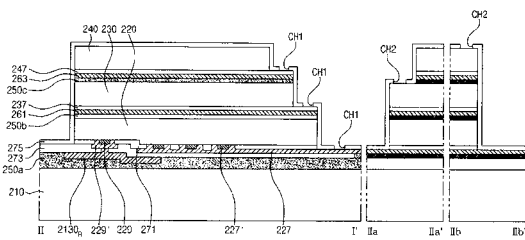
【図 3 3 A】



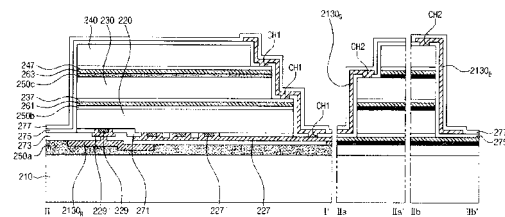
【図 3 4 A】



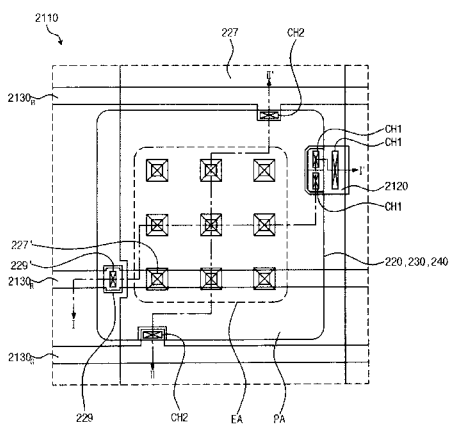
【図 3 4 B】



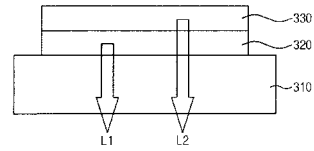
【図 3 5 B】



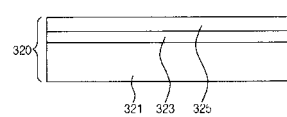
【図 3 5 A】



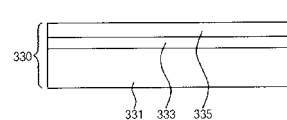
【図 3 6 A】



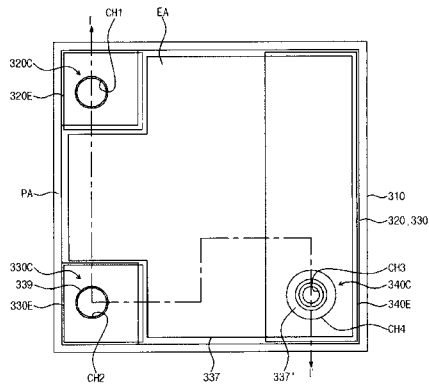
【図 3 6 B】



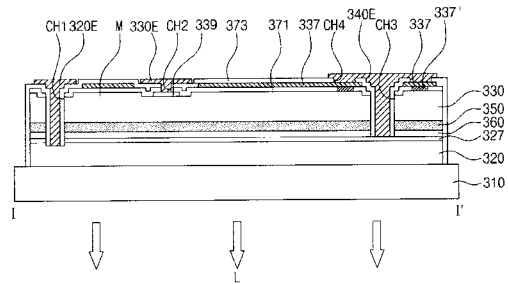
【図 3 6 C】



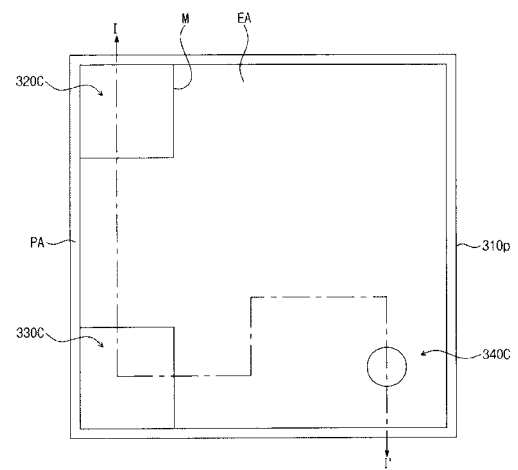
【図 37 A】



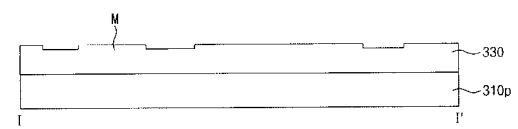
【図 37 B】



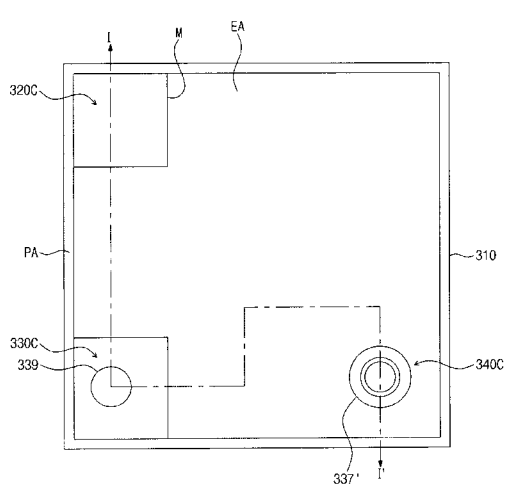
【図 38 A】



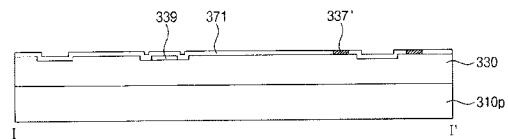
【図 38 B】



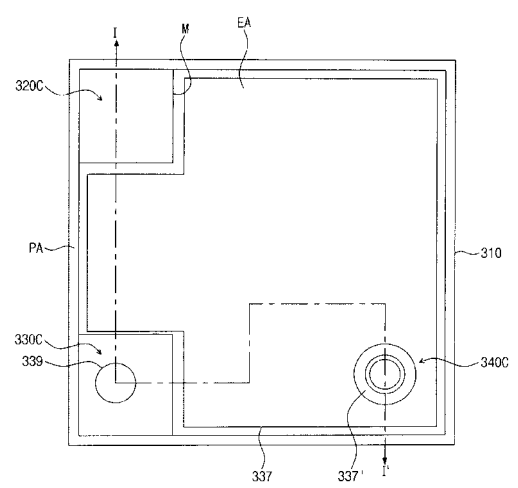
【図 39 A】



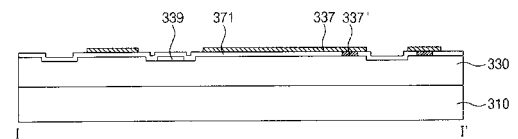
【図 39 B】



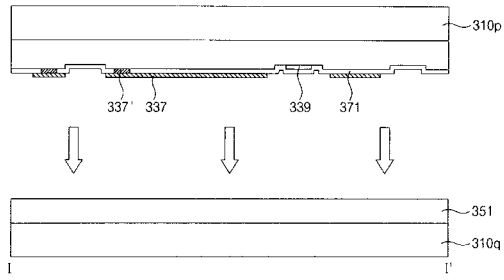
【図 40 A】



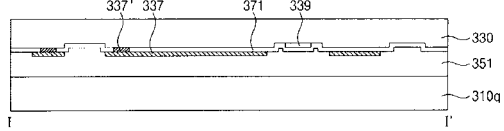
【図 40 B】



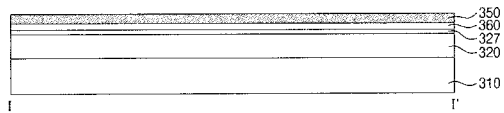
【図 40 C】



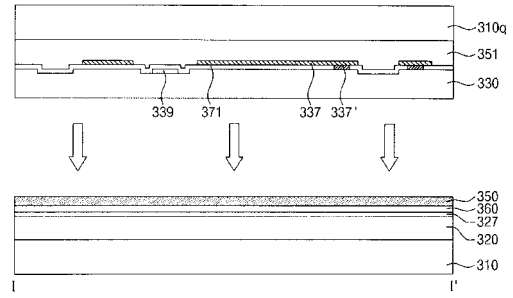
【図 40 D】



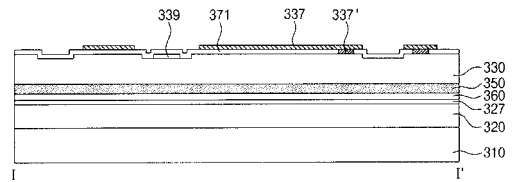
【図 40 E】



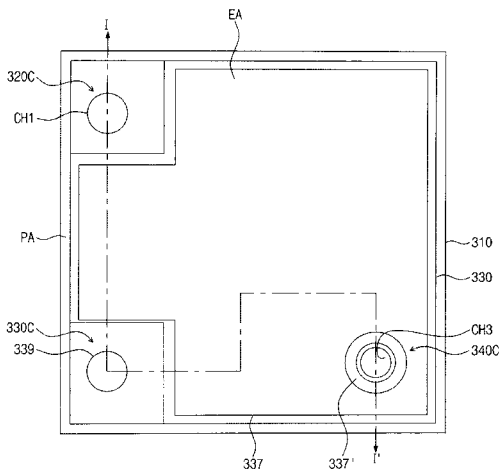
【図 40 F】



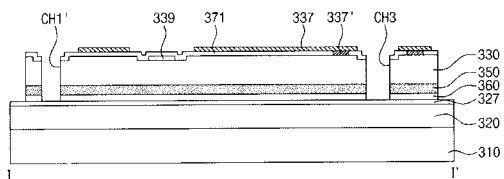
【図 40 G】



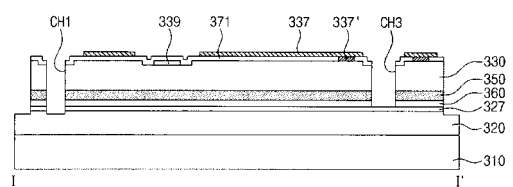
【図 41 A】



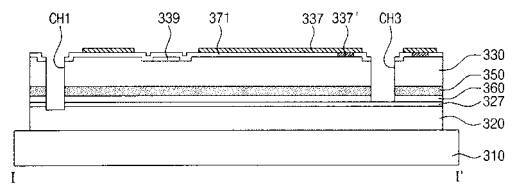
【図 41 B】



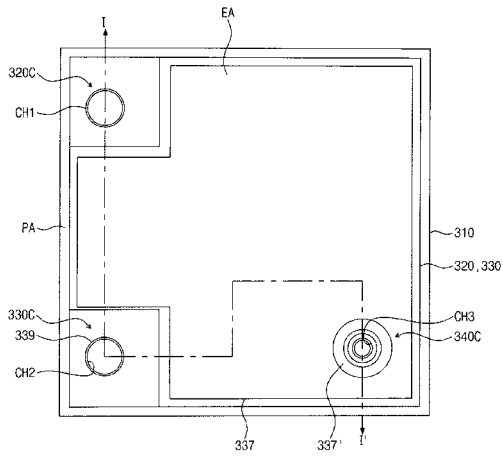
【図 41 C】



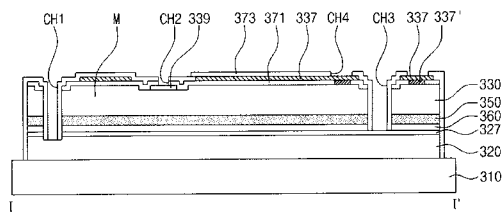
【図 41 D】



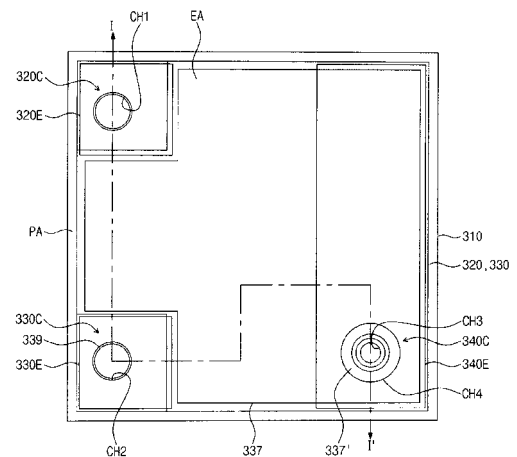
【 図 4 2 A 】



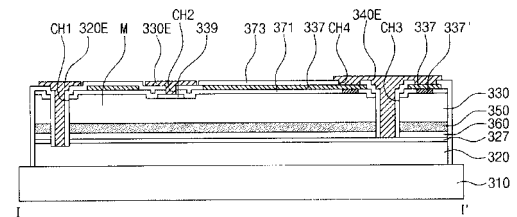
【 図 4 2 B 】



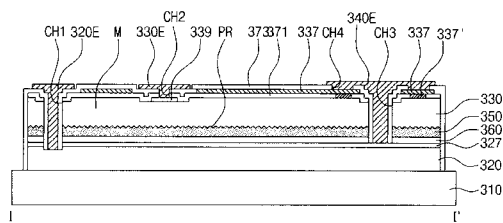
【图 4 3 A】



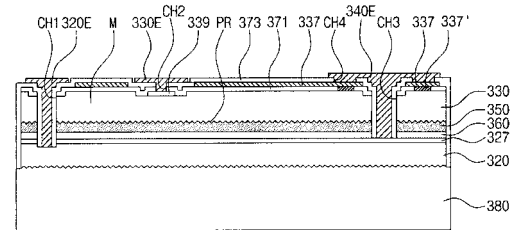
【図 4 3 B】



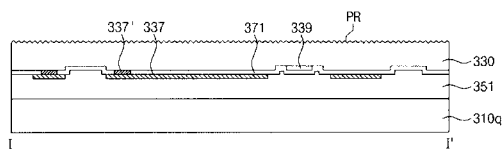
【图 4 4】



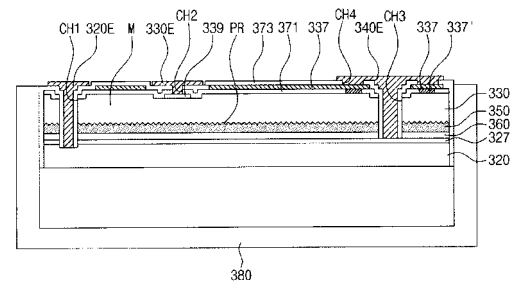
【图 4 7】



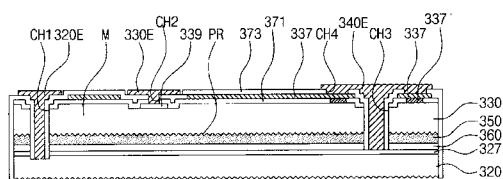
【図 4 5】



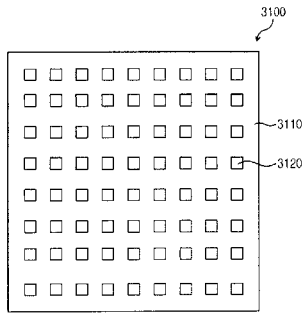
【图 48】



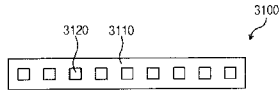
【図 4 6】



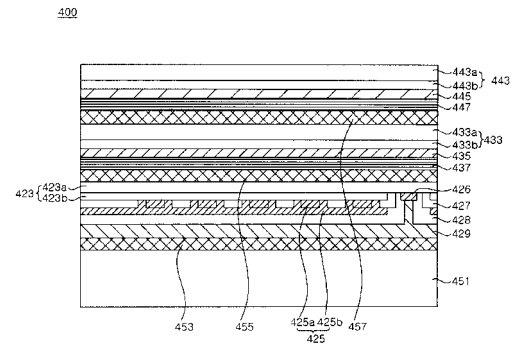
【図 49】



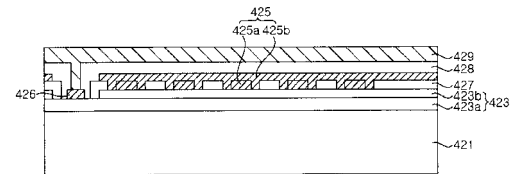
【図 50】



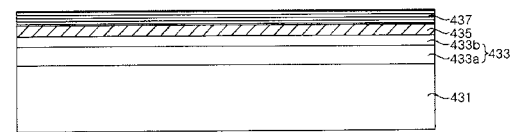
【図 51】



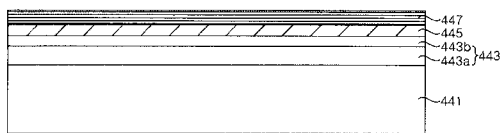
【図 52 A】



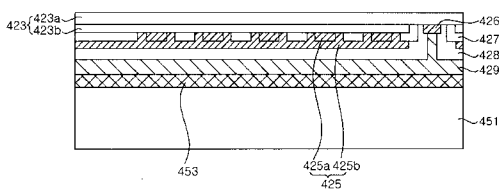
【図 52 B】



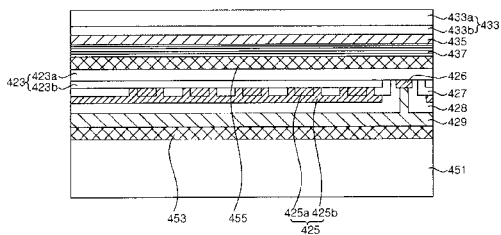
【図 52 C】



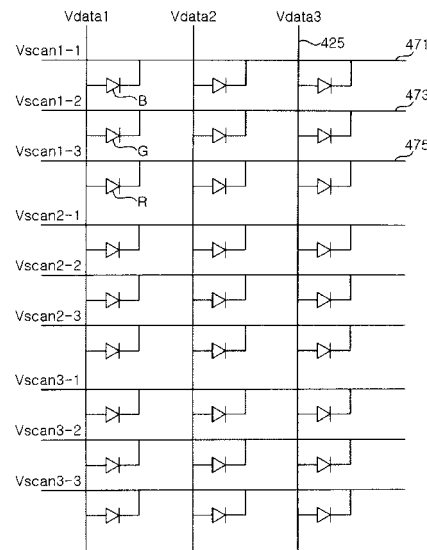
【図 52 D】



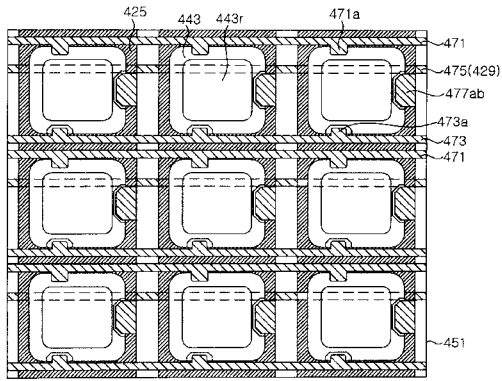
【図 52 E】



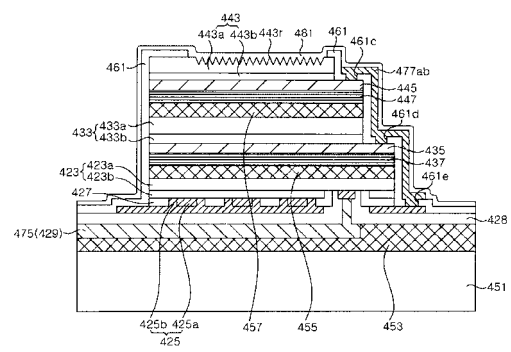
【図 53】



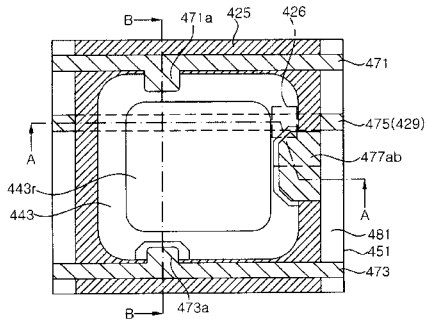
【図 5 4】



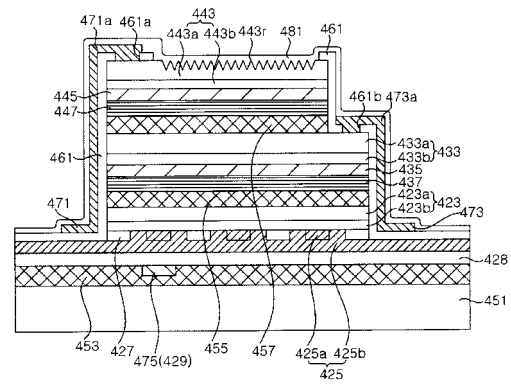
【図 5 6】



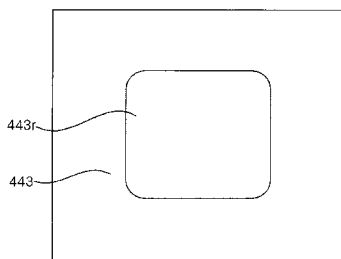
【図 5 5】



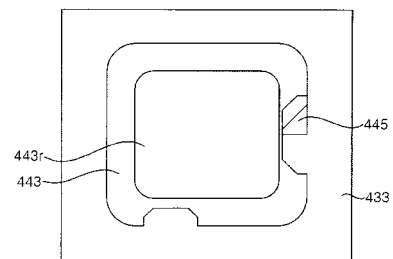
【図 5 7】



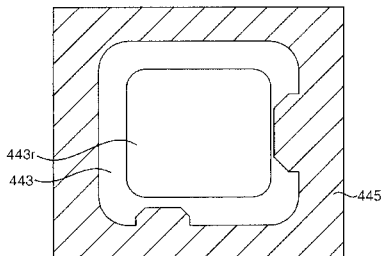
【図 5 8 A】



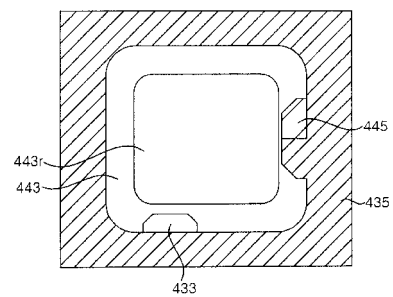
【図 5 8 C】



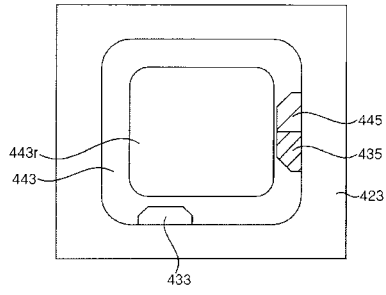
【図 5 8 B】



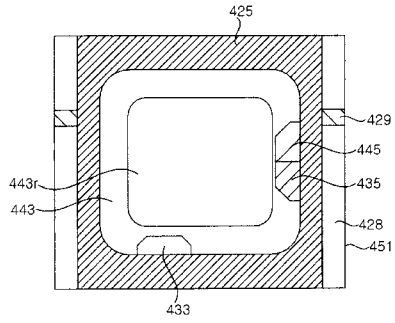
【図 5 8 D】



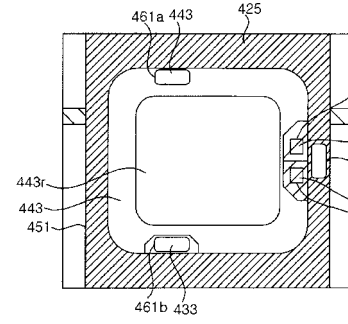
【図 58 E】



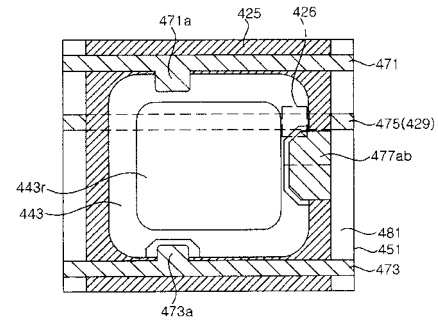
【図 58 F】



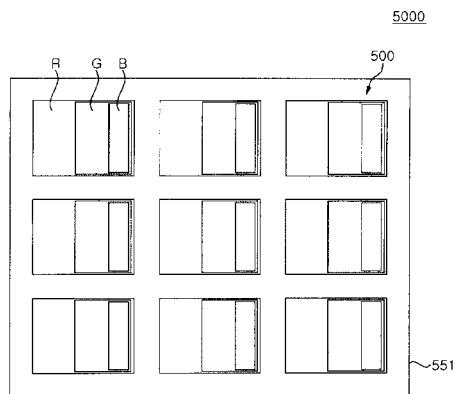
【図 58 G】



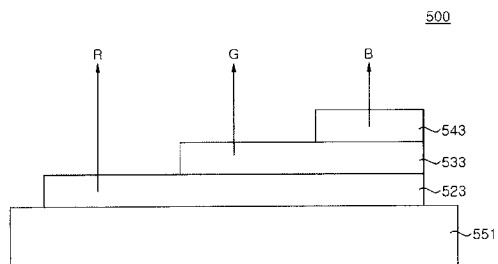
【図 58 H】



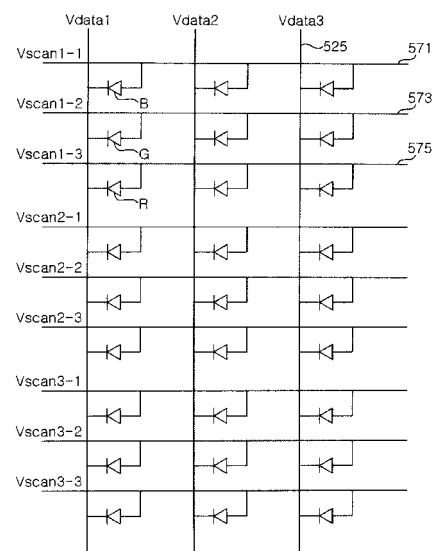
【図 59】



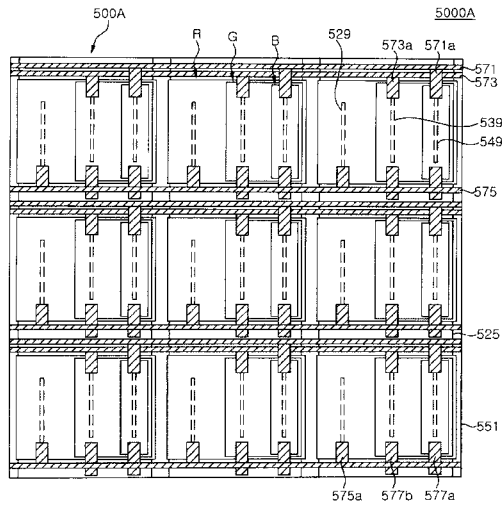
【図 60】



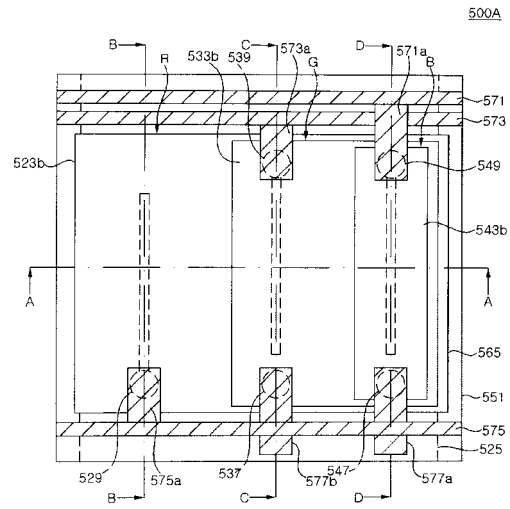
【図 61】



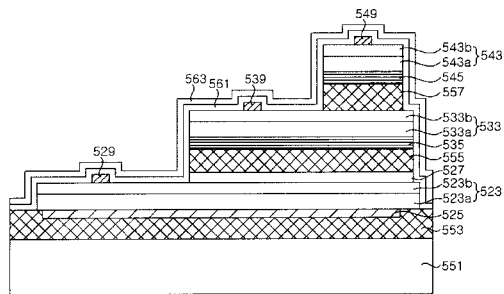
【図 6 2】



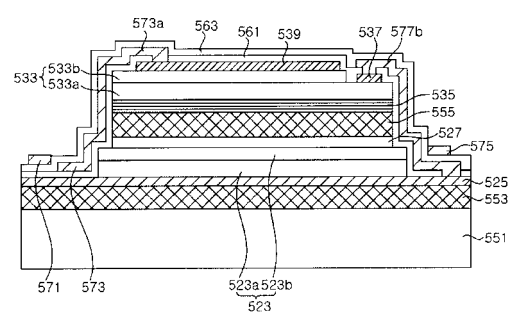
【図 6 3】



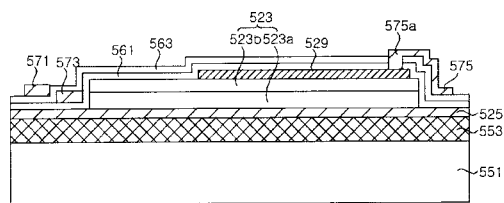
【図 6 4 A】



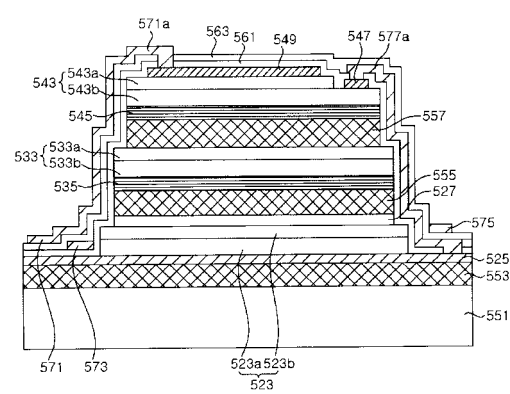
【図 6 4 C】



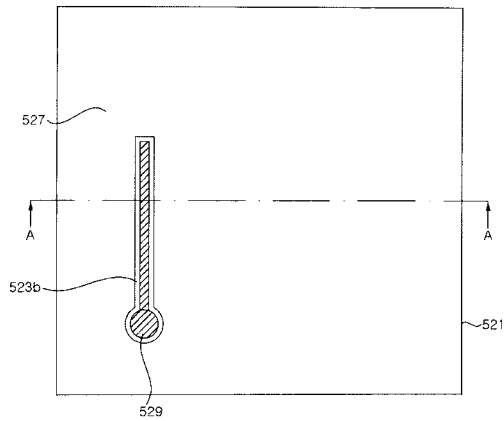
【図 6 4 B】



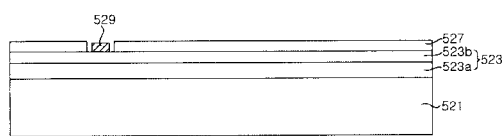
【図 6 4 D】



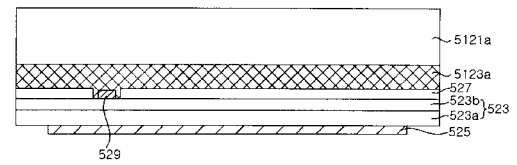
【図 6 5 A】



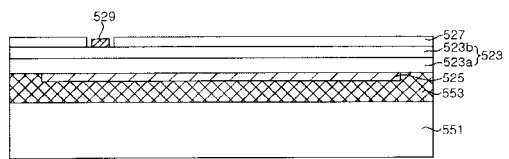
【図 6 5 B】



【図 6 6 A】



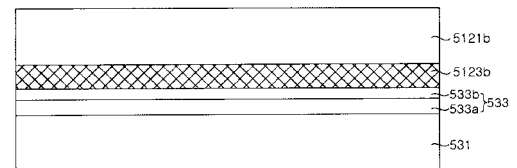
【図 6 6 B】



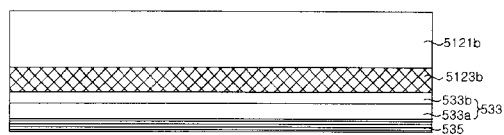
【図 6 7 A】



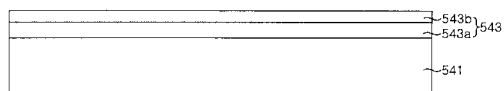
【図 6 7 B】



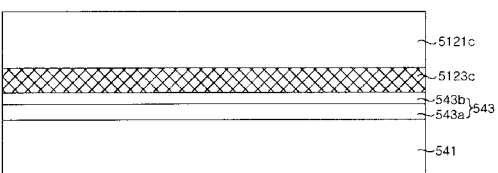
【図 6 7 C】



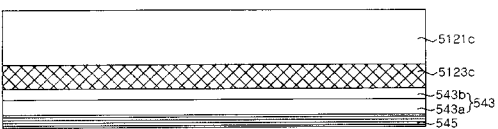
【図 6 8 A】



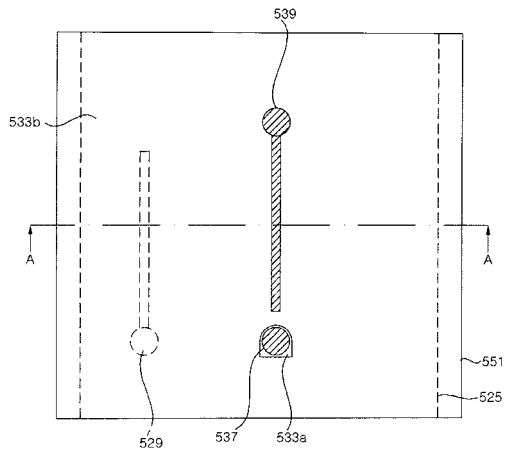
【図 6 8 B】



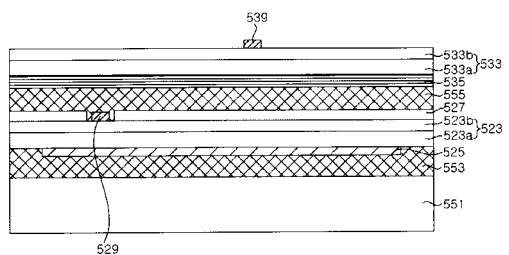
【図 6 8 C】



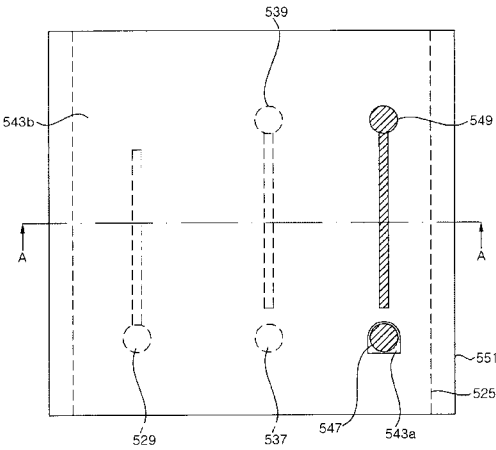
【図 6 9 A】



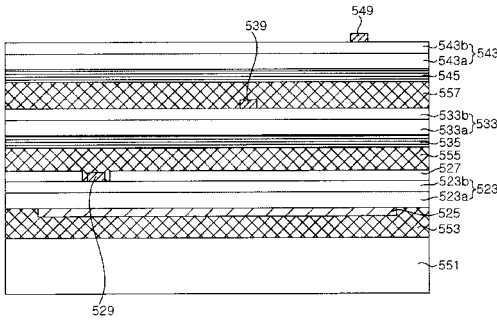
【図 6 9 B】



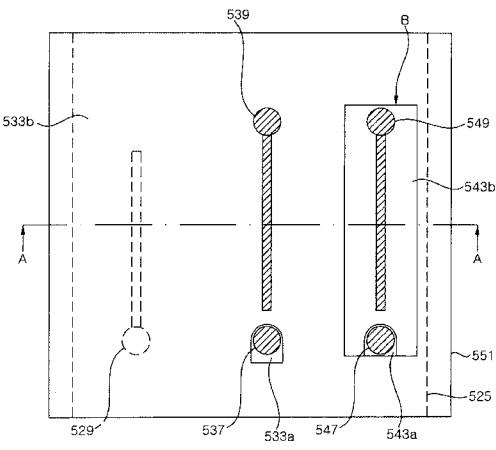
【図 70 A】



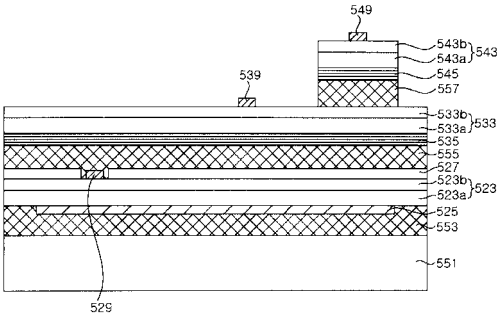
【図 70 B】



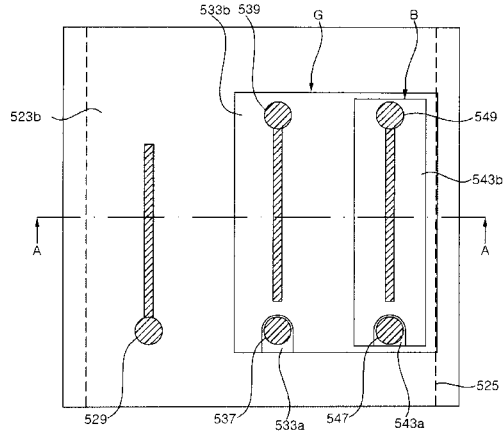
【図 71 A】



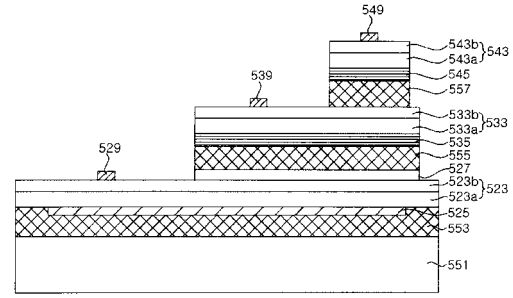
【図 71 B】



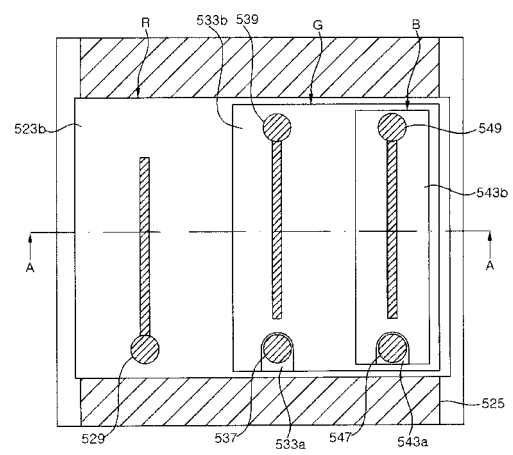
【図 7 2 A】



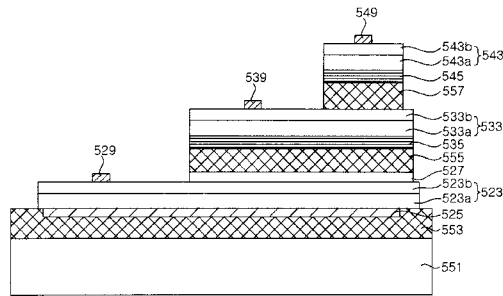
【図 7 2 B】



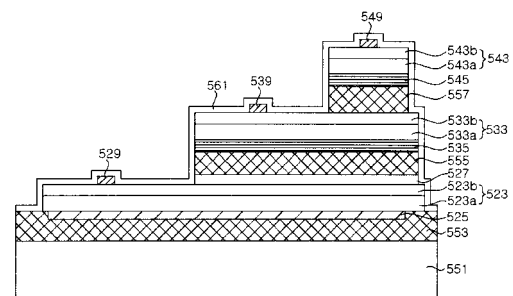
【図 7 3 A】



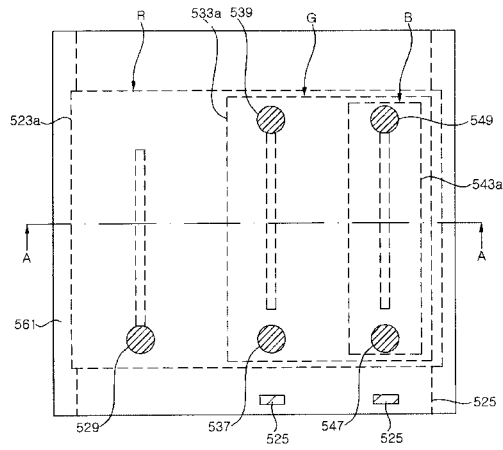
【図 7 3 B】



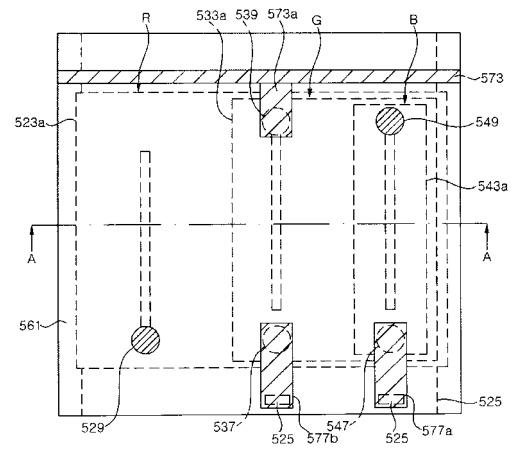
【図 7 4 B】



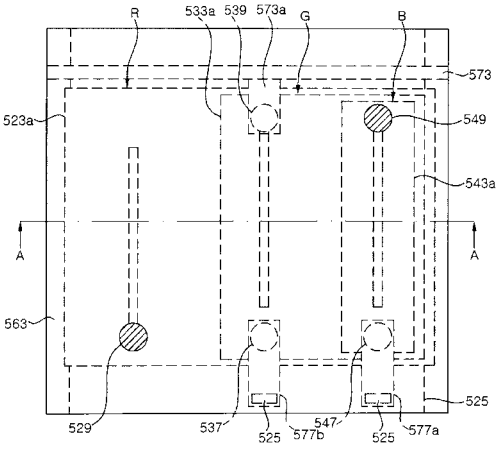
【図 7 4 A】



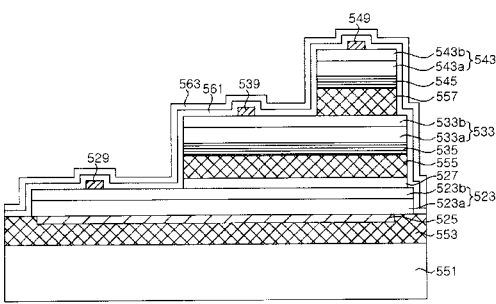
【図 7 5】



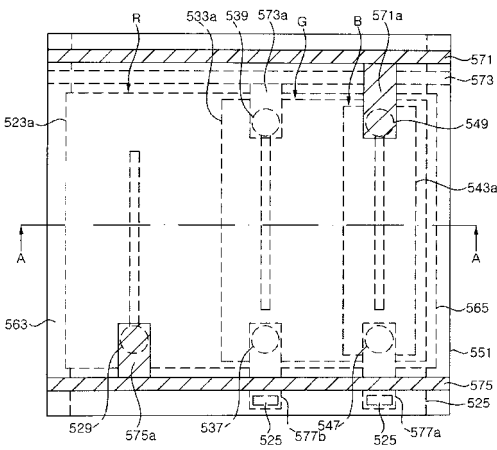
【図 7 6 A】



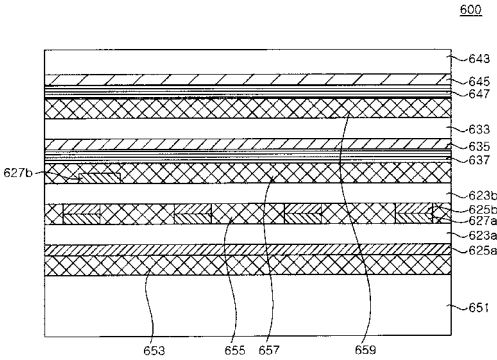
【図 7 6 B】



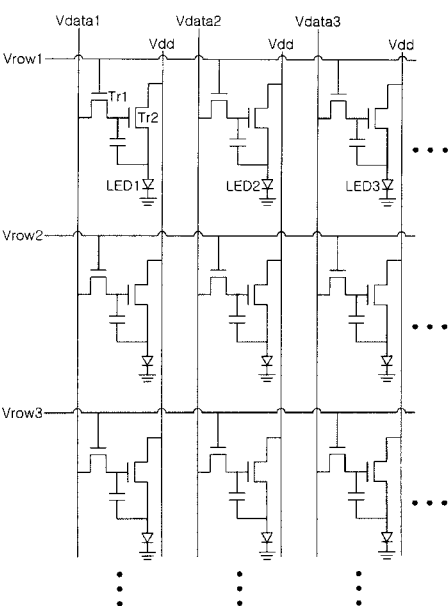
【図 7 7】



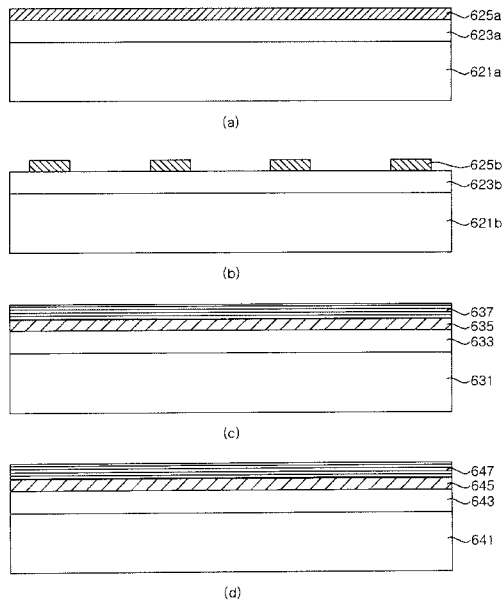
【図 7 9】



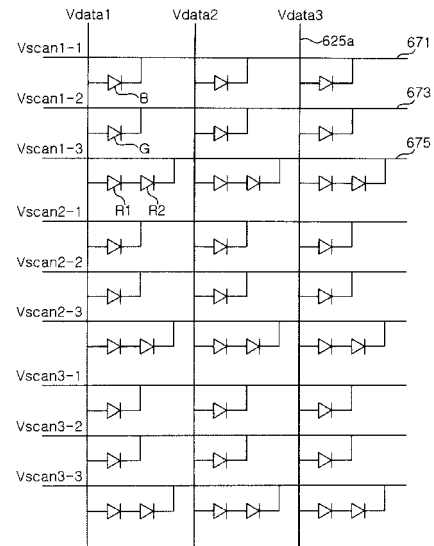
【図 7 8】



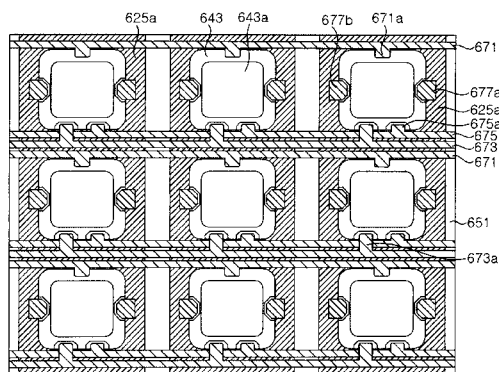
【図 80】



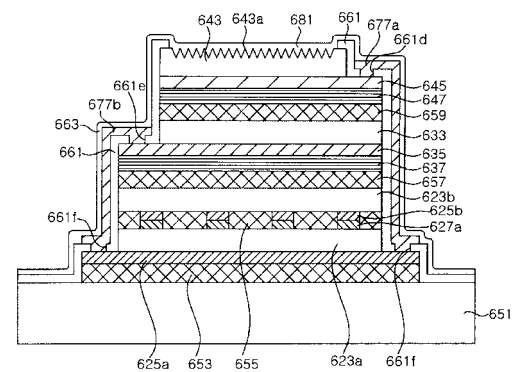
【図 81】



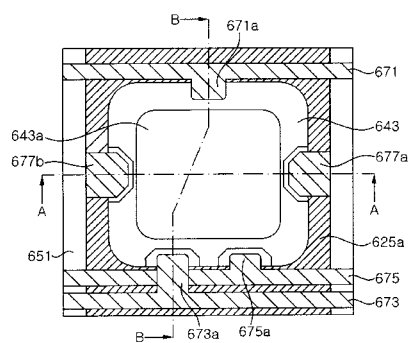
【図 82】



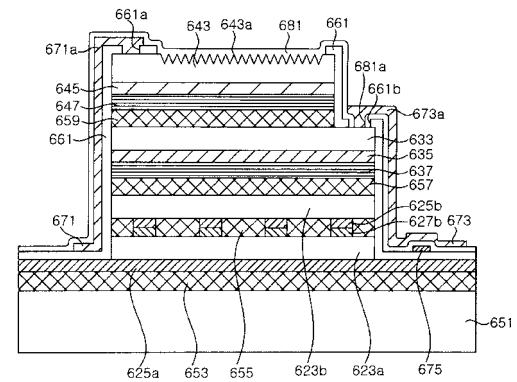
【図 84】



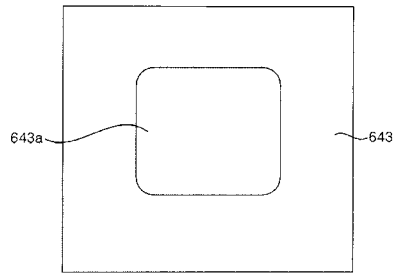
【図 83】



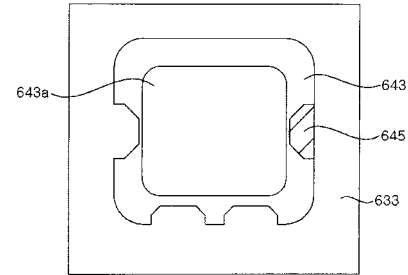
【図 85】



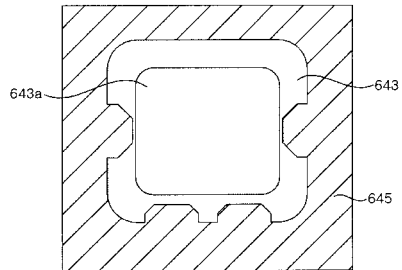
【図 8 6 A】



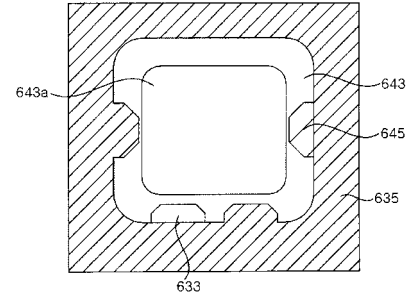
【図 8 6 C】



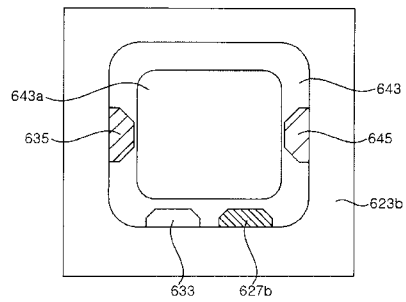
【図 8 6 B】



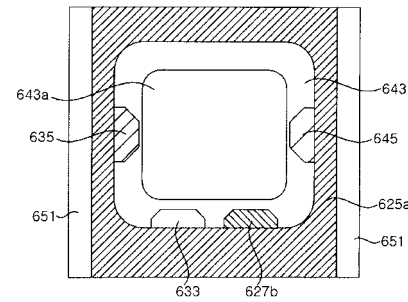
【図 8 6 D】



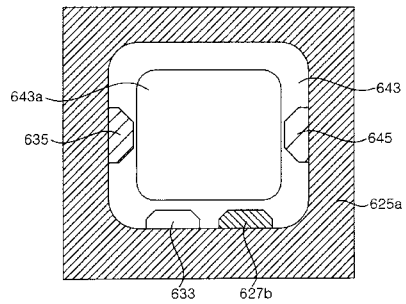
【図 8 6 E】



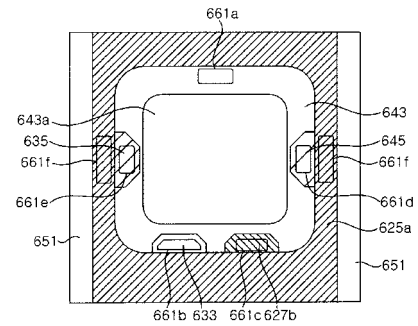
【図 8 6 G】



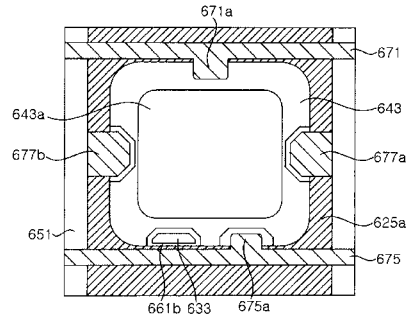
【図 8 6 F】



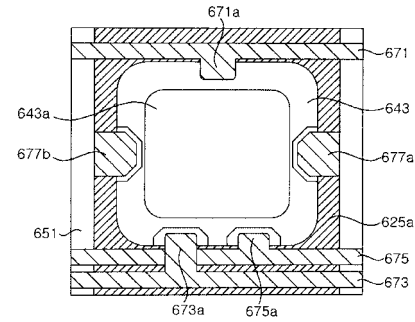
【図 8 6 H】



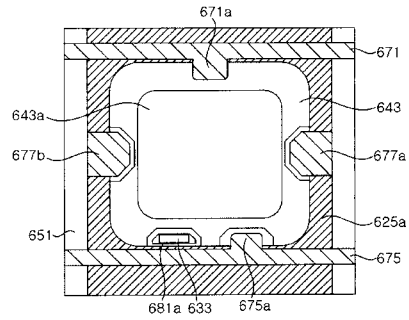
【図 8 6 I】



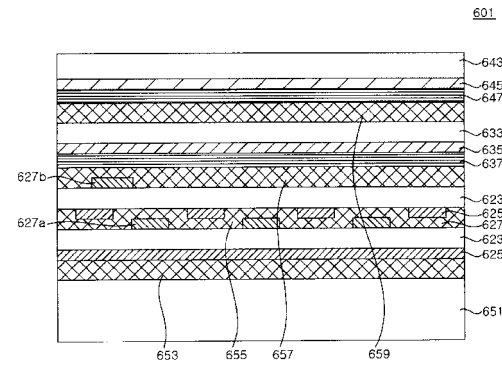
【図 8 6 K】



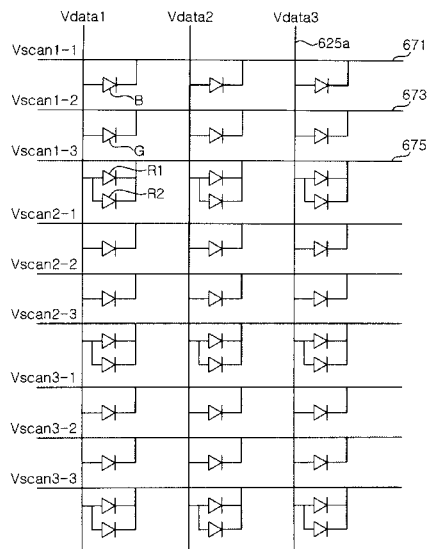
【図 8 6 J】



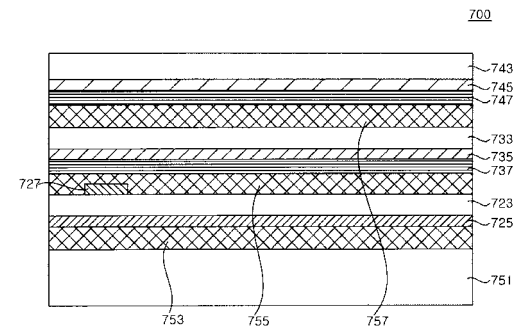
【図 8 7】



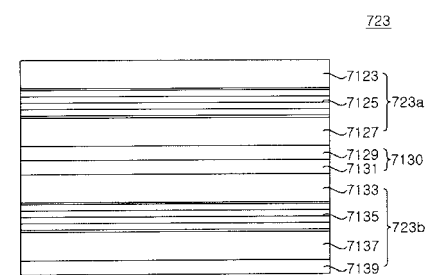
【図 8 8】



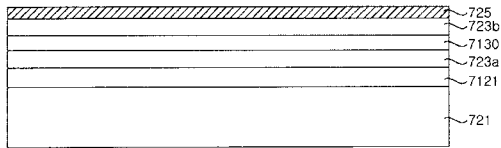
【図 8 9 A】



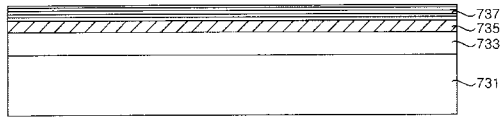
【図 8 9 B】



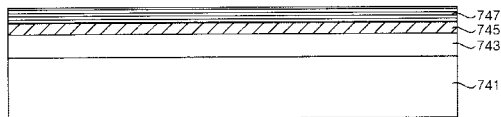
【図 90 A】



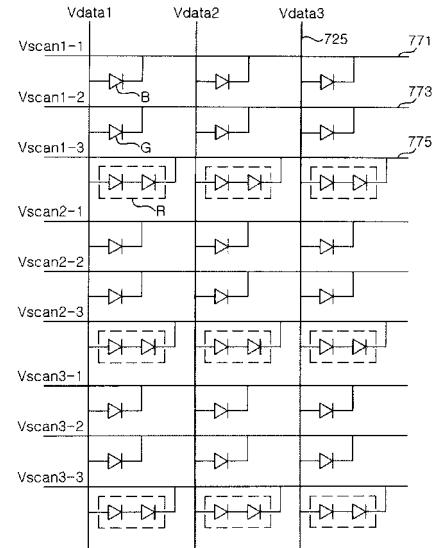
【図 90 B】



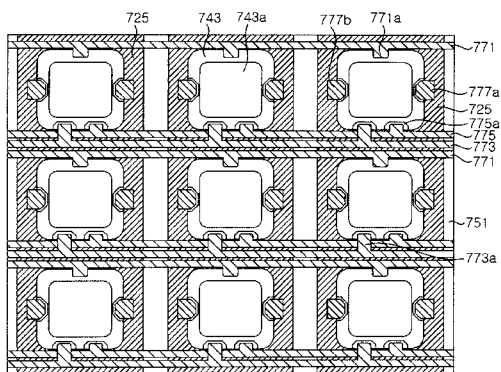
【図 90 C】



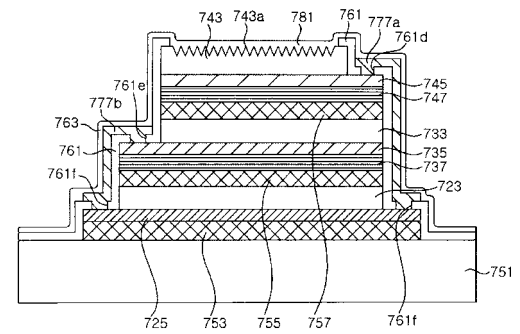
【図 91】



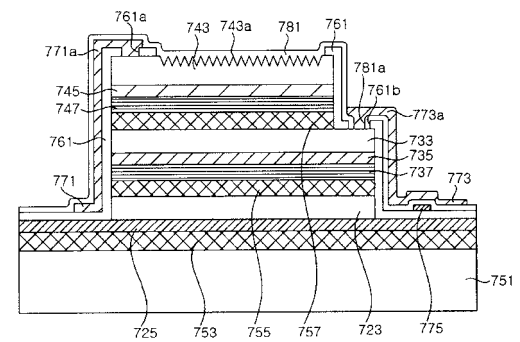
【図 92】



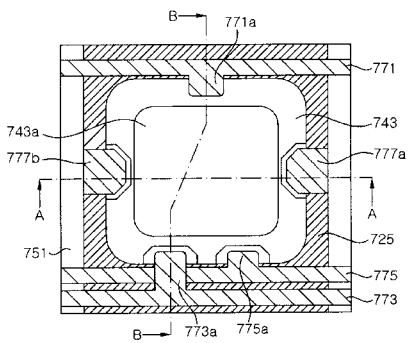
【図 94】



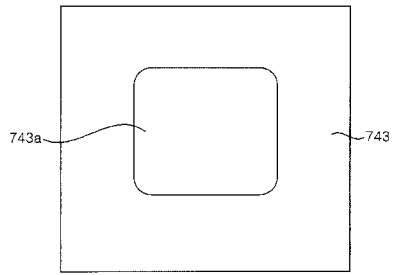
【図 95】



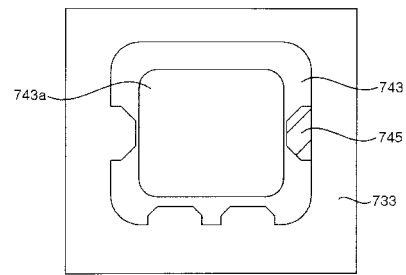
【図 93】



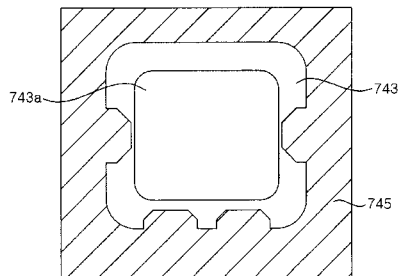
【図 9 6 A】



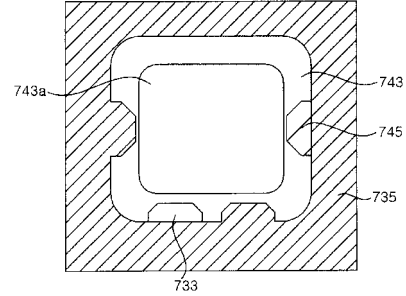
【図 9 6 C】



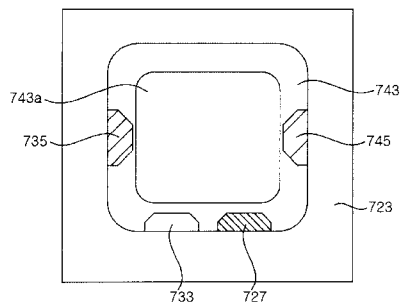
【図 9 6 B】



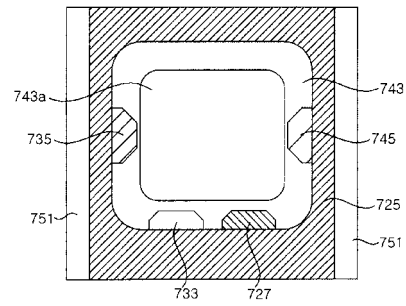
【図 9 6 D】



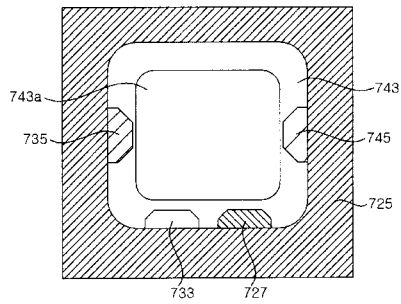
【図 9 6 E】



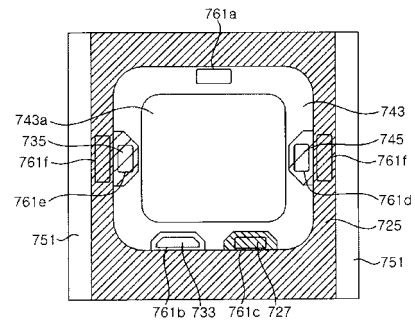
【図 9 6 G】



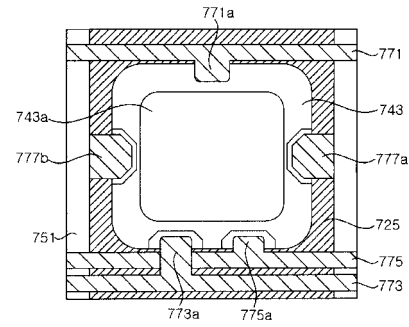
【図 9 6 F】



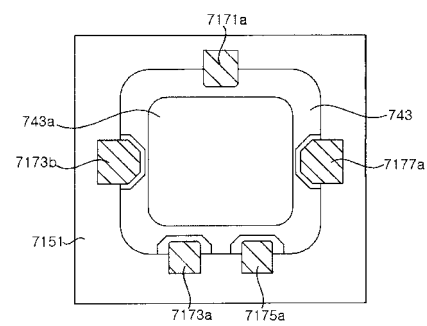
【図 9 6 H】



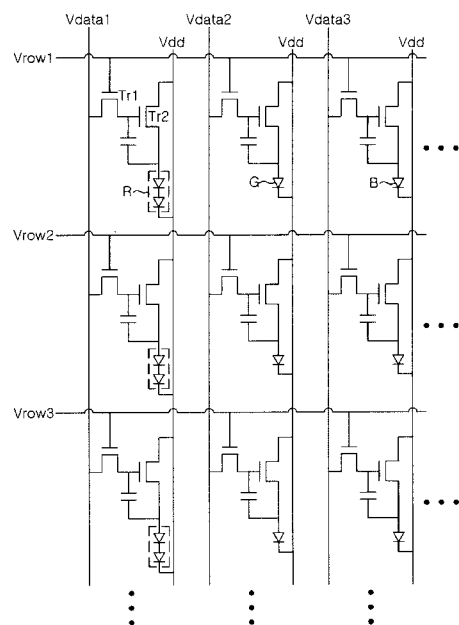
【図 9 6 K】



【図 9 8】



【図 9 7】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/KR2018/014672
A. CLASSIFICATION OF SUBJECT MATTER H01L 25/075(2006.01)i, H01L 33/00(2010.01)i, H01L 33/58(2010.01)i, H01L 33/38(2010.01)i, H01L 33/40(2010.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L 25/075; B32B 017/06; G09G 3/32; H01L 031/00; H01L 21/00; H01L 33/00; H01L 33/36; H01L 33/48; H01L 51/52; H01L 33/58; H01L 33/38; H01L 33/40		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) cKOMPASS(KIPO internal) & keywords: micro LED display, vertical stack, reflective electrode, common, different line		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2009-0078955 A1 (ZHAOYANG FAN et al.) 26 March 2009 See paragraphs [0043]-[0051] and figures 1B-2B.	1-20
A	US 2016-0359143 A1 (KONICA MINOLTA, INC.) 08 December 2016 See paragraph [0098] and figure 35.	1-20
A	KR 10-2017-0115142 A (SAMSUNG ELECTRONICS CO., LTD.) 17 October 2017 See paragraphs [0051]-[0075] and figures 7-8.	1-20
A	US 2012-0223875 A1 (KEI MAY LAU et al.) 06 September 2012 See paragraphs [0053]-[0055] and figure 4.	1-20
A	US 2003-0213967 A1 (STEPHEN R. FORREST et al.) 20 November 2003 See paragraphs [0075]-[0081] and figures 2A-2C, 12A-12E.	1-20
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 06 March 2019 (06.03.2019)		Date of mailing of the international search report 06 March 2019 (06.03.2019)
Name and mailing address of the ISA/KR  International Application Division Korean Intellectual Property Office 189 Cheongsu-ro, Seo-gu, Daejeon, 35208, Republic of Korea Facsimile No. +82-42-481-8578		Authorized officer CHOI, Sang Won  Telephone No. +82-42-481-8291

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/KR2018/014672

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2009-0078955 A1	26/03/2009	US 8058663 B2	15/11/2011
US 2016-0359143 A1	08/12/2016	CN 106229416 A	14/12/2016
		CN 106229416 B	01/06/2018
		EP 3122158 A1	25/01/2017
		JP 2016-225221 A	28/12/2016
		KR 10-2016-0142233 A	12/12/2016
		KR 10-2018-0041638 A	24/04/2018
KR 10-2017-0115142 A	17/10/2017	CN 107342352 A	10/11/2017
		DE 102017105739 A1	05/10/2017
		US 10170666 B2	01/01/2019
		US 2017-0288093 A1	05/10/2017
US 2012-0223875 A1	06/09/2012	US 2011-0309378 A1	22/12/2011
		US 2014-0008667 A1	09/01/2014
		US 2014-0091993 A1	03/04/2014
		US 8557616 B2	15/10/2013
		US 8642363 B2	04/02/2014
		US 9041025 B2	26/05/2015
		US 9349911 B2	24/05/2016
		WO 2011-071559 A1	16/06/2011
US 2003-0213967 A1	20/11/2003	AR 001331 A1	22/10/1997
		AR 006136 A1	11/08/1999
		AT 220246 T	15/07/2002
		AT 246845 T	15/08/2003
		AU 2278197 A	22/09/1997
		AU 3805297 A	25/02/1998
		AU 4509396 A	10/07/1996
		AU 690413 B2	23/04/1998
		BR 9510076 A	30/12/1997
		CA 2206769 A1	27/06/1996
		CA 2248283 A1	12/09/1997
		CA 2248283 C	04/10/2005
		CN 1170383 A	14/01/1998
		CN 1215500 A	28/04/1999
		CN 1236410 C	11/01/2006
		CN 1291068 A	11/04/2001
		CN 1293425 A	02/05/2001
		DE 19581862 T1	11/12/1997
		DE 69527308 T2	06/03/2003
		DE 69723964 T2	17/06/2004
		EP 0808244 A2	23/05/2001
		EP 0808244 B1	03/07/2002
		EP 0885451 A1	21/08/2002
		EP 0885451 B1	06/08/2003
		EP 0947122 A1	19/12/2001
		EP 1119059 A2	25/07/2001

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/KR2018/014672

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
		EP 1119059 A3	31/07/2002
		ES 2117590 A1	01/08/1998
		ES 2117590 B1	01/03/1999
		ES 2157694 A1	16/08/2001
		ES 2157694 B1	01/09/2002
		FI 972176 A	21/05/1997
		FR 2728082 A1	14/06/1996
		FR 2728082 B1	28/05/1999
		FR 2732480 A1	04/10/1996
		FR 2732480 B1	19/02/1999
		FR 2732481 A1	04/10/1996
		FR 2732481 B1	19/02/1999
		FR 2745955 A1	12/09/1997
		GB 2313478 A	26/11/1997
		GB 2313478 B	14/04/1999
		ID 16137 A	04/09/1997
		IT 1277977 B1	12/11/1997
		IT 1290030 B1	19/10/1998
		IT MI952610 A1	13/06/1996
		IT MI970488 A1	07/09/1998
		JP 10-503878 A	07/04/1998
		JP 2000-507029 A	06/06/2000
		JP 2000-516273 A	05/12/2000
		JP 2001-273979 A	05/10/2001
		JP 2006-059818 A	02/03/2006
		JP 3496681 B2	16/02/2004
		JP 4053734 B2	27/02/2008
		KR 10-0419020 B1	26/06/2004
		KR 10-0457498 B1	20/06/2005
		MX 9704442 A	31/07/1998
		NO 972706 A	11/08/1997
		PL 179550 B1	29/09/2000
		PL 320750 A1	27/10/1997
		RU 2160470 C2	10/12/2000
		TW 294842 B	01/01/1997
		US 2001-0000005 A1	15/03/2001
		US 2001-0014391 A1	16/08/2001
		US 2002-0153243 A1	24/10/2002
		US 2007-0132369 A1	14/06/2007
		US 2010-0187988 A1	29/07/2010
		US 5703436 A	30/12/1997
		US 5707745 A	13/01/1998
		US 5721160 A	24/02/1998
		US 5757026 A	26/05/1998
		US 6030700 A	29/02/2000
		US 6264805 B1	24/07/2001
		US 6358631 B1	19/03/2002
		US 6365270 B2	02/04/2002
		US 6548956 B2	15/04/2003
		US 6596134 B2	22/07/2003

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/KR2018/014672

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
		US 7173369 B2	06/02/2007
		US 7714504 B2	11/05/2010
		US 8324803 B2	04/12/2012
		WO 96-19792 A2	27/06/1996
		WO 96-19792 A3	29/08/1996
		WO 97-33296 A1	12/09/1997
		WO 98-06242 A1	12/02/1998

フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	H 0 1 L	33/38
	H 0 1 L	33/02
	G 0 9 F	9/33

(31)優先権主張番号 62/597,614
 (32)優先日 平成29年12月12日(2017.12.12)
 (33)優先権主張国・地域又は機関

米国(US)

(31)優先権主張番号 62/598,223
 (32)優先日 平成29年12月13日(2017.12.13)
 (33)優先権主張国・地域又は機関

米国(US)

(31)優先権主張番号 62/621,492
 (32)優先日 平成30年1月24日(2018.1.24)
 (33)優先権主張国・地域又は機関

米国(US)

(31)優先権主張番号 62/624,639
 (32)優先日 平成30年1月31日(2018.1.31)
 (33)優先権主張国・地域又は機関

米国(US)

(31)優先権主張番号 62/624,667
 (32)優先日 平成30年1月31日(2018.1.31)
 (33)優先権主張国・地域又は機関

米国(US)

(31)優先権主張番号 16/200,036
 (32)優先日 平成30年11月26日(2018.11.26)
 (33)優先権主張国・地域又は機関

米国(US)

(81)指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

(72)発明者 チェ, ジョン ヒョン
 大韓民国 1 5 4 2 9 ギョンギード アンサンーシ ダンウォンーグ サンダンーロ 1 6 3 ベ
 オンーギル 9 7 - 1 1

(72)発明者 キム, チャン ヨン
 大韓民国 1 5 4 2 9 ギョンギード アンサンーシ ダンウォンーグ サンダンーロ 1 6 3 ベ
 オンーギル 9 7 - 1 1

(72)発明者 イ, ホ ジュン
 大韓民国 1 5 4 2 9 ギョンギード アンサンーシ ダンウォンーグ サンダンーロ 1 6 3 ベ
 オンーギル 9 7 - 1 1

(72)発明者 ジャン, ソン ギュ

大韓民国 1 5 4 2 9 ギョンギード アンサンーシ ダンウォンーグ サンダンーロ 1 6 3 ベ
オンーギル 9 7 - 1 1

(72)発明者 イ, チョン フン

大韓民国 1 5 4 2 9 ギョンギード アンサンーシ ダンウォンーグ サンダンーロ 1 6 3 ベ
オンーギル 9 7 - 1 1

(72)発明者 チョ, デ スン

大韓民国 1 5 4 2 9 ギョンギード アンサンーシ ダンウォンーグ サンダンーロ 1 6 3 ベ
オンーギル 9 7 - 1 1

F ターム(参考) 5C094 AA42 BA03 BA04 BA23 DA03 DB01 EA06 ED02 FA01 FA02

FB12 FB14

5F241 AA42 AA47 CA05 CA40 CA57 CA74 CA77 CA85 CA88 CA92

CB11 CB15 CB28 CB36