



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년01월21일
(11) 등록번호 10-1218841
(24) 등록일자 2012년12월28일

- (51) 국제특허분류(Int. Cl.)
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)
- (21) 출원번호 10-2007-7004357
(22) 출원일자(국제) 2005년07월27일
심사청구일자 2010년07월27일
- (85) 번역문제출일자 2007년02월23일
(65) 공개번호 10-2007-0046139
(43) 공개일자 2007년05월02일
(86) 국제출원번호 PCT/US2005/026543
(87) 국제공개번호 WO 2006/023219
국제공개일자 2006년03월02일
- (30) 우선권주장
10/925,108 2004년08월24일 미국(US)
- (56) 선행기술조사문헌
KR1020010028838 A*
US20030080361 A1*
US20030102490 A1*
KR1020040007256 A
*는 심사관에 의하여 인용된 문헌
- (73) 특허권자
프리스케일 세미컨덕터, 인크.
미합중국 텍사스 (우편번호 78735) 오스틴 윌리엄
캐논 드라이브 웨스트 6501
- (72) 발명자
오르로스키, 마리어스, 케이.
미국 78739 텍사스주 오스틴 레드몬드 로드 10813
벤카테산, 수레쉬
미국 78759 텍사스주 오스틴 테일러 드래퍼 코브
5833
- (74) 대리인
백만기, 이중희, 주성민

전체 청구항 수 : 총 26 항

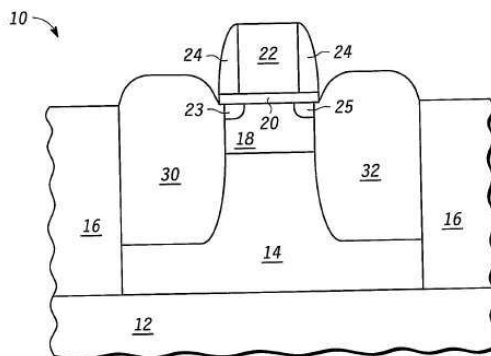
심사관 : 박근용

(54) 발명의 명칭 반도체 소자의 이동성 향상을 위한 방법 및 장치

(57) 요약

트랜지스터의 채널 영역의 이동성(mobility) 향상을 제공하는 방법 및 장치가 제공된다. 일 실시예에서, 기판 상에 이축 응력되는(bi-axial stressed) 채널 영역(18)이 형성된다. 기판 상에 소스(30)와 드레인(32) 영역이 형성된다. 소스와 드레인 영역은 이축 응력된 채널 영역에 추가적 일축 응력(uni-axial stress)을 제공한다. 일축 응력과 이축 응력은 P-채널 트랜지스터에 대해 모두 압축 응력(compressive stress)이고 N-채널 트랜지스터에 대해 모두 인장 응력(tensile stress)이다. 그 결과, 단(short) 채널과 장(long) 채널 트랜지스터 모두에 대해 캐리어(carrier) 이동성이 향상된다. 두 트랜지스터 유형 모두가 동일 집적 회로(integrated circuit) 상에 포함될 수 있다.

대표도 - 도3



특허청구의 범위

청구항 1

삭제

청구항 2

트랜지스터를 형성하는 방법으로서,

절연 층(insulator layer; 102) 상에 반도체 보디(122)를 갖는 기판을 제공하는 단계;

상기 기판 상에 이축 응력된(bi-axially stressed) 채널 영역을 형성하는 단계;

상기 기판 상에 소스 및 드레인 영역들을 형성하는 단계 - 상기 소스 및 드레인 영역들은 상기 채널 영역에 일축 응력(uni-axial stress)을 제공함 -;

상기 기판 상에 실리콘을 포함하는 제1 반도체 층을 형성하는 단계 - 상기 제1 반도체 층은 제1 고유 격자 상수(intrinsic lattice constant)를 가짐 -;

상기 제1 반도체 층 상에 제2 반도체 층을 에피텍셜 성장시키는 단계 - 상기 제2 반도체 층은 실리콘 및 다른 성분을 포함하며, 상기 제2 반도체 층은 상기 제1 고유 격자 상수보다 큰 제2 고유 격자 상수를 가짐 -; 및

상기 소스 및 드레인 영역들을 통해 상기 절연 층으로의 절연 플러그(insulator plug)들을 형성하는 단계를 포함하는 트랜지스터 형성 방법.

청구항 3

제2항에 있어서, 상기 다른 성분은 게르마늄인 트랜지스터 형성 방법.

청구항 4

트랜지스터를 형성하는 방법으로서,

절연 층(102) 상에 반도체 보디(122)를 갖는 기판을 제공하는 단계;

상기 기판 상에 이축 응력된 채널 영역을 형성하는 단계;

상기 기판 상에 소스 및 드레인 영역들을 형성하는 단계 - 상기 소스 및 드레인 영역들은 상기 채널 영역에 일축 응력을 제공함 -;

상기 기판 상에 실리콘을 포함하는 제1 반도체 층을 형성하는 단계 - 상기 제1 반도체 층은 제1 고유 격자 상수를 가짐 -;

상기 제1 반도체 층 상에 제2 반도체 층을 에피텍셜 성장시키는 단계 - 상기 제2 반도체 층은 실리콘 및 다른 성분을 포함하며, 상기 제2 반도체 층은 상기 제1 고유 격자 상수보다 작은 제2 고유 격자 상수를 가짐 -; 및

상기 소스 및 드레인 영역들을 통해 상기 절연 층으로의 절연 플러그들을 형성하는 단계를 포함하는 트랜지스터 형성 방법.

청구항 5

제4항에 있어서, 상기 다른 성분은 탄소인 트랜지스터 형성 방법.

청구항 6

제2항에 있어서, 상기 트랜지스터는 P-채널 트랜지스터인 트랜지스터 형성 방법.

청구항 7

제4항에 있어서, 상기 트랜지스터는 N-채널 트랜지스터인 트랜지스터 형성 방법.

청구항 8

제4항에 있어서, 상기 채널 영역을 형성하는 단계는,
 상기 기판 상에 실리콘과 게르마늄을 포함하는 이축 응력된 층을 형성하는 단계;
 상기 이축 응력된 층 상에 게이트 산화물을 형성하는 단계; 및
 상기 게이트 산화물 상에 게이트를 형성하는 단계를 더 포함하는
 트랜지스터 형성 방법.

청구항 9

트랜지스터를 형성하는 방법으로서,
 절연 층(102) 상에 반도체 보디(122)를 갖는 기판을 제공하는 단계;
 상기 기판 상에 이축 응력된 채널 영역을 형성하는 단계;
 상기 기판 상에 소스 및 드레인 영역들을 형성하는 단계 - 상기 소스 및 드레인 영역들은 상기 채널 영역에 일
 축 응력을 제공함 -;
 상기 기판 상에 실리콘을 포함하는 제1 반도체 층을 형성하는 단계;
 상기 제1 반도체 층에 소스 및 드레인 확장부들을 형성하는 단계;
 상기 소스 및 드레인 확장부들로부터 상기 제1 반도체 층의 사전결정된 양을 제거하여 소스 및 드레인 리세스
 (recess)들을 형성하는 단계;
 상기 소스 영역에는 제1 응력기(stressor)를 에피택셜 성장시키고 또한 상기 드레인 영역에는 제2 응력기를 에
 피택셜 성장시키는 단계 - 상기 제1 및 제2 응력기들은 실리콘과 게르마늄을 포함하고, 상기 제1 및 제2 응력기
 들은 상기 채널 영역에 상기 일축 응력을 제공하기 위한 것임 -; 및
 상기 소스 및 드레인 영역들을 통해 상기 절연 층으로의 절연 플러그들을 형성하는 단계
 를 포함하는 트랜지스터 형성 방법.

청구항 10

제9항에 있어서, 상기 채널 영역은 상기 트랜지스터의 평면을 따라 이축 응력되는 트랜지스터 형성 방법.

청구항 11

제2항에 있어서, 상기 채널 영역은 실리콘 및 게르마늄을 포함하며, 상기 소스 및 드레인 영역들 각각은 실리콘
 및 게르마늄을 포함하고, 상기 소스 및 드레인 영역들의 게르마늄 함유량은 상기 채널 영역의 게르마늄 함유량
 보다 높은 트랜지스터 형성 방법.

청구항 12

트랜지스터를 형성하는 방법으로서,
 절연 층(102) 상에 반도체 보디(122)를 갖는 기판을 제공하는 단계;
 상기 기판 상에 이축 응력된 채널 영역을 형성하는 단계;
 상기 기판 상에 소스 및 드레인 영역들을 형성하는 단계 - 상기 소스 및 드레인 영역들은 상기 채널 영역에 일
 축 응력을 제공하고, 상기 채널 영역은 실리콘 및 탄소를 포함하고, 상기 소스 및 드레인 영역들 각각은 실리콘
 및 탄소를 포함하며, 상기 소스 및 드레인 영역들의 탄소 함유량은 상기 채널 영역의 탄소 함유량보다 높음 -;
 및
 상기 소스 및 드레인 영역들을 통해 상기 절연 층으로의 절연 플러그들을 형성하는 단계
 를 포함하는 트랜지스터 형성 방법.

청구항 13

제4항에 있어서, 상기 이축 응력과 상기 일축 응력 모두는 인장 응력(tensile stress)인 트랜지스터 형성 방법.

청구항 14

제2항에 있어서, 상기 이축 응력과 상기 일축 응력 모두는 압축 응력(compressive stress)인 트랜지스터 형성 방법.

청구항 15

제4항에 있어서, 상기 기판은 반도체 기판인 트랜지스터 형성 방법.

청구항 16

삭제

청구항 17

삭제

청구항 18

반도체 소자로서,

절연 층(102) 상에 반도체 보디(122)를 갖는 기판;

상기 기판 상에 형성되는 실리콘 층;

상기 실리콘 층 상에 형성되는 채널 영역 - 상기 채널 영역은 이축 응력됨 -;

상기 기판 상에 형성되는 소스 및 드레인 영역들 - 상기 소스 및 드레인 영역들은 상기 채널 영역에 일축 응력을 제공하고,

상기 채널 영역은,

상기 기판 상에 형성되는 실리콘을 포함하는 제1 반도체 층 - 상기 제1 반도체 층은 제1 고유 격자 상수를 가짐 - 과,

상기 제1 반도체 층 상에 에피택셜 성장되는 제2 반도체 층 - 상기 제2 반도체 층은 실리콘 및 다른 성분을 포함하며, 상기 제2 반도체 층은 상기 제1 고유 격자 상수보다 큰 제2 고유 격자 상수를 가짐 - 을 포함함; 및

상기 소스 및 드레인 영역들을 통한 상기 절연 층으로의 절연 플러그들

을 포함하는 반도체 소자.

청구항 19

제18항에 있어서, 상기 다른 성분은 게르마늄인 반도체 소자.

청구항 20

반도체 소자로서,

절연 층(102) 상에 반도체 보디(122)를 갖는 기판;

상기 기판 상에 형성되는 실리콘 층;

상기 실리콘 층 상에 형성되는 채널 영역 - 상기 채널 영역은 이축 응력됨 -;

상기 기판 상에 형성되는 소스 및 드레인 영역들 - 상기 소스 및 드레인 영역들은 상기 채널 영역에 일축 응력을 제공하고,

상기 채널 영역은,

상기 기판 상에 형성되는 실리콘을 포함하는 제1 반도체 층 - 상기 제1 반도체 층은 제1 고유 격자 상

수를 가짐 - 과,

상기 제1 반도체 층 상에 에피택셜 성장되는 제2 반도체 층 - 상기 제2 반도체 층은 실리콘 및 다른 성분을 포함하며, 상기 제2 반도체 층은 상기 제1 고유 격자 상수보다 작은 제2 고유 격자 상수를 가짐 - 을 포함함; 및

상기 소스 및 드레인 영역들을 통한 상기 절연 층으로의 절연 플러그들을 포함하는 반도체 소자.

청구항 21

제20항에 있어서, 상기 다른 성분은 탄소인 반도체 소자.

청구항 22

제18항에 있어서, 상기 반도체 소자는 P-형 도전성을 갖는 트랜지스터인 반도체 소자.

청구항 23

제20항에 있어서, 상기 반도체 소자는 N-형 도전성을 갖는 트랜지스터인 반도체 소자.

청구항 24

제18항에 있어서, 상기 채널 영역은,

상기 기판 상에 형성되는 실리콘과 게르마늄을 포함하는 이축 응력된 층;

상기 이축 응력된 층 상에 형성되는 게이트 산화물; 및

상기 게이트 산화물 상에 형성되는 게이트를 포함하는

반도체 소자.

청구항 25

반도체 소자로서,

절연 층(102) 상에 반도체 보디(122)를 갖는 기판;

상기 기판 상에 형성되는 실리콘 층;

상기 실리콘 층 상에 형성되는 채널 영역 - 상기 채널 영역은 이축 응력된 -;

상기 기판 상에 형성되는 소스 및 드레인 영역들 - 상기 소스 및 드레인 영역들은 상기 채널 영역에 일축 응력을 제공하고,

상기 소스 및 드레인 영역들은,

상기 기판 상에 형성되는 실리콘을 포함하는 제1 반도체 층과,

상기 제1 반도체 층에 형성되는 소스 및 드레인 확장부들 - 상기 제1 반도체 층의 사전결정된 양이 상기 소스 및 드레인 확장부들로부터 제거되어 소스 및 드레인 리세스들을 형성함 - 과,

상기 소스 영역에 형성되는 제1 응력기와,

상기 드레인 영역에 형성되는 제2 응력기 - 상기 제1 및 제2 응력기들은 실리콘 및 게르마늄을 포함하며, 상기 제1 및 제2 응력기들은 상기 채널 영역에 상기 일축 응력을 제공하기 위한 것임 - 를 포함함 -; 및

상기 소스 및 드레인 영역들을 통한 상기 절연 층으로의 절연 플러그들

을 포함하는 반도체 소자.

청구항 26

삭제

청구항 27

반도체 소자로서,
 절연 층(102) 상에 반도체 보디(122)를 갖는 기판;
 상기 기판 상에 형성되는 실리콘 층;
 상기 실리콘 층 상에 형성되는 채널 영역 - 상기 채널 영역은 이축 응력됨 -;
 상기 기판 상에 형성되는 소스 및 드레인 영역들 - 상기 소스 및 드레인 영역들은 상기 채널 영역에 일축 응력을 제공하고, 상기 채널 영역은 실리콘 및 탄소를 포함하고, 상기 소스 및 드레인 영역들 각각은 실리콘 및 탄소를 포함하며, 상기 소스 및 드레인 영역들의 탄소 함유량은 상기 채널 영역의 탄소 함유량보다 높음 -; 및
 상기 소스 및 드레인 영역들을 통한 상기 절연 층으로의 절연 플러그들을 포함하는 반도체 소자.

청구항 28

제27항에 있어서, 상기 이축 응력과 상기 일축 응력 모두는 인장 응력인 반도체 소자.

청구항 29

제27항에 있어서, 상기 이축 응력과 상기 일축 응력 모두는 압축 응력인 반도체 소자.

청구항 30

제18항에 있어서, 상기 기판은 반도체 기판인 반도체 소자.

명세서

기술분야

[0001] 본 발명은 반도체 소자에 관한 것이고, 더 구체적으로는, 향상된 이동성(mobility)을 갖는 반도체 소자에 관한 것이다.

배경기술

[0002] 반도체 소자의 제조에서, 현재까지 반도체 재료를 위해 실리콘이 가장 널리 쓰이는 선택이었다. 트랜지스터 성능은 다양한 공정 향상을 통해 꾸준히 향상되어왔다. 이들 향상된 사항들 중의 하나는 이동성을 향상시키기 위해 실리콘의 응력(stress)을 변경하는 것이었다. 이들 기술 중의 일부는 실리콘에 추가로 다른 재료들을 사용하여 응력과 결과적인 이동성 향상을 가져오는 것을 포함해왔다. 예를 들어, 추가된 게르마늄을 함유한 실리콘 층은 압축 응력(compressive stress) 하의 실리콘 게르마늄 층이 되는 결과를 가져온다. 압축 응력 하의 그런 실리콘 게르마늄 층은 P 채널 트랜지스터를 위한 캐리어(carrier)의 이동성 향상에 유용하다. 인장 응력(tensile stress)을 생성하는 방법을 찾는 것은 N 채널 트랜지스터를 위한 캐리어를 향상시키는 것이다.

[0003] 다양한 기술이 인장 및 압축 응력 모두를 달성하기 위해 개발되어왔다. 이동성은 응력의 증가와 함께 향상되었지만, 궁극적으로, 과도한 응력의 증가는, 반도체 제조에서 무용하도록 하는, 결정 격자의 파손 또는 확장된 결함을 야기한다. 다른 쟁점(issue)은, 통상적 응력 향상 기술이 단(short) 채널 또는 장(long) 채널 트랜지스터들 중의 단지 하나에서만 이동성의 향상에 유용하다는 것이다. 예를 들어, SiGe의 이축(bi-axial) 압축 응력의 통상적 문제는, 그것이 단 채널 트랜지스터의 캐리어의 이동성을 거의 향상시키지 않는다는 것이다. 한편, 일축(uni-axial) 응력의 통상적 문제는, 그것이 장 채널 트랜지스터의 캐리어의 이동성을 거의 향상시키지 않는다는 것이다. 그러므로, 이동성 향상은 채널 길이의 변경으로 이동성의 변경을 야기하고, 이것은 트랜지스터의 모델을 제공하는 것이 더 어렵도록 하고, 또한 이들 이동성 향상을 갖는 트랜지스터를 사용하여 회로를 디자인하는 것이 더 어렵도록 한다.

[0004] 그러므로, 상술된 문제점들 중의 하나 이상을 향상시키는 이동성 향상을 제공할 필요성이 존재한다.

실시예

- [0015] 일 양태에서, 트랜지스터는 일축 응력과 이축 응력 모두 하에 채널 영역을 가짐으로써 캐리어 이동성을 향상시켰다. 결과적으로, 이동성은 단 채널과 장 채널 트랜지스터 모두에 대해 향상되었고 장 채널과 단 채널 트랜지스터 간의 이동성의 차이는 감소되었다. 이것은 도면과 다음 설명을 참고로 더 잘 이해된다.
- [0016] 도 1은, 절연 층(12), 절연층(12) 상의 반도체 층(14), 반도체 층(14)을 둘러싼 절연 층(12) 상의 트렌치 격리부(trench isolation;TI;16), 반도체 층(14) 상의 반도체 층(18), 게이트 유전체(20), 게이트(22) 주위의 측벽 스페이서(sidewall spacer;24), 게이트(22)의 한 쪽에 소스/드레인 확장 영역(23), 및 게이트(22)의 다른 쪽에 소스/드레인 확장부(25)를 포함하는 반도체 구조(10)가 도시된다. 반도체 층(18)은 반도체 층(14) 상에 에피택셜 성장된다. 그러므로 반도체 층(18)은 반도체 층(14)의 결정 구조와 결정 스페이싱(spacing)과 매치한다. 에피택셜 성장으로 인한 결정 스페이싱의 강제된 매칭 때문에, 반도체 층(14)과 반도체 층(18) 사이의 재료에서의 변경은 이들 사이의 응력 변경을 일으킨다.
- [0017] N 채널 경우에, 반도체 층(14)은 실리콘이 바람직하고, 반도체 층(18)은 실리콘 탄소 합금이 바람직하다. 실리콘 탄소 합금이 이축 인장 응력 하에 있다는 결과로써 실리콘이 완화되는 것이 바람직하다. 다른 경우, 반도체 층(14)은 적어도 부분적으로 완화된 실리콘 게르마늄일 수 있고, 반도체 층(18)은 실리콘 또는 실리콘 탄소 합금일 수 있고, 이들 중 하나가 이축 인장 응력 하에 있을 수 있다. N 채널 경우에 대한 이들 예들 중의 하나에서, 반도체 층(14)은 후속적으로 에피택셜 성장된 반도체 층(18)의 고유 격자 상수(intrinsic lattice constant)보다 큰 내부 결정 격자 상수를 갖는다.
- [0018] P 채널의 경우에서, 반도체 층(14)은 실리콘인 것이 바람직하고, 반도체 층(18)은 실리콘 게르마늄인 것이 바람직하다. 실리콘 게르마늄이 이축 압축 응력 하에 있다는 결과로 실리콘은 완화될 수 있다. 다른 경우, 반도체 층(14)은, 이축 압축 응력 하의 반도체 층(18)이 성장될 수 있는 다른 반도체 재료일 수 있다. P 채널 경우의 본 예에서, 반도체 층(14)은, 후속적으로 에피택셜 성장된 반도체 층(18)의 고유 격자 상수보다 더 작은 내부 결정 격자 상수를 갖는다.
- [0019] 도 2는, 소스/드레인 확장부(23, 25), 반도체 층(18), 및 반도체 층(14)을 에칭 후, 게이트(22)의 한 쪽에 리세스(recess;26) 그리고 게이트(22)의 다른 쪽에 리세스(28)를 남기는 반도체 구조(10)를 도시한다.
- [0020] 도 3은, 리세스(26, 28)를 반도체 필(fill)(30, 32)로 각각 채운 후의 반도체 구조(10)를 도시한다. 반도체 필(30, 32)은 원위치에(in situ) 도핑되거나 임플란트(implant)에 의해 도핑되어 소스/드레인 영역이 될 수 있다. 반도체 필(30, 32)을 위한 재료는 반도체 층(18)을 위한 재료 유형과 동일하지만, 그것의 성분의 다른 비율을 가질 수 있다. 예를 들어, N 채널의 경우에서, 영역(30, 32)의 반도체 재료는 반도체 층(18)이 실리콘 탄소 합금인 경우에 실리콘 탄소 합금일 것이지만, 실리콘 대 탄소의 비율은 다를 것이다. 실리콘 탄소 합금의 경우는 반도체 층(18)에서 일축 인장 응력을 생성한다. 유사하게 P 채널의 경우에, 반도체 필(30, 32)은, 반도체 층이 실리콘 게르마늄인 경우에 실리콘 게르마늄일 수 있지만, 실리콘 대 게르마늄 비율이 상이할 것이다. 실리콘 게르마늄의 경우는 반도체 층(18)에서 일축 압축 응력을 생성한다. 반도체 필(30, 32)은, 일축인 재료에 따라서, 압축 또는 인장 응력을 제공할 수 있는 응력기들(stressors)이다.
- [0021] 그러므로, 도 3의 결과적 반도체 소자(10)는, 일축 응력과 이축 응력 모두 하에 있는 채널로서 사용되는 반도체 영역(18)을 갖는다. 그러므로, 장 채널과 단 채널 모두에 대해 이동성이 향상된다. 각 유형의 응력량을 조절하여, 이동성이 장 채널과 단 채널 경우 모두에 동일하도록 더 근접하게 유지될 수 있다.
- [0022] 도 4는, 절연 층(52), 절연 층(52) 상에 부분적으로 완화된 실리콘 게르마늄의 반도체 층(54), 반도체 층(54)을 둘러싼 트렌치 격리부(56), 반도체 층(54) 상의 게이트 유전체(62), 게이트(58)를 둘러싼 측벽 스페이서(60), 게이트(58)의 한 쪽의 반도체 층(54)의 소스/드레인 확장부(64), 및 게이트(58)의 다른 쪽의 반도체 층(54)의 소스/드레인 확장부(66)를 포함하는 반도체 구조(50)를 도시한다. 이 구조는, 부분적으로 완화된 실리콘 게르마늄이 그것의 이축 압축 응력 때문에 향상된 홀(hole) 이동성을 제공하므로 P 채널 트랜지스터를 위한 것이다.
- [0023] 도 5는, 소스/드레인 확장부(64, 66)를 반도체 층(54)으로 에칭한 후, 게이트(58)의 한 쪽에 리세스(68)와 게이트(58)의 다른 쪽에 리세스(70)를 남기는 반도체 구조(50)를 도시한다.
- [0024] 도 6은, 리세스(68, 70)를 반도체 필(fill)(72, 74)로 각각 채운 후의 반도체 구조(50)를 도시한다. 반도체 필(72, 74)의 재료는 반도체 층(54)의 재료 유형과 동일하지만, 그것의 성분의 다른 비율을 가질 수 있다. 그러므로, 반도체 층(54)이 실리콘 게르마늄인 본 예에서, 반도체 필(72, 74)의 실리콘 대 게르마늄 비율은 반도체 층(54)과는 다를 수 있다. 반도체 필(72, 74)은 원위치에 도핑되거나 또는 임플란트 도핑되어 소스/드레인 영역이

될 수 있다. 반도체 소자(50)에서, 부분적으로 완화된 실리콘 게르마늄으로서, 반도체 층(54)은 이축 압력 응력을 가지며, 또한 반도체 필(72, 74)의 형성을 통해 일축인 추가적 압력 응력이 인가된다. 그 결과, 소자 구조는 일축과 이축 응력 모두를 갖는다. 이 경우, 그것은 P 채널 트랜지스터에 유용한 압력 응력이지만, 다른 반도체 재료와는, N 채널 트랜지스터에 유용한 인장 응력일 것이다.

[0025] 도 7은, 절연 층(102), 절연 층(102) 상의 반도체 보디(body)(122), 반도체 보디(122) 상의 반도체 보디(104), 반도체 보디(122, 104)를 둘러싼 트렌치 격리부(116), 반도체 보디(104) 상의 게이트 유전체(110), 게이트 유전체(110) 상의 게이트(106), 게이트(106)를 둘러싼 측벽 스페이서(108), 게이트(106)의 한 쪽의 반도체 보디(122)의 소스/드레인 영역(124), 게이트(106)의 다른 쪽의 반도체 보디(122)의 소스/드레인 영역(126), 게이트(106)의 한 쪽의 반도체 보디(104)의 소스/드레인 영역(112), 게이트(106)의 다른 쪽의 반도체 보디(104)의 소스/드레인 영역(114), 소스/드레인 영역(112, 124)으로부터 절연 층(102)을 통해 게이트(106)와 분리되는 절연 플러그(insulator plug;118), 및 소스/드레인 영역(114, 126)을 통해 게이트(108)와 분리되는 절연 플러그(120)를 포함하는 반도체 소자(100)를 도시한다.

[0026] P 채널 경우에, 반도체 층(122)은 실리콘이 바람직하고, 반도체 층(104)은 실리콘 게르마늄이 바람직하다. 실리콘은, 실리콘 게르마늄이 압축 응력 하에 있는 결과로 완화될 수 있다. 다른 경우, 반도체 층(122)은, 압축 응력 하에 반도체 층(104)이 성장할 수 있는 다른 반도체 재료일 수 있다.

[0027] 도 8은 반도체 소자(100)의 평면도이고, 도 7의 단면도를 도시한다. 이것은 소스/드레인 영역(112)을 통과하는 절연 플러그(118)를 도시하고, 게이트(106)와 트렌치 격리부(116) 사이에 게이트(106)의 한 쪽에 그런 복수의 절연 플러그가 존재한다. 유사하게, 게이트(106)의 다른 쪽에 절연 플러그(120)가 도시되고, 소스/드레인 영역(114)을 통과하는 그런 복수의 절연 플러그가 존재한다. 응력기인 이들 격리 플러그들은 트렌치 격리부(116)와 동일 방식으로 동시에 형성된다. 이것은 TEOS 필과 같은 산화물과 산화물 라이너(oxide liner)에 의해 달성된다. 정사각형(132, 150)은 격리 플러그(114, 120) 사이에 배치되는 소스/드레인 영역들의 컨택(contact)을 나타낸다. 외부 상호접속기와 소스/드레인 영역 사이의 컨택 저항을 낮추기 위해 그런 복수의 컨택이 존재한다. 이 반도체 소자(100)는 일축 응력을 제공하는 다른 접근법이다. 이 경우, 일축 응력은 반도체 보디(104)에서 압축 응력이다.

[0028] 전술된 명세서에서, 본 발명은 특정 실시예들을 참조하여 설명되었다. 그러나, 당업자라면, 아래 청구범위에서 기재된 것처럼 본 발명의 범위를 벗어나지 않고 다양한 수정과 변경이 만들어질 수 있음을 이해할 것이다. 예를 들어, 일축 응력을 얻는 기술은 도 1 내지 도 6에 설명되지만, 도 7과 도 8에 도시된 것과 같은 다른 것들도 또한 사용될 수 있다. 또한, 다른 도펀트 특성을 얻기 위해 격자 구조로 추가 성분이 도입될 수 있다. 예를 들어, N 채널 경우, Ge가 도입될 수 있다. 이것은 인장 응력을 감소시키는 경향이 있을 것이지만, 이것은 실리콘에 비해 탄소를 증가시켜 보상될 수 있다. 그런 경우, 소스/드레인은 추가적 인장 응력에 있어서, 게르마늄으로의 탄소가 채널의 것 이상 증가될 필요가 있도록 해야 할 것이다. 이것은 주어진 인장 응력에 대해 탄소 농도를 증가시키는 효과를 가져온다. 탄소의 증가는 보론 확산 비율(boron diffusion rate)을 감소시키는 효과를 갖는다. 유사하게, P 채널 트랜지스터에서, 탄소가 채널에 추가될 수 있고, 이것은 또한 Ge의 증가를 요구할 것이다. Ge의 추가 증가는 소스/드레인에 유익할 것이다. 동일 압축 응력을 유지하기 위한 Ge 농도의 증가는 비소 확산 비율을 증가시키는 효과를 가져온다. 따라서, 명세서와 도면은 제한적 관점에서보다는 설명적 관점에서 고려되어야 하고, 모든 그런 수정은 본 발명의 범위 내에 포함되려고 의도된다.

[0029] 특정 실시예들에 대해 이득, 다른 이점, 및 문제의 해결책이 기재되었다. 그러나, 임의의 이득, 이점, 또는 해결책이 발생하거나 또는 더 공고되도록 할 수 있는 이득, 이점, 문제의 해결책, 및 임의의 요소가 임의의 또는 모든 청구항들의 중요한, 필수, 또는 기본적 특징 또는 요소인 것으로서 해석되어서는 안 된다. 본 명세서에 사용되는 바와 같이, "포함한다(comprises)", "포함하는(comprising)" 또는 이들 용어의 임의의 다른 변형은 비 배타적 포괄성(non-exclusive inclusion)을 위한 것이어서, 요소들의 리스트를 포함하는 공정, 방법, 제품, 또는 장치가 이들 요소들만을 포함하는 것이 아니라, 그런 공정, 방법, 제품, 또는 장치에 명백히 리스트되거나 또는 고유하지 않은 다른 요소들도 포함할 수 있도록 한다.

도면의 간단한 설명

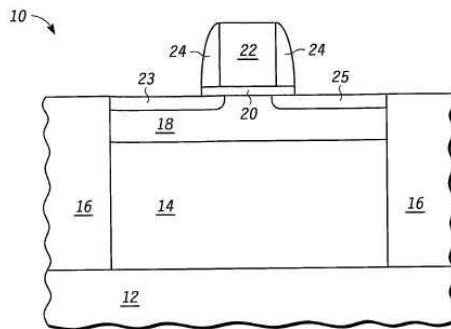
[0005] 본 발명은 예를 통해 설명되고, 유사 참조부호가 유사 소자를 나타내는, 첨부 도면들에 의해 제한되지는 않는다.

[0006] 도 1은 본 발명의 제1 실시예에 따른 처리의 제1 단계에서 반도체 구조의 단면도이다.

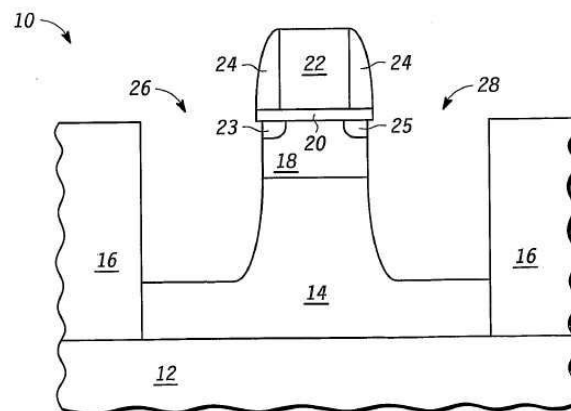
- [0007] 도 2는 처리의 후속 단계에서 도 1의 반도체 구조의 단면도이다.
- [0008] 도 3은 처리의 후속 단계에서 도 2 반도체 구조의 단면도이다.
- [0009] 도 4는 본 발명의 제2 실시예에 따른 처리의 제1 단계에서 반도체 구조의 단면도이다.
- [0010] 도 5는 처리의 후속 단계에서 도 4의 반도체 구조의 단면도이다.
- [0011] 도 6은 처리의 후속 단계에서 도 5의 반도체 구조의 단면도이다.
- [0012] 도 7은 본 발명의 사용에서 대체안에 따른 반도체 구조의 단면도이다.
- [0013] 도 8은 청구항 7의 반도체 구조의 평면도이다.
- [0014] 당업자라면, 도면의 소자들이 단순성과 명료성을 위해 도시되었고 반드시 치수조정하기 위해 그려지지 않는 것을 이해할 것이다. 예를 들어, 도면의 일부 소자들의 치수는 다른 소자들에 비해 과장되어서 본 발명의 실시예의 이해를 도울 것이다.

도면

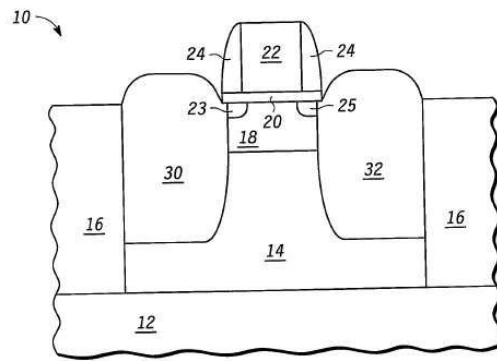
도면1



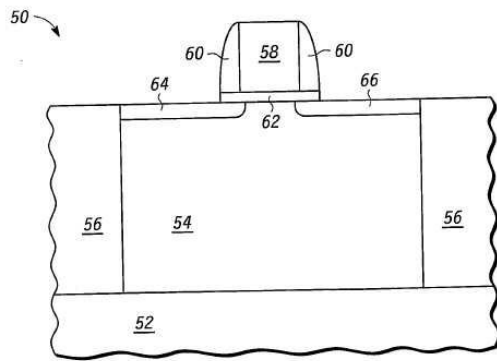
도면2



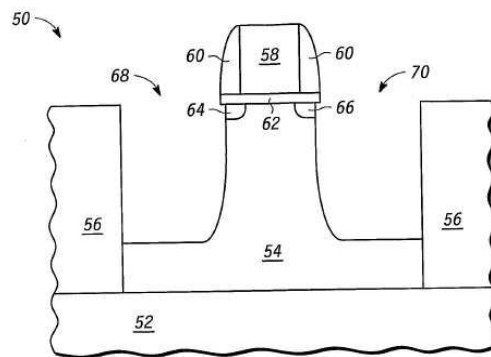
도면3



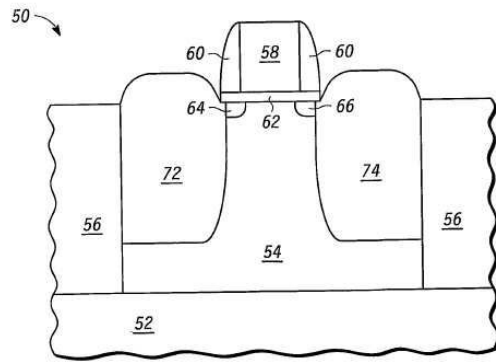
도면4



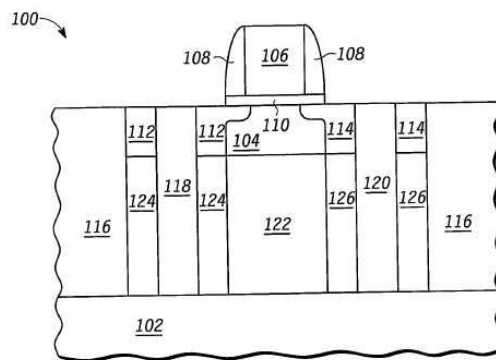
도면5



도면6



도면7



도면8

