

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6097540号
(P6097540)

(45) 発行日 平成29年3月15日 (2017. 3. 15)

(24) 登録日 平成29年2月24日 (2017. 2. 24)

(51) Int. Cl.	F I				
H O 1 G 4/33 (2006.01)	H O 1 G 4/06 1 O 1				
H O 1 G 4/30 (2006.01)	H O 1 G 4/30 3 O 1 D				
H O 1 G 4/40 (2006.01)	H O 1 G 4/30 3 1 1 Z				
H O 1 G 4/12 (2006.01)	H O 1 G 4/30 3 O 1 F				
	H O 1 G 4/40 3 O 1 A				
請求項の数 14 (全 92 頁) 最終頁に続く					

(21) 出願番号	特願2012-268570 (P2012-268570)	(73) 特許権者	000116024
(22) 出願日	平成24年12月7日 (2012. 12. 7)		ローム株式会社
(65) 公開番号	特開2013-168633 (P2013-168633A)		京都府京都市右京区西院溝崎町2 1 番地
(43) 公開日	平成25年8月29日 (2013. 8. 29)	(74) 代理人	100087701
審査請求日	平成27年11月4日 (2015. 11. 4)		弁理士 稲岡 耕作
(31) 優先権主張番号	特願2012-7071 (P2012-7071)	(74) 代理人	100101328
(32) 優先日	平成24年1月17日 (2012. 1. 17)		弁理士 川崎 実夫
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100149766
(31) 優先権主張番号	特願2012-7072 (P2012-7072)		弁理士 京村 順二
(32) 優先日	平成24年1月17日 (2012. 1. 17)	(72) 発明者	岡田 博行
(33) 優先権主張国	日本国 (JP)		京都市右京区西院溝崎町2 1 番地 ローム株式会社内
(31) 優先権主張番号	特願2012-7073 (P2012-7073)	(72) 発明者	不破 保博
(32) 優先日	平成24年1月17日 (2012. 1. 17)		京都市右京区西院溝崎町2 1 番地 ローム株式会社内
(33) 優先権主張国	日本国 (JP)		最終頁に続く

(54) 【発明の名称】 チップコンデンサおよびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板と、

基板の一方表面側に配置された第 1 外部電極と、

基板の一方表面側に配置された第 2 外部電極と、

前記第 1 外部電極および前記第 2 外部電極の間の領域から、前記第 2 外部電極と前記基板との間にまで延びて前記基板の一方表面側に形成されており、前記第 1 外部電極に接する上面を有する下部電極膜と、

前記第 1 外部電極および前記第 2 外部電極の間の領域から、前記第 2 外部電極と前記基板との間にまで延びて前記下部電極膜上に形成された容量膜と、

前記第 1 外部電極および前記第 2 外部電極の間の領域から、前記第 2 外部電極と前記基板との間にまで延びて前記容量膜上に形成されて前記下部電極膜に対向しており、前記第 2 外部電極に接する上面を有する上部電極膜と

を含み、

前記上部電極膜が、前記第 1 外部電極および前記第 2 外部電極の間の領域に、分離された複数の上部電極膜部分を有しており、前記複数の上部電極膜部分が複数のヒューズをそれぞれ介して前記第 2 外部電極に電氣的に接続されており、

前記下部電極膜が、前記ヒューズの直下の領域を回避した領域に形成されている、チップコンデンサ。

【請求項 2】

前記複数の上部電極膜部分が、互いに異なる容量値を有するように、前記容量膜を挟んで前記下部電極膜に対向している、請求項 1 に記載のチップコンデンサ。

【請求項 3】

前記複数のヒューズのうちの少なくとも一つが切断されている、請求項 1 または 2 に記載のチップコンデンサ。

【請求項 4】

前記上部電極膜または前記下部電極膜と前記ヒューズとが同じ導電性材料の膜で形成されている、請求項 1 ～ 3 のいずれか一項に記載のチップコンデンサ。

【請求項 5】

前記複数の上部電極膜部分が、異なる対向面積で前記下部電極膜に対向している、請求項 1 ～ 4 のいずれか一項に記載のチップコンデンサ。

10

【請求項 6】

前記複数の上部電極膜部分の前記対向面積が、等比数列をなすように設定されている、請求項 5 に記載のチップコンデンサ。

【請求項 7】

基板上に第 1 外部電極および第 2 外部電極を有するチップコンデンサの製造方法であって、

前記第 1 外部電極および前記第 2 外部電極の間の領域から、前記第 2 外部電極と前記基板との間にまで延びるように、前記基板上に下部電極膜を形成する工程と、

前記第 1 外部電極および前記第 2 外部電極の間の領域から、前記第 2 外部電極と前記基板との間にまで延びるように、前記下部電極膜上に容量膜を形成する工程と、

20

前記第 1 外部電極および前記第 2 外部電極の間の領域から、前記第 2 外部電極と前記基板との間にまで延びるように、前記容量膜上に前記下部電極膜に対向する上部電極膜を形成する工程と、

前記下部電極膜の上面に接するように前記第 1 外部電極を形成する工程と、

前記上部電極膜の上面に接するように前記第 2 外部電極を形成する工程とを含み、

前記上部電極膜が、前記第 1 外部電極および前記第 2 外部電極の間の領域に、分離された複数の上部電極膜部分を有するように形成され、

前記複数の上部電極膜部分をそれぞれ前記第 2 外部電極に切り離し可能に接続する複数のヒューズを形成する工程をさらに含み、

30

前記下部電極膜が、前記ヒューズの直下の領域を回避した領域に形成される、チップコンデンサの製造方法。

【請求項 8】

前記複数の上部電極膜部分が、前記容量膜を挟んで前記下部電極膜との間で互いに異なる容量値を有するように形成される、請求項 7 に記載のチップコンデンサの製造方法。

【請求項 9】

前記複数のヒューズのうちの少なくとも一つを切断するヒューズ切断工程をさらに含む、請求項 7 または 8 に記載のチップコンデンサの製造方法。

【請求項 10】

40

前記複数の上部電極膜部分と前記下部電極膜との間の総容量値を測定する工程と、

前記測定された総容量値に基づいて、前記切断すべきヒューズを選択する工程とをさらに含み、

前記ヒューズ切断工程では、前記選択されたヒューズが切断される、請求項 9 に記載のチップコンデンサの製造方法。

【請求項 11】

前記ヒューズを切断した後に、前記ヒューズの切断部を覆う保護膜を形成する工程をさらに含む、請求項 9 または 10 に記載のチップコンデンサの製造方法。

【請求項 12】

前記上部電極膜または前記下部電極膜と前記ヒューズとが同じ導電性材料の膜で形成さ

50

れる、請求項 7 ～ 1 1 のいずれか一項に記載のチップコンデンサの製造方法。

【請求項 1 3】

前記複数の上部電極膜部分が、異なる対向面積で前記下部電極膜に対向するように形成される、請求項 7 ～ 1 2 のいずれか一項に記載のチップコンデンサの製造方法。

【請求項 1 4】

前記複数の上部電極膜部分の前記対向面積が、等比数列をなすように設定される、請求項 1 3 に記載のチップコンデンサの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、チップコンデンサおよびその製造方法に関する。

【背景技術】

【0002】

特許文献 1 は、ベース基板の表面に内部電極を介して誘電体層を形成し、この誘電体層上にレーザによりトリミング可能な上部電極を前記内部電極と対向して形成したレーザトリマブルコンデンサを開示している。上部電極の一部がレーザによって除去され、それによって、電極間の静電容量が所望の値に追い込まれる。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2 0 0 1 - 2 8 4 1 6 6 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明の目的は、小型化および大容量化を両立することができるチップコンデンサおよびその製造方法を提供することである。

【課題を解決するための手段】

【0006】

請求項 1 記載の発明は、基板と、基板の一方表面側に配置された第 1 外部電極と、基板の一方表面側に配置された第 2 外部電極と、前記第 1 外部電極および前記第 2 外部電極の間の領域から、前記第 2 外部電極と前記基板との間にまで延びて前記基板の一方表面側に形成されており、前記第 1 外部電極に接する上面を有する下部電極膜と、前記第 1 外部電極および前記第 2 外部電極の間の領域から、前記第 2 外部電極と前記基板との間にまで延びて前記下部電極膜上に形成された容量膜と、前記第 1 外部電極および前記第 2 外部電極の間の領域から、前記第 2 外部電極と前記基板との間にまで延びて前記容量膜上に形成されて前記下部電極膜に対向しており、前記第 2 外部電極に接する上面を有する上部電極膜とを含み、前記上部電極膜が、前記第 1 外部電極および前記第 2 外部電極の間の領域に、分離された複数の上部電極膜部分を有しており、前記複数の上部電極膜部分が複数のヒューズをそれぞれ介して前記第 2 外部電極に電氣的に接続されており、前記下部電極膜が、前記ヒューズの直下の領域を回避した領域に形成されている、チップコンデンサである。

【0007】

請求項 1 記載の発明によれば、第 1 外部電極および第 2 外部電極は、いずれも、基板の一方表面側に配置されている。また、当該基板の一方表面側に、下部電極膜、容量膜および上部電極膜を含むキャパシタ構造が配置されている。この構成では、第 2 外部電極と基板との間に、下部電極膜、容量膜および上部電極膜が入り込んでいて、第 2 外部電極直下の領域にもキャパシタ構造が形成されている。そのため、第 2 外部電極の直下の領域をも利用して、容量値の増大が図られている。それによって、基板の一方表面の面積を最大限に利用して大容量化を図ることができるから、小型化および大容量化を両立したチップコンデンサを提供することができる。

また、たとえばレーザ光を照射することによってヒューズを切断する場合において、切

10

20

30

40

50

断で生じた破片がヒューズの直下の領域に到達したとしても、当該領域に下部電極膜が存在しない。よって、この破片によって上部電極膜部と下部電極膜との間に短絡が生じたり下部電極膜が腐食したりするといった不具合を回避できる。また、下部電極膜が、ヒューズの直下の領域（レーザ光が照射される領域）を回避した領域に形成されているので、ヒューズを切断する際に、下部電極膜も切断されて下部電極膜がダメージを受けるといった不具合を回避することもできる。

【0009】

請求項2記載の発明は、前記上部電極膜部分が、互いに異なる容量値を有するように、前記容量膜を挟んで前記下部電極膜に対向している、請求項1に記載のチップコンデンサである。

10

【0010】

請求項2記載の発明によれば、容量値の異なる複数のキャパシタ要素（複数の上部電極膜部分、容量膜および下部電極膜で構成される要素）を組み合わせることによって、様々な容量値のチップコンデンサを共通の設計で実現することができる。

請求項3記載の発明は、前記複数のヒューズのうちの少なくとも一つが切断されている、請求項1または2に記載のチップコンデンサである。

【0011】

請求項3記載の発明によれば、容量値を合わせ込んだチップコンデンサは、1つまたは複数のヒューズが切断されている場合がある。ヒューズの切断によって、第1外部電極および第2外部電極の間に接続するキャパシタ要素を選択でき、それによって、所要の容量値のチップコンデンサを実現できる。

20

請求項4記載の発明は、前記上部電極膜または前記下部電極膜と前記ヒューズとが同じ導電性材料の膜で形成されている、請求項1～3のいずれか一項に記載のチップコンデンサである。

【0012】

請求項4記載の発明によれば、上部電極膜または下部電極膜とヒューズとを共通の導電性材料膜で構成することができる。そして、上部電極膜または下部電極膜の各電極膜部分に対応するヒューズを切断することで、当該電極膜部分（キャパシタ要素）を切り離すことができる。

【0013】

請求項5に記載の発明は、前記複数の上部電極膜部分が、異なる対向面積で前記下部電極膜に対向している、請求項1～4のいずれか一項に記載のチップコンデンサである。

30

【0014】

請求項5記載の発明によれば、対向面積が互いに異なる複数の上部電極膜部分に対応する複数のキャパシタ要素は、互いに異なる容量値を有することになる。よって、それらを適切に組み合わせることによって、複数種類の容量値のチップコンデンサを実現することができる。より具体的には、選択された複数のキャパシタ要素以外のキャパシタ要素に対応するヒューズを切断してそれらを第1および第2外部電極の間から切り離すことによって、所要の容量値を有するチップコンデンサを構成することができる。

請求項6記載の発明は、前記複数の上部電極膜部分の前記対向面積が、等比数列をなすように設定されている、請求項5に記載のチップコンデンサである。

40

【0015】

請求項6記載の発明によれば、容量値が等比数列をなすように設定された複数のキャパシタ要素を基板上に設けることができる。それによって、複数種類の容量値のチップコンデンサを実現でき、かつ、容量値の微調整も、ヒューズの切断によって行うことができる。

請求項7記載の発明は、基板上に第1外部電極および第2外部電極を有するチップコンデンサの製造方法であって、前記第1外部電極および前記第2外部電極の間の領域から、前記第2外部電極と前記基板との間にまで延びるように、前記基板上に下部電極膜を形成する工程と、前記第1外部電極および前記第2外部電極の間の領域から、前記第2外部電

50

極と前記基板との間にまで延びるように、前記下部電極膜上に容量膜を形成する工程と、前記第1外部電極および前記第2外部電極の間の領域から、前記第2外部電極と前記基板との間にまで延びるように、前記容量膜上に前記下部電極膜に対向する上部電極膜を形成する工程と、前記下部電極膜の上面に接するように前記第1外部電極を形成する工程と、前記上部電極膜の上面に接するように前記第2外部電極を形成する工程とを含み、前記上部電極膜が、前記第1外部電極および前記第2外部電極の間の領域に、分離された複数の上部電極膜部分を有するように形成され、前記複数の上部電極膜部分をそれぞれ前記第2外部電極に切り離し可能に接続する複数のヒューズを形成する工程をさらに含み、前記下部電極膜が、前記ヒューズの直下の領域を回避した領域に形成される、チップコンデンサの製造方法である。

10

【0016】

請求項7記載の発明により、第1外部電極および第2外部電極の間の領域だけでなく、第2外部電極直下の領域にもキャパシタ構造が形成されることで、チップコンデンサの容量値の増大を図れるので、小型化および大容量化を両立したチップコンデンサを提供することができる。

また、たとえばレーザ光を照射することによってヒューズを切断する場合において、切断で生じた破片がヒューズの直下の領域に到達したとしても、当該領域に下部電極膜が存在しない。よって、この破片によって上部電極膜部と下部電極膜との間に短絡が生じたり下部電極膜が腐食したりするといった不具合を回避できる。また、下部電極膜が、ヒューズの直下の領域（レーザ光が照射される領域）を回避した領域に形成されているので、ヒューズを切断する際に、下部電極膜も切断されて下部電極膜がダメージを受けるといった不具合を回避することもできる。

20

【0018】

請求項8記載の発明は、前記上部電極膜部分が、前記容量膜を挟んで前記下部電極膜との間で互いに異なる容量値を有するように形成される、請求項7に記載のチップコンデンサの製造方法である。

【0019】

請求項8記載の発明により、複数のキャパシタ要素を適切に選択して組み合わせることで、複数種類の容量値を実現できる。

請求項9記載の発明は、前記複数のヒューズのうちの少なくとも一つを切断するヒューズ切断工程をさらに含む、請求項7または8に記載のチップコンデンサの製造方法である。

30

【0020】

請求項9記載の発明により、切断すべきヒューズを適切に選択することによって、チップコンデンサの容量値を所望の容量値に合わせ込むことができる。すなわち、第1および第2外部電極に接続すべきキャパシタ要素を適切に選択し、それ以外のキャパシタ要素に対応するヒューズを切断することにより、所望の容量値に合わせ込んだチップコンデンサを製造できる。

請求項10記載の発明は、前記複数の上部電極膜部分と前記下部電極膜との間の総容量値を測定する工程と、前記測定された総容量値に基づいて、前記切断すべきヒューズを選択する工程とをさらに含み、前記ヒューズ切断工程では、前記選択されたヒューズが切断される、請求項9に記載のチップコンデンサの製造方法である。

40

【0021】

請求項10記載の発明により、複数のキャパシタ要素の総容量値が測定され、その測定結果に基づいて切断すべきヒューズが選択されるので、チップコンデンサの容量値を確実に目的の容量値とすることができる。

請求項11記載の発明は、前記ヒューズを切断した後に、前記ヒューズの切断部を覆う保護膜を形成する工程をさらに含む、請求項9または10に記載のチップコンデンサの製造方法である。

【0022】

50

請求項11記載の発明により、ヒューズの切断部が保護膜によって覆われるので、切断部に対する異物や水分の侵入を回避できるから、共通の設計で複数種類の容量値を実現できるとともに、信頼性の高いチップコンデンサを製造することができる。

請求項12記載の発明は、前記上部電極膜または前記下部電極膜と前記ヒューズとが同じ導電性材料の膜で形成される、請求項7～11のいずれか一項に記載のチップコンデンサの製造方法である。

【0023】

請求項12記載の発明により、上部電極膜または下部電極膜の電極膜部分とヒューズとを同じ導電性材料の膜で形成することができるから、それらを同一膜からパターンニングして形成することができる。これにより、製造工程が簡単になる。

10

【0024】

請求項13記載の発明は、前記複数の上部電極膜部分が、異なる対向面積で前記下部電極膜に対向するように形成される、請求項7～12のいずれか一項に記載のチップコンデンサの製造方法である。

【0025】

請求項13記載の発明により、複数の上部電極膜部分が互いに異なる対向面積で下部電極膜に対向することによって、容量値の異なる複数のキャパシタ要素を基板上に形成することができる。したがって、異なる容量値のキャパシタ要素を適切に選択して組み合わせることで、複数種類の容量値のチップコンデンサを製造することができる。

請求項14記載の発明は、前記複数の上部電極膜部分の前記対向面積が、等比数列をなすように設定される、請求項13に記載のチップコンデンサの製造方法である。

20

【0026】

請求項14記載の発明により、複数の上部電極膜部分が互いに異なる対向面積で下部電極膜に対向することによって、容量値の異なる複数のキャパシタ要素を基板上に形成することができる。したがって、異なる容量値のキャパシタ要素を適切に選択して組み合わせることで、複数種類の容量値のチップコンデンサを製造することができる。

【図面の簡単な説明】

【0031】

【図1】図1は、第1参考例の第1の実施形態に係るチップコンデンサの平面図である。

【図2】図2は、図1の切断面線II-IIから見た断面図である。

30

【図3】図3は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。

【図4】図4は、前記チップコンデンサの内部の電氣的構成を示す回路図である。

【図5】図5は、前記チップコンデンサの製造工程の一例を説明するための流れ図である。

。

【図6】図6A、図6Bおよび図6Cは、ヒューズの切断に関連する工程を説明するための断面図である。

【図7】図7は、第1参考例の第2の実施形態に係るチップコンデンサの構成を説明するための平面図である。

【図8】図8は、第1参考例の第3の実施形態に係るチップコンデンサの構成を説明するための分解斜視図である。

40

【図9】図9は、第1参考例の第3の実施形態に係るチップコンデンサの模式的な平面図である。

【図10】図10は、第2参考例の第1の実施形態に係るチップコンデンサの平面図である。

【図11】図11は、図10の切断面線XI-XIから見た断面図である。

【図12】図12は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。

【図13】図13は、前記チップコンデンサの内部の電氣的構成を示す回路図である。

【図14】図14は、前記チップコンデンサの製造工程の一例を説明するための流れ図である。

50

【図 1 5】図 1 5 A、図 1 5 B および図 1 5 C は、ヒューズの切断に関連する工程を説明するための断面図である。

【図 1 6】図 1 6 は、第 2 参考例の第 2 の実施形態に係るチップコンデンサの構成を説明するための平面図である。

【図 1 7】図 1 7 は、第 2 参考例の第 3 の実施形態に係るチップコンデンサの構成を説明するための分解斜視図である。

【図 1 8】図 1 8 は、第 3 参考例の第 1 の実施形態に係るチップコンデンサの平面図である。

【図 1 9】図 1 9 は、図 1 8 の切断面線 IXX-IXX から見た断面図である。

【図 2 0】図 2 0 は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。

10

【図 2 1】図 2 1 は、前記チップコンデンサの電氣的な等価回路図である。

【図 2 2】図 2 2 は、前記チップコンデンサの内部の電氣的構成を示す回路図である。

【図 2 3】図 2 3 は、前記チップコンデンサの製造工程の一例を説明するための流れ図である。

【図 2 4】図 2 4 A、図 2 4 B および図 2 4 C は、ヒューズの切断に関連する工程を説明するための断面図である。

【図 2 5】図 2 5 は、第 3 参考例の第 2 の実施形態に係るチップコンデンサの構成を説明するための平面図である。

【図 2 6】図 2 6 は、第 3 参考例の第 3 の実施形態に係るチップコンデンサの構成を説明するための分解斜視図である。

20

【図 2 7】図 2 7 は、第 4 参考例の第 1 の実施形態に係るチップコンデンサの平面図である。

【図 2 8】図 2 8 は、図 2 7 の切断面線 XXVIII-XXVIII から見た断面図である。

【図 2 9】図 2 9 は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。

【図 3 0】図 3 0 は、前記チップコンデンサの電氣的な等価回路図である。

【図 3 1】図 3 1 は、前記チップコンデンサのインピーダンス特性を示すグラフである。

【図 3 2】図 3 2 は、基板の有効抵抗領域の大きさを示すチップ形状の図である。

【図 3 3】図 3 3 は、前記チップコンデンサの内部の電氣的構成を示す回路図である。

30

【図 3 4】図 3 4 は、前記チップコンデンサの製造工程の一例を説明するための流れ図である。

【図 3 5】図 3 5 A、図 3 5 B および図 3 5 C は、ヒューズの切断に関連する工程を説明するための断面図である。

【図 3 6】図 3 6 は、第 4 参考例の第 2 の実施形態に係るチップコンデンサの構成を説明するための平面図である。

【図 3 7】図 3 7 は、第 4 参考例の第 3 の実施形態に係るチップコンデンサの構成を説明するための分解斜視図である。

【図 3 8】図 3 8 は、第 5 参考例の第 1 の実施形態に係るチップコンデンサの平面図である。

40

【図 3 9】図 3 9 は、図 3 8 の切断面線 XXXIX-XXXIX から見た断面図である。

【図 4 0】図 4 0 は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。

【図 4 1】図 4 1 は、前記チップコンデンサの内部の電氣的構成を示す回路図である。

【図 4 2】図 4 2 は、前記チップコンデンサの製造工程の一例を説明するための流れ図である。

【図 4 3】図 4 3 A、図 4 3 B および図 4 3 C は、ヒューズの切断に関連する工程を説明するための断面図である。

【図 4 4】図 4 4 は、第 5 参考例の第 2 の実施形態に係るチップコンデンサの構成を説明するための平面図である。

50

【図４５】図４５は、第５参考例の第３の実施形態に係るチップコンデンサの構成を説明するための断面図である。

【図４６】図４６は、図４５のチップコンデンサの一部の構成を分離して示す分解斜視図である。

【図４７】図４７は、第５参考例の第４の実施形態に係るチップコンデンサの構成を説明するための断面図である。

【図４８】図４８は、本発明の第１の実施形態に係るチップコンデンサの平面図である。

【図４９】図４９は、図４８の切断面線XLIX-XLIXから見た断面図である。

【図５０】図５０は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。

【図５１】図５１は、前記チップコンデンサの内部の電氣的構成を示す回路図である。

【図５２】図５２は、前記チップコンデンサの製造工程の一例を説明するための流れ図である。

【図５３】図５３Ａ、図５３Ｂおよび図５３Ｃは、ヒューズの切断に関連する工程を説明するための断面図である。

【図５４】図５４は、本発明の第２の実施形態に係るチップコンデンサの構成を説明するための平面図である。

【図５５】図５５は、本発明の第３の実施形態に係るチップコンデンサの構成を説明するための分解斜視図である。

【発明を実施するための形態】

【００３２】

以下では、本発明の実施の形態および参考例を、添付図面を参照して詳細に説明する。
＜第１参考例に係る発明＞

（１）第１参考例に係る発明の課題

上記の特許文献１のような構造では、複数種類の容量値のコンデンサが必要な場合に、その複数の容量値に対応した複数種類のコンデンサを個別に設計する必要がある。そのため、設計のための長い期間が必要となり、かつ、そのための多大な労力が必要となる。しかも、コンデンサが搭載される機器の仕様変更のために新たな容量値のコンデンサが必要となったときに、速やかに対応することができない。

そこで、第１参考例に係る発明の目的は、共通の設計で複数種類の容量値に容易にかつ速やかに対応することができるチップコンデンサおよびその製造方法を提供することである。

（２）第１参考例に係る発明の特徴

たとえば、第１参考例に係る発明の特徴は、以下のＥ１～Ｅ２４である。

（Ｅ１）基板と、前記基板上に配置された第１外部電極と、前記基板上に配置された第２外部電極と、前記基板上に形成された第１電極膜と、前記第１電極膜上に形成された第１容量膜と、前記第１容量膜上に前記第１電極膜に対向するように形成された第２電極膜と、前記第２電極膜上に形成された第２容量膜と、前記第２容量膜上に前記第２電極膜に対向するように形成された第３電極膜とを含み、前記第１外部電極および前記第２外部電極の間に接続された複数のキャパシタ要素と、前記基板上に形成され、前記複数のキャパシタ要素と前記第１外部電極または前記第２外部電極との間にそれぞれ介装され、前記複数のキャパシタ要素をそれぞれ切り離し可能な複数のヒューズとを含むチップコンデンサ。

この構成によれば、基板上に配置された第１および第２外部電極の間に複数のキャパシタ要素が接続されている。そして、複数のキャパシタ要素と第１または第２外部電極との間に、当該複数のキャパシタ要素をそれぞれ切り離し可能な複数のヒューズが設けられている。そこで、一つまたは複数のヒューズを選択して切断することにより、複数種類の容量値に、容易にかつ速やかに対応することができる。換言すれば、複数種類の容量値のチップコンデンサに対して共通の設計を適用できる。

さらに（Ｅ１）の発明では、第１電極膜、第１容量膜および第２電極膜によって、一つのキャパシタ構造が形成されており、第２電極膜、第２容量膜および第３電極膜によって

10

20

30

40

50

別のキャパシタ構造が形成されている。すなわち、基板上に多層のキャパシタ構造が形成されているので、チップコンデンサの大容量化を図ることができる。すなわち、小さな基板サイズでも大容量コンデンサを提供でき、同じ容量であればより小型のチップコンデンサを提供することができる。

(E 2) 前記複数のキャパシタ要素が、互いに異なる容量値を有している、E 1に記載のチップコンデンサ。

この構成により、容量値の異なる複数のキャパシタ要素を組み合わせることによって、様々な容量値のチップコンデンサを共通の設計で実現することができる。

(E 3) 前記複数のキャパシタ要素の容量値が、等比数列をなすように設定されている、E 2に記載のチップコンデンサ。

この構成により、第1外部電極および第2外部電極の間に接続すべき複数のキャパシタ要素を適切に選択することによって、チップコンデンサの容量値を所望の容量値に正確に合わせ込むことができる。たとえば、前記等比数列の公比を2とすることによって、当該等比数列の初項（当該数列内で最小値の項）の精度でチップコンデンサの容量値を合わせ込むことができる。

(E 4) 前記複数のヒューズのうちの少なくとも一つが切断されている、E 1～3のいずれか一項に記載のチップコンデンサ。

容量値を合わせ込んだチップコンデンサは、1つまたは複数のヒューズが切断されている場合がある。ヒューズの切断によって、第1外部電極および第2外部電極の間に接続するキャパシタ要素を選択でき、それによって、所要の容量値のチップコンデンサを実現できる。

(E 5) 前記第2電極膜が、複数の第2電極膜部分に分割されており、前記複数の第2電極膜部分にそれぞれ前記複数のヒューズが接続されている、E 1～4のいずれか一項に記載のチップコンデンサ。

この構成によれば、第1電極膜と第2電極膜との間に第1容量膜を挟み込むことによってキャパシタ構造が構成されるとともに、第2電極膜と第3電極膜との間に第2容量膜を挟み込むことによって別のキャパシタ構造が構成されている。そして、第2電極膜を複数の第2電極膜部分に分割することによって、それぞれの第2電極膜部分が第1および第3電極膜に対向し、これによって複数のキャパシタ要素が基板上に設けられることになる。そして、複数のキャパシタ要素のうち、該当する第2電極膜部分に対応するヒューズを切断することによって、所要の容量値を有するチップコンデンサを構成することができる。

(E 6) 前記複数の第2電極膜部分が、互いに異なる対向面積で前記第1電極膜および前記第3電極膜に対向している、E 5に記載のチップコンデンサ。

この構成により、対向面積が互いに異なる複数の第2電極膜部分に対応する複数のキャパシタ要素は、互いに異なる容量値を有することになる。よって、それらを適切に組み合わせることによって、複数種類の容量値のチップコンデンサを実現することができる。より具体的には、選択された複数のキャパシタ要素以外のキャパシタ要素に対応するヒューズを切断してそれらを第1および第2外部電極の間から切り離すことによって、所要の容量値を有するチップコンデンサを構成することができる。

(E 7) 前記複数の第2電極膜部分の前記対向面積が、等比数列をなすように設定されている、E 6に記載のチップコンデンサ。

この構成により、容量値が等比数列をなすように設定された複数のキャパシタ要素を基板上に設けることができる。それによって、複数種類の容量値のチップコンデンサを実現でき、かつ、容量値の微調整も、ヒューズの切断によって行うことができる。

(E 8) 前記第1電極膜が、複数の第1電極膜部分に分割されており、前記複数の第1電極膜部分に前記複数のヒューズがそれぞれ接続されている、E 1～7のいずれか一項に記載のチップコンデンサ。

この構成によれば、第1電極膜を複数の第1電極膜部分に分割することによって、それぞれの第1電極膜部分が第2電極膜に対向し、これによって複数のキャパシタ要素が基板

10

20

30

40

50

上に設けられることになる。そして、複数のキャパシタ要素のうち、該当する第1電極膜部分に対応するヒューズを切断することによって、所要の容量値を有するチップコンデンサを構成することができる。

(E9) 前記複数の第1電極膜部分が、互いに異なる対向面積で前記第2電極膜に対向している、E8に記載のチップコンデンサ。

この構成により、対向面積が互いに異なる複数の第1電極膜部分に対応する複数のキャパシタ要素は、互いに異なる容量値を有することになる。よって、それらを適切に組み合わせることによって、複数種類の容量値のチップコンデンサを実現することができる。より具体的には、選択された複数のキャパシタ要素以外のキャパシタ要素に対応するヒューズを切断してそれらを第1および第2外部電極の間から切り離すことによって、所要の容量値を有するチップコンデンサを構成することができる。

10

(E10) 前記複数の第1電極膜部分の前記対向面積が、等比数列をなすように設定されている、E9に記載のチップコンデンサ。

この構成により、容量値が等比数列をなすように設定された複数のキャパシタ要素を基板上に設けることができる。それによって、複数種類の容量値のチップコンデンサを実現でき、かつ、容量値の微調整も、ヒューズの切断によって行うことができる。

(E11) 前記第3電極膜が、複数の第3電極膜部分に分割されており、前記複数の第3電極膜部分に前記複数のヒューズがそれぞれ接続されている、E1～10のいずれか一項に記載のチップコンデンサ。

この構成によれば、第3電極膜を複数の第3電極膜部分に分割することによって、それぞれの第3電極膜部分が第2電極膜に対向し、これによって複数のキャパシタ要素が基板上に設けられることになる。そして、複数のキャパシタ要素のうち、該当する第3電極膜部分に対応するヒューズを切断することによって、所要の容量値を有するチップコンデンサを構成することができる。

20

(E12) 前記複数の第3電極膜部分が、互いに異なる対向面積で前記第2電極膜に対向している、E11に記載のチップコンデンサ。

この構成により、対向面積が互いに異なる複数の第3電極膜部分に対応する複数のキャパシタ要素は、互いに異なる容量値を有することになる。よって、それらを適切に組み合わせることによって、複数種類の容量値のチップコンデンサを実現することができる。より具体的には、選択された複数のキャパシタ要素以外のキャパシタ要素に対応するヒューズを切断してそれらを第1および第2外部電極の間から切り離すことによって、所要の容量値を有するチップコンデンサを構成することができる。

30

(E13) 前記複数の第3電極膜部分の前記対向面積が、等比数列をなすように設定されている、E12に記載のチップコンデンサ。

この構成により、容量値が等比数列をなすように設定された複数のキャパシタ要素を基板上に設けることができる。それによって、複数種類の容量値のチップコンデンサを実現でき、かつ、容量値の微調整も、ヒューズの切断によって行うことができる。

(E14) 前記複数のヒューズが、前記基板の主面を垂直に見下ろす平面視において重なり合わないように位置をずらして配置されている、E1～13のいずれか一項に記載のチップコンデンサ。

40

この構成によれば、基板の主面に対して垂直な方向からレーザ光を照射することにより、所望のヒューズのみを切断でき、別のヒューズが誤って切断されることを回避できる。これにより、チップコンデンサの容量値を確実に目標値に合わせ込むことができる。

(E15) 前記第1電極膜、前記第2電極膜または前記第3電極膜と前記ヒューズとが同じ導電性材料の膜で形成されている、E5～13のいずれか一項に記載のチップコンデンサ。

この構成では、電極膜部分とヒューズとを共通の導電性材料膜で構成することができる。そして、各電極膜部分に対応するヒューズを切断することで、当該電極膜部分を切り離すことができる。

(E16) 基板上に複数のキャパシタ要素を形成する工程と、基板上に第1外部電極およ

50

び第2外部電極を形成する工程と、前記複数のキャパシタ要素をそれぞれ切り離し可能に前記第1外部電極または第2外部電極に接続する複数のヒューズを前記基板上に形成する工程とを含み、前記複数のキャパシタ要素を形成する工程が、前記基板上に第1電極膜を形成する工程と、前記第1電極膜上に第1容量膜を形成する工程と、前記第1容量膜上に前記第1電極膜に対向するように第2電極膜を形成する工程と、前記第2電極膜上に第2容量膜を形成する工程と、前記第2容量膜上に前記第2電極膜に対向するように第3電極膜を形成する工程と、前記第1電極膜、前記第2電極膜および前記第3電極膜の少なくとも一つを複数の電極膜部分に分割する工程とを含む、チップコンデンサの製造方法。

この方法により、所要の容量値に応じて選択したヒューズを切断することにより、共通の設計でありながら、複数の容量値のチップコンデンサを製造することができる。また、小さな基板サイズでも大容量コンデンサを提供でき、同じ容量であればより小型のチップコンデンサを提供することができる。

(E17) 前記ヒューズが、前記複数の電極膜部分にそれぞれ接続されるように形成される、E16に記載のチップコンデンサの製造方法。

この方法によれば、複数の電極膜部分によって基板上に設けられた複数のキャパシタ要素のうち、該当する電極膜部分に対応するヒューズを切断することによって、所要の容量値を有するチップコンデンサを構成することができる。

(E18) 前記複数の電極膜部分が、前記第1容量膜または前記第2容量膜を挟んで対向する電極膜に対して互いに異なる対向面積で対向するように形成される、E16またはE17に記載のチップコンデンサの製造方法。

この方法により、複数の電極膜部分が互いに異なる対向面積で電極膜に対向することによって、容量値の異なる複数のキャパシタ要素を基板上に形成することができる。したがって、異なる容量値のキャパシタ要素を適切に選択して組み合わせることで、複数種類の容量値のチップコンデンサを製造することができる。

(E19) 前記複数の電極膜部分の前記対向面積が、等比数列をなすように設定される、E18に記載のチップコンデンサの製造方法。

この方法により、等比数列をなすように容量値が設定された複数のキャパシタ要素を基板上に形成することができる。よって、複数のキャパシタ要素を適切に選択して組み合わせることで、複数種類の容量値のチップコンデンサを提供でき、かつ所望の容量値への正確な合わせ込みが可能になる。

(E20) 前記複数のヒューズが、前記基板の主面を垂直に見下ろす平面視において重なり合わないように位置をずらして配置されて形成される、E16～E19のいずれか一項に記載のチップコンデンサの製造方法。

この方法によれば、基板の主面に対して垂直な方向からレーザ光を照射することにより、所望のヒューズのみを切断でき、別のヒューズが誤って切断されることを回避できる。これにより、チップコンデンサの容量値を確実に目標値に合わせ込むことができる。

(E21) 前記第1電極膜、前記第2電極膜または前記第3電極膜と前記ヒューズとが同じ導電性材料の膜で形成される、E16～E20のいずれか一項に記載のチップコンデンサの製造方法。

この方法によれば、電極膜部分とヒューズとを同じ導電性材料の膜で形成することができるから、それらを同一膜からパターンニングして形成することができる。これにより、製造工程が簡単になる。

(E22) 前記複数のヒューズのうちの少なくとも一つを切断するヒューズ切断工程をさらに含む、E16～E21のいずれか一項に記載のチップコンデンサの製造方法。

この方法により、切断すべきヒューズを適切に選択することによって、チップコンデンサの容量値を所望の容量値に合わせ込むことができる。すなわち、第1および第2外部電極に接続すべきキャパシタ要素を適切に選択し、それ以外のキャパシタ要素に対応するヒューズを切断することにより、所望の容量値に合わせ込んだチップコンデンサを製造できる。

(E23) 前記複数のキャパシタ要素の総容量値を測定する工程と、前記測定された総容

10

20

30

40

50

量値に基づいて、前記切断すべきヒューズを選択する工程とをさらに含み、前記ヒューズ切断工程では、前記選択されたヒューズが切断される、E 2 2に記載のチップコンデンサの製造方法。

この方法によれば、複数のキャパシタ要素の総容量値が測定され、その測定結果に基づいて切断すべきヒューズが選択されるので、チップコンデンサの容量値を確実に目的の容量値とすることができる。

(E 2 4) 前記ヒューズを切断した後に、前記ヒューズの切断部を覆う保護膜を形成する工程をさらに含む、E 2 2または2 3に記載のチップコンデンサの製造方法。

この方法により、ヒューズの切断部が保護膜によって覆われるので、切断部に対する異物や水分の侵入を回避できるから、共通の設計で複数種類の容量値を実現できるとともに、信頼性の高いチップコンデンサを製造することができる。

10

(3) 第1参考例に係る発明の実施形態

以下では、第1参考例の実施の形態を、添付図面を参照して詳細に説明する。

図1は、第1参考例の第1の実施形態に係るチップコンデンサの平面図であり、図2はその断面図であって、図1の切断面線II-IIから見た切断面が示されている。さらに、図3は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。

チップコンデンサ1は、基板2と、基板2上に配置された第1外部電極3と、同じく基板2上に配置された第2外部電極4とを備えている。基板2は、この実施形態では、基板2の主面(表面)2Aを垂直に見下ろす平面視において四隅を面取りした矩形形状を有している。基板2の長手方向両端部に第1外部電極3および第2外部電極4がそれぞれ配置されている。第1外部電極3および第2外部電極4は、この実施形態では、基板2の短手方向に延びたほぼ矩形の平面形状を有し、基板2の角に対応する各2箇所面に面取り部を有している。基板2上には、第1外部電極3および第2外部電極4の間のキャパシタ配置領域5内に、複数のキャパシタ要素C1~C19が配置されている。複数のキャパシタ要素C1~C19は、複数のヒューズユニット7(ヒューズ)を介してそれぞれ第1外部電極3に電氣的に接続されている。この実施形態では、キャパシタ要素C1の真上にキャパシタ要素C11が位置し、同様に、キャパシタ要素C2~C9のそれぞれの真上に、キャパシタ要素C12~C19において対応するキャパシタ要素(符号の末尾の数字が同じキャパシタ要素)が位置している。そのため、このチップコンデンサ1は、キャパシタ要素が上下に積層された多層(ここでは2層)のキャパシタ構造を有している。

20

30

【0033】

図2および図3に示されているように、基板2の表面には絶縁膜8が形成されていて、絶縁膜8の表面に第1電極膜11が形成されている。第1電極膜11は、キャパシタ配置領域5のほぼ全域にわたって形成されるとともに、第2外部電極4の直下の領域にまで延びて形成されている。より具体的には、第1電極膜11は、キャパシタ要素C1~C9の共通の下部電極として機能するキャパシタ電極領域11Aと、外部電極引き出しのためのパッド領域11Bとを有している。キャパシタ電極領域11Aがキャパシタ配置領域5に位置していて、パッド領域11Bが第2外部電極4の直下に位置している。

【0034】

キャパシタ配置領域5において第1電極膜11(キャパシタ電極領域11A)を覆うように第1容量膜(誘電体膜)12が形成されている。第1容量膜12は、キャパシタ電極領域11Aの全域にわたって連続しており、この実施形態では、さらに第1外部電極3の直下の領域にまで延び、キャパシタ配置領域5外の絶縁膜8を覆っている。

40

第1容量膜12の上には、第2電極膜(容量調整電極膜)13が形成されている。図1では、明瞭化のために、第2電極膜13を着色して示してある。第2電極膜13は、キャパシタ配置領域5に位置するキャパシタ電極領域13Aと、第1外部電極3の直下に位置するパッド領域13Bと、パッド領域13Bとキャパシタ電極領域13Aとの間に配置されたヒューズ領域13Cとを有している。

【0035】

キャパシタ電極領域13Aにおいて、第2電極膜13は、複数の(第2)電極膜部分1

50

31～139に分割されている。この実施形態では、各電極膜部分131～139は、いずれも矩形形状に形成されていて、ヒューズ領域13Cから第2外部電極4に向かって帯状に延びている。複数の電極膜部分131～139は、複数種類の互いに異なる対向面積で、第1容量膜12を挟んで第1電極膜11に対向している。より具体的には、電極膜部分131～139の第1電極膜11に対する対向面積は、1：2：4：8：16：32：64：128：128となるように定められていてもよい。すなわち、複数の電極膜部分131～139は、対向面積の異なる複数の電極膜部分を含み、より詳細には、公比が2の等比数列をなすように設定された（第1電極膜11に対する）対向面積を有する複数の電極膜部分131～138（または131～137，139）を含む。これによって、各電極膜部分131～139と第1容量膜12を挟んで対向する第1電極膜11とによってそれぞれ構成される複数のキャパシタ要素C1～C9は、互いに異なる容量値を有する複数のキャパシタ要素を含む。電極膜部分131～139の対向面積の比が前述の通りである場合、キャパシタ要素C1～C9の容量値の比は、当該対向面積の比と等しく、1：2：4：8：16：32：64：128：128となる。すなわち、複数のキャパシタ要素C1～C9は、公比が2の等比数列をなすように容量値が設定された複数のキャパシタ要素C1～C8（またはC1～C7，C9）を含むことになる。

10

【0036】

この実施形態では、電極膜部分131～135は、幅が等しく、長さの比を1：2：4：8：16に設定した帯状に形成されている。また、電極膜部分135，136，137，138，139は、長さが等しく、幅の比を1：2：4：8：8に設定した帯状に形成されている。電極膜部分135～139は、キャパシタ配置領域5の第1外部電極3側の端縁から第2外部電極4側の端縁までの範囲に渡って延びて形成されており、電極膜部分131～134は、それよりも短く形成されている。

20

【0037】

パッド領域13Bは、第1外部電極3とほぼ相似形に形成されており、基板2の角部に対応する2つの面取り部を有するほぼ矩形の平面形状を有している。このパッド領域13Bの一つの長辺（基板2の周縁に対して内方側の長辺）に沿ってヒューズ領域13Cが配置されている。ヒューズ領域13Cは、パッド領域13Bの前記1つの長辺に沿って配列された複数のヒューズユニット7を含む。ヒューズユニット7は、第2電極膜13のパッド領域13Bと同じ材料で一体的に形成されている。複数の電極膜部分131～139は、1つまたは複数個のヒューズユニット7と一体的に形成されていて、それらのヒューズユニット7を介してパッド領域13Bに接続され、このパッド領域13Bを介して第1外部電極3に電氣的に接続されている。面積の比較的小さな電極膜部分131～136は、一つのヒューズユニット7によってパッド領域13Bに接続されており、面積の比較的大きな電極膜部分137～139は複数個のヒューズユニット7を介してパッド領域13Bに接続されている。全てのヒューズユニット7が用いられる必要はなく、この実施形態では、一部のヒューズユニット7は未使用である。

30

【0038】

ヒューズユニット7は、パッド領域13Bとの接続のための第1幅広部7Aと電極膜部分131～139との接続のための第2幅広部7Bと、第1および第2幅広部7A，7Bの間を接続する幅狭部7Cとを含む。幅狭部7Cは、レーザ光によって切断（溶断）することができるように構成されている。それによって、電極膜部分131～139のうち不要な電極膜部分をヒューズユニット7の切断によって第1および第2外部電極3，4から電氣的に切り離すことができる。

40

【0039】

図2に示すように、第2電極膜13を覆うように第2容量膜（誘電体膜）17が形成されている。第2容量膜17は、第2電極膜13の全域にわたって連続しており、この実施形態では、さらに、第1容量膜12において第2電極膜13が配置されていない部分も覆っている。

第2容量膜17の上には、第3電極膜16が形成されている。第3電極膜16は、キャ

50

パシタ配置領域5に位置するキャパシタ電極領域16Aと、第1電極膜11のパッド領域11Bの真上（平面視で重なる領域）に位置するパッド領域16Bとを有している。

【0040】

この場合、キャパシタ配置領域5において、第1電極膜11のキャパシタ電極領域11Aと第2電極膜13のキャパシタ電極領域13Aとが第1容量膜12を挟んで対向していて、第2電極膜13のキャパシタ電極領域13Aと第3電極膜16のキャパシタ電極領域16Aとが第2容量膜17を挟んで対向している。

また、第2電極膜13のキャパシタ電極領域13Aにおける複数の電極膜部分131～139（図1参照）は、複数種類の互いに異なる対向面積で、第2容量膜17を挟んで第3電極膜16に対向している。より具体的には、電極膜部分131～139の第3電極膜16に対する対向面積は、第1電極膜11に対する場合と同様に、1：2：4：8：16：32：64：128：128となるように定められていてもよい。すなわち、複数の電極膜部分131～139は、対向面積の異なる複数の電極膜部分を含み、より詳細には、公比が2の等比数列をなすように設定された（第3電極膜16に対する）対向面積を有する複数の電極膜部分131～138（または131～137，139）を含む。これによって、各電極膜部分131～139と第2容量膜17を挟んで対向する第3電極膜16とによってそれぞれ構成される複数のキャパシタ要素C11～C19は、互いに異なる容量値を有する複数のキャパシタ要素を含む。電極膜部分131～139の対向面積の比が前述の通りである場合、キャパシタ要素C11～C19の容量値の比は、当該対向面積の比と等しく、1：2：4：8：16：32：64：128：128となる。すなわち、複数のキャパシタ要素C11～C19は、公比が2の等比数列をなすように容量値が設定された複数のキャパシタ要素C11～C18（またはC11～C17，C19）を含むことになる。

【0041】

そして、この実施形態では、キャパシタ要素C1～C9のそれぞれと、キャパシタ要素C11～C19における対応するキャパシタ要素（符号の末尾の数字が同じキャパシタ要素）とは、電極膜部分131～138のうち共通する電極膜部分を有しているから、等しい容量値を有している。

このように、チップコンデンサ1では、第1電極膜11、第1容量膜12および第2電極膜13によって、一つのキャパシタ構造が形成されており、第2電極膜13、第2容量膜17および第3電極膜16によって別のキャパシタ構造が形成されている。すなわち、基板2上に多層（ここでは2層）のキャパシタ構造が形成されているので、チップコンデンサ1の大容量化を図ることができる。すなわち、小さな基板2サイズでも大容量コンデンサを提供でき、同じ容量であればより小型のチップコンデンサ1を提供することができる。

【0042】

図1および図3では図示を省略したが、図2に表れている通り、第3電極膜16の表面を含むチップコンデンサ1の表面はパッシベーション膜9によって覆われている。パッシベーション膜9は、たとえば窒化膜からなっていて、チップコンデンサ1の上面のみならず、基板2の側面まで延びて、この側面をも覆うように形成されている。さらに、パッシベーション膜9の上には、ポリイミド樹脂等からなる樹脂膜10が形成されている。樹脂膜10は、チップコンデンサ1の上面を覆い、さらに基板2の側面に至って、当該側面上のパッシベーション膜9を覆うように形成されている。

【0043】

パッシベーション膜9および樹脂膜10は、チップコンデンサ1の表面を保護する保護膜である。これらには、第1外部電極3および第2外部電極4に対応する領域にパッド開口21，22がそれぞれ形成されている。パッド開口21は、第1外部電極3に対応しており、第2電極膜13のパッド領域13Bの一部の領域を露出させるようにパッシベーション膜9、樹脂膜10および第2容量膜17を貫通している。パッド開口22は、第2外部電極4に対応しており、第1電極膜11のパッド領域11Bおよび第3電極膜16のパ

ッド領域 16B の一部の領域を露出させるようにパッシベーション膜 9、樹脂膜 10、第 3 電極膜 16、第 1 容量膜 12 および第 2 容量膜 17 を貫通している。

【0044】

パッド開口 21, 22 には、第 1 外部電極 3 および第 2 外部電極 4 がそれぞれ埋め込まれている。これにより、第 1 外部電極 3 は第 2 電極膜 13 のパッド領域 13B に接合しており、第 2 外部電極 4 は第 1 電極膜 11 のパッド領域 11B および第 3 電極膜 16 のパッド領域 16B に接合している。第 1 および第 2 外部電極 3, 4 は、樹脂膜 10 の表面から突出するように形成されている。これにより、実装基板に対してチップコンデンサ 1 をフリップチップ接合することができる。

【0045】

図 4 は、チップコンデンサ 1 の内部の電氣的構成を示す回路図である。第 1 外部電極 3 と第 2 外部電極 4 との間に複数のキャパシタ要素 C1 ~ C19 が並列に接続されている。各キャパシタ要素 C1 ~ C19 と第 1 外部電極 3 との間には、一つまたは複数のヒューズユニット 7 でそれぞれ構成されたヒューズ F1 ~ F9 が直列に介装されている。具体的には、上下に重なっているキャパシタ要素の組（符号の末尾の数字が同じキャパシタ要素）が、共通のヒューズを介して第 1 外部電極 3（第 1 外部電極 3 および第 2 外部電極 4 の間）に対して接続されている。たとえば、キャパシタ要素 C1 および C11 の組が、共通のヒューズ F1 を介して第 1 外部電極 3 に対して接続されている。

【0046】

ヒューズ F1 ~ F9 が全て接続されているときは、チップコンデンサ 1 の容量値は、キャパシタ要素 C1 ~ C19 の容量値の総和に等しい。複数のヒューズ F1 ~ F19 から選択した一つまたは二つ以上のヒューズを切断すると、当該切断されたヒューズに対応するキャパシタ要素の組が切り離され、当該切り離されたキャパシタ要素の組の容量値だけチップコンデンサ 1 の容量値が減少する。たとえば、ヒューズ F1 を切断すると、対応するキャパシタ要素 C1 および C11 の組が切り離され、当該切り離されたキャパシタ要素の組の容量値だけチップコンデンサ 1 の容量値が減少する。

【0047】

そこで、パッド領域 11B（16B）、13B の間の容量値（キャパシタ要素 C1 ~ C19 の総容量値）を測定し、その後、に所望の容量値に応じてヒューズ F1 ~ F9 から適切に選択した一つまたは複数のヒューズをレーザ光で溶断すれば、所望の容量値への合わせ込み（レーザトリミング）を行うことができる。とくに、キャパシタ要素 C1 ~ C8（C11 ~ C18）の容量値が、公比 2 の等比数列をなすように設定されていれば、最小の容量値（当該等比数列の初項の値）であるキャパシタ要素 C1 の容量値に対応する精度で目標の容量値へと合わせ込む微調整が可能である。

【0048】

たとえば、キャパシタ要素 C1 ~ C19 の容量値は次のように定められていてもよい。前述したように、キャパシタ要素 C1 ~ C9 のそれぞれと、キャパシタ要素 C11 ~ C19 における対応するキャパシタ要素（符号の末尾の数字が同じキャパシタ要素）とは、等しい容量値を有している。

$$C1 = C11 = 0.03125 \text{ pF}$$

$$C2 = C12 = 0.0625 \text{ pF}$$

$$C3 = C13 = 0.125 \text{ pF}$$

$$C4 = C14 = 0.25 \text{ pF}$$

$$C5 = C15 = 0.5 \text{ pF}$$

$$C6 = C16 = 1 \text{ pF}$$

$$C7 = C17 = 2 \text{ pF}$$

$$C8 = C18 = 4 \text{ pF}$$

$$C9 = C19 = 4 \text{ pF}$$

この場合、0.03125 pF の最小合わせ込み精度でチップコンデンサ 1 の容量を微調整できる。また、ヒューズ F1 ~ F9 から切断すべきヒューズを適切に選択することで

10

20

30

40

50

、0.1 pF～20 pFの間の任意の容量値のチップコンデンサ1を提供することができる。

【0049】

以上のように、この実施形態によれば、第1外部電極3および第2外部電極4の間に、ヒューズF1～F9によって切り離し可能な複数のキャパシタ要素C1～C19が設けられている。キャパシタ要素C1～C19は、異なる容量値の複数のキャパシタ要素、より具体的には等比数列をなすように容量値が設定された複数のキャパシタ要素を含んでいる。それによって、ヒューズF1～F9から1つまたは複数のヒューズを選択してレーザ光で溶断することにより、設計を変更することなく複数種類の容量値に対応でき、かつ所望の容量値に正確に合わせ込むことができるチップコンデンサ1を提供できる。

10

【0050】

チップコンデンサ1の各部の詳細について以下に説明を加える。

図1を参照して、基板2は、たとえば平面視において0.3 mm×0.15 mm、0.4 mm×0.2 mm、または0.2 mm×0.1 mmなどの矩形形状（好ましくは、0.4 mm×0.2 mm以下の大きさ）を有していてもよい。キャパシタ配置領域5は、概ね、基板2の短辺の長さに相当する一辺を有する正方形領域となる。基板2の厚さは、150 μm程度であってもよい。基板2は、たとえば、裏面側（キャパシタ要素C1～C19が形成されていない表面）からの研削または研磨によって薄型化された基板であってもよい。基板2の材料としては、シリコン基板に代表される半導体基板を用いてもよいし、ガラス基板を用いてもよいし、樹脂フィルムを用いてもよい。

20

【0051】

図2を参照して、絶縁膜8は、酸化シリコン膜等の酸化膜であってもよい。その膜厚は、500 Å～2000 Å程度であってもよい。

第1電極膜11は、導電性膜、とくに金属膜であることが好ましく、たとえばアルミニウム膜であってもよい。アルミニウム膜からなる第1電極膜11は、スパッタ法によって形成することができる。第2電極膜13も同様に、導電性膜、とくに金属膜で構成することが好ましく、アルミニウム膜であってもよい。アルミニウム膜からなる第2電極膜13は、スパッタ法によって形成することができる。第2電極膜13のキャパシタ電極領域13Aを電極膜部分131～139に分割し、かつヒューズ領域13Cを複数のヒューズユニット7に整形するためのパターニングは、フォトリソグラフィおよびエッチングプロセスによって行うことができる。第3電極膜16も同様に、導電性膜、とくに金属膜で構成することが好ましく、アルミニウム膜であってもよい。アルミニウム膜からなる第3電極膜16は、スパッタ法によって形成することができる。

30

【0052】

このように、第1電極膜11、第2電極膜13および第3電極膜16の少なくともいずれか（ここでは全部）は、ヒューズユニット7と同じ導電性材料の膜で形成されている。この場合、電極膜とヒューズユニット7とを同じ導電性材料の膜で形成することができるから、それらを同一膜からパターニングして形成することができるので、製造工程が簡単になる。

【0053】

第1容量膜12および第2容量膜17は、たとえば窒化シリコン膜で構成することができる。その膜厚は500 Å～2000 Å（たとえば1000 Å）とすることができる。第1容量膜12および第2容量膜17は、プラズマCVD（化学的気相成長）によって形成された窒化シリコン膜であってもよい。

40

パッシベーション膜9は、たとえば窒化シリコン膜で構成することができ、たとえばプラズマCVD法によって形成できる。その膜厚は、8000 Å程度とされてもよい。樹脂膜10は、前述の通り、ポリイミド膜その他の樹脂膜で構成することができる。

【0054】

第1および第2外部電極3、4は、たとえば、第1電極膜11（第3電極膜16）または第2電極膜13に接するニッケル層と、このニッケル層上に積層したパラジウム層と、

50

そのパラジウム層上に積層した金層とを積層した積層構造膜からなっているとしてもよく、たとえば、めっき法（より具体的には無電解めっき法）で形成することができる。ニッケル層は第1電極膜11（第3電極膜16）または第2電極膜13に対する密着性の向上に寄与し、パラジウム層は第1電極膜11（第3電極膜16）または第2電極膜13の材料と第1および第2外部電極3、4の最上層の金との相互拡散を抑制する拡散防止層として機能する。

【0055】

図5は、チップコンデンサ1の製造工程の一例を説明するための流れ図である。基板2の表面に、熱酸化法および／またはCVD法によって、酸化膜（たとえば酸化シリコン膜）からなる絶縁膜8が形成される（ステップS1）。次に、たとえばスパッタ法によって、アルミニウム膜からなる第1電極膜11が絶縁膜8の表面全域に形成される（ステップS2）。第1電極膜11の膜厚は8000Å程度とされてもよい。次に、その第1電極膜11の表面に、第1電極膜11の最終形状に対応したレジストパターンが、フォトリソグラフィによって形成される（ステップS3）。このレジストパターンをマスクとして、第1電極膜11がエッチングされることにより、図3等に示したパターンの第1電極膜11が得られる（ステップS4）。第1電極膜11のエッチングは、たとえば、反応性イオンエッチングによって行うことができる。

【0056】

次に、たとえばプラズマCVD法によって、窒化シリコン膜等からなる第1容量膜12が、第1電極膜11上に形成される（ステップS5）。第1電極膜11が形成されていない領域では、絶縁膜8の表面に第1容量膜12が形成されることになる。次いで、その第1容量膜12の上に、第2電極膜13が形成される（ステップS6）。第2電極膜13は、たとえばアルミニウム膜からなり、スパッタ法によって形成することができる。その膜厚は、8000Å程度とされてもよい。次いで、第2電極膜13の表面に第2電極膜13の最終形状に対応したレジストパターンがフォトリソグラフィによって形成される（ステップS7）。このレジストパターンをマスクとしたエッチングにより、第2電極膜13が、最終形状（図3等参照）にパターニングされる（ステップS8）。それによって、第2電極膜13は、キャパシタ電極領域13Aに複数の電極膜部分131～139を有し、ヒューズ領域13Cに複数のヒューズユニット7を有し、それらのヒューズユニット7に接続されたパッド領域13Bを有するパターンに整形される。第2電極膜13のパターニングのためのエッチングは、リン酸等のエッチング液を用いたウェットエッチングによって行ってもよいし、反応性イオンエッチングによって行ってもよい。

【0057】

次に、たとえばプラズマCVD法によって、窒化シリコン膜等からなる第2容量膜17が、第2電極膜13上に形成される（ステップS9）。第2電極膜13が形成されていない領域では、第1容量膜12の表面に第2容量膜17が形成されることになる。次いで、その第2容量膜17の上に、第3電極膜16が形成される（ステップS10）。次に、その第3電極膜16の表面に、第3電極膜16の最終形状に対応したレジストパターンが、フォトリソグラフィによって形成される（ステップS11）。このレジストパターンをマスクとして、第3電極膜16がエッチングされることにより、図3等に示したパッド領域16Bを有するパターンの第3電極膜16が得られる（ステップS12）。第3電極膜16のエッチングは、たとえば、反応性イオンエッチングによって行うことができる。

【0058】

この後、第2電極膜13のパッド領域13Bと第1電極膜11のパッド領域11B（第3電極膜16のパッド領域16B）とに検査用プローブを押し当てて、複数のキャパシタ要素C1～C19の総容量値が測定される（ステップS13）。この測定された総容量値に基づき、目的とするチップコンデンサ1の容量値に応じて、切り離すべきキャパシタ要素、すなわち切断すべきヒューズが選択される（ステップS14）。

【0059】

次いで、図6Aに示すように、基板2上の全面にたとえば窒化膜からなるカバー膜23

10

20

30

40

50

が形成される（ステップS15）。このカバー膜23の形成は、プラズマCVD法によって行われてもよく、たとえば膜厚3000 Å程度の窒化シリコン膜が形成されてもよい。カバー膜23は、パターニングされた第3電極膜16を覆い、第3電極膜16が形成されていない領域では第1容量膜12や第2容量膜17やパッド領域11Bにおける第1電極膜11を覆う。カバー膜23は、ヒューズ領域13Cにおいてはヒューズユニット7を覆うことになる。

【0060】

この状態から、ヒューズユニット7を溶断するためのレーザトリミングが行われる（ステップS16）。すなわち、図6Bに示すように、前記総容量値の測定結果に応じて選択されたヒューズを構成するヒューズユニット7にレーザ光24を当てて、そのヒューズユニット7の幅狭部7Cが溶断される。これにより、対応するキャパシタ要素（キャパシタ要素の組）がパッド領域13Bから切り離される。ヒューズユニット7にレーザ光24を当てるとき、カバー膜23の働きによって、ヒューズユニット7の近傍にレーザ光24のエネルギーが蓄積され、それによって、ヒューズユニット7が溶断する。

【0061】

なお、第2容量膜17が、レーザ光のエネルギーを蓄積するためのカバー膜として利用できる程度に厚ければ、レーザトリミングの直前のカバー膜23の形成（ステップS15）は省かれてもよい。

次に、図6Cに示すように、たとえばプラズマCVD法によって、カバー膜23上に窒化シリコン膜が堆積させられ、パッシベーション膜9が形成される（ステップS17）。前述のカバー膜23は最終形態において、パッシベーション膜9と一体化し、このパッシベーション膜9の一部を構成する。ヒューズの切断後に形成されたパッシベーション膜9は、ヒューズ溶断の際に同時に破壊されたカバー膜23の開口内に入り込み、ヒューズユニット7の切断面を覆って保護する。したがって、パッシベーション膜9は、ヒューズユニット7の切断箇所に異物が入り込んだり水分が侵入したりすることを防ぎ、チップコンデンサ1の信頼性を向上させる。パッシベーション膜9は、全体で、たとえば8000 Å程度の膜厚を有するように形成されてもよい。

【0062】

次に、第1および第2外部電極3, 4を形成すべき位置に貫通孔を有するレジストパターンがパッシベーション膜9上に形成される（ステップS18）。このレジストパターンをマスクとしてパッシベーション膜9のエッチングが行われる。この際、必要に応じて、第2容量膜17もエッチングされる。それによって、第1電極膜11をパッド領域11Bにおいて露出させ、第3電極膜16をパッド領域16Bにおいて露出させるパッド開口と、第2電極膜13をパッド領域13Bにおいて露出させるパッド開口とが形成されることになる（ステップS19）。パッシベーション膜9のエッチングは、反応性イオンエッチングによって行われてもよい。

【0063】

次いで、全面に樹脂膜が塗布される（ステップS20）。樹脂膜としては、たとえば感光性のポリイミドの塗布膜が用いられる。この樹脂膜に対して、前記パッド開口に対応した領域に対する露光工程、およびその後の現像工程を行うことによって、フォトリソグラフィによる樹脂膜のパターニングを行うことができる（ステップS21）。これにより、樹脂膜10およびパッシベーション膜9等を貫通したパッド開口21, 22が形成される。その後、樹脂膜を硬化するための熱処理（キュア処理）が行われ（ステップS22）、さらに、パッド開口21, 22内に、たとえば無電解めっき法によって、第1外部電極3および第2外部電極4が成長させられる（ステップS23）。こうして、図1等に示す構造のチップコンデンサ1が得られる。

【0064】

フォトリソグラフィ工程を利用した第2電極膜13のパターニングでは、微小面積の電極膜部分131~139を精度良く形成することができ、さらに微細なパターンのヒューズユニット7を形成することができる。そして、第3電極膜16のパターニングの後に、

10

20

30

40

50

総容量値の測定を経て、切断すべきヒューズが決定される。その決定されたヒューズを切断することによって、所望の容量値に正確に合わせ込まれたチップコンデンサ 1 を得ることができる。

【0065】

図 7 は、第 1 参考例の第 2 の実施形態に係るチップコンデンサ 2 5 の構成を説明するための平面図である。図 7 において、前述の図 1 に示された各部と対応する部分には同一の参照符号を付して示す。

前述の第 1 の実施形態では、第 2 電極膜 1 3 のキャパシタ電極領域 1 3 A がそれぞれ帯状の電極膜部分 1 3 1 ~ 1 3 9 に分割されている。この場合、図 1 に示すように、キャパシタ配置領域 5 内にキャパシタ要素として利用することができない領域が生じてしまい、
小さな基板 2 上の限られた領域を有効に活用することができない。

【0066】

そこで、図 7 に示す実施形態では、複数の電極膜部分 1 3 1 ~ 1 3 9 が L 字形の電極膜部分 1 4 1 ~ 1 4 9 に分割されている。これによって、たとえば、図 7 の構成における電極膜部分 1 4 9 は、図 1 の構成の電極膜部分 1 3 9 の 1.5 倍の面積で第 1 電極膜 1 1 および第 3 電極膜 1 6 のそれぞれに対向することができる。よって、図 1 の第 1 の実施形態において電極膜部分 1 3 9 に対応したキャパシタ要素 C 9 (C 1 9) が 4 p F の容量を有しているとすれば、この実施形態における電極膜部分 1 4 9 を用いることで、キャパシタ要素 C 9 (C 1 9) は 6 p F の容量を有することができる。これにより、キャパシタ配置領域 5 内を有効に活用して、より広い範囲でチップコンデンサ 1 の容量値を設定することが可能となる。

【0067】

この実施形態に係るチップコンデンサ 2 5 の製造工程は、図 5 に示した工程と実質的に同様である。ただし、第 2 電極膜 1 3 のパターニング (ステップ S 7, S 8) では、キャパシタ電極領域 1 3 A が、図 7 に示す形状の複数の電極膜部分 1 3 1 ~ 1 3 9 に分割される。

図 8 は、第 1 参考例の第 3 の実施形態に係るチップコンデンサ 2 6 の構成を説明するための分解斜視図であり、前述の第 1 の実施形態の説明において用いた図 3 と同様にチップコンデンサ 2 6 の各部が表されている。

【0068】

第 1 の実施形態では、第 1 電極膜 1 1 および第 3 電極膜 1 6 のそれぞれがキャパシタ配置領域 5 のほぼ全域にわたる連続パターンからなるキャパシタ電極領域 1 1 A, 1 6 A を有し、第 2 電極膜 1 3 のキャパシタ電極領域 1 3 A が複数の電極膜部分 1 3 1 ~ 1 3 9 に分割されている (図 3 参照)。

これに対して、この実施形態では、第 2 電極膜 1 3 のキャパシタ電極領域 1 3 A がキャパシタ配置領域 5 のほぼ全域にわたって連続する連続膜パターンに形成されている一方で、第 1 電極膜 1 1 のキャパシタ電極領域 1 1 A が複数の (第 1) 電極膜部分 1 5 1 ~ 1 5 9 に分割され、第 3 電極膜 1 6 のキャパシタ電極領域 1 6 A が複数の (第 3) 電極膜部分 1 8 1 ~ 1 8 4 に分割されている。電極膜部分 1 5 1 ~ 1 5 9 は、第 1 の実施形態における電極膜部分 1 3 1 ~ 1 3 9 と同様の形状および面積比に形成されてもよいし、第 2 の実施形態における電極膜部分 1 4 1 ~ 1 4 9 と同様の形状および面積比に形成されてもよい。また、電極膜部分 1 8 1 ~ 1 8 4 も、電極膜部分 1 5 1 ~ 1 5 9 と同様に形成されてもよい。つまり、電極膜部分 1 5 1 ~ 1 5 9 は、互いに異なる対向面積で第 2 電極膜 1 3 に対向していて、当該対向面積は、等比数列をなすように設定されていてもよい。同様に、電極膜部分 1 8 1 ~ 1 8 4 も、互いに異なる対向面積で第 2 電極膜 1 3 に対向していて、当該対向面積は、等比数列をなすように設定されていてもよい。

【0069】

このようにして、電極膜部分 1 5 1 ~ 1 5 9 と、第 1 容量膜 1 2 と、第 2 電極膜 1 3 とによって、複数のキャパシタ要素 C 2 1 ~ C 2 9 が構成されている。この複数のキャパシタ要素 C 2 1 ~ C 2 9 の少なくとも一部は、容量値の異なる (たとえば等比数列をなすよ

うに各容量値が設定された) キャパシタ要素群を構成している。さらに、電極膜部分 1 8 1 ~ 1 8 4 と、第 2 容量膜 1 7 と、第 2 電極膜 1 3 とによって、複数のキャパシタ要素 C 3 1 ~ C 3 4 がさらに構成されている。この複数のキャパシタ要素 C 3 1 ~ C 3 4 の少なくとも一部は、容量値の異なる (たとえば等比数列をなすように各容量値が設定された) キャパシタ要素群を構成している。

【0070】

第 1 電極膜 1 1 は、さらに、キャパシタ電極領域 1 1 A とパッド領域 1 1 B との間にヒューズ領域 1 1 C を有している。ヒューズ領域 1 1 C には、第 1 の実施形態のヒューズユニット 7 と同様の複数のヒューズユニット 2 7 がパッド領域 1 1 B に沿って一列に配列されている。各電極膜部分 1 5 1 ~ 1 5 9 (キャパシタ要素 C 2 1 ~ C 2 9) は、一つまたは複数のヒューズユニット 2 7 を介してパッド領域 1 1 B に接続されている。つまり、複数のヒューズユニット 2 7 は、キャパシタ要素 C 2 1 ~ C 2 9 とパッド領域 1 1 B の第 2 外部電極 4 との間にそれぞれ介装されている。キャパシタ要素 C 2 1 ~ C 2 9 のそれぞれに対応するヒューズユニット 2 7 は、ヒューズ F 1 1 ~ F 1 9 を構成している (図 9 参照)。

10

【0071】

第 3 電極膜 1 6 は、さらに、キャパシタ電極領域 1 6 A とパッド領域 1 6 B との間にヒューズ領域 1 6 C を有している。ヒューズ領域 1 6 C には、第 1 の実施形態のヒューズユニット 7 と同様の複数のヒューズユニット 2 8 がパッド領域 1 6 B に沿って一列に配列されている。各電極膜部分 1 8 1 ~ 1 8 4 (キャパシタ要素 C 3 1 ~ C 3 4) は、一つまたは複数のヒューズユニット 2 8 を介してパッド領域 1 6 B に接続されている。つまり、複数のヒューズユニット 2 8 は、キャパシタ要素 C 3 1 ~ C 3 4 とパッド領域 1 6 B の第 2 外部電極 4 との間にそれぞれ介装されている。キャパシタ要素 C 3 1 ~ C 3 4 のそれぞれに対応するヒューズユニット 2 8 は、ヒューズ F 2 1 ~ F 2 4 を構成している (図 9 参照)。

20

【0072】

複数のヒューズユニット 2 7 (ヒューズ F 1 1 ~ F 1 9) および 2 8 (ヒューズ F 2 1 ~ F 2 4) は、平面視において、重なり合わないように位置をずらして配置されている (図 9 参照)。詳しくは、ヒューズユニット 2 7 および 2 8 は、第 2 外部電極 4 の延びる方向 (基板 2 の短手方向) に沿って間隔を隔てて 1 つずつ並んでいる。そのため、基板 2 の主面 2 A に対して垂直な方向からレーザ光 2 4 (図 6 B 参照) を照射することにより、所望のヒューズ (ヒューズユニット 2 7, 2 8) のみを切断でき、別のヒューズが誤って切断されることを回避できる。これにより、チップコンデンサ 1 の容量値を確実に目標値に合わせ込むことができる。なお、第 2 電極膜 1 3 を、レーザ光 2 4 で切断しないように、平面視において、ヒューズユニット 2 7 および 2 8 と重なり合わないように配置しておく必要がある。

30

【0073】

第 3 の実施形態の構成によっても、電極膜部分 1 5 1 ~ 1 5 9 が互いに異なる対向面積で、第 1 容量膜 1 2 を挟んで第 2 電極膜 1 3 に対向しており、これらはヒューズユニット 2 7 を切断することによって個別に切り離すことができる。同様に、電極膜部分 1 8 1 ~ 1 8 4 も互いに異なる対向面積で、第 2 容量膜 1 7 を挟んで第 2 電極膜 1 3 に対向しており、これらはヒューズユニット 2 8 を切断することによって個別に切り離すことができる。したがって、第 1 の実施形態の場合と同様の効果が得られる。とくに、複数の電極膜部分 1 5 1 ~ 1 5 9 の少なくとも一部、および、複数の電極膜部分 1 8 1 ~ 1 8 4 の少なくとも一部が公比 2 の等比数列をなすように設定した対向面積で第 2 電極膜 1 3 に対向するように形成しておくことで、第 1 の実施形態の場合と同様に、所要の容量値に高精度で合わせ込んだチップコンデンサを提供できる。

40

【0074】

第 1 および第 2 の実施形態の場合には、前述したように上下に重なるキャパシタ要素 (たとえば、キャパシタ要素 C 1 および C 1 1) が共通のヒューズ (キャパシタ要素 C 1 お

50

よびC 1 1の場合にはヒューズF 1)を介して第1外部電極3に接続されていたので(図1~図3参照)、当該共通のヒューズを切断すると、上下のキャパシタ要素が一度に切り離されてしまう。一方、第3の実施形態の場合には、キャパシタ要素C 2 1~C 2 9およびC 3 1~C 3 4のそれぞれは、専用のヒューズ(ヒューズユニット2 7, 2 8)を介して第2外部電極4に接続されている。そのため、各キャパシタ要素を個別に切り離すことができるから、第1および第2の実施形態に比べて、キャパシタ要素の組み合わせ範囲が広がるため、チップコンデンサ2 6全体の容量値を一層広範囲に設定できる。さらに、キャパシタ要素C 2 1~C 2 9およびC 3 1~C 3 4のすべての容量値を異ならせておけば、チップコンデンサ2 6全体の容量値をより一層広範囲に設定できる。

【0075】

第3の実施形態に係るチップコンデンサ2 6の製造工程は、図5に示した工程と実質的に同様である。ただし、第1電極膜1 1のパターニング(ステップS 3, S 4)において、キャパシタ電極領域1 1 Aが電極膜部分1 5 1~1 5 9に分割され、かつヒューズ領域1 1 Cに複数のヒューズユニット2 7が形成されることになる。また、第2電極膜1 3のパターニング(ステップS 7, S 8)では、複数の電極膜部分の形成は行われず、ヒューズユニットの形成も行われない。また、第3電極膜1 6のパターニング(ステップS 1 1, S 1 2)において、キャパシタ電極領域1 6 Aが電極膜部分1 8 1~1 8 4に分割され、かつヒューズ領域1 6 Cに複数のヒューズユニット2 8が形成されることになる。さらに、レーザトリミング(ステップS 1 6)においては、第1電極膜1 1に形成されたヒューズユニット2 7および第3電極膜1 6に形成されたヒューズユニット2 8のうち選択されたものがレーザ光によって切断される。

【0076】

第1電極膜1 1に形成されたヒューズユニット2 7だけをレーザトリミングするのであれば、レーザトリミングの際、第1電極膜1 1が第1容量膜1 2によって覆われているので、この第1容量膜1 2をレーザ光のエネルギーを蓄積するためのカバー膜として利用することができる。したがって、レーザトリミングの直前のカバー膜の形成(ステップS 1 5)は省かれてもよい。

【0077】

なお、第3の実施形態では、第1電極膜1 1を9つの電極膜部分1 5 1~1 5 9に分割する一方で、第3電極膜1 6を4つの電極膜部分1 8 1~1 8 4に分割することで、第1電極膜1 1のキャパシタ電極領域1 1 Aと第3電極膜1 6のキャパシタ電極領域1 6 Aとを異なる形状にしている。しかし、これは一例に過ぎず、もちろん、キャパシタ電極領域1 1 Aおよびキャパシタ電極領域1 6 Aの互いの形状(電極膜部分の数)を一致させても構わない。ただし、この場合においても、複数のヒューズユニット2 7および2 8は、平面視において、重なり合わないように位置をずらして配置されている必要がある(図9参照)。

【0078】

以上、第1参考例の実施形態について説明してきたが、第1参考例はさらに他の形態で実施することもできる。たとえば、前述の実施形態では、第2電極膜1 3だけが複数の電極膜に分割されている構成や、第2電極膜1 3以外の第1電極膜1 1および第3電極膜1 6が複数の電極膜に分割されている構成を示したが、第1電極膜1 1、第2電極膜1 3および第3電極膜1 6のすべてが複数の電極膜部分に分割されていてもよい。いずれにせよ、複数のキャパシタ要素(C 1~C 1 9, C 2 1~C 2 9, C 3 1~C 3 4)のうち、該当する電極膜部分(1 3 1~1 3 9, 1 4 1~1 4 9, 1 5 1~1 5 9, 1 8 1~1 8 4)に対応するヒューズ(ヒューズユニット7, 2 7, 2 8)を切断することによって、所要の容量値を有するチップコンデンサ1を構成することができる。

【0079】

また、以上の実施形態では、2層のキャパシタ構造を有するチップコンデンサ1, 2 5, 2 6について説明したが、3層以上のキャパシタ構造を有するチップコンデンサも考えられる。たとえば、図8のチップコンデンサ2 6の場合において、第3電極膜1 6の上に

、第3容量膜を形成し、当該第3容量膜上に、第1外部電極3に接続された第4電極膜を形成することで、3層構造のチップコンデンサを実現できる。さらに、当該第4電極膜の上に第4容量膜を介して第5電極膜を形成すれば、4層構造のチップコンデンサを実現できる。このような多層構造のチップコンデンサを構成することによって、チップコンデンサの小型化および大容量化の両立を一層達成できるとともに、容量値を広範囲かつ高精度に調整できるコンデンサを提供できる。

【0080】

ただし、多層構造のチップコンデンサを構成する場合には、前述したように各電極膜のヒューズを平面視で重ならないように配置することに留意する必要がある。

さらに、前述の実施形態では、第1電極膜11、第2電極膜13および第3電極膜16のいずれかとヒューズユニットとが一体化されている例を示したが、第1電極膜11、第2電極膜13および第3電極膜16とは別の導体膜でヒューズユニットを形成してもよい。さらに、前述の実施形態では、複数のキャパシタ要素が公比 r ($0 < r$ 、 $r \neq 1$) $= 2$ の等比数列をなす容量値を有する複数のキャパシタ要素を有している例を示したが、当該等比数列の公比は2以外の数であってもよい。また、前述の実施形態では、基板2の表面に絶縁膜8が形成されているが、基板2が絶縁性の基板であれば、絶縁膜8を省くこともできる。また、基板2として導電性基板を用い、その導電性基板を下部電極として用い、導電性基板の表面に接するように第1容量膜12を形成してもよい。この場合、導電性基板の裏面から一方の外部電極を引き出してもよい。

【0081】

その他、前記(2)第1参考例に係る発明の特徴に記載された事項の範囲で種々の設計変更を施すことが可能である。たとえば、各特徴E1～E24で特定されていない製造の工程を変更したり、割愛したり、追加したものも、第1参考例の範囲に含まれる。

<第2参考例に係る発明>

(1)第2参考例に係る発明の特徴

たとえば、第2参考例に係る発明の特徴は、以下のA1～A20である。

(A1)基板と、前記基板上に配置された第1外部電極と、前記基板上に配置された第2外部電極と、前記基板上に形成され、前記第1外部電極および前記第2外部電極の間に接続された複数のキャパシタ要素と、前記基板上に形成され、前記複数のキャパシタ要素と前記第1外部電極または前記第2外部電極との間にそれぞれ介装され、前記複数のキャパシタ要素をそれぞれ切り離し可能な複数のヒューズとを含むチップコンデンサ。

【0082】

A1記載の発明によれば、基板上に配置された第1および第2外部電極の間に複数のキャパシタ要素が接続されている。そして、複数のキャパシタ要素と第1または第2外部電極との間に、当該複数のキャパシタ要素をそれぞれ切り離し可能な複数のヒューズが設けられている。そこで、一つまたは複数のヒューズを選択して切断することにより、複数種類の容量値に、容易にかつ速やかに対応することができる。換言すれば、複数種類の容量値のチップコンデンサに対して共通の設計を適用できる。

(A2)前記複数のキャパシタ要素が、互いに異なる容量値を有している、A1に記載のチップコンデンサ。

【0083】

A2記載の発明により、容量値の異なる複数のキャパシタ要素を組み合わせることによって、様々な容量値のチップコンデンサを共通の設計で実現することができる。

(A3)前記複数のキャパシタ要素の容量値が、等比数列をなすように設定されている、A2に記載のチップコンデンサ。

A3記載の発明により、第1外部電極および第2外部電極の間に接続すべき複数のキャパシタ要素を適切に選択することによって、チップコンデンサの容量値を所望の容量値に正確に合わせ込むことができる。たとえば、前記等比数列の公比を2とすることによって、当該等比数列の初項(当該数列内で最小値の項)の精度でチップコンデンサの容量値を合わせ込むことができる。

(A 4) 前記複数のヒューズのうちの少なくとも一つが切断されている、A 1～A 3のいずれか一項に記載のチップコンデンサ。

【0084】

容量値を合わせ込んだチップコンデンサは、1つまたは複数のヒューズが切断されている場合がある。ヒューズの切断によって、第1外部電極および第2外部電極の間に接続するキャパシタ要素を選択でき、それによって、所要の容量値のチップコンデンサを実現できる。

(A 5) 前記基板上に形成された下部電極膜と、前記下部電極膜上に形成された容量膜と、前記容量膜上に前記下部電極膜と対向するように形成された上部電極膜とを含み、前記上部電極膜および上記下部電極膜のうちの一方の電極膜が、分割された複数の電極膜部分を含み、前記複数の電極膜部分が前記容量膜を介して前記上部電極膜および前記下部電極膜のうちの他方の電極膜に対向することにより、前記複数のキャパシタ要素が形成されている、A 1～A 4のいずれか一項に記載のチップコンデンサ。

10

【0085】

A 5記載の発明によれば、下部電極膜と上部電極膜との間に容量膜を挟み込むことによってキャパシタ構造が構成されている。そして、上部電極膜および下部電極膜のうちの一方の電極膜を複数の電極膜部分に分割することによって、それぞれの電極膜部分が他方の電極膜に対向し、これによって複数のキャパシタ要素が基板上に設けられることになる。

(A 6) 前記複数の電極膜部分が、互いに異なる対向面積で前記他方の電極膜に対向している、A 5に記載のチップコンデンサ。

20

【0086】

A 6記載の発明により、対向面積が互いに異なる複数の電極膜部分に対応する複数のキャパシタ要素は、互いに異なる容量値を有することになる。よって、それらを適切に組み合わせることによって、複数種類の容量値のチップコンデンサを実現することができる。より具体的には、選択された複数のキャパシタ要素以外のキャパシタ要素に対応するヒューズを切断してそれらを第1および第2外部電極の間から切り離すことによって、所要の容量値を有するチップコンデンサを構成することができる。

(A 7) 前記複数の電極膜部分の前記対向面積が、等比数列をなすように設定されている、A 6に記載のチップコンデンサ。

【0087】

30

A 7記載の発明により、容量値が等比数列をなすように設定された複数のキャパシタ要素を基板上に設けることができる。それによって、複数種類の容量値のチップコンデンサを実現でき、かつ、容量値の微調整も、ヒューズの切断によって行うことができる。

(A 8) 前記複数の電極膜部分と前記ヒューズとが同じ導電性材料の膜で形成されている、A 5～A 7のいずれか一項に記載のチップコンデンサ。

【0088】

A 8記載の発明では、電極膜部分とヒューズとを共通の導電性材料膜で構成することができる。そして、各電極膜部分に対応するヒューズを切断することで、当該電極膜部分を切り離すことができる。

(A 9) 前記上部電極膜を覆い、前記第1外部電極および前記第2外部電極を露出させるように形成された保護膜をさらに含む、A 1～A 8のいずれか一項に記載のチップコンデンサ。

40

【0089】

A 9記載の発明により、第1および第2外部電極を露出させる一方で上部電極膜を保護膜で覆うことができるから、共通の設計で複数種類の容量値を実現でき、かつ信頼性の高いチップコンデンサを提供できる。

(A 10) 前記保護膜が、前記基板の側面にまで延びて、当該側面を覆っている、A 9に記載のチップコンデンサ。

【0090】

A 10記載の発明により、基板の側面からも保護することができるので、チップコンデ

50

ンサの信頼性を一層向上できる。

(A 1 1) 第 1 外部電極および第 2 外部電極を有するチップコンデンサの製造方法であって、基板上に複数のキャパシタ要素を形成する工程と、前記複数のキャパシタ要素をそれぞれ切り離し可能に前記第 1 外部電極または第 2 外部電極に接続するための複数のヒューズを前記基板上に形成する工程と、基板上に第 1 外部電極および第 2 外部電極を形成する工程とを含む、チップコンデンサの製造方法。

【0091】

A 1 1 記載の発明により、所要の容量値に応じて選択したヒューズを切断することにより、共通の設計でありながら、複数の容量値のチップコンデンサを製造することができる。

10

(A 1 2) 前記複数のキャパシタ要素が、互いに異なる容量値を有するように形成される、A 1 1 に記載のチップコンデンサの製造方法。

【0092】

A 1 2 記載の発明により、複数のキャパシタ要素を適切に選択して組み合わせることで、複数種類の容量値を実現できる。

(A 1 3) 前記複数のキャパシタ要素の容量値が、等比数列をなすように設定される、A 1 2 に記載のチップコンデンサの製造方法。

A 1 3 記載の発明によれば、複数のキャパシタ要素を適切に選択して組み合わせることによって、複数種類の容量値を実現でき、かつ所望の容量値に対する微調整（合わせ込み）も可能となる。たとえば、前記等比数列の公比を 2 とすることによって、当該等比数列の初項（当該数列内で最小値の項）の精度でチップコンデンサの容量値を合わせ込むことができる。

20

(A 1 4) 前記複数のヒューズのうちの少なくとも一つを切断するヒューズ切断工程をさらに含む、A 1 1 ～ A 1 3 のいずれか一項に記載のチップコンデンサの製造方法。

【0093】

A 1 4 記載の発明により、切断すべきヒューズを適切に選択することによって、チップコンデンサの容量値を所望の容量値に合わせ込むことができる。すなわち、第 1 および第 2 外部電極に接続すべきキャパシタ要素を適切に選択し、それ以外のキャパシタ要素に対応するヒューズを切断することにより、所望の容量値に合わせ込んだチップコンデンサを製造できる。

30

(A 1 5) 前記複数のキャパシタ要素の総容量値を測定する工程と、前記測定された総容量値に基づいて、前記切断すべきヒューズを選択する工程とをさらに含み、前記ヒューズ切断工程では、前記選択されたヒューズが切断される、A 1 4 に記載のチップコンデンサの製造方法。

【0094】

A 1 5 記載の発明によれば、複数のキャパシタ要素の総容量値が測定され、その測定結果に基づいて切断すべきヒューズが選択されるので、チップコンデンサの容量値を確実に目的の容量値とすることができる。

(A 1 6) 前記ヒューズを切断した後に、前記ヒューズの切断部を覆う保護膜を形成する工程をさらに含む、A 1 4 または A 1 5 に記載のチップコンデンサの製造方法。

40

【0095】

A 1 6 記載の発明により、ヒューズの切断部が保護膜によって覆われるので、切断部に対する異物や水分の侵入を回避できるから、共通の設計で複数種類の容量値を実現できるとともに、信頼性の高いチップコンデンサを製造することができる。

(A 1 7) 前記複数のキャパシタ要素を形成する工程が、前記基板上に下部電極膜を形成する工程と、前記下部電極膜上に容量膜を形成する工程と、前記容量膜上に前記下部電極膜と対向するように上部電極膜を形成する工程と、前記上部電極膜および前記下部電極膜のうちの一方の電極膜を複数の電極膜部分に分割（たとえばフォトリソグラフィにより分割）する工程とを含み、前記複数の電極膜部分が前記容量膜を介して前記上部電極膜および下部電極膜のうちの他方の電極膜に対向することにより、前記複数のキャパシタ要素が

50

形成される、A 1 1～A 1 6のいずれか一項に記載のチップコンデンサの製造方法。

【0096】

A 1 7記載の発明により、下部電極膜と上部電極膜との間に容量膜を挟んだキャパシタ構造を形成できる。そして、上部電極膜および下部電極膜のうち的一方を複数の電極膜部分に分割することで、当該分割された電極膜部分と他方の電極膜との間に容量膜を挟んだ構造の複数のキャパシタ要素を基板上に形成することができる。

(A 1 8) 前記複数の電極膜部分が互いに異なる対向面積で前記他方の電極膜に対向するように前記一方の電極膜が分割される、A 1 7に記載のチップコンデンサの製造方法。

【0097】

A 1 8記載の発明により、複数の電極膜部分が互いに異なる対向面積で他方の電極膜に対向することによって、容量値の異なる複数のキャパシタ要素を基板上に形成することができる。したがって、異なる容量値のキャパシタ要素を適切に選択して組み合わせることで、複数種類の容量値のチップコンデンサを製造することができる。

(A 1 9) 前記複数の電極膜部分の前記対向面積が、等比数列をなすように設定される、A 1 8に記載のチップコンデンサの製造方法。

【0098】

A 1 9記載の発明により、等比数列をなすように容量値が設定された複数のキャパシタ要素を基板上に形成することができる。よって、複数のキャパシタ要素を適切に選択して組み合わせることで、複数種類の容量値のチップコンデンサを提供でき、かつ所望の容量値への正確な合わせ込みが可能になる。

(A 2 0) 前記一方の電極膜と前記ヒューズとが同じ導電性材料の膜で形成される、A 1 7～A 1 9のいずれか一項に記載のチップコンデンサの製造方法。

【0099】

A 2 0記載の発明によれば、電極膜部分とヒューズとを同じ導電性材料の膜で形成することができるから、それらを同一膜からパターニングして形成することができる。これにより、製造工程が簡単になる。

(2) 第2参考例に係る発明の実施形態

以下では、第2参考例の実施の形態を、添付図面を参照して詳細に説明する。

【0100】

図10は、第2参考例の第1の実施形態に係るチップコンデンサの平面図であり、図11はその断面図であって、図10の切断面線XI-XIから見た切断面が示されている。さらに、図12は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。

チップコンデンサ31は、基板32と、基板上に配置された第1外部電極33と、同じく基板32上に配置された第2外部電極34とを備えている。基板32は、この実施形態では、平面視において四隅を面取りした矩形形状を有している。基板32の長手方向両端部に第1外部電極33および第2外部電極34がそれぞれ配置されている。第1外部電極33および第2外部電極34は、この実施形態では、基板32の短手方向に延びたほぼ矩形の平面形状を有し、基板32の角に対応する各2箇所面に面取り部を有している。基板32上には、第1外部電極33および第2外部電極34の間のキャパシタ配置領域35内に、複数のキャパシタ要素C1～C9が配置されている。複数のキャパシタ要素C1～C9は、複数のヒューズユニット37を介してそれぞれ第1外部電極33に電氣的に接続されている。

【0101】

図11および図12に示されているように、基板32の表面には絶縁膜38が形成されていて、絶縁膜38の表面に下部電極膜41が形成されている。下部電極膜41は、キャパシタ配置領域35のほぼ全域にわたっているとともに、第2外部電極34の直下の領域にまで延びて形成されている。より具体的には、下部電極膜41は、キャパシタ要素C1～C9の共通の下部電極として機能するキャパシタ電極領域41Aと、外部電極引き出しのためのパッド領域41Bとを有している。キャパシタ電極領域41Aがキャパシタ配置領域35に位置していて、パッド領域41Bが第2外部電極34の直下に位置している。

【0102】

キャパシタ配置領域35において下部電極膜41（キャパシタ電極領域41A）を覆うように容量膜（誘電体膜）42が形成されている。容量膜42は、キャパシタ電極領域41Aの全域にわたって連続しており、この実施形態では、さらに第1外部電極33の直下の領域にまで延び、キャパシタ配置領域35外の絶縁膜38を覆っている。

容量膜42の上には、上部電極膜43が形成されている。図10では、明瞭化のために、上部電極膜43を着色して示してある。上部電極膜43は、キャパシタ配置領域35に位置するキャパシタ電極領域43Aと、第1外部電極33の直下に位置するパッド領域43Bと、パッド領域43Bとキャパシタ電極領域43Aとの間に配置されたヒューズ領域43Cとを有している。

10

【0103】

キャパシタ電極領域43Aにおいて、上部電極膜43は、複数の電極膜部分231～239に分割されている。この実施形態では、各電極膜部分231～239は、いずれも矩形形状に形成されていて、ヒューズ領域43Cから第2外部電極34に向かって帯状に延びている。複数の電極膜部分231～239は、複数種類の対向面積で、容量膜42を挟んで下部電極膜41に対向している。より具体的には、電極膜部分231～239の下部電極膜41に対する対向面積は、1：2：4：8：16：32：64：128：128となるように定められていてもよい。すなわち、複数の電極膜部分231～239は、対向面積の異なる複数の電極膜部分を含み、より詳細には、公比が2の等比数列をなすように設定された対向面積を有する複数の電極膜部分231～238（または231～237，239）を含む。これによって、各電極膜部分231～239と容量膜42を挟んで対向する下部電極膜41とによってそれぞれ構成される複数のキャパシタ要素C1～C9は、互いに異なる容量値を有する複数のキャパシタ要素を含む。電極膜部分231～239の対向面積の比が前述の通りである場合、キャパシタ要素C1～C9の容量値の比は、当該対向面積の比と等しく、1：2：4：8：16：32：64：128：128となる。すなわち、複数のキャパシタ要素C1～C9は、公比が2の等比数列をなすように容量値が設定された複数のキャパシタ要素C1～C8（またはC1～C7，C9）を含むことになる。

20

【0104】

この実施形態では、電極膜部分231～235は、幅が等しく、長さの比を1：2：4：8：16に設定した帯状に形成されている。また、電極膜部分235，236，237，238，239は、長さが等しく、幅の比を1：2：4：8：8に設定した帯状に形成されている。電極膜部分235～239は、キャパシタ配置領域35の第1外部電極33側の端縁から第2外部電極34側の端縁までの範囲に渡って延びて形成されており、電極膜部分231～234は、それよりも短く形成されている。

30

【0105】

パッド領域43Bは、第1外部電極33とほぼ相似形に形成されており、基板32の角部に対応する2つの面取り部を有するほぼ矩形の平面形状を有している。このパッド領域43Bの一つの長辺（基板32の周縁に対して内方側の長辺）に沿ってヒューズ領域43Cが配置されている。ヒューズ領域43Cは、パッド領域43Bの前記1つの長辺に沿って配列された複数のヒューズユニット37を含む。ヒューズユニット37は、上部電極膜43のパッド領域43Bと同じ材料で一体的に形成されている。複数の電極膜部分231～239は、1つまたは複数個のヒューズユニット37と一体的に形成されていて、それらのヒューズユニット37を介してパッド領域43Bに接続され、このパッド領域43Bを介して第1外部電極33に電氣的に接続されている。面積の比較的小さな電極膜部分231～236は、一つのヒューズユニット37によってパッド領域43Bに接続されており、面積の比較的大きな電極膜部分237～239は複数個のヒューズユニット37を介してパッド領域43Bに接続されている。全てのヒューズユニット37が用いられる必要はなく、この実施形態では、一部のヒューズユニット37は未使用である。

40

【0106】

50

ヒューズユニット 37 は、パッド領域 43B との接続のための第 1 幅広部 37A と電極膜部分 231 ~ 239 との接続のための第 2 幅広部 37B と、第 1 および第 2 幅広部 37A, 37B の間を接続する幅狭部 37C とを含む。幅狭部 37C は、レーザ光によって切断（溶断）することができるように構成されている。それによって、電極膜部分 231 ~ 239 のうち不要な電極膜部分をヒューズユニット 37 の切断によって第 1 および第 2 外部電極 33, 34 から電氣的に切り離すことができる。

【0107】

図 10 および図 12 では図示を省略したが、図 11 に表れている通り、上部電極膜 43 の表面を含むチップコンデンサ 31 の表面はパッシベーション膜 39 によって覆われている。パッシベーション膜 39 は、たとえば窒化膜からなっていて、チップコンデンサ 31 の上面のみならず、基板 32 の側面まで延びて、この側面をも覆うように形成されている。さらに、パッシベーション膜 39 の上には、ポリイミド樹脂等からなる樹脂膜 40 が形成されている。樹脂膜 40 は、チップコンデンサ 1 の上面を覆い、さらに基板 32 の側面に至って、当該側面上のパッシベーション膜 39 を覆うように形成されている。

【0108】

パッシベーション膜 39 および樹脂膜 40 は、チップコンデンサ 31 の表面を保護する保護膜である。これらには、第 1 外部電極 33 および第 2 外部電極 34 に対応する領域にパッド開口 44, 45 がそれぞれ形成されている。パッド開口 44, 45 はそれぞれ上部電極膜 43 のパッド領域 43B の一部の領域、下部電極膜 41 のパッド領域 41B の一部の領域を露出させるようにパッシベーション膜 39 および樹脂膜 40 を貫通している。さらに、この実施形態では、第 2 外部電極 34 に対応したパッド開口 45 は、容量膜 42 をも貫通している。

【0109】

パッド開口 44, 45 には、第 1 外部電極 33 および第 2 外部電極 34 がそれぞれ埋め込まれている。これにより、第 1 外部電極 33 は上部電極膜 43 のパッド領域 43B に接合しており、第 2 外部電極 34 は下部電極膜 41 のパッド領域 41B に接合している。第 1 および第 2 外部電極 33, 34 は、樹脂膜 40 の表面から突出するように形成されている。これにより、実装基板に対してチップコンデンサ 31 をフリップチップ接合することができる。

【0110】

図 13 は、チップコンデンサ 31 の内部の電氣的構成を示す回路図である。第 1 外部電極 33 と第 2 外部電極 34 との間に複数のキャパシタ要素 C1 ~ C9 が並列に接続されている。各キャパシタ要素 C1 ~ C9 と第 1 外部電極 33 との間には、一つまたは複数のヒューズユニット 37 でそれぞれ構成されたヒューズ F1 ~ F9 が直列に介装されている。

ヒューズ F1 ~ F9 が全て接続されているときは、チップコンデンサ 31 の容量値は、キャパシタ要素 C1 ~ C9 の容量値の総和に等しい。複数のヒューズ F1 ~ F9 から選択した 1 つまたは 2 つ以上のヒューズを切断すると、当該切断されたヒューズに対応するキャパシタ要素が切り離され、当該切り離されたキャパシタ要素の容量値だけチップコンデンサ 31 の容量値が減少する。

【0111】

そこで、パッド領域 41B, 43B の間の容量値（キャパシタ要素 C1 ~ C9 の総容量値）を測定し、その後に所望の容量値に応じてヒューズ F1 ~ F9 から適切に選択した一つまたは複数のヒューズをレーザ光で溶断すれば、所望の容量値への合わせ込み（レーザトリミング）を行うことができる。とくに、キャパシタ要素 C1 ~ C8 の容量値が、公比 2 の等比数列をなすように設定されていれば、最小の容量値（当該等比数列の初項の値）であるキャパシタ要素 C1 の容量値に対応する精度で目標の容量値へと合わせ込む微調整が可能である。

【0112】

たとえば、キャパシタ要素 C1 ~ C9 の容量値は次のように定められていてもよい。

$$C1 = 0.03125 \text{ pF}$$

$$C2 = 0.0625 \text{ pF}$$

$$C3 = 0.125 \text{ pF}$$

$$C4 = 0.25 \text{ pF}$$

$$C5 = 0.5 \text{ pF}$$

$$C6 = 1 \text{ pF}$$

$$C7 = 2 \text{ pF}$$

$$C8 = 4 \text{ pF}$$

$$C9 = 4 \text{ pF}$$

この場合、 0.03125 pF の最小合わせ込み精度でチップコンデンサ31の容量を微調整できる。また、ヒューズF1～F9から切断すべきヒューズを適切に選択すること
10
で、 0.1 pF ～ 10 pF の間の任意の容量値のチップコンデンサ31を提供することができる。

【0113】

以上のように、この実施形態によれば、第1外部電極33および第2外部電極34の間に、ヒューズF1～F9によって切り離し可能な複数のキャパシタ要素C1～C9が設けられている。キャパシタ要素C1～C9は、異なる容量値の複数のキャパシタ要素、より具体的には等比数列をなすように容量値が設定された複数のキャパシタ要素を含んでいる。それによって、ヒューズF1～F9から1つまたは複数のヒューズを選択してレーザ光で溶断することにより、設計を変更することなく複数種類の容量値に対応でき、かつ所望
20
の容量値に正確に合わせ込むことができるチップコンデンサ31を提供できる。

【0114】

チップコンデンサ31の各部の詳細について以下に説明を加える。

基板32は、たとえば平面視において $0.3 \text{ mm} \times 0.15 \text{ mm}$ 、 $0.4 \text{ mm} \times 0.2 \text{ mm}$ 、または $0.2 \text{ mm} \times 0.1 \text{ mm}$ などの矩形形状（好ましくは、 $0.4 \text{ mm} \times 0.2 \text{ mm}$ 以下の大きさ）を有していてもよい。キャパシタ配置領域35は、概ね、基板32の短辺の長さに相当する一辺を有する正方形領域となる。基板32の厚さは、 $150 \mu\text{m}$ 程度であってもよい。基板32は、たとえば、裏面側（キャパシタ要素C1～C9が形成されていない表面）からの研削または研磨によって薄型化された基板であってもよい。基板32の材料としては、シリコン基板に代表される半導体基板を用いてもよいし、ガラス基板を用いてもよいし、樹脂フィルムを用いてもよい。
30

【0115】

絶縁膜38は、酸化シリコン膜等の酸化膜であってもよい。その膜厚は、 $500 \text{ \AA}$ ～ $2000 \text{ \AA}$ 程度であってもよい。

下部電極膜41は、導電性膜、とくに金属膜であることが好ましく、たとえばアルミニウム膜であってもよい。アルミニウム膜からなる下部電極膜41は、スパッタ法によって形成することができる。上部電極膜43も同様に、導電性膜、とくに金属膜で構成することが好ましく、アルミニウム膜であってもよい。アルミニウム膜からなる上部電極膜43は、スパッタ法によって形成することができる。上部電極膜43のキャパシタ電極領域43Aを電極膜部分231～239に分割し、かつヒューズ領域43Cを複数のヒューズユニット37に整形するためのパターンニングは、フォトリソグラフィおよびエッチングプロセスによって行うことができる。
40

【0116】

容量膜42は、たとえば窒化シリコン膜で構成することができ、その膜厚は $500 \text{ \AA}$ ～ $2000 \text{ \AA}$ （たとえば $1000 \text{ \AA}$ ）とすることができる。容量膜42は、プラズマCVD（化学的気相成長）によって形成された窒化シリコン膜であってもよい。

パッシベーション膜39は、たとえば窒化シリコン膜で構成することができ、たとえばプラズマCVD法によって形成できる。その膜厚は、 $8000 \text{ \AA}$ 程度とされてもよい。樹脂膜40は、前述の通り、ポリイミド膜その他の樹脂膜で構成することができる。

【0117】

第1および第2外部電極33、34は、たとえば、下部電極膜41または上部電極膜4
50

3に接するニッケル層と、このニッケル層上に積層したパラジウム層と、そのパラジウム層上に積層した金層とを積層した積層構造膜からなっているとしてもよく、たとえば、めっき法（より具体的には無電解めっき法）で形成することができる。ニッケル層は下部電極膜41または上部電極膜43に対する密着性の向上に寄与し、パラジウム層は上部電極膜または下部電極膜の材料と第1および第2外部電極33、34の最上層の金との相互拡散を抑制する拡散防止層として機能する。

【0118】

図14は、チップコンデンサ31の製造工程の一例を説明するための流れ図である。基板32の表面に、熱酸化法および／またはCVD法によって、酸化膜（たとえば酸化シリコン膜）からなる絶縁膜38が形成される（ステップS1）。次に、たとえばスパッタ法によって、アルミニウム膜からなる下部電極膜41が絶縁膜38の表面全域に形成される（ステップS2）。下部電極膜41の膜厚は8000Å程度とされてもよい。次に、その下部電極膜の表面に、下部電極膜41の最終形状に対応したレジストパターンが、フォトリソグラフィによって形成される（ステップS3）。このレジストパターンをマスクとして、下部電極膜41がエッチングされることにより、図10等にしたパターンの下部電極膜41が得られる（ステップS4）。下部電極膜41のエッチングは、たとえば、反応性イオンエッチングによって行うことができる。

【0119】

次に、たとえばプラズマCVD法によって、窒化シリコン膜等からなる容量膜42が、下部電極膜41上に形成される（ステップS5）。下部電極膜41が形成されていない領域では、絶縁膜38の表面に容量膜42が形成されることになる。次いで、その容量膜42の上に、上部電極膜43が形成される（ステップS6）。上部電極膜43は、たとえばアルミニウム膜からなり、スパッタ法によって形成することができる。その膜厚は、8000Å程度とされてもよい。次いで、上部電極膜43の表面に上部電極膜43の最終形状に対応したレジストパターンがフォトリソグラフィによって形成される（ステップS7）。このレジストパターンをマスクとしたエッチングにより、上部電極膜43が、最終形状（図10等参照）にパターニングされる（ステップS8）。それによって、上部電極膜43は、キャパシタ電極領域43Aに複数の電極膜部分231～239を有し、ヒューズ領域43Cに複数のヒューズユニット37を有し、それらのヒューズユニット37に接続されたパッド領域43Bを有するパターンに整形される。上部電極膜43のパターニングのためのエッチングは、リン酸等のエッチング液を用いたウェットエッチングによって行ってもよいし、反応性イオンエッチングによって行ってもよい。

【0120】

この後、上部電極膜43のパッド領域43Bと下部電極膜41のパッド領域41Bとに検査用プローブを押し当てて、複数のキャパシタ要素C1～C9の総容量値が測定される（ステップS9）。この測定された総容量値に基づき、目的とするチップコンデンサ31の容量値に応じて、切り離すべきキャパシタ要素、すなわち切断すべきヒューズが選択される（ステップS10）。

【0121】

次いで、図15Aに示すように、基板32上の全面にたとえば窒化膜からなるカバー膜46が形成される（ステップS11）。このカバー膜46の形成は、プラズマCVD法によって行われてもよく、たとえば膜厚3000Å程度の窒化シリコン膜が形成されてもよい。カバー膜46は、パターニングされた上部電極膜43を覆い、上部電極膜43が形成されていない領域では容量膜42を覆う。カバー膜46は、ヒューズ領域43Cにおいてはヒューズユニット37を覆うことになる。

【0122】

この状態から、ヒューズユニット37を溶断するためのレーザトリミングが行われる（ステップS12）。すなわち、図15Bに示すように、前記総容量値の測定結果に応じて選択されたヒューズを構成するヒューズユニット37にレーザ光47を当てて、そのヒューズユニット37の幅狭部37Cが溶断される。これにより、対応するキャパシタ要素が

パッド領域 4 3 B から切り離される。ヒューズユニット 3 7 にレーザ光 4 7 を当てるとき、カバー膜 4 6 の働きによって、ヒューズユニット 3 7 の近傍にレーザ光 4 7 のエネルギーが蓄積され、それによって、ヒューズユニット 3 7 が溶断する。

【0 1 2 3】

次に、図 1 5 C に示すように、たとえばプラズマ C V D 法によって、カバー膜 4 6 上に窒化シリコン膜が堆積させられ、パッシベーション膜 3 9 が形成される（ステップ S 1 3）。前述のカバー膜 4 6 は最終形態において、パッシベーション膜 3 9 と一体化し、このパッシベーション膜 3 9 の一部を構成する。ヒューズの切断後に形成されたパッシベーション膜 3 9 は、ヒューズ溶断の際に同時に破壊されたカバー膜 4 6 の開口内に入り込み、ヒューズユニット 3 7 の切断面を保護する。したがって、パッシベーション膜 3 9 は、ヒューズユニット 3 7 の切断箇所に異物が入り込んだり水分が侵入したりすることを防ぐ。パッシベーション膜 3 9 は、全体で、たとえば 8 0 0 0 Å 程度の膜厚を有するように形成されてもよい。

【0 1 2 4】

次に、第 1 および第 2 外部電極 3 3, 3 4 を形成すべき位置に貫通孔を有するレジストパターンがパッシベーション膜 3 9 上に形成される（ステップ S 1 4）。このレジストパターンをマスクとしてパッシベーション膜 3 9 のエッチングが行われる。それによって、下部電極膜 4 1 をパッド領域 4 1 B において露出させるパッド開口と、上部電極膜 4 3 をパッド領域 4 3 B において露出させるパッド開口とが形成されることになる（ステップ S 1 5）。パッシベーション膜 3 9 のエッチングは、反応性イオンエッチングによって行われてもよい。パッシベーション膜 3 9 のエッチングの際に、同じく窒化膜で形成されている容量膜 4 2 も開口することになり、それによって、下部電極膜 4 1 のパッド領域 4 1 B が露出することになる。

【0 1 2 5】

次いで、全面に樹脂膜が塗布される（ステップ S 1 6）。樹脂膜としては、たとえば感光性のポリイミドの塗布膜が用いられる。この樹脂膜に対して、前記パッド開口に対応した領域に対する露光工程、およびその後の現像工程を行うことによって、フォトリソグラフィによる樹脂膜のパターニングを行うことができる（ステップ S 1 7）。これにより、樹脂膜 4 0 およびパッシベーション膜 3 9 を貫通したパッド開口 4 4, 4 5 が形成される。その後、樹脂膜を硬化するための熱処理（キュア処理）が行われ（ステップ S 1 8）、さらに、パッド開口 4 4, 4 5 内に、たとえば無電解めっき法によって、第 1 外部電極 3 3 および第 2 外部電極 3 4 が成長させられる（ステップ S 1 9）。こうして、図 1 0 等に示す構造のチップコンデンサ 3 1 が得られる。

【0 1 2 6】

フォトリソグラフィ工程を利用した上部電極膜 4 3 のパターニングでは、微小面積の電極膜部分 2 3 1 ~ 2 3 9 を精度良く形成することができ、さらに微細なパターンのヒューズユニット 3 7 を形成することができる。そして、上部電極膜 4 3 のパターニングの後に、総容量値の測定を経て、切断すべきヒューズが決定される。その決定されたヒューズを切断することによって、所望の容量値に正確に合わせ込まれたチップコンデンサ 3 1 を得ることができる。

【0 1 2 7】

図 1 6 は、第 2 参考例の第 2 の実施形態に係るチップコンデンサ 4 8 の構成を説明するための平面図である。図 1 6 において、前述の図 1 0 に示された各部と対応する部分には同一の参照符号を付して示す。

前述の第 1 の実施形態では、上部電極膜 4 3 のキャパシタ電極領域 4 3 A がそれぞれ帯状の電極膜部分 2 3 1 ~ 2 3 9 に分割されている。この場合、図 1 0 に示すように、キャパシタ配置領域 3 5 内にキャパシタ要素として利用することができない領域が生じてしまい、小さな基板 3 2 上の限られた領域を有効に活用することができない。

【0 1 2 8】

そこで、図 1 6 に示す実施形態では、複数の電極膜部分 2 3 1 ~ 2 3 9 が L 字形の電極

10

20

30

40

50

膜部分 241～249 に分割されている。これによって、たとえば、図 16 の構成における電極膜部分 249 は、図 10 の構成の電極膜部分 239 の 1.5 倍の面積で下部電極膜 41 に対向することができる。よって、図 10 の第 1 の実施形態において電極膜部分 239 に対応したキャパシタ要素 C9 が 4 pF の容量を有しているとすれば、この実施形態における電極膜部分 249 を用いることで、キャパシタ要素 C9 は 6 pF の容量を有することができる。これにより、キャパシタ配置領域 35 内を有効に活用して、より広い範囲でチップコンデンサ 48 の容量値を設定することが可能となる。

【0129】

この実施形態に係るチップコンデンサ 48 の製造工程は、図 14 に示した工程と実質的に同様である。ただし、上部電極膜 43 のパターニング（ステップ S7, S8）では、キャパシタ電極領域 43A が、図 16 に示す形状の複数の電極膜部分 231～239 に分割される。

10

図 17 は、第 2 参考例の第 3 の実施形態に係るチップコンデンサ 49 の構成を説明するための分解斜視図であり、前述の第 1 の実施形態の説明において用いた図 12 と同様にチップコンデンサ 49 の各部が表されている。

【0130】

第 1 の実施形態では、下部電極膜 41 がキャパシタ配置領域 35 のほぼ全域にわたる連続パターンからなるキャパシタ電極領域 41A を有し、上部電極膜 43 のキャパシタ電極領域 43A が複数の電極膜部分 231～239 に分割されている。

これに対して、この実施形態では、上部電極膜 43 のキャパシタ電極領域 43A がキャパシタ配置領域 35 のほぼ全域にわたって連続する連続膜パターンに形成されている一方で、下部電極膜 41 のキャパシタ電極領域 41A が複数の電極膜部分 251～259 に分割されている。電極膜部分 251～259 は、第 1 の実施形態における電極膜部分 231～239 と同様の形状および面積比に形成されてもよいし、第 2 の実施形態における電極膜部分 241～249 と同様の形状および面積比に形成されてもよい。このようにして、電極膜部分 251～259 と、容量膜 42 と、上部電極膜 43 とによって、複数のキャパシタ要素が構成されている。この複数のキャパシタ要素の少なくとも一部は、容量値の異なる（たとえば等比数列をなすように各容量値が設定された）キャパシタ要素群を構成している。

20

【0131】

下部電極膜 41 は、さらに、キャパシタ電極領域 41A とパッド領域 41B との間にヒューズ領域 41C を有している。ヒューズ領域 41C には、第 1 の実施形態のヒューズユニット 37 と同様の複数のヒューズユニット 50 がパッド領域 41B に沿って一列に配列されている。各電極膜部分 251～259 は、一つまたは複数のヒューズユニット 50 を介してパッド領域 41B に接続されている。

30

【0132】

このような構成によっても、電極膜部分 251～259 が互いに異なる対向面積で上部電極膜 43 に対向しており、これらはヒューズユニット 50 を切断することによって個別に切り離すことができる。したがって、第 1 の実施形態の場合と同様の効果が得られる。とくに、複数の電極膜部分 251～259 の少なくとも一部が公比 2 の等比数列をなすように設定した対向面積で上部電極膜 43 に対向するように形成しておくことで、第 1 の実施形態の場合と同様に、所要の容量値に高精度で合わせ込んだチップコンデンサを提供できる。

40

【0133】

この実施形態に係るチップコンデンサ 49 の製造工程は、図 14 に示した工程と実質的に同様である。ただし、下部電極膜 41 のパターニング（ステップ S3, S4）において、キャパシタ電極領域 41A が電極膜部分 251, 259 に分割され、かつヒューズ領域 41C に複数のヒューズユニット 50 が形成されることになる。また、上部電極膜 43 のパターニング（ステップ S7, S8）では、複数の電極膜部分の形成は行われず、ヒューズユニットの形成も行われない。さらに、レーザトリミング（ステップ S12）において

50

は、下部電極膜 4 1 に形成されたヒューズユニット 5 0 がレーザ光によって切断される。レーザトリミングの際、下部電極膜 4 1 は容量膜 4 2 によって覆われているので、この容量膜 4 2 をレーザ光のエネルギーを蓄積するためのカバー膜として利用することができる。したがって、レーザトリミングの直前のカバー膜の形成（ステップ S 1 1）は省かれてもよい。

【0134】

以上、第 2 参考例の実施形態について説明してきたが、第 2 参考例はさらに他の形態で実施することもできる。たとえば、前述の実施形態では、上部電極膜および下部電極膜のうちの一方が複数の電極膜に分割されている構成を示したが、上部電極膜および下部電極膜が両方とも複数の電極膜部分に分割されていてもよい。さらに、前述の実施形態では、上部電極膜または下部電極膜とヒューズユニットとが一体化されている例を示したが、上部電極膜または下部電極膜とは別の導体膜でヒューズユニットを形成してもよい。さらに、前述の実施形態では、複数のキャパシタ要素が公比 r ($0 < r$ 、 $r \neq 1$) = 2 の等比数列をなす容量値を有する複数のキャパシタ要素を有している例を示したが、当該等比数列の公比は 2 以外の数であってもよい。また、前述の実施形態では、基板 3 2 の表面に絶縁膜 3 8 が形成されているが、基板 3 2 が絶縁性の基板であれば、絶縁膜 3 8 を省くこともできる。また、基板 3 2 として導電性基板を用い、その導電性基板を下部電極として用い、導電性基板の表面に接するように容量膜 4 2 を形成してもよい。この場合、導電性基板の裏面から一方の外部電極を引き出してもよい。

【0135】

その他、前記（1）第 2 参考例に係る発明の特徴に記載された事項の範囲で種々の設計変更を施すことが可能である。たとえば、各特徴 A 1 ～ A 2 0 で特定されていない製造の工程を変更したり、割愛したり、追加したものの、第 2 参考例の範囲に含まれる。

<第 3 参考例に係る発明>

（1）第 3 参考例に係る発明の特徴

たとえば、第 3 参考例に係る発明の特徴は、以下の B 1 ～ B 2 5 である。

（B 1）基板と、前記基板上に配置された第 1 外部電極と、前記基板上に配置された第 2 外部電極と、前記基板上に形成され、前記第 1 外部電極および前記第 2 外部電極の間に接続された複数のキャパシタ要素と、前記基板上に形成され、前記複数のキャパシタ要素と前記第 1 外部電極または前記第 2 外部電極との間にそれぞれ介装され、前記複数のキャパシタ要素をそれぞれ切り離し可能な複数のヒューズと、前記基板内に形成され、前記第 1 外部電極の直下を含む領域と前記第 2 外部電極の直下を含む領域との間に、互いに逆向きに接続された一対のダイオードと、を含むチップコンデンサ。

【0136】

B 1 記載の発明によれば、基板上に配置された第 1 および第 2 外部電極の間に複数のキャパシタ要素が接続されている。そして、複数のキャパシタ要素と第 1 または第 2 外部電極との間に、当該複数のキャパシタ要素をそれぞれ切り離し可能な複数のヒューズが設けられている。そこで、一つまたは複数のヒューズを選択して切断することにより、複数種類の容量値に、容易にかつ速やかに対応することができる。換言すれば、複数種類の容量値のチップコンデンサに対して共通の設計を適用できる。また、寄生容量の影響を受けず、正確に容量値の合わせ込みが出来るチップコンデンサとなる。

（B 2）前記一対のダイオードが、前記第 1 外部電極の直下または下部電極の直下を含む前記基板の表面領域に形成された不純物拡散領域と、前記第 2 外部電極の直下または下部電極の直下を含む前記基板の表面領域に形成された不純物拡散領域とを含む、B 1 記載のチップコンデンサ。

【0137】

B 2 記載の発明によれば、不純物拡散領域を形成することで、容易に一対のダイオードを形成することができる。

（B 3）前記基板は、半導体基板であり、前記一対のダイオードは、前記基板と前記不純物領域との p n 接合により形成されるものである、B 2 記載のチップコンデンサ。

B 3 記載の発明によれば、一对のダイオードは、半導体の p n 接合を用いて容易に作ることができる。

(B 4) 前記複数のキャパシタ要素が、互いに異なる容量値を有している、B 1 ~ B 3 のいずれか一項に記載のチップコンデンサ。

【0138】

B 4 記載の発明によれば、容量値の異なる複数のキャパシタ要素を組み合わせることによって、様々な容量値のチップコンデンサを共通の設計で実現することができる。

(B 5) 前記複数のキャパシタ要素の容量値が、等比数列をなすように設定されている、B 4 に記載のチップコンデンサ。

B 5 記載の発明によれば、第 1 外部電極および第 2 外部電極の間に接続すべき複数のキャパシタ要素を適切に選択することによって、チップコンデンサの容量値を所望の容量値に正確に合わせ込むことができる。たとえば、前記等比数列の公比を 2 とすることによって、当該等比数列の初項（当該数列内で最小値の項）の精度でチップコンデンサの容量値を合わせ込むことができる。

(B 6) 前記複数のヒューズのうちの少なくとも一つが切断されている、B 1 ~ B 5 のいずれか一項に記載のチップコンデンサ。

【0139】

B 6 記載の発明によれば、容量値を合わせ込んだチップコンデンサは、1 つまたは複数のヒューズが切断されている場合がある。ヒューズの切断によって、第 1 外部電極および第 2 外部電極の間に接続するキャパシタ要素を選択でき、それによって、所要の容量値のチップコンデンサを実現できる。

(B 7) 前記基板上に形成された下部電極膜と、前記下部電極膜上に形成された容量膜と、前記容量膜上に前記下部電極膜と対向するように形成された上部電極膜とを含み、前記上部電極膜および前記下部電極膜のうちの一方の電極膜が、分割された複数の電極膜部分を含み、前記複数の電極膜部分が前記容量膜を介して前記上部電極膜および前記下部電極膜のうちの他方の電極膜に対向することにより、前記複数のキャパシタ要素が形成されている、B 1 ~ B 6 のいずれか一項に記載のチップコンデンサ。

【0140】

B 7 記載の発明によれば、下部電極膜と上部電極膜との間に容量膜を挟み込むことによってキャパシタ構造が構成されている。そして、上部電極膜および下部電極膜のうちの一方の電極膜を複数の電極膜部分に分割することによって、それぞれの電極膜部分が他方の電極膜に対向し、これによって複数のキャパシタ要素が基板上に設けられることになる。

(B 8) 前記複数の電極膜部分が、互いに異なる対向面積で前記他方の電極膜に対向している、B 7 に記載のチップコンデンサ。

【0141】

B 8 記載の発明によれば、対向面積が互いに異なる複数の電極膜部分に対応する複数のキャパシタ要素は、互いに異なる容量値を有することになる。よって、それらを適切に組み合わせることによって、複数種類の容量値のチップコンデンサを実現することができる。より具体的には、選択された複数のキャパシタ要素以外のキャパシタ要素に対応するヒューズを切断してそれらを第 1 および第 2 外部電極の間から切り離すことによって、所要の容量値を有するチップコンデンサを構成することができる。

(B 9) 前記複数の電極膜部分の前記対向面積が、等比数列をなすように設定されている、B 8 に記載のチップコンデンサ。

【0142】

B 9 記載の発明によれば、容量値が等比数列をなすように設定された複数のキャパシタ要素を基板上に設けることができる。それによって、複数種類の容量値のチップコンデンサを実現でき、かつ、容量値の微調整も、ヒューズの切断によって行うことができる。

(B 10) 前記複数の電極膜部分と前記ヒューズとが同じ導電性材料の膜で形成されている、B 7 ~ B 9 のいずれか一項に記載のチップコンデンサ。

【0143】

B 1 0 記載の発明によれば、電極膜部分とヒューズとを共通の導電性材料膜で構成することができる。そして、各電極膜部分に対応するヒューズを切断することで、当該電極膜部分を切り離すことができる。

(B 1 1) 前記上部電極膜を覆い、前記第 1 外部電極および前記第 2 外部電極を露出させるように形成された保護膜をさらに含む、B 1 ~ B 1 0 のいずれか一項に記載のチップコンデンサ。

【0 1 4 4】

B 1 1 記載の発明によれば、第 1 および第 2 外部電極を露出させる一方で上部電極膜を保護膜で覆うことができるから、共通の設計で複数種類の容量値を実現でき、かつ信頼性の高いチップコンデンサを提供できる。

10

(B 1 2) 前記保護膜が、前記基板の側面にまで延びて、当該側面を覆っている、B 1 1 に記載のチップコンデンサ。

【0 1 4 5】

B 1 2 記載の発明によれば、基板の側面からも保護することができるので、チップコンデンサの信頼性を一層向上できる。

(B 1 3) 第 1 外部電極および第 2 外部電極を有するチップコンデンサの製造方法であって、基板の表面領域の前記第 1 外部電極および第 2 外部電極の各直下の領域を含む領域に、それぞれ、拡散領域を形成する工程と、前記基板上に複数のキャパシタ要素を形成する工程と、前記複数のキャパシタ要素をそれぞれ切り離し可能に前記第 1 外部電極または第 2 外部電極に接続するための複数のヒューズを前記基板上に形成する工程と、前記基板上に第 1 外部電極および第 2 外部電極を形成する工程とを含む、チップコンデンサの製造方法。

20

【0 1 4 6】

B 1 3 記載の発明によれば、所要の容量値に応じて選択したヒューズを切断することにより、共通の設計でありながら、複数の容量値のチップコンデンサを製造することができる。また、寄生容量の影響を受けないチップコンデンサを製造することができる。

(B 1 4) 前記複数のキャパシタ要素が、互いに異なる容量値を有するように形成される、B 1 3 に記載のチップコンデンサの製造方法。

【0 1 4 7】

B 1 4 記載の発明によれば、複数のキャパシタ要素を適切に選択して組み合わせること

30

で、複数種類の容量値を実現できる。

(B 1 5) 前記複数のキャパシタ要素の容量値が、等比数列をなすように設定される、B 1 4 に記載のチップコンデンサの製造方法。

B 1 5 記載の発明によれば、複数のキャパシタ要素を適切に選択して組み合わせることによって、複数種類の容量値を実現でき、かつ所望の容量値に対する微調整（合わせ込み）も可能となる。たとえば、前記等比数列の公比を 2 とすることによって、当該等比数列の初項（当該数列内で最小値の項）の精度でチップコンデンサの容量値を合わせ込むことができる。

(B 1 6) 前記複数のヒューズのうちの少なくとも一つを切断するヒューズ切断工程をさらに含む、B 1 3 ~ B 1 5 のいずれか一項に記載のチップコンデンサの製造方法。

40

【0 1 4 8】

B 1 6 記載の発明によれば、切断すべきヒューズを適切に選択することによって、チップコンデンサの容量値を所望の容量値に合わせ込むことができる。すなわち、第 1 および第 2 外部電極に接続すべきキャパシタ要素を適切に選択し、それ以外のキャパシタ要素に対応するヒューズを切断することにより、所望の容量値に合わせ込んだチップコンデンサを製造できる。

(B 1 7) 前記複数のキャパシタ要素の総容量値を測定する工程と、前記測定された総容量値に基づいて、前記切断すべきヒューズを選択する工程とをさらに含み、前記ヒューズ切断工程では、前記選択されたヒューズが切断される、B 1 6 に記載のチップコンデンサの製造方法。

50

【0149】

B17記載の発明によれば、複数のキャパシタ要素の総容量値が測定され、その測定結果に基づいて切断すべきヒューズが選択されるので、チップコンデンサの容量値を確実に目的の容量値とすることができる。

(B18) 前記ヒューズを切断した後に、前記ヒューズの切断部を覆う保護膜を形成する工程をさらに含む、B16またはB17に記載のチップコンデンサの製造方法。

【0150】

B18記載の発明によれば、ヒューズの切断部が保護膜によって覆われるので、切断部に対する異物や水分の侵入を回避できるから、共通の設計で複数種類の容量値を実現できるとともに、信頼性の高いチップコンデンサを製造することができる。

(B19) 前記複数のキャパシタ要素を形成する工程が、前記基板上に下部電極膜を形成する工程と、前記下部電極膜上に容量膜を形成する工程と、前記容量膜上に前記下部電極膜と対向するように上部電極膜を形成する工程と、前記上部電極膜および前記下部電極膜のうちの一方の電極膜を複数の電極膜部分に分割（たとえばフォトリソグラフィにより分割）する工程とを含み、前記複数の電極膜部分が前記容量膜を介して前記上部電極膜および下部電極膜のうちの他方の電極膜に対向することにより、前記複数のキャパシタ要素が形成される、B13～B18のいずれか一項に記載のチップコンデンサの製造方法。

【0151】

B19記載の発明によれば、下部電極膜と上部電極膜との間に容量膜を挟んだキャパシタ構造を形成できる。そして、上部電極膜および下部電極膜のうちの一方を複数の電極膜部分に分割することで、当該分割された電極膜部分と他方の電極膜との間に容量膜を挟んだ構造の複数のキャパシタ要素を基板上に形成することができる。

(B20) 前記複数の電極膜部分が互いに異なる対向面積で前記他方の電極膜に対向するように前記一方の電極膜が分割される、B19に記載のチップコンデンサの製造方法。

【0152】

B20記載の発明によれば、複数の電極膜部分が互いに異なる対向面積で他方の電極膜に対向することによって、容量値の異なる複数のキャパシタ要素を基板上に形成することができる。したがって、異なる容量値のキャパシタ要素を適切に選択して組み合わせることで、複数種類の容量値のチップコンデンサを製造することができる。

(B21) 前記複数の電極膜部分の前記対向面積が、等比数列をなすように設定される、B19に記載のチップコンデンサの製造方法。

【0153】

B21記載の発明によれば、等比数列をなすように容量値が設定された複数のキャパシタ要素を基板上に形成することができる。よって、複数のキャパシタ要素を適切に選択して組み合わせることで、複数種類の容量値のチップコンデンサを提供でき、かつ所望の容量値への正確な合わせ込みが可能になる。

(B22) 前記一方の電極膜と前記ヒューズとが同じ導電性材料の膜で形成される、B19～B21のいずれか一項に記載のチップコンデンサの製造方法。

【0154】

B22記載の発明によれば、電極膜部分とヒューズとを同じ導電性材料の膜で形成することができるから、それらを同一膜からパターンニングして形成することができる。これにより、製造工程が簡単になる。

(B23) 基板と、前記基板上に形成された絶縁膜と、前記絶縁膜上に形成された下部電極膜と、前記下部電極膜上に形成された容量膜と、前記容量膜上に前記下部電極膜と対向するように形成された上部電極膜と、前記絶縁膜上に配置され前記下部電極膜に接続された第1外部電極と、前記絶縁膜上に配置され前記上部電極膜に接続された第2外部電極と、前記基板内に形成され、前記第1外部電極の直下を含む領域と前記第2外部電極の直下を含む領域との間に、互いに逆向きに接続された一対のダイオードと、を含むチップコンデンサ。

【0155】

B 2 3 記載の発明によれば、寄生容量の影響を受けず、正確に容量値の合わせ込みが出来るチップコンデンサとなる。

(B 2 4) 前記一对のダイオードが、前記第 1 外部電極の直下または下部電極の直下を含む前記基板の表面領域に形成された不純物拡散領域と、前記第 2 外部電極の直下または下部電極の直下を含む前記基板の表面領域に形成された不純物拡散領域とを含む、B 2 3 記載のチップコンデンサ。

【0 1 5 6】

B 2 4 記載の発明によれば、不純物拡散領域を形成することで、容易に一对のダイオードを形成することができる。

(B 2 5) 前記基板は、半導体基板であり、前記一对のダイオードは、前記基板と前記不純物領域との p n 接合により形成されるものである、B 2 4 記載のチップコンデンサ。

B 2 5 記載の発明によれば、一对のダイオードは、半導体の p n 接合を用いて容易に作ることができる。

(2) 第 3 参考例に係る発明の実施形態

以下では、第 3 参考例の実施の形態を、添付図面を参照して詳細に説明する。

【0 1 5 7】

図 1 8 は、第 3 参考例の第 1 の実施形態に係るチップコンデンサの平面図であり、図 1 9 はその断面図であって、図 1 8 の切断面線 IXX-IXX から見た切断面が示されている。さらに、図 2 0 は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。

チップコンデンサ 5 1 は、基板 5 2 と、基板 5 2 上に配置された第 1 外部電極 5 3 と、同じく基板 5 2 上に配置された第 2 外部電極 5 4 とを備えている。基板 5 2 は、この実施形態では、平面視において四隅を面取りした矩形形状を有している。矩形形状は、例えば、0. 3 mm×0. 1 5 mm 程度の寸法である。基板 5 2 の長手方向両端部に第 1 外部電極 5 3 および第 2 外部電極 5 4 がそれぞれ配置されている。第 1 外部電極 5 3 および第 2 外部電極 5 4 は、この実施形態では、基板 5 2 の短手方向に延びたほぼ矩形の平面形状を有し、基板 5 2 の角に対応する各 2 箇所に面取り部を有している。基板 5 2 上には、第 1 外部電極 5 3 および第 2 外部電極 5 4 の間のキャパシタ配置領域 5 5 内に、複数のキャパシタ要素 C 1 ~ C 9 が配置されている。複数のキャパシタ要素 C 1 ~ C 9 は、複数のヒューズユニット 5 7 を介してそれぞれ第 1 外部電極 5 3 に電氣的に接続されている。

【0 1 5 8】

図 1 9 および図 2 0 に示されているように、基板 5 2 の表面には絶縁膜 5 8 が形成されていて、絶縁膜 5 8 の表面に下部電極膜 3 1 1 が形成されている。下部電極膜 3 1 1 は、キャパシタ配置領域 5 5 のほぼ全域にわたっているとともに、第 2 外部電極 5 4 の直下の領域にまで延びて形成されている。より具体的には、下部電極膜 3 1 1 は、キャパシタ要素 C 1 ~ C 9 の共通の下部電極として機能するキャパシタ電極領域 3 1 1 A と、外部電極引き出しのためのパッド領域 3 1 1 B とを有している。キャパシタ電極領域 3 1 1 A がキャパシタ配置領域 5 5 に位置していて、パッド領域 3 1 1 B が第 2 外部電極 5 4 の直下に位置している。

【0 1 5 9】

キャパシタ配置領域 5 5 において下部電極膜 3 1 1 (キャパシタ電極領域 3 1 1 A) を覆うように容量膜 (誘電体膜) 3 1 2 が形成されている。容量膜 3 1 2 は、キャパシタ電極領域 3 1 1 A の全域にわたって連続しており、この実施形態では、さらに第 1 外部電極 5 3 の直下の領域にまで延び、キャパシタ配置領域 5 5 外の絶縁膜 5 8 を覆っている。

容量膜 3 1 2 の上には、上部電極膜 3 1 3 が形成されている。図 1 8 では、明瞭化のために、上部電極膜 3 1 3 に細ドットを付して示してある。上部電極膜 3 1 3 は、キャパシタ配置領域 5 5 に位置するキャパシタ電極領域 3 1 3 A と、第 1 外部電極 5 3 の直下に位置するパッド領域 3 1 3 B と、パッド領域 3 1 3 B とキャパシタ電極領域 3 1 3 A との間に配置されたヒューズ領域 3 1 3 C とを有している。

【0 1 6 0】

キャパシタ電極領域 3 1 3 A において、上部電極膜 3 1 3 は、複数の電極膜部分 3 3 1

～339に分割されている。この実施形態では、各電極膜部分331～339は、いずれも矩形形状に形成されていて、ヒューズ領域313Cから第2外部電極54に向かって帯状に延びている。複数の電極膜部分331～339は、複数種類の対向面積で、容量膜312を挟んで下部電極膜311に対向している。より具体的には、電極膜部分331～339の下部電極膜311に対する対向面積は、1：2：4：8：16：32：64：128：128となるように定められていてもよい。すなわち、複数の電極膜部分331～339は、対向面積の異なる複数の電極膜部分を含み、より詳細には、公比が2の等比数列をなすように設定された対向面積を有する複数の電極膜部分331～338（または331～337，339）を含む。これによって、各電極膜部分331～339と容量膜312を挟んで対向する下部電極膜311とによってそれぞれ構成される複数のキャパシタ要素C1～C9は、互いに異なる容量値を有する複数のキャパシタ要素を含む。電極膜部分331～339の対向面積の比が前述の通りである場合、キャパシタ要素C1～C9の容量値の比は、当該対向面積の比と等しく、1：2：4：8：16：32：64：128：128となる。すなわち、複数のキャパシタ要素C1～C9は、公比が2の等比数列をなすように容量値が設定された複数のキャパシタ要素C1～C8（またはC1～C7，C9）を含むことになる。

10

【0161】

この実施形態では、電極膜部分331～335は、幅が等しく、長さの比を1：2：4：8：16に設定した帯状に形成されている。また、電極膜部分335，336，337，338，339は、長さが等しく、幅の比を1：2：4：8：8に設定した帯状に形成されている。電極膜部分335～339は、キャパシタ配置領域55の第1外部電極53側の端縁から第2外部電極54側の端縁までの範囲に渡って延びて形成されており、電極膜部分331～334は、それよりも短く形成されている。

20

【0162】

パッド領域313Bは、第1外部電極53とほぼ相似形に形成されており、基板52の角部に対応する2つの面取り部を有するほぼ矩形の平面形状を有している。このパッド領域313Bの一つの長辺（基板52の周縁に対して内方側の長辺）に沿ってヒューズ領域313Cが配置されている。ヒューズ領域313Cは、パッド領域313Bの前記1つの長辺に沿って配列された複数のヒューズユニット57を含む。ヒューズユニット57は、上部電極膜313のパッド領域313Bと同じ材料で一体的に形成されている。複数の電極膜部分331～339は、1つまたは複数個のヒューズユニット57と一体的に形成されていて、それらのヒューズユニット57を介してパッド領域313Bに接続され、このパッド領域313Bを介して第1外部電極53に電氣的に接続されている。面積の比較的小さな電極膜部分331～336は、一つのヒューズユニット57によってパッド領域313Bに接続されており、面積の比較的大きな電極膜部分337～339は複数個のヒューズユニット57を介してパッド領域313Bに接続されている。全てのヒューズユニット57が用いられる必要はなく、この実施形態では、一部のヒューズユニット57は未使用である。

30

【0163】

ヒューズユニット57は、パッド領域313Bとの接続のための第1幅広部57Aと電極膜部分331～339との接続のための第2幅広部57Bと、第1および第2幅広部57A，57Bの間を接続する幅狭部57Cとを含む。幅狭部57Cは、レーザ光によって切断（溶断）することができるよう構成されている。それによって、電極膜部分331～339のうち不要な電極膜部分をヒューズユニット57の切断によって第1および第2外部電極53，54から電氣的に切り離すことができる。

40

【0164】

図18および図20では図示を省略したが、図19に表れている通り、上部電極膜313の表面を含むチップコンデンサ51の表面はパッシベーション膜59によって覆われている。パッシベーション膜59は、たとえば窒化膜からなっていて、チップコンデンサ51の上面のみならず、基板52の側面まで延びて、この側面をも覆うように形成されてい

50

る。さらに、パッシベーション膜 59 の上には、ポリイミド樹脂等からなる樹脂膜 310 が形成されている。樹脂膜 310 は、チップコンデンサ 51 の上面を覆い、さらに基板 52 の側面に至って、当該側面上のパッシベーション膜 59 を覆うように形成されている。

【0165】

パッシベーション膜 59 および樹脂膜 310 は、チップコンデンサ 51 の表面を保護する保護膜である。これらには、第 1 外部電極 53 および第 2 外部電極 54 に対応する領域にパッド開口 321, 322 がそれぞれ形成されている。パッド開口 321, 322 はそれぞれ上部電極膜 313 のパッド領域 313B の一部の領域、下部電極膜 311 のパッド領域 311B の一部の領域を露出させるようにパッシベーション膜 59 および樹脂膜 310 を貫通している。さらに、この実施形態では、第 2 外部電極 54 に対応したパッド開口 322 は、容量膜 312 をも貫通している。

10

【0166】

パッド開口 321, 322 には、第 1 外部電極 53 および第 2 外部電極 54 がそれぞれ埋め込まれている。これにより、第 1 外部電極 53 は上部電極膜 313 のパッド領域 313B に接合しており、第 2 外部電極 54 は下部電極膜 311 のパッド領域 311B に接合している。第 1 および第 2 外部電極 53, 54 は、樹脂膜 310 の表面から突出するように形成されている。これにより、実装基板に対してチップコンデンサ 51 をフリップチップ接合することができる。

【0167】

この実施形態では、基板 52 は、例えば半導体で形成された半導体基板(例えば p 型シリコン基板)が使用されている。このため、図 19 を参照して説明すると、第 1 外部電極 53 の直下には、当該第 1 外部電極 53 と基板 52 との間に、絶縁膜 58 および容量膜 312 を挟んだ寄生容量が形成される。また、第 2 外部電極 54 の直下には、当該第 2 外部電極 54 と基板 52 との間に、絶縁膜 58 を挟んだ寄生容量が形成される。そして、これら寄生容量が基板 52 を介して第 1 外部電極 53 および第 2 外部電極 54 の間に直列に接続されていることになる。そして、この寄生容量の直列回路は、前記構成したキャパシタ要素 C1～C9 に対して並列接続されることになり、チップコンデンサ 51 に対して寄生容量が加算され、また、特にチップコンデンサ 51 を所望の容量値(たとえば 1 pF 以下)に合わせ込む場合に妨げとなる。

20

【0168】

そこで、この実施形態では、第 1 外部電極 53 の直下およびパッド領域 313B の直下の基板 52 の表面領域には、n 型不純物がドーピングされた n 型拡散領域 323 が形成されている。また、第 2 外部電極 54 の直下および下部電極膜 311 の直下にも、n 型不純物がドーピングされた n 型拡散領域 324 が形成されている。

30

このように、基板 52 の表面領域に拡散領域 323、324 を形成することにより、基板 52 と拡散領域 323 と第 1 外部電極 53 との間に pn 接合によるダイオードが形成される。同様に、基板 52 と拡散領域 324 と第 2 外部電極 54 との間にも pn 接合によるダイオードが形成される。その結果、チップコンデンサ 51 の電氣的な等価回路は、図 21 に示すものとなる。

【0169】

図 21 において、C は、チップコンデンサ 51 の本来の容量であり、CP1 および CP2 は、それぞれ、第 1 外部電極 53 および第 2 外部電極 54 側の寄生容量である。これら寄生容量 CP1 および CP2 は、pn 接合で形成された互いに逆向きに接続された一対のダイオード D1、D2 により、電氣的に遮断され、第 1 外部電極 53 および第 2 外部電極 54 間を接続する直列寄生容量回路が、外部電極 53、54 から分離されている。

40

【0170】

図 22 は、チップコンデンサ 51 の内部の電氣的構成を示す回路図である。第 1 外部電極 53 と第 2 外部電極 54 との間に複数のキャパシタ要素 C1～C9 が並列に接続されている。各キャパシタ要素 C1～C9 と第 1 外部電極 53 との間には、一つまたは複数のヒューズユニット 57 でそれぞれ構成されたヒューズ F1～F9 が直列に介装されている。

50

【 0 1 7 1 】

10

20

30

40

50

ニウム膜であってもよい。アルミニウム膜からなる下部電極膜 311 は、スパッタ法によって形成することができる。上部電極膜 313 も同様に、導電性膜、とくに金属膜で構成することが好ましく、アルミニウム膜であってもよい。アルミニウム膜からなる上部電極膜 313 は、スパッタ法によって形成することができる。上部電極膜 313 のキャパシタ電極領域 313A を電極膜部分 331 ~ 339 に分割し、かつヒューズ領域 313C を複数のヒューズユニット 57 に整形するためのパターンニングは、フォトリソグラフィおよびエッチングプロセスによって行うことができる。

【0176】

容量膜 312 は、たとえば窒化シリコン膜で構成することができ、その膜厚は 500 Å ~ 2000 Å (たとえば 1000 Å) とすることができる。容量膜 312 は、プラズマ CVD (化学的气相成長) によって形成された窒化シリコン膜であってもよい。

パッシベーション膜 59 は、たとえば窒化シリコン膜で構成することができ、たとえばプラズマ CVD 法によって形成できる。その膜厚は、8000 Å 程度とされてもよい。樹脂膜 310 は、前述の通り、ポリイミド膜その他の樹脂膜で構成することができる。

【0177】

第1および第2外部電極 53, 54 は、たとえば、下部電極膜 311 または上部電極膜 313 に接するニッケル層と、このニッケル層上に積層したパラジウム層と、そのパラジウム層上に積層した金層とを積層した積層構造膜からなっているとしてもよく、たとえば、めっき法 (より具体的には無電解めっき法) で形成することができる。ニッケル層は下部電極膜 311 または上部電極膜 313 に対する密着性の向上に寄与し、パラジウム層は上部電極膜または下部電極膜の材料と第1および第2外部電極 53, 54 の最上層の金との相互拡散を抑制する拡散防止層として機能する。

【0178】

図 23 は、チップコンデンサ 51 の製造工程の一例を説明するための流れ図である。基板 52 として、例えば p 型シリコン基板を準備する。そして、基板 52 の表面領域の、下部電極膜 311 の直下となる領域および上部電極膜 313 のパッド領域 313B の直下となる領域に、n 型不純物をドーピングして、n 型拡散領域 323, 324 を形成する (ステップ S0)。次いで、基板 52 の表面に、熱酸化法および/または CVD 法によって、酸化膜 (たとえば酸化シリコン膜) からなる絶縁膜 58 が形成される (ステップ S1)。次に、たとえばスパッタ法によって、アルミニウム膜からなる下部電極膜 311 が絶縁膜 58 の表面全域に形成される (ステップ S2)。下部電極膜 311 の膜厚は 8000 Å 程度とされてもよい。次に、その下部電極膜の表面に、下部電極膜 311 の最終形状に対応したレジストパターンが、フォトリソグラフィによって形成される (ステップ S3)。このレジストパターンをマスクとして、下部電極膜がエッチングされることにより、図 18 等に示したパターンの下部電極膜 311 が得られる (ステップ S4)。下部電極膜 311 のエッチングは、たとえば、反応性イオンエッチングによって行うことができる。

【0179】

次に、たとえばプラズマ CVD 法によって、窒化シリコン膜等からなる容量膜 312 が、下部電極膜 311 上に形成される (ステップ S5)。下部電極膜 311 が形成されていない領域では、絶縁膜 58 の表面に容量膜 312 が形成されることになる。次いで、その容量膜 312 の上に、上部電極膜 313 が形成される (ステップ S6)。上部電極膜 313 は、たとえばアルミニウム膜からなり、スパッタ法によって形成することができる。その膜厚は、8000 Å 程度とされてもよい。次いで、上部電極膜 313 の表面に上部電極膜 313 の最終形状に対応したレジストパターンがフォトリソグラフィによって形成される (ステップ S7)。このレジストパターンをマスクとしたエッチングにより、上部電極膜 313 が、最終形状 (図 18 等参照) にパターンニングされる (ステップ S8)。それによって、上部電極膜 313 は、キャパシタ電極領域 313A に複数の電極膜部分 331 ~ 339 を有し、ヒューズ領域 313C に複数のヒューズユニット 57 を有し、それらのヒューズユニット 57 に接続されたパッド領域 313B を有するパターンに整形される。上部電極膜 313 のパターンニングのためのエッチングは、リン酸等のエッチング液を用いたウ

エットエッチングによって行ってもよいし、反応性イオンエッチングによって行ってもよい。

【0180】

この後、上部電極膜313のパッド領域313Bと下部電極膜311のパッド領域311Bとに検査用プローブを押し当てて、複数のキャパシタ要素C1～C9の総容量値が測定される（ステップS9）。この測定された総容量値に基づき、目的とするチップコンデンサ51の容量値に応じて、切り離すべきキャパシタ要素、すなわち切断すべきヒューズが選択される（ステップS10）。

【0181】

次いで、図24Aに示すように、基板52上の全面にたとえば窒化膜からなるカバー膜326が形成される（ステップS11）。このカバー膜326の形成は、プラズマCVD法によって行われてもよく、たとえば膜厚3000Å程度の窒化シリコン膜が形成されてもよい。カバー膜326は、パターニングされた上部電極膜313を覆い、上部電極膜313が形成されていない領域では容量膜312を覆う。カバー膜326は、ヒューズ領域313Cにおいてはヒューズユニット57を覆うことになる。

【0182】

この状態から、ヒューズユニット57を溶断するためのレーザトリミングが行われる（ステップS12）。すなわち、図24Bに示すように、前記総容量値の測定結果に応じて選択されたヒューズを構成するヒューズユニット57にレーザ光327を当てて、そのヒューズユニット57の幅狭部57Cが溶断される。これにより、対応するキャパシタ要素がパッド領域313Bから切り離される。ヒューズユニット57にレーザ光327を当てるとき、カバー膜326の働きによって、ヒューズユニット57の近傍にレーザ光327のエネルギーが蓄積され、それによって、ヒューズユニット57が溶断する。

【0183】

次に、図24Cに示すように、たとえばプラズマCVD法によって、カバー膜326上に窒化シリコン膜が堆積させられ、パッシベーション膜59が形成される（ステップS13）。前述のカバー膜326は最終形態において、パッシベーション膜59と一体化し、このパッシベーション膜59の一部を構成する。ヒューズの切断後に形成されたパッシベーション膜59は、ヒューズ溶断の際に同時に破壊されたカバー膜326の開口内に入り込み、ヒューズユニット57の切断面を保護する。したがって、パッシベーション膜59は、ヒューズユニット57の切断箇所に異物が入り込んだり水分が侵入したりすることを防ぐ。パッシベーション膜59は、全体で、たとえば8000Å程度の膜厚を有するように形成されてもよい。

【0184】

次に、第1および第2外部電極53，54を形成すべき位置に貫通孔を有するレジストパターンがパッシベーション膜59上に形成される（ステップS14）。このレジストパターンをマスクとしてパッシベーション膜59のエッチングが行われる。それによって、下部電極膜311をパッド領域311Bにおいて露出させるパッド開口と、上部電極膜313をパッド領域313Bにおいて露出させるパッド開口とが形成されることになる（ステップS15）。パッシベーション膜59のエッチングは、反応性イオンエッチングによって行われてもよい。パッシベーション膜59のエッチングの際に、同じく窒化膜で形成されている容量膜312も開口することになり、それによって、下部電極膜311のパッド領域311Bが露出することになる。

【0185】

次いで、全面に樹脂膜が塗布される（ステップS16）。樹脂膜としては、たとえば感光性のポリイミドの塗布膜が用いられる。この樹脂膜に対して、前記パッド開口に対応した領域に対する露光工程、およびその後の現像工程を行うことによって、フォトリソグラフィによる樹脂膜のパターニングを行うことができる（ステップS17）。これにより、樹脂膜310およびパッシベーション膜59を貫通したパッド開口321，322が形成される。その後、樹脂膜を硬化するための熱処理（キュア処理）が行われ（ステップS1

8)、さらに、パッド開口321, 322内に、たとえば無電解めっき法によって、第1外部電極53および第2外部電極54が成長させられる(ステップS19)。こうして、図18等に示す構造のチップコンデンサ51が得られる。

【0186】

フォトリソグラフィ工程を利用した上部電極膜313のパターニングでは、微小面積の電極膜部分331~339を精度良く形成することができ、さらに微細なパターンのヒューズユニット57を形成することができる。そして、上部電極膜313のパターニングの後に、総容量値の測定を経て、切断すべきヒューズが決定される。その決定されたヒューズを切断することによって、所望の容量値に正確に合わせ込まれたチップコンデンサ51を得ることができる。

10

【0187】

図25は、第3参考例の第2の実施形態に係るチップコンデンサ325の構成を説明するための平面図である。図25において、前述の図18に示された各部と対応する部分には同一の参照符号を付して示す。

前述の第1の実施形態では、上部電極膜313のキャパシタ電極領域313Aがそれぞれ帯状の電極膜部分331~339に分割されている。この場合、図18に示すように、キャパシタ配置領域55内にキャパシタ要素として利用することができない領域が生じてしまい、小さな基板52上の限られた領域を有効に活用することができない。

【0188】

そこで、図25に示す実施形態では、複数の電極膜部分331~339がL字形の電極膜部分341~349に分割されている。これによって、たとえば、図25の構成における電極膜部分349は、図18の構成の電極膜部分339の1.5倍の面積で下部電極膜311に対向することができる。よって、図18の第1の実施形態において電極膜部分339に対応したキャパシタ要素C9が4pFの容量を有しているとすれば、この実施形態における電極膜部分349を用いることで、キャパシタ要素C9は6pFの容量を有することができる。これにより、キャパシタ配置領域55内を有効に活用して、より広い範囲でチップコンデンサ51の容量値を設定することが可能となる。

20

【0189】

なお、この実施形態においても、寄生容量を切り離すために、基板52の表面領域であって、第1外部電極53の直下の領域、および、下部電極膜311直下の領域には拡散領域が形成され、pn接合による一對のダイオードが形成されている。

30

この実施形態に係るチップコンデンサ325の製造工程は、図23に示した工程と実質的に同様である。ただし、上部電極膜313のパターニング(ステップS7, S8)では、キャパシタ電極領域313Aが、図25に示す形状の複数の電極膜部分331~339に分割される。

【0190】

図26は、第3参考例の第3の実施形態に係るチップコンデンサ328の構成を説明するための分解斜視図であり、前述の第1の実施形態の説明において用いた図20と同様にチップコンデンサ328の各部が表されている。

第1の実施形態では、下部電極膜311がキャパシタ配置領域55のほぼ全域にわたる連続パターンからなるキャパシタ電極領域311Aを有し、上部電極膜313のキャパシタ電極領域313Aが複数の電極膜部分331~339に分割されている。

40

【0191】

これに対して、この実施形態では、上部電極膜313のキャパシタ電極領域313Aがキャパシタ配置領域55のほぼ全域にわたって連続する連続膜パターンに形成されている一方で、下部電極膜311のキャパシタ電極領域311Aが複数の電極膜部分351~359に分割されている。電極膜部分351~359は、第1の実施形態における電極膜部分331~339と同様の形状および面積比に形成されてもよいし、第2の実施形態における電極膜部分341~349と同様の形状および面積比に形成されてもよい。このようにして、電極膜部分351~359と、容量膜312と、上部電極膜313とによって、

50

複数のキャパシタ要素が構成されている。この複数のキャパシタ要素の少なくとも一部は、容量値の異なる（たとえば等比数列をなすように各容量値が設定された）キャパシタ要素群を構成している。

【0192】

下部電極膜311は、さらに、キャパシタ電極領域311Aとパッド領域311Bとの間にヒューズ領域311Cを有している。ヒューズ領域311Cには、第1の実施形態のヒューズユニット57と同様の複数のヒューズユニット329がパッド領域311Bに沿って一列に配列されている。各電極膜部分351～359は、一つまたは複数のヒューズユニット329を介してパッド領域311Bに接続されている。

【0193】

このような構成によっても、電極膜部分351～359が互いに異なる対向面積で上部電極膜313に対向しており、これらはヒューズユニット329を切断することによって個別に切り離すことができる。したがって、第1の実施形態の場合と同様の効果が得られる。とくに、複数の電極膜部分351～359の少なくとも一部が公比2の等比数列をなすように設定した対向面積で上部電極膜313に対向するように形成しておくことで、第1の実施形態の場合と同様に、所要の容量値に高精度で合わせ込んだチップコンデンサを提供できる。

【0194】

なお、この実施形態においても、上述の各実施形態と同様に、寄生容量を切り離すために、基板52の表面領域であって、第1外部電極53の直下の領域、および、第2外部電極54の直下の領域には拡散領域が形成され、pn接合による一対のダイオードが形成されている。

この実施形態に係るチップコンデンサ328の製造工程は、図23に示した工程と実質的に同様である。ただし、下部電極膜311のパターニング（ステップS3，S4）において、キャパシタ電極領域311Aが電極膜部分351，359に分割され、かつヒューズ領域311Cに複数のヒューズユニット329が形成されることになる。また、上部電極膜313のパターニング（ステップS7，S8）では、複数の電極膜部分の形成は行われず、ヒューズユニットの形成も行われない。さらに、レーザトリミング（ステップS12）においては、下部電極膜311に形成されたヒューズユニット329がレーザ光によって切断される。レーザトリミングの際、下部電極膜311は容量膜312によって覆われているので、この容量膜312をレーザ光のエネルギーを蓄積するためのカバー膜として利用することができる。したがって、レーザトリミングの直前のカバー膜の形成（ステップS11）は省かれてもよい。

【0195】

以上、第3参考例の実施形態について説明してきたが、第3参考例はさらに他の形態で実施することもできる。たとえば、前述の実施形態では、上部電極膜および下部電極膜のうち一方が複数の電極膜に分割されている構成を示したが、上部電極膜および下部電極膜が両方とも複数の電極膜部分に分割されていてもよい。さらに、前述の実施形態では、上部電極膜または下部電極膜とヒューズユニットとが一体化されている例を示したが、上部電極膜または下部電極膜とは別の導体膜でヒューズユニットを形成してもよい。さらに、前述の実施形態では、複数のキャパシタ要素が公比 r （ $0 < r$ 、 $r \neq 1$ ） $= 2$ の等比数列をなす容量値を有する複数のキャパシタ要素を有している例を示したが、当該等比数列の公比は2以外の数であってもよい。また、前述の実施形態では、基板52の表面に絶縁膜58が形成されているが、基板52が絶縁性の基板であれば、絶縁膜58を省くこともできる。また、基板52として導電性基板を用い、その導電性基板を下部電極として用い、導電性基板の表面に接するように容量膜312を形成してもよい。この場合、導電性基板の裏面から一方の外部電極を引き出してもよい。さらに、導電性基板を使用する場合、pn接合によるダイオード以外のダイオードを利用して、基板と外部電極との間に生じる寄生容量の切り離しを行ってもよい。

【0196】

その他、前記（１）第３参考例に係る発明の特徴に記載された事項の範囲で種々の設計変更を施すことが可能である。たとえば、各特徴Ｂ１～Ｂ２５で特定されていない製造の工程を変更したり、割愛したり、追加したものの、第３参考例の範囲に含まれる。

＜第４参考例に係る発明＞

（１）第４参考例に係る発明の特徴

たとえば、第４参考例に係る発明の特徴は、以下のＣ１～Ｃ２３である。

（Ｃ１）基板と、前記基板上に配置された第１外部電極と、前記基板上に配置された第２外部電極と、前記基板上に形成され、前記第１外部電極および前記第２外部電極の間に接続された複数のキャパシタ要素と、前記基板上に形成され、前記複数のキャパシタ要素と前記第１外部電極または前記第２外部電極との間にそれぞれ介装され、前記複数のキャパシタ要素をそれぞれ切り離し可能な複数のヒューズとを含むチップコンデンサであって、前記基板として、比抵抗が $30\Omega\cdot\text{cm}$ 以上の基板が用いられていることを特徴とするチップコンデンサ。

10

【０１９７】

Ｃ１記載の発明によれば、基板上に配置された第１および第２外部電極の間に複数のキャパシタ要素が接続されている。そして、複数のキャパシタ要素と第１または第２外部電極との間に、当該複数のキャパシタ要素をそれぞれ切り離し可能な複数のヒューズが設けられている。そこで、一つまたは複数のヒューズを選択して切断することにより、複数種類の容量値に、容易にかつ速やかに対応することができる。換言すれば、複数種類の容量値のチップコンデンサに対して共通の設計を適用できる。また、寄生容量の影響を受けず、正確に容量値の合わせ込みが出来るチップコンデンサとなる。

20

【０１９８】

より具体的には、基板の比抵抗が高ければ、第１外部電極および第２外部電極の直下に形成された寄生容量は、基板によって互いに電氣的に接続されることがない。それによって、これらの寄生容量を通る回路が第１外部電極および第２外部電極の間に形成されることがない。これにより、第１外部電極および第２外部電極と基板との間に生じた寄生容量を、チップコンデンサ本来の回路から切り離すことができるので、基板材料として半導体を選択しても差し支えないチップコンデンサを製造することができる。

（Ｃ２）前記基板が、 $100\Omega\cdot\text{cm}$ 以上の比抵抗を有する、Ｃ１記載のチップコンデンサ。

30

【０１９９】

Ｃ２記載の発明によれば、比抵抗の大きな基板を使用し、より確実に寄生容量を分離することができる。本来のキャパシタ容量が小さくても、寄生容量の与える影響を除去することができる。

（Ｃ３）前記複数のキャパシタ要素が、互いに異なる容量値を有している、Ｃ１またはＣ２に記載のチップコンデンサ。

【０２００】

この構成によれば、容量値の異なる複数のキャパシタ要素を組み合わせることによって、様々な容量値のチップコンデンサを共通の設計で実現することができる。

（Ｃ４）前記複数のキャパシタ要素の容量値が、等比数列をなすように設定されている、Ｃ３に記載のチップコンデンサ。

40

Ｃ４記載の発明によれば、第１外部電極および第２外部電極の間に接続すべき複数のキャパシタ要素を適切に選択することによって、チップコンデンサの容量値を所望の容量値に正確に合わせ込むことができる。たとえば、前記等比数列の公比を２とすることによって、当該等比数列の初項（当該数列内で最小値の項）の精度でチップコンデンサの容量値を合わせ込むことができる。

（Ｃ５）前記複数のヒューズのうちの少なくとも一つが切断されている、Ｃ１～Ｃ４のいずれか一項に記載のチップコンデンサ。

【０２０１】

Ｃ５記載の発明によれば、容量値を合わせ込んだチップコンデンサは、１つまたは複数

50

のヒューズが切断されている場合がある。ヒューズの切断によって、第1外部電極および第2外部電極の間に接続するキャパシタ要素を選択でき、それによって、所要の容量値のチップコンデンサを実現できる。

(C6) 前記基板上に形成された下部電極膜と、前記下部電極膜上に形成された容量膜と、前記容量膜上に前記下部電極膜と対向するように形成された上部電極膜とを含み、前記上部電極膜および上記下部電極膜のうちの一方の電極膜が、分割された複数の電極膜部分を含み、前記複数の電極膜部分が前記容量膜を介して前記上部電極膜および前記下部電極膜のうちの他方の電極膜に対向することにより、前記複数のキャパシタ要素が形成されている、C1～C5のいずれか一項に記載のチップコンデンサ。

【0202】

10

C6記載の発明によれば、下部電極膜と上部電極膜との間に容量膜を挟み込むことによってキャパシタ構造が構成されている。そして、上部電極膜および下部電極膜のうちの一方の電極膜を複数の電極膜部分に分割することによって、それぞれの電極膜部分が他方の電極膜に対向し、これによって複数のキャパシタ要素が基板上に設けられることになる。

(C7) 前記複数の電極膜部分が、互いに異なる対向面積で前記他方の電極膜に対向している、C6に記載のチップコンデンサ。

【0203】

C7記載の発明によれば、対向面積が互いに異なる複数の電極膜部分に対応する複数のキャパシタ要素は、互いに異なる容量値を有することになる。よって、それらを適切に組み合わせることによって、複数種類の容量値のチップコンデンサを実現することができる。より具体的には、選択された複数のキャパシタ要素以外のキャパシタ要素に対応するヒューズを切断してそれらを第1および第2外部電極の間から切り離すことによって、所要の容量値を有するチップコンデンサを構成することができる。

20

(C8) 前記複数の電極膜部分の前記対向面積が、等比数列をなすように設定されている、C7に記載のチップコンデンサ。

【0204】

C8記載の発明によれば、容量値が等比数列をなすように設定された複数のキャパシタ要素を基板上に設けることができる。それによって、複数種類の容量値のチップコンデンサを実現でき、かつ、容量値の微調整も、ヒューズの切断によって行うことができる。

(C9) 前記複数の電極膜部分と前記ヒューズとが同じ導電性材料の膜で形成されている、C6～C8のいずれか一項に記載のチップコンデンサ。

30

【0205】

C9記載の発明によれば、電極膜部分とヒューズとを共通の導電性材料膜で構成することができる。そして、各電極膜部分に対応するヒューズを切断することで、当該電極膜部分を切り離すことができる。

(C10) 前記上部電極膜を覆い、前記第1外部電極および前記第2外部電極を露出させるように形成された保護膜をさらに含む、C1～C9のいずれか一項に記載のチップコンデンサ。

【0206】

C10記載の発明によれば、第1および第2外部電極を露出させる一方で上部電極膜を保護膜で覆うことができるから、共通の設計で複数種類の容量値を実現でき、かつ信頼性の高いチップコンデンサを提供できる。

40

(C11) 前記保護膜が、前記基板の側面にまで延びて、当該側面を覆っている、C10に記載のチップコンデンサ。

【0207】

C11記載の発明によれば、基板の側面からも保護することができるので、チップコンデンサの信頼性を一層向上できる。

(C12) 第1外部電極および第2外部電極を有するチップコンデンサの製造方法であって、前記基板として、比抵抗が $30\ \Omega \cdot \text{cm}$ 以上、好ましくは $100\ \Omega \cdot \text{cm}$ 以上の比抵抗を有する基板を準備する工程と、前記基板上に複数のキャパシタ要素を形成する工程と

50

、前記複数のキャパシタ要素をそれぞれ切り離し可能に前記第1外部電極または第2外部電極に接続するための複数のヒューズを前記基板上に形成する工程と、前記基板上に第1外部電極および第2外部電極を形成する工程とを含む、チップコンデンサの製造方法。

【0208】

C12記載の発明によれば、所要の容量値に応じて選択したヒューズを切断することにより、共通の設計でありながら、複数の容量値のチップコンデンサを製造することができる。また、寄生容量の影響を受けないチップコンデンサを製造することができる。

(C13) 前記複数のキャパシタ要素が、互いに異なる容量値を有するように形成される、C12に記載のチップコンデンサの製造方法。

【0209】

C13記載の発明によれば、複数のキャパシタ要素を適切に選択して組み合わせることによって、複数種類の容量値を実現できる。

(C14) 前記複数のキャパシタ要素の容量値が、等比数列をなすように設定される、C13に記載のチップコンデンサの製造方法。

C14記載の発明によれば、複数のキャパシタ要素を適切に選択して組み合わせることによって、複数種類の容量値を実現でき、かつ所望の容量値に対する微調整（合わせ込み）も可能となる。たとえば、前記等比数列の公比を2とすることによって、当該等比数列の初項（当該数列内で最小値の項）の精度でチップコンデンサの容量値を合わせ込むことができる。

(C15) 前記複数のヒューズのうちの少なくとも一つを切断するヒューズ切断工程をさらに含む、C12～C14のいずれか一項に記載のチップコンデンサの製造方法。

【0210】

C15記載の発明によれば、切断すべきヒューズを適切に選択することによって、チップコンデンサの容量値を所望の容量値に合わせ込むことができる。すなわち、第1および第2外部電極に接続すべきキャパシタ要素を適切に選択し、それ以外のキャパシタ要素に対応するヒューズを切断することにより、所望の容量値に合わせ込んだチップコンデンサを製造できる。

(C16) 前記複数のキャパシタ要素の総容量値を測定する工程と、前記測定された総容量値に基づいて、前記切断すべきヒューズを選択する工程とをさらに含み、前記ヒューズ切断工程では、前記選択されたヒューズが切断される、C15に記載のチップコンデンサの製造方法。

【0211】

C16記載の発明によれば、複数のキャパシタ要素の総容量値が測定され、その測定結果に基づいて切断すべきヒューズが選択されるので、チップコンデンサの容量値を確実に目的の容量値とすることができる。

(C17) 前記ヒューズを切断した後に、前記ヒューズの切断部を覆う保護膜を形成する工程をさらに含む、C15またはC16に記載のチップコンデンサの製造方法。

【0212】

C17記載の発明によれば、ヒューズの切断部が保護膜によって覆われるので、切断部に対する異物や水分の侵入を回避できるから、共通の設計で複数種類の容量値を実現できるとともに、信頼性の高いチップコンデンサを製造することができる。

(C18) 前記複数のキャパシタ要素を形成する工程が、前記基板上に下部電極膜を形成する工程と、前記下部電極膜上に容量膜を形成する工程と、前記容量膜上に前記下部電極膜と対向するように上部電極膜を形成する工程と、前記上部電極膜および前記下部電極膜のうちの一方の電極膜を複数の電極膜部分に分割（たとえばフォトリソグラフィにより分割）する工程とを含み、前記複数の電極膜部分が前記容量膜を介して前記上部電極膜および下部電極膜のうちの他方の電極膜に対向することにより、前記複数のキャパシタ要素が形成される、C12～C17のいずれか一項に記載のチップコンデンサの製造方法。

【0213】

C18記載の発明によれば、下部電極膜と上部電極膜との間に容量膜を挟んだキャパシ

10

20

30

40

50

タ構造を形成できる。そして、上部電極膜および下部電極膜のうちの一方を複数の電極膜部分に分割することで、当該分割された電極膜部分と他方の電極膜との間に容量膜を挟んだ構造の複数のキャパシタ要素を基板上に形成することができる。

(C 1 9) 前記複数の電極膜部分が互いに異なる対向面積で前記他方の電極膜に対向するように前記一方の電極膜が分割される、C 1 8に記載のチップコンデンサの製造方法。

【0 2 1 4】

C 1 9記載の発明によれば、複数の電極膜部分が互いに異なる対向面積で他方の電極膜に対向することによって、容量値の異なる複数のキャパシタ要素を基板上に形成することができる。したがって、異なる容量値のキャパシタ要素を適切に選択して組み合わせることで、複数種類の容量値のチップコンデンサを製造することができる。

10

(C 2 0) 前記複数の電極膜部分の前記対向面積が、等比数列をなすように設定される、C 1 8に記載のチップコンデンサの製造方法。

【0 2 1 5】

C 2 0記載の発明によれば、等比数列をなすように容量値が設定された複数のキャパシタ要素を基板上に形成することができる。よって、複数のキャパシタ要素を適切に選択して組み合わせることで、複数種類の容量値のチップコンデンサを提供でき、かつ所望の容量値への正確な合わせ込みが可能になる。

(C 2 1) 前記一方の電極膜と前記ヒューズとが同じ導電性材料の膜で形成される、C 1 8～C 2 0のいずれか一項に記載のチップコンデンサの製造方法。

【0 2 1 6】

20

C 2 1記載の発明によれば、電極膜部分とヒューズとを同じ導電性材料の膜で形成することができるから、それらを同一膜からパターンニングして形成することができる。これにより、製造工程が簡単になる。

(C 2 2) $30\ \Omega \cdot \text{cm}$ 以上の比抵抗を有する基板と、前記基板上に形成された絶縁膜と、前記絶縁膜上に形成された下部電極膜と、前記下部電極膜上に形成された容量膜と、前記容量膜上に前記下部電極膜と対抗するように形成された上部電極膜と、前記絶縁膜上に配置され前記下部電極膜に接続された第1外部電極と、前記絶縁膜上に配置され前記上部電極膜に接続された第2外部電極と、を含む、チップコンデンサ。

(C 2 3) 前記基板が、 $100\ \Omega \cdot \text{cm}$ 以上の比抵抗を有する、C 2 2記載のチップコンデンサ。

30

【0 2 1 7】

C 2 2、2 3記載の発明によれば、基板に半導体を使用でき、かつ、寄生容量の影響を受けず、正確に容量値の合わせ込みが出来るチップコンデンサとなる。

(2) 第4参考例に係る発明の実施形態

以下では、第4参考例の実施の形態を、添付図面を参照して詳細に説明する。

図27は、第4参考例の第1の実施形態に係るチップコンデンサの平面図であり、図28はその断面図であって、図27の切断面線XXVIII-XXVIIIから見た切断面が示されている。さらに、図29は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。

【0 2 1 8】

40

チップコンデンサ61は、基板62と、基板62上に配置された第1外部電極63と、同じく基板62上に配置された第2外部電極64とを備えている。基板62は、この実施形態では、平面視において四隅を面取りした矩形形状を有している。矩形形状は、例えば、 $0.3\text{mm} \times 0.15\text{mm}$ 程度の寸法である。基板62の長手方向両端部に第1外部電極63および第2外部電極64がそれぞれ配置されている。第1外部電極63および第2外部電極64は、この実施形態では、基板62の短手方向に延びたほぼ矩形の平面形状を有し、基板62の角に対応する各2箇所に面取り部を有している。基板62上には、第1外部電極63および第2外部電極64の間のキャパシタ配置領域65内に、複数のキャパシタ要素C1～C9が配置されている。複数のキャパシタ要素C1～C9は、複数のヒューズユニット67を介してそれぞれ第1外部電極63に電氣的に接続されている。

50

【0219】

図28および図29に示されているように、基板62の表面には絶縁膜68が形成されていて、絶縁膜68の表面に下部電極膜411が形成されている。下部電極膜411は、キャパシタ配置領域65のほぼ全域にわたっていると同時に、第2外部電極64の直下の領域にまで延びて形成されている。より具体的には、下部電極膜411は、キャパシタ要素C1～C9の共通の下部電極として機能するキャパシタ電極領域411Aと、外部電極引き出しのためのパッド領域411Bとを有している。キャパシタ電極領域411Aがキャパシタ配置領域65に位置していて、パッド領域411Bが第2外部電極64の直下に位置している。

【0220】

10

キャパシタ配置領域65において下部電極膜411（キャパシタ電極領域411A）を覆うように容量膜（誘電体膜）412が形成されている。容量膜412は、キャパシタ電極領域411Aの全域にわたって連続しており、この実施形態では、さらに第1外部電極63の直下の領域にまで延び、キャパシタ配置領域65外の絶縁膜68を覆っている。

容量膜412の上には、上部電極膜413が形成されている。図27では、明瞭化のために、上部電極膜413に細ドットを付して示してある。上部電極膜413は、キャパシタ配置領域65に位置するキャパシタ電極領域413Aと、第1外部電極63の直下に位置するパッド領域413Bと、パッド領域413Bとキャパシタ電極領域413Aとの間に配置されたヒューズ領域413Cとを有している。

【0221】

20

キャパシタ電極領域413Aにおいて、上部電極膜413は、複数の電極膜部分431～439に分割されている。この実施形態では、各電極膜部分431～439は、いずれも矩形形状に形成されていて、ヒューズ領域413Cから第2外部電極64に向かって帯状に延びている。複数の電極膜部分431～439は、複数種類の対向面積で、容量膜412を挟んで下部電極膜411に対向している。より具体的には、電極膜部分431～439の下部電極膜411に対する対向面積は、1：2：4：8：16：32：64：128：128となるように定められていてもよい。すなわち、複数の電極膜部分431～439は、対向面積の異なる複数の電極膜部分を含み、より詳細には、公比が2の等比数列をなすように設定された対向面積を有する複数の電極膜部分431～438（または431～437、439）を含む。これによって、各電極膜部分431～439と容量膜412を挟んで対向する下部電極膜411とによってそれぞれ構成される複数のキャパシタ要素C1～C9は、互いに異なる容量値を有する複数のキャパシタ要素を含む。電極膜部分431～439の対向面積の比が前述の通りである場合、キャパシタ要素C1～C9の容量値の比は、当該対向面積の比と等しく、1：2：4：8：16：32：64：128：128となる。すなわち、複数のキャパシタ要素C1～C9は、公比が2の等比数列をなすように容量値が設定された複数のキャパシタ要素C1～C8（またはC1～C7、C9）を含むことになる。

30

【0222】

この実施形態では、電極膜部分431～435は、幅が等しく、長さの比を1：2：4：8：16に設定した帯状に形成されている。また、電極膜部分435、436、437、438、439は、長さが等しく、幅の比を1：2：4：8：8に設定した帯状に形成されている。電極膜部分435～439は、キャパシタ配置領域65の第1外部電極63側の端縁から第2外部電極64側の端縁までの範囲に渡って延びて形成されており、電極膜部分431～434は、それよりも短く形成されている。

40

【0223】

パッド領域413Bは、第1外部電極63とほぼ相似形に形成されており、基板62の角部に対応する2つの面取り部を有するほぼ矩形の平面形状を有している。このパッド領域413Bの一つの長辺（基板62の周縁に対して内方側の長辺）に沿ってヒューズ領域413Cが配置されている。ヒューズ領域413Cは、パッド領域413Bの前記1つの長辺に沿って配列された複数のヒューズユニット67を含む。ヒューズユニット67は、

50

上部電極膜 4 1 3 のパッド領域 4 1 3 B と同じ材料で一体的に形成されている。複数の電極膜部分 4 3 1 ～ 4 3 9 は、1 つまたは複数個のヒューズユニット 6 7 と一体的に形成されていて、それらのヒューズユニット 6 7 を介してパッド領域 4 1 3 B に接続され、このパッド領域 4 1 3 B を介して第 1 外部電極 6 3 に電氣的に接続されている。面積の比較的小さな電極膜部分 4 3 1 ～ 4 3 6 は、一つのヒューズユニット 6 7 によってパッド領域 4 1 3 B に接続されており、面積の比較的大きな電極膜部分 4 3 7 ～ 4 3 9 は複数個のヒューズユニット 6 7 を介してパッド領域 4 1 3 B に接続されている。全てのヒューズユニット 6 7 が用いられる必要はなく、この実施形態では、一部のヒューズユニット 6 7 は未使用である。

【0 2 2 4】

10

ヒューズユニット 6 7 は、パッド領域 4 1 3 B との接続のための第 1 幅広部 6 7 A と電極膜部分 4 3 1 ～ 4 3 9 との接続のための第 2 幅広部 6 7 B と、第 1 および第 2 幅広部 6 7 A, 6 7 B の間を接続する幅狭部 6 7 C とを含む。幅狭部 6 7 C は、レーザ光によって切断（溶断）することができるよう構成されている。それによって、電極膜部分 4 3 1 ～ 4 3 9 のうち不要な電極膜部分をヒューズユニット 6 7 の切断によって第 1 および第 2 外部電極 6 3, 6 4 から電氣的に切り離すことができる。

【0 2 2 5】

図 2 7 および図 2 9 では図示を省略したが、図 2 8 に表れている通り、上部電極膜 4 1 3 の表面を含むチップコンデンサ 6 1 の表面はパッシベーション膜 6 9 によって覆われている。パッシベーション膜 6 9 は、たとえば窒化膜からなっていて、チップコンデンサ 6 1 の上面のみならず、基板 6 2 の側面まで延びて、この側面をも覆うように形成されている。さらに、パッシベーション膜 6 9 の上には、ポリイミド樹脂等からなる樹脂膜 4 1 0 が形成されている。樹脂膜 4 1 0 は、チップコンデンサ 6 1 の上面を覆い、さらに基板 6 2 の側面に至って、当該側面上のパッシベーション膜 6 9 を覆うように形成されている。

20

【0 2 2 6】

パッシベーション膜 6 9 および樹脂膜 4 1 0 は、チップコンデンサ 6 1 の表面を保護する保護膜である。これらには、第 1 外部電極 6 3 および第 2 外部電極 6 4 に対応する領域にパッド開口 4 1 4, 4 1 5 がそれぞれ形成されている。パッド開口 4 1 4, 4 1 5 はそれぞれ上部電極膜 4 1 3 のパッド領域 4 1 3 B の一部の領域、下部電極膜 4 1 1 のパッド領域 4 1 1 B の一部の領域を露出させるようにパッシベーション膜 6 9 および樹脂膜 4 1 0 を貫通している。さらに、この実施形態では、第 2 外部電極 6 4 に対応したパッド開口 4 1 5 は、容量膜 4 1 2 をも貫通している。

30

【0 2 2 7】

パッド開口 4 1 4, 4 1 5 には、第 1 外部電極 6 3 および第 2 外部電極 6 4 がそれぞれ埋め込まれている。これにより、第 1 外部電極 6 3 は上部電極膜 4 1 3 のパッド領域 4 1 3 B に接合しており、第 2 外部電極 6 4 は下部電極膜 4 1 1 のパッド領域 4 1 1 B に接合している。第 1 および第 2 外部電極 6 3, 6 4 は、樹脂膜 4 1 0 の表面から突出するように形成されている。これにより、実装基板に対してチップコンデンサ 6 1 をフリップチップ接合することができる。

【0 2 2 8】

40

この実施形態に係る構成のチップコンデンサ 6 1 には、寄生容量が発生する。図 2 8 を参照して説明すると、第 1 外部電極 6 3 の直下には、当該第 1 外部電極 6 3 と基板 6 2 の間に、絶縁膜 6 8 および容量膜 4 1 2 を挟んだ寄生容量 C P 1 が形成される。また、第 2 外部電極 6 4 の直下には、当該第 2 外部電極 6 4 と基板 6 2 との間に、絶縁膜 6 8 を挟んだ寄生容量 C P 2 が形成される。そして、これら寄生容量 C P 1, C P 2 が基板 6 2 を介して第 1 外部電極 6 3 および第 2 外部電極 6 4 の間に直列に接続されていることになる。そして、この寄生容量の直列回路は、前記構成したキャパシタ要素 C 1 ～ C 9 に対して並列接続されることになり、チップコンデンサ 6 1 全体の容量値を低下させ、また、チップコンデンサ 6 1 を所望の容量値に合わせ込む妨げとなる。

【0 2 2 9】

50

しかしながら、この実施形態では、基板 6 2 として、 $30\ \Omega \cdot \text{cm}$ 以上、より好ましくは $100\ \Omega \cdot \text{cm}$ 以上の比抵抗を有する基板 6 2 を使用したので、寄生容量 C P 1、C P 2 を分離することができ、寄生容量 C P 1、C P 2 が本来のキャパシタ容量に与える影響を除去することができる。

より具体的に、図 3 0 を参照して説明する。

【0 2 3 0】

図 3 0 (A) は、チップコンデンサ 6 1 の電氣的な等価回路である。図 3 0 (A) において、C は、チップコンデンサ 6 1 本来の容量であり、C P 1 および C P 2 は、それぞれ、第 1 外部電極 6 3 および第 2 外部電極 6 4 側の寄生容量である。また、R はチップコンデンサ 6 1 の本来のキャパシタ回路に直列に存在する抵抗である。一方、R s は、基板 6 2 の抵抗である。

10

【0 2 3 1】

図 3 0 (A) の等価回路は、図 3 0 (B) に示す等価回路に書き直すことができる。図 3 0 (B) において、C p は、寄生容量 C P 1 および C P 2 の合成容量を示している。

図 3 0 (B) の等価回路において、R と C との直列回路は、インピーダンス Z 0 のチップコンデンサ 6 1 固有の値であり、合成容量 C p と基板 6 2 の抵抗 R s との直列回路は、インピーダンス Z p と表わすことができる。

【0 2 3 2】

そこで、図 3 0 (C) に示すように、寄生容量 C p および基板抵抗 R s を含めた等価回路において、

20

C p = 0. 3 p F、R = 0. 5 Ω として、

C = 0. 2 p F、1 p F、1 0 p F と変化させ、かつ、

R s を 1 0 Ω ~ 1 0 M Ω と変化させ、f = 5 G H z のときのインピーダンス特性を確認した。

【0 2 3 3】

図 3 1 は、周波数 f = 5 G H z 時の、R および C のみのインピーダンス (Z 0) 特性と、C p、R s が合成された場合のインピーダンス (Z 0 / Z p) 特性を示すグラフである。

図 3 1 から、チップコンデンサ 6 1 が、容量 0. 2 p F 以上において、寄生容量の影響を受けないようにするためには、基板 6 2 の抵抗値を少なくとも 1 K Ω 以上にする必要があることを確認できる。

30

【0 2 3 4】

基板 6 2 の抵抗値を 1 K Ω 以上にするために必要な基板 6 2 の比抵抗は、基板 6 2 の有効抵抗領域を、図 3 2 に示す寸法、すなわち 1 辺が 0. 1 5 m m の立方体チップである場合を想定すれば、

比抵抗 ρ ($\Omega \cdot \text{cm}$) は、

$$\begin{aligned} \rho * 10 / 0. 15 * 10 / 0. 15 * 0. 15 / 10 \\ = R s * 66. 7 > 1 K \Omega \end{aligned}$$

とする必要がある。

【0 2 3 5】

40

よって、 $\rho > 15\ \Omega \cdot \text{cm}$

が、基板 6 2 の最低比抵抗となる。

この実施形態のチップコンデンサ 6 1 は、基板 6 2 の大きさが、図 3 2 で説明した寸法の約 2 倍であるから、チップコンデンサ 6 1 に使用する基板 6 2 の比抵抗は、 $30\ \Omega \cdot \text{cm}$ 以上であればよい。

【0 2 3 6】

なお、この実施形態のチップコンデンサ 6 1 では、0. 2 p F の低容量でも、寄生容量の影響を受けないようにするため、比抵抗 $100\ \Omega \cdot \text{cm}$ 意匠のシリコン基板を使用して製造している。

図 3 3 は、チップコンデンサ 6 1 の内部の電氣的構成を示す回路図である。第 1 外部電

50

極 6 3 と第 2 外部電極 6 4 との間に複数のキャパシタ要素 C 1 ～ C 9 が並列に接続されている。各キャパシタ要素 C 1 ～ C 9 と第 1 外部電極 6 3 との間には、一つまたは複数のヒューズユニット 6 7 でそれぞれ構成されたヒューズ F 1 ～ F 9 が直列に介装されている。

【0237】

ヒューズ F 1 ～ F 9 が全て接続されているときは、チップコンデンサ 6 1 の容量値は、キャパシタ要素 C 1 ～ C 9 の容量値の総和に等しい。複数のヒューズ F 1 ～ F 9 から選択した一つまたは二つ以上のヒューズを切断すると、当該切断されたヒューズに対応するキャパシタ要素が切り離され、当該切り離されたキャパシタ要素の容量値だけチップコンデンサ 6 1 の容量値が減少する。

【0238】

そこで、パッド領域 4 1 1 B, 4 1 3 B の間の容量値（キャパシタ要素 C 1 ～ C 9 の総容量値）を測定し、その後に所望の容量値に応じてヒューズ F 1 ～ F 9 から適切に選択した一つまたは複数のヒューズをレーザ光で溶断すれば、所望の容量値への合わせ込み（レーザトリミング）を行うことができる。とくに、キャパシタ要素 C 1 ～ C 8 の容量値が、公比 2 の等比数列をなすように設定されていれば、最小の容量値（当該等比数列の初項の値）であるキャパシタ要素 C 1 の容量値に対応する精度で目標の容量値へと合わせ込む微調整が可能である。

【0239】

たとえば、キャパシタ要素 C 1 ～ C 9 の容量値は次のように定められていてもよい。

$$C 1 = 0.03125 \text{ pF}$$

$$C 2 = 0.0625 \text{ pF}$$

$$C 3 = 0.125 \text{ pF}$$

$$C 4 = 0.25 \text{ pF}$$

$$C 5 = 0.5 \text{ pF}$$

$$C 6 = 1 \text{ pF}$$

$$C 7 = 2 \text{ pF}$$

$$C 8 = 4 \text{ pF}$$

$$C 9 = 4 \text{ pF}$$

この場合、0.03125 pF の最小合わせ込み精度でチップコンデンサ 6 1 の容量を微調整できる。また、ヒューズ F 1 ～ F 9 から切断すべきヒューズを適切に選択することで、0.1 pF ～ 10 pF の間の任意の容量値のチップコンデンサ 6 1 を提供することができる。

【0240】

以上のように、この実施形態によれば、第 1 外部電極 6 3 および第 2 外部電極 6 4 の間に、ヒューズ F 1 ～ F 9 によって切り離し可能な複数のキャパシタ要素 C 1 ～ C 9 が設けられている。キャパシタ要素 C 1 ～ C 9 は、異なる容量値の複数のキャパシタ要素、より具体的には等比数列をなすように容量値が設定された複数のキャパシタ要素を含んでいる。それによって、ヒューズ F 1 ～ F 9 から一つまたは複数のヒューズを選択してレーザ光で溶断することにより、設計を変更することなく複数種類の容量値に対応でき、かつ所望の容量値に正確に合わせ込むことができるチップコンデンサ 6 1 を提供できる。

【0241】

チップコンデンサ 6 1 の各部の詳細について以下に説明を加える。

基板 6 2 は、たとえば平面視において 0.3 mm × 0.15 mm、0.4 mm × 0.2 mm、または 0.2 mm × 0.1 mm などの矩形形状（好ましくは、0.4 mm × 0.2 mm 以下の大きさ）を有していてもよい。キャパシタ配置領域 6 5 は、概ね、基板 6 2 の短辺の長さに相当する一辺を有する正方形領域となる。基板 6 2 の厚さは、150 μm 程度であってもよい。基板 6 2 は、たとえば、裏面側（キャパシタ要素 C 1 ～ C 9 が形成されていない表面）からの研削または研磨によって薄型化された基板であってもよい。基板 6 2 の材料としては、シリコン基板に代表される半導体基板を用いてもよいし、ガラス基板を用いてもよいし、樹脂フィルムを用いてもよい。

【0242】

絶縁膜68は、酸化シリコン膜等の酸化膜であってもよい。その膜厚は、 $500\text{ \AA} \sim 2000\text{ \AA}$ 程度であってもよい。

下部電極膜411は、導電性膜、とくに金属膜であることが好ましく、たとえばアルミニウム膜であってもよい。アルミニウム膜からなる下部電極膜411は、スパッタ法によって形成することができる。上部電極膜413も同様に、導電性膜、とくに金属膜で構成することが好ましく、アルミニウム膜であってもよい。アルミニウム膜からなる上部電極膜413は、スパッタ法によって形成することができる。上部電極膜413のキャパシタ電極領域413Aを電極膜部分431～439に分割し、かつヒューズ領域413Cを複数のヒューズユニット67に整形するためのパターンニングは、フォトリソグラフィおよびエッチングプロセスによって行うことができる。

10

【0243】

容量膜412は、たとえば窒化シリコン膜で構成することができ、その膜厚は $500\text{ \AA} \sim 2000\text{ \AA}$ （たとえば $1000\text{ \AA}$ ）とすることができる。容量膜412は、プラズマCVD（化学的気相成長）によって形成された窒化シリコン膜であってもよい。

パッシベーション膜69は、たとえば窒化シリコン膜で構成することができ、たとえばプラズマCVD法によって形成できる。その膜厚は、 $8000\text{ \AA}$ 程度とされてもよい。樹脂膜410は、前述の通り、ポリイミド膜その他の樹脂膜で構成することができる。

【0244】

第1および第2外部電極63、64は、たとえば、下部電極膜411または上部電極膜413に接するニッケル層と、このニッケル層上に積層したパラジウム層と、そのパラジウム層上に積層した金層とを積層した積層構造膜からなってもよく、たとえば、めっき法（より具体的には無電解めっき法）で形成することができる。ニッケル層は下部電極膜411または上部電極膜413に対する密着性の向上に寄与し、パラジウム層は上部電極膜または下部電極膜の材料と第1および第2外部電極63、64の最上層の金との相互拡散を抑制する拡散防止層として機能する。

20

【0245】

図34は、チップコンデンサ61の製造工程の一例を説明するための流れ図である。基板62として、比抵抗が $100\text{ }\Omega \cdot \text{cm}$ 以上の基板を準備する。次いで、基板62の表面に、熱酸化法および／またはCVD法によって、酸化膜（たとえば酸化シリコン膜）からなる絶縁膜68が形成される（ステップS1）。次に、たとえばスパッタ法によって、アルミニウム膜からなる下部電極膜411が絶縁膜68の表面全域に形成される（ステップS2）。下部電極膜411の膜厚は $8000\text{ \AA}$ 程度とされてもよい。次に、その下部電極膜の表面に、下部電極膜411の最終形状に対応したレジストパターンが、フォトリソグラフィによって形成される（ステップS3）。このレジストパターンをマスクとして、下部電極膜がエッチングされることにより、図27等にしたパターンの下部電極膜411が得られる（ステップS4）。下部電極膜411のエッチングは、たとえば、反応性イオンエッチングによって行うことができる。

30

【0246】

次に、たとえばプラズマCVD法によって、窒化シリコン膜等からなる容量膜412が、下部電極膜411上に形成される（ステップS5）。下部電極膜411が形成されていない領域では、絶縁膜68の表面に容量膜412が形成されることになる。次いで、その容量膜412の上に、上部電極膜413が形成される（ステップS6）。上部電極膜413は、たとえばアルミニウム膜からなり、スパッタ法によって形成することができる。その膜厚は、 $8000\text{ \AA}$ 程度とされてもよい。次いで、上部電極膜413の表面に上部電極膜413の最終形状に対応したレジストパターンがフォトリソグラフィによって形成される（ステップS7）。このレジストパターンをマスクとしたエッチングにより、上部電極膜413が、最終形状（図27等参照）にパターンニングされる（ステップS8）。それによって、上部電極膜413は、キャパシタ電極領域413Aに複数の電極膜部分431～439を有し、ヒューズ領域413Cに複数のヒューズユニット67を有し、それらのヒ

40

50

ューズユニット67に接続されたパッド領域413Bを有するパターンに整形される。上部電極膜413のパターニングのためのエッチングは、燐酸等のエッチング液を用いたウェットエッチングによって行ってもよいし、反応性イオンエッチングによって行ってもよい。

【0247】

この後、上部電極膜413のパッド領域413Bと下部電極膜411のパッド領域411Bとに検査用プローブを押し当てて、複数のキャパシタ要素C1～C9の総容量値が測定される（ステップS9）。この測定された総容量値に基づき、目的とするチップコンデンサ61の容量値に応じて、切り離すべきキャパシタ要素、すなわち切断すべきヒューズが選択される（ステップS10）。 10

【0248】

次いで、図35Aに示すように、基板62上の全面にたとえば窒化膜からなるカバー膜416が形成される（ステップS11）。このカバー膜416の形成は、プラズマCVD法によって行われてもよく、たとえば膜厚3000Å程度の窒化シリコン膜が形成されてもよい。カバー膜416は、パターニングされた上部電極膜413を覆い、上部電極膜413が形成されていない領域では容量膜412を覆う。カバー膜416は、ヒューズ領域413Cにおいてはヒューズユニット67を覆うことになる。

【0249】

この状態から、ヒューズユニット67を溶断するためのレーザトリミングが行われる（ステップS12）。すなわち、図35Bに示すように、前記総容量値の測定結果に応じて選択されたヒューズを構成するヒューズユニット67にレーザ光417を当てて、そのヒューズユニット67の幅狭部67Cが溶断される。これにより、対応するキャパシタ要素がパッド領域413Bから切り離される。ヒューズユニット67にレーザ光417を当てるとき、カバー膜416の働きによって、ヒューズユニット67の近傍にレーザ光417のエネルギーが蓄積され、それによって、ヒューズユニット67が溶断する。 20

【0250】

次に、図35Cに示すように、たとえばプラズマCVD法によって、カバー膜416上に窒化シリコン膜が堆積させられ、パッシベーション膜69が形成される（ステップS13）。前述のカバー膜416は最終形態において、パッシベーション膜69と一体化し、このパッシベーション膜69の一部を構成する。ヒューズの切断後に形成されたパッシベーション膜69は、ヒューズ溶断の際に同時に破壊されたカバー膜416の開口内に入り込み、ヒューズユニット67の切断面を保護する。したがって、パッシベーション膜69は、ヒューズユニット67の切断箇所に異物が入り込んだり水分が侵入したりすることを防ぐ。パッシベーション膜69は、全体で、たとえば8000Å程度の膜厚を有するように形成されてもよい。 30

【0251】

次に、第1および第2外部電極63、64を形成すべき位置に貫通孔を有するレジストパターンがパッシベーション膜69上に形成される（ステップS14）。このレジストパターンをマスクとしてパッシベーション膜69のエッチングが行われる。それによって、下部電極膜411をパッド領域411Bにおいて露出させるパッド開口と、上部電極膜413をパッド領域413Bにおいて露出させるパッド開口とが形成されることになる（ステップS15）。パッシベーション膜69のエッチングは、反応性イオンエッチングによって行われてもよい。パッシベーション膜69のエッチングの際に、同じく窒化膜で形成されている容量膜412も開口することになり、それによって、下部電極膜411のパッド領域411Bが露出することになる。 40

【0252】

次いで、全面に樹脂膜が塗布される（ステップS16）。樹脂膜としては、たとえば感光性のポリイミドの塗布膜が用いられる。この樹脂膜に対して、前記パッド開口に対応した領域に対する露光工程、およびその後の現像工程を行うことによって、フォトリソグラフィによる樹脂膜のパターニングを行うことができる（ステップS17）。これにより、 50

樹脂膜 410 およびパッシベーション膜 69 を貫通したパッド開口 414, 415 が形成される。その後、樹脂膜を硬化するための熱処理（キュア処理）が行われ（ステップ S18）、さらに、パッド開口 414, 415 内に、たとえば無電解めっき法によって、第 1 外部電極 63 および第 2 外部電極 64 が成長させられる（ステップ S19）。こうして、図 27 等に示す構造のチップコンデンサ 61 が得られる。

【0253】

フォトリソグラフィ工程を利用した上部電極膜 413 のパターニングでは、微小面積の電極膜部分 431～439 を精度良く形成することができ、さらに微細なパターンのヒューズユニット 67 を形成することができる。そして、上部電極膜 413 のパターニングの後に、総容量値の測定を経て、切断すべきヒューズが決定される。その決定されたヒューズを切断することによって、所望の容量値に正確に合わせ込まれたチップコンデンサ 61 を得ることができる。

10

【0254】

図 36 は、第 4 参考例の第 2 の実施形態に係るチップコンデンサ 418 の構成を説明するための平面図である。図 36 において、前述の図 27 に示された各部と対応する部分には同一の参照符号を付して示す。

前述の第 1 の実施形態では、上部電極膜 413 のキャパシタ電極領域 413A がそれぞれ帯状の電極膜部分 431～439 に分割されている。この場合、図 27 に示すように、キャパシタ配置領域 65 内にキャパシタ要素として利用することができない領域が生じてしまい、小さな基板 62 上の限られた領域を有効に活用することができない。

20

【0255】

そこで、図 36 に示す実施形態では、複数の電極膜部分 431～439 が L 字形の電極膜部分 441～449 に分割されている。これによって、たとえば、図 36 の構成における電極膜部分 449 は、図 27 の構成の電極膜部分 439 の 1.5 倍の面積で下部電極膜 411 に対向することができる。よって、図 27 の第 1 の実施形態において電極膜部分 439 に対応したキャパシタ要素 C9 が 4 pF の容量を有しているとすれば、この実施形態における電極膜部分 449 を用いることで、キャパシタ要素 C9 は 6 pF の容量を有することができる。これにより、キャパシタ配置領域 65 内を有効に活用して、より広い範囲でチップコンデンサ 418 の容量値を設定することが可能となる。

【0256】

30

なお、この実施形態においても、寄生容量の影響を受けないようにするため、基板 62 は、 $100\ \Omega \cdot \text{cm}$ 以上の比抵抗を有する。

この実施形態に係るチップコンデンサ 418 の製造工程は、図 34 に示した工程と実質的に同様である。ただし、上部電極膜 413 のパターニング（ステップ S7, S8）では、キャパシタ電極領域 413A が、図 34 に示す形状の複数の電極膜部分 431～439 に分割される。

【0257】

図 37 は、第 4 参考例の第 3 の実施形態に係るチップコンデンサ 419 の構成を説明するための分解斜視図であり、前述の第 1 の実施形態の説明において用いた図 29 と同様にチップコンデンサ 419 の各部が表されている。

40

第 1 の実施形態では、下部電極膜 411 がキャパシタ配置領域 65 のほぼ全域にわたる連続パターンからなるキャパシタ電極領域 411A を有し、上部電極膜 413 のキャパシタ電極領域 413A が複数の電極膜部分 431～439 に分割されている。

【0258】

これに対して、この実施形態では、上部電極膜 413 のキャパシタ電極領域 413A がキャパシタ配置領域 65 のほぼ全域にわたって連続する連続膜パターンに形成されている一方で、下部電極膜 411 のキャパシタ電極領域 411A が複数の電極膜部分 451～459 に分割されている。電極膜部分 451～459 は、第 1 の実施形態における電極膜部分 431～439 と同様の形状および面積比に形成されてもよいし、第 2 の実施形態における電極膜部分 441～449 と同様の形状および面積比に形成されてもよい。このよう

50

にして、電極膜部分451～459と、容量膜412と、上部電極膜413とによって、複数のキャパシタ要素が構成されている。この複数のキャパシタ要素の少なくとも一部は、容量値の異なる（たとえば等比数列をなすように各容量値が設定された）キャパシタ要素群を構成している。

【0259】

下部電極膜411は、さらに、キャパシタ電極領域411Aとパッド領域411Bとの間にヒューズ領域411Cを有している。ヒューズ領域411Cには、第1の実施形態のヒューズユニット67と同様の複数のヒューズユニット420がパッド領域411Bに沿って一列に配列されている。各電極膜部分451～459は、一つまたは複数のヒューズユニット420を介してパッド領域411Bに接続されている。

10

【0260】

このような構成によっても、電極膜部分451～459が互いに異なる対向面積で上部電極膜413に対向しており、これらはヒューズユニット420を切断することによって個別に切り離すことができる。したがって、第1の実施形態の場合と同様の効果が得られる。とくに、複数の電極膜部分451～459の少なくとも一部が公比2の等比数列をなすように設定した対向面積で上部電極膜413に対向するように形成しておくことで、第1の実施形態の場合と同様に、所要の容量値に高精度で合わせ込んだチップコンデンサを提供できる。

【0261】

なお、この実施形態においても、寄生容量の影響を受けないようにするため、基板62は、 $100\ \Omega \cdot \text{cm}$ 以上の比抵抗を有する。

20

この実施形態に係るチップコンデンサ419の製造工程は、図34に示した工程と実質的に同様である。ただし、下部電極膜411のパターニング（ステップS3，S4）において、キャパシタ電極領域411Aが電極膜部分451，459に分割され、かつヒューズ領域411Cに複数のヒューズユニット420が形成されることになる。また、上部電極膜413のパターニング（ステップS7，S8）では、複数の電極膜部分の形成は行われず、ヒューズユニットの形成も行われない。さらに、レーザトリミング（ステップS12）においては、下部電極膜411に形成されたヒューズユニット420がレーザ光によって切断される。レーザトリミングの際、下部電極膜411は容量膜412によって覆われているので、この容量膜412をレーザ光のエネルギーを蓄積するためのカバー膜として利用することができる。したがって、レーザトリミングの直前のカバー膜の形成（ステップS11）は省かれてもよい。

30

【0262】

以上、第4参考例の実施形態について説明してきたが、第4参考例はさらに他の形態で実施することもできる。たとえば、前述の実施形態では、上部電極膜および下部電極膜のうちの一方が複数の電極膜に分割されている構成を示したが、上部電極膜および下部電極膜が両方とも複数の電極膜部分に分割されていてもよい。さらに、前述の実施形態では、上部電極膜または下部電極膜とヒューズユニットとが一体化されている例を示したが、上部電極膜または下部電極膜とは別の導体膜でヒューズユニットを形成してもよい。さらに、前述の実施形態では、複数のキャパシタ要素が公比 r （ $0 < r$ ， $r \neq 1$ ） $= 2$ の等比数列をなす容量値を有する複数のキャパシタ要素を有している例を示したが、当該等比数列の公比は2以外の数であってもよい。また、前述の実施形態では、基板62の表面に絶縁膜68が形成されているが、基板62が絶縁性の基板であれば、絶縁膜68を省くこともできる。また、基板62として導電性基板を用い、その導電性基板を下部電極として用い、導電性基板の表面に接するように容量膜412を形成してもよい。この場合、導電性基板の裏面から一方の外部電極を引き出してもよい。さらに、半導体の基板を使用する場合、寄生容量の影響を受けないようにするため、基板62は、 $30\ \Omega \cdot \text{cm}$ 以上、好ましくは $100\ \Omega \cdot \text{cm}$ 以上の比抵抗を有する半導体により形成するのがよい。

40

【0263】

その他、前記（1）第4参考例に係る発明の特徴に記載された事項の範囲で種々の設計

50

変更を施すことが可能である。たとえば、各特徴C 1～C 2 3で特定されていない製造の工程を変更したり、割愛したり、追加したものも、第4参考例の範囲に含まれる。

＜第5参考例に係る発明＞

(1) 第5参考例に係る発明の特徴

たとえば、第5参考例に係る発明の特徴は、以下のD 1～D 2 2である。

(D 1) トレンチが形成された表面を有する基板と、前記基板の表面に倣う容量膜を有するキャパシタ構造とを含む、チップコンデンサ。

【0 2 6 4】

D 1記載の発明によれば、基板の表面にトレンチが形成されており、このトレンチが形成された表面に倣うように容量膜が設けられて、キャパシタ構造が形成されている。したがって、基板の表面積は、基板の主面に垂直な平面視における見かけ上の表面積よりも大きい。それに応じて、基板の表面に倣う容量膜は、大きな面積を有するので、キャパシタ構造は大きな容量値を有することができる。このようにして、基板の小型化と大容量化とを両立したチップコンデンサを提供することができる。

(D 2) 前記キャパシタ構造が、複数のキャパシタ要素を有しており、前記基板に設けられた第1外部電極と、前記基板に設けられた第2外部電極と、前記基板上に形成され、前記複数のキャパシタ要素と前記第1外部電極または前記第2外部電極との間にそれぞれ介装され、前記複数のキャパシタ要素をそれぞれ切り離し可能な複数のヒューズとをさらに含む、D 1に記載のチップコンデンサ。

【0 2 6 5】

D 2記載の発明では、基板上に配置された第1および第2外部電極の間に複数のキャパシタ要素が接続されている。そして、複数のキャパシタ要素と第1または第2外部電極との間に、当該複数のキャパシタ要素をそれぞれ切り離し可能な複数のヒューズが設けられている。そこで、一つまたは複数のヒューズを選択して切断することにより、複数種類の容量値に、容易にかつ速やかに対応することができる。換言すれば、複数種類の容量値のチップコンデンサに対して共通の設計を適用できる。

(D 3) 前記複数のキャパシタ要素が、互いに異なる容量値を有している、D 2に記載のチップコンデンサ。

【0 2 6 6】

D 3記載の発明により、容量値の異なる複数のキャパシタ要素を組み合わせることによって、様々な容量値のチップコンデンサを共通の設計で実現することができる。

(D 4) 前記複数のキャパシタ要素の容量値が、等比数列をなすように設定されている、D 3に記載のチップコンデンサ。

D 4記載の発明により、第1外部電極および第2外部電極の間に接続すべき複数のキャパシタ要素を適切に選択することによって、チップコンデンサの容量値を所望の容量値に正確に合わせ込むことができる。たとえば、前記等比数列の公比を2とすることによって、当該等比数列の初項（当該数列内で最小値の項）の精度でチップコンデンサの容量値を合わせ込むことができる。

(D 5) 前記複数のヒューズのうちの少なくとも一つが切断されている、D 2～D 4のいずれか一項に記載のチップコンデンサ。

【0 2 6 7】

容量値を合わせ込んだチップコンデンサは、1つまたは複数のヒューズが切断されている場合がある。ヒューズの切断によって、第1外部電極および第2外部電極の間に接続するキャパシタ要素を選択でき、それによって、所要の容量値のチップコンデンサを実現できる。

(D 6) 前記キャパシタ構造が、前記容量膜を挟んで対向する下部電極および上部電極を含み、前記下部電極が前記容量膜に対して前記基板側に配置され、前記上部電極が前記容量膜に対して前記基板とは反対側に配置されており、前記下部電極および前記上部電極のうち一方の電極が、前記複数のキャパシタ要素にそれぞれ対応した複数の電極膜部分を含む、D 2～D 5のいずれか一項に記載のチップコンデンサ。

【0268】

D6記載の発明によれば、下部電極と上部電極との間に容量膜を挟み込むことによってキャパシタ構造が構成されている。そして、上部電極および下部電極のうちの一方の電極を複数の電極膜部分に分割することによって、それぞれの電極膜部分が他方の電極に対向し、これによって複数のキャパシタ要素が基板上に設けられることになる。

(D7) 前記複数の電極膜部分が、互いに異なる対向面積で前記下部電極および前記上部電極のうちの他方の電極に対向している、D6に記載のチップコンデンサ。

【0269】

D7記載の発明により、対向面積が互いに異なる複数の電極膜部分に対応する複数のキャパシタ要素は、互いに異なる容量値を有することになる。よって、それらを適切に組み合わせることによって、複数種類の容量値のチップコンデンサを実現することができる。より具体的には、選択された複数のキャパシタ要素以外のキャパシタ要素に対応するヒューズを切断してそれらを第1および第2外部電極の間から切り離すことによって、所要の容量値を有するチップコンデンサを構成することができる。

(D8) 前記複数の電極膜部分の前記対向面積が、等比数列をなすように設定されている、D7に記載のチップコンデンサ。

【0270】

D8記載の発明により、容量値が等比数列をなすように設定された複数のキャパシタ要素を基板上に設けることができる。それによって、複数種類の容量値のチップコンデンサを実現でき、かつ、容量値の微調整も、ヒューズの切断によって行うことができる。

(D9) 前記上部電極が前記一方の電極である、D6～D8のいずれか一項に記載のチップコンデンサ。

(D10) 前記基板が導電性基板であり、前記容量膜が前記基板の表面に接して形成されていて、前記基板が前記下部電極を構成している、D6～D9のいずれか一項に記載のチップコンデンサ。

【0271】

D10記載の発明により、製造時に、上部電極が設計した位置に対してずれて形成されても、上部電極全体を確実に下部電極に対向させることができる。そのため、各キャパシタ要素の容量値の精度を向上させることができる。また、各キャパシタ要素の構造を単純化することができる。さらに、トレンチの形成と同時に下部電極を形成することができるので、製造工程を簡略化することもできる。

(D11) 前記第1外部電極および前記第2外部電極のうちの一方が、前記基板の裏面に接合されている、D10記載のチップコンデンサ。

【0272】

D11記載の発明により、導電性基板の表面において、第1外部電極および第2外部電極のうちの一方を形成すべき領域をも、上部電極の形成スペースとして有効利用することができる。その結果、導電性基板の表面の面積を最大限に利用することができるので、さらなる大容量化を図ることができる。

(D12) 前記上部電極が前記一方の電極であり、前記下部電極が前記基板の表面に倣うように形成された導電性膜を含む、D6～D8のいずれか一項に記載のチップコンデンサ。

(D13) 前記基板の表面に絶縁膜が形成されており、前記絶縁膜の表面に前記導電性膜が形成されている、D12に記載のチップコンデンサ。

(D14) 前記電極膜部分と前記ヒューズとが同じ導電性材料の膜で形成されている、D6～D13のいずれか一項に記載のチップコンデンサ。

【0273】

D14記載の発明では、電極膜部分とヒューズとを共通の導電性材料膜で構成することができる。そして、各電極膜部分に対応するヒューズを切断することで、当該電極膜部分を切り離すことができる。

(D15) 前記上部電極が、表面が平坦に形成された電極膜からなる、D6～D13のい

10

20

30

40

50

ずれか一項に記載のチップコンデンサ。

【0274】

D15記載の発明により、上部電極の表面に対する成膜性を向上させることができるので、たとえば、上部電極の上に、絶縁膜や金属膜（追加の電極膜等）を精度よく形成することができる。

(D16) 前記複数のキャパシタ要素は、一つの前記トレンチを共有する少なくとも2つのキャパシタ要素を含む、D2～D15のいずれか一項に記載のチップコンデンサ。

【0275】

D16記載の発明により、複数のキャパシタ要素間の平面視における見かけ上の表面積の比率を維持したまま、それぞれのキャパシタ構造の容量値を同じ比率で大きくすることができる。

10

(D17) 前記複数のキャパシタ要素は、前記トレンチが形成された領域に配置された少なくとも1つのキャパシタ要素と、前記トレンチ形成されていない領域に配置された少なくとも1つのキャパシタ要素とを含む、D2～D16のいずれか一項に記載のチップコンデンサ。

【0276】

D17記載の発明により、大容量化を望むキャパシタ要素は、トレンチが形成された領域に配置することにより、当該キャパシタ要素の容量値を大きくすることができる。一方、小容量でもよいキャパシタ要素については、トレンチ形成されていない領域に配置して大容量化させないでおくことにより、ヒューズを切断してチップコンデンサの容量値を設計する際に、容量値を微調整するための要素として使用することができる。

20

(D18) 基板の表面にトレンチを形成する工程と、前記トレンチ形成された基板の表面に、前記基板の表面に倣う容量膜を有するキャパシタ構造を形成する工程とを含む、チップコンデンサの製造方法。

【0277】

D18記載の発明により、基板の小型化と大容量化とを両立したチップコンデンサを製造することができる。

(D19) 前記チップコンデンサが、前記基板に設けられた第1外部電極および第2外部電極を含み、前記キャパシタ構造を形成する工程が、複数のキャパシタ要素を形成する工程を含み、前記複数のキャパシタ要素をそれぞれ切り離し可能に前記第1外部電極または前記第2外部電極に接続する複数のヒューズを前記基板上に形成する工程と、前記第1外部電極および前記第2外部電極を形成する工程とをさらに含む、D18に記載のチップコンデンサの製造方法。

30

【0278】

D19記載の発明により、所要の容量値に応じて選択したヒューズを切断することにより、共通の設計でありながら、複数の容量値のチップコンデンサを製造することができる。

(D20) 前記複数のヒューズのうちの少なくとも一つを切断するヒューズ切断工程をさらに含む、D18またはD19に記載のチップコンデンサの製造方法。

【0279】

40

D20記載の発明により、切断すべきヒューズを適切に選択することによって、チップコンデンサの容量値を所望の容量値に合わせ込むことができる。すなわち、第1および第2外部電極に接続すべきキャパシタ要素を適切に選択し、それ以外のキャパシタ要素に対応するヒューズを切断することにより、所望の容量値に合わせ込んだチップコンデンサを製造できる。

(D21) 前記複数のキャパシタ要素の総容量値を測定する工程と、前記測定された総容量値に基づいて、前記切断すべきヒューズを選択する工程とをさらに含み、前記ヒューズ切断工程では、前記選択されたヒューズが切断される、D20に記載のチップコンデンサの製造方法。

【0280】

50

D 2 1 記載の発明によれば、複数のキャパシタ要素の総容量値が測定され、その測定結果に基づいて切断すべきヒューズが選択されるので、チップコンデンサの容量値を確実に目的の容量値とすることができる。

(D 2 2) 前記ヒューズを切断した後に、前記ヒューズの切断部を覆う保護膜を形成する工程をさらに含む、D 2 0 または D 2 1 に記載のチップコンデンサの製造方法。

【0 2 8 1】

D 2 2 記載の発明により、ヒューズの切断部が保護膜によって覆われるので、切断部に対する異物や水分の侵入を回避できるから、共通の設計で複数種類の容量値を実現できるとともに、信頼性の高いチップコンデンサを製造することができる。

(2) 第5参考例に係る発明の実施形態

10

以下では、第5参考例の実施の形態を、添付図面を参照して詳細に説明する。

【0 2 8 2】

図38は、第5参考例の第1の実施形態に係るチップコンデンサの平面図であり、図39はその断面図であって、図38の切断面線XXXIX-XXXIXから見た切断面が示されている。さらに、図40は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。

チップコンデンサ71は、基板72と、基板上に配置された第1外部電極73と、同じく基板72上に配置された第2外部電極74と、複数のキャパシタ要素C0～C9とを備えている。

【0 2 8 3】

20

基板72は、この実施形態では、導電性基板（たとえば、 $5\text{ m}\Omega\cdot\text{cm}$ 以下の比抵抗を有するシリコン基板）であり、平面視において四隅を面取りした矩形形状を有している。基板72の長手方向両端部に第1外部電極73および第2外部電極74がそれぞれ配置されている。第1外部電極73および第2外部電極74は、この実施形態では、基板72の短手方向に延びたほぼ矩形の平面形状を有し、基板72の角に対応する各2箇所に面取り部を有している。

【0 2 8 4】

また、基板72は、複数のキャパシタ要素C0～C9の共通の下部電極として機能するキャパシタ電極領域72Aと、外部電極引き出しのためのパッド領域72Bとを有している。キャパシタ電極領域72Aは、この実施形態では、第1外部電極73の直下の領域と、第1外部電極73および第2外部電極74の間の領域とを含む。キャパシタ要素C0が、キャパシタ電極領域72Aにおける第1外部電極73の直下の領域に位置しており、第1外部電極73に対して直接電氣的に接続されている。一方、キャパシタ要素C1～C9は、キャパシタ電極領域72Aにおける第1外部電極73および第2外部電極74の間の領域に位置しており、複数のヒューズユニット77を介してそれぞれ第1外部電極73に電氣的に接続されている。

30

【0 2 8 5】

基板72には、キャパシタ電極領域72A内に、複数のトレンチ76が形成されている。図38では、明瞭化のために、トレンチ76を斜めハッチングで示してある。

複数のトレンチ76は、キャパシタ電極領域72Aの一部に選択的に形成されている。これにより、キャパシタ電極領域72Aは、さらにトレンチ形成領域516とトレンチ非形成領域517とを含む。トレンチ形成領域516およびトレンチ非形成領域517は、この実施形態では、第1外部電極73および第2外部電極74の間の領域を2分割するように、たとえば、基板72の短手方向に互いに隣り合って形成されている。

40

【0 2 8 6】

トレンチ形成領域516において、複数のトレンチ76は、互いに平行なストライプ状に形成されている。各トレンチ76は、トレンチ形成領域516およびトレンチ非形成領域517に跨る方向（この実施形態では、基板72の短手方向）にトレンチ非形成領域517へ向かって延びている。複数のトレンチ76のピッチ、および各トレンチ76の深さや幅などは、チップコンデンサ71に要求される容量値に応じて適宜設計することができる。

50

る。

【0287】

基板72の表面には、キャパシタ電極領域72Aにおいて基板72の表面に接するように容量膜（誘電体膜）512が形成されている。容量膜512は、キャパシタ電極領域72Aの全域にわたって連続しており、その一方表面および他方方面が基板72の表面に倣う（沿う）ように形成されている。これにより、複数のトレンチ76の内面は、容量膜512で覆われている。また、容量膜512は、この実施形態では、パッド領域72Bを露出させるように形成されている。この露出したパッド領域72B上に、下部電極膜511が形成されている。下部電極膜511は、基板72のパッド領域72Bに直接電氣的に接続されている。

10

【0288】

容量膜512の上には、上部電極膜513が形成されている。図38では、明瞭化のために、上部電極膜513を着色して示してある。上部電極膜513は、その表面が平坦に形成されていて、キャパシタ電極領域72Aの第1外部電極73および第2外部電極74の間の領域に位置するキャパシタ電極領域513Aと、キャパシタ電極領域72Aの第1外部電極73の直下に位置するパッド領域513Bと、パッド領域513Bとキャパシタ電極領域513Aとの間に配置されたヒューズ領域513Cとを有している。

【0289】

キャパシタ電極領域513Aにおいて、上部電極膜513は、複数の電極膜部分531～539に分割されている。この実施形態では、各電極膜部分531～539のうち、電極膜部分534～539がトレンチ形成領域516に配置されていて、電極膜部分531～533がトレンチ非形成領域517に配置されている。

20

トレンチ形成領域516に配置された電極膜部分534～539は、矩形形状に形成されていて、ヒューズ領域513Cから複数のトレンチ76を横切るように第2外部電極74に向かって帯状に延びている。換言すると、複数のトレンチ76はそれぞれ、複数の電極膜部分534～539に跨るように、それらに直交している。これにより、各トレンチ76は、少なくとも2つのキャパシタ要素C4～C9に共有されている。

【0290】

複数の電極膜部分534～539は、複数種類の対向面積で、容量膜512を挟んで基板72のキャパシタ電極領域513Aに対向している。より具体的には、電極膜部分534～539のキャパシタ電極領域513Aに対する、基板72の主面に垂直な平面視における見かけ上の対向面積は、1：2：4：8：16：32となるように定められていてもよい。すなわち、複数の電極膜部分534～539は、対向面積の異なる複数の電極膜部分を含み、より詳細には、公比が2の等比数列をなすように設定された対向面積を有する複数の電極膜部分534～539を含む。また、複数の電極膜部分534～539は、トレンチ76において容量膜512の内側に埋設されていて、各トレンチ76においても、容量膜512を挟んでキャパシタ電極領域513Aに対向している。

30

【0291】

これによって、各電極膜部分534～539と容量膜512を挟んで対向する基板72とによってそれぞれ構成される複数のキャパシタ要素C4～C9は、互いに異なる容量値を有する複数のキャパシタ要素を含む。電極膜部分534～539の対向面積の比が前述の通りである場合、キャパシタ要素C4～C9の容量値の比は、当該対向面積の比と等しく、1：2：4：8：16：32となる。すなわち、複数のキャパシタ要素C4～C9は、公比が2の等比数列をなすように容量値が設定された複数のキャパシタ要素C4～C9を含むことになる。

40

【0292】

この実施形態では、電極膜部分534～536は、幅が等しく、長さの比を1：2：4に設定した帯状に形成されている。また、電極膜部分536～539は、長さが等しく、幅の比を1：2：4：8に設定した帯状に形成されている。電極膜部分536～539は、キャパシタ電極領域72Aの第1外部電極73側の端縁から第2外部電極74側の端縁

50

までの範囲に渡って延びて形成されており、電極膜部分 5 3 4, 5 3 5 は、それよりも短く形成されている。

【0 2 9 3】

一方、トレンチ非形成領域 5 1 7 に配置された電極膜部分 5 3 1 ~ 5 3 3 は、L 字形に形成されている。電極膜部分 5 3 4 ~ 5 3 9 のように帯状に形成されている構成の場合、図 3 8 に示すように、トレンチ形成領域 5 1 6 内にキャパシタ要素として利用することができない領域が生じてしまい、小さな基板 7 2 上の限られた領域を有効に活用することができない。そこで、電極膜部分 5 3 1 ~ 5 3 3 のように L 字形にすることにより、トレンチ非形成領域 5 1 7 内を有効に活用して、より広い範囲でチップコンデンサ 7 1 の容量値を設定することが可能となる。なお、このような L 字形電極は、トレンチ形成領域 5 1 6 に配置された電極膜部分 5 3 4 ~ 5 3 9 にも適用することができる。逆に、トレンチ非形成領域 5 1 7 に配置された電極膜部分 5 3 1 ~ 5 3 3 を帯状に形成してもよい。

10

【0 2 9 4】

パッド領域 5 1 3 B は、第 1 外部電極 7 3 とほぼ相似形に形成されており、基板 7 2 の角部に対応する 2 つの面取り部を有するほぼ矩形の平面形状を有している。図 3 9 に示すように、パッド領域 5 1 3 B における上部電極膜 5 1 3 の上面は、第 1 外部電極 7 3 に接している。パッド領域 5 1 3 B における上部電極膜 5 1 3 は、電極膜部分 5 4 0 として機能している。電極膜部分 5 4 0 は、容量膜 5 1 2 を挟んで基板 7 2 のキャパシタ電極領域 7 2 A に対向している。電極膜部分 5 4 0、容量膜 5 1 2 および基板 7 2 のキャパシタ電極領域 7 2 A は、前述したキャパシタ要素 C 0 を構成している。

20

【0 2 9 5】

この構成によれば、当該基板 7 2 の表面側にキャパシタ構造（キャパシタ要素 C 1 ~ C 9）が形成されているだけでなく、第 1 外部電極 7 3 直下の領域にもキャパシタ構造（キャパシタ要素 C 0）が形成されている。そのため、チップコンデンサ 7 1 では、第 1 外部電極 7 3 の直下の領域をも利用して、容量値の増大が図られている。それによって、基板 7 2 の表面の面積を最大限に利用して大容量化を図ることができるから、小型化および大容量化を両立したチップコンデンサ 7 1 を提供することができる。

【0 2 9 6】

ヒューズ領域 5 1 3 C は、パッド領域 5 1 3 B の前記 1 つの長辺に沿って配列された複数のヒューズユニット 7 7 を含む。ヒューズユニット 7 7 は、上部電極膜 5 1 3 のパッド領域 5 1 3 B と同じ材料で一体的に形成されている。複数の電極膜部分 5 3 1 ~ 5 3 9 は、1 つまたは複数個のヒューズユニット 7 7 と一体的に形成されていて、それらのヒューズユニット 7 7 を介してパッド領域 5 1 3 B に接続され、このパッド領域 5 1 3 B を介して第 1 外部電極 7 3 に電氣的に接続されている。面積の比較的小さな電極膜部分 5 3 1 ~ 5 3 7 は、一つのヒューズユニット 7 7 によってパッド領域 5 1 3 B に接続されており、面積の比較的大きな電極膜部分 5 3 8, 5 3 9 は複数個のヒューズユニット 7 7 を介してパッド領域 5 1 3 B に接続されている。全てのヒューズユニット 7 7 が用いられる必要はなく、この実施形態では、一部のヒューズユニット 7 7 は未使用である。

30

【0 2 9 7】

ヒューズユニット 7 7 は、パッド領域 5 1 3 B との接続のための第 1 幅広部 7 7 A と電極膜部分 5 3 1 ~ 5 3 9 との接続のための第 2 幅広部 7 7 B と、第 1 および第 2 幅広部 7 7 A, 7 7 B の間を接続する幅狭部 7 7 C とを含む。幅狭部 7 7 C は、レーザ光によって切断（溶断）することができるよう構成されている。それによって、電極膜部分 5 3 1 ~ 5 3 9 のうち不要な電極膜部分をヒューズユニット 7 7 の切断によって第 1 および第 2 外部電極 7 3, 7 4 から電氣的に切り離すことができる。

40

【0 2 9 8】

図 3 8 および図 4 0 では図示を省略したが、図 3 9 に表れている通り、上部電極膜 5 1 3 の表面を含むチップコンデンサ 7 1 の表面はパッシベーション膜 7 9 によって覆われている。パッシベーション膜 7 9 は、たとえば窒化膜からなっていて、チップコンデンサ 7 1 の上面のみならず、基板 7 2 の側面まで延びて、この側面をも覆うように形成されてい

50

る。さらに、パッシベーション膜79の上には、ポリイミド樹脂等からなる樹脂膜510が形成されている。樹脂膜510は、チップコンデンサ71の上面を覆い、さらに基板72の側面に至って、当該側面上のパッシベーション膜79を覆うように形成されている。

【0299】

パッシベーション膜79および樹脂膜510は、チップコンデンサ71の表面を保護する保護膜である。これらには、第1外部電極73および第2外部電極74に対応する領域にパッド開口514、515がそれぞれ形成されている。パッド開口514、515はそれぞれ上部電極膜513のパッド領域513Bの一部の領域、下部電極膜511の一部の領域を露出させるようにパッシベーション膜79および樹脂膜510を貫通している。

【0300】

パッド開口514、515には、第1外部電極73および第2外部電極74がそれぞれ埋め込まれている。これにより、第1外部電極73は上部電極膜513のパッド領域513Bに接合しており、第2外部電極74は下部電極膜511に接合している。第1および第2外部電極73、74は、樹脂膜510の表面から突出するように形成されている。これにより、実装基板に対してチップコンデンサ71をフリップチップ接合することができる。

【0301】

図41は、チップコンデンサ71の内部の電氣的構成を示す回路図である。第1外部電極73と第2外部電極74との間に複数のキャパシタ要素C0～C9が並列に接続されている。各キャパシタ要素C1～C9と第1外部電極73との間には、一つまたは複数のヒューズユニット77でそれぞれ構成されたヒューズF1～F9が直列に介装されている。一方、キャパシタ要素C0と第1外部電極73との間には、ヒューズが介装されておらず、キャパシタ要素C0は、第1外部電極73に対して直接接続されている。

【0302】

ヒューズF1～F9が全て接続されているときは、チップコンデンサ71の容量値は、キャパシタ要素C1～C9の容量値の総和に等しい。複数のヒューズF1～F9から選択した1つまたは2つ以上のヒューズを切断すると、当該切断されたヒューズに対応するキャパシタ要素が切り離され、当該切り離されたキャパシタ要素の容量値だけチップコンデンサ71の容量値が減少する。ヒューズF1～F9の全てを切断した場合、チップコンデンサ71の容量値は、キャパシタ要素C0の容量値となる。

【0303】

そこで、下部電極膜511とパッド領域513Bとの間の容量値（キャパシタ要素C1～C9の総容量値）を測定し、その後、所望の容量値に応じてヒューズF1～F9から適切に選択した一つまたは複数のヒューズをレーザ光で溶断すれば、所望の容量値への合わせ込み（レーザトリミング）を行うことができる。とくに、キャパシタ要素C1～C8の容量値が、公比2の等比数列をなすように設定されていれば、最小の容量値（当該等比数列の初項の値）であるキャパシタ要素C1の容量値に対応する精度で目標の容量値へと合わせ込む微調整が可能である。

【0304】

たとえば、キャパシタ要素C1～C9の容量値は次のように定められていてもよい。

$$C0 = 5 \text{ pF}$$

$$C1 = 0.25 \text{ pF}$$

$$C2 = 0.5 \text{ pF}$$

$$C3 = 1 \text{ pF}$$

$$C4 = 2 \text{ pF}$$

$$C5 = 4 \text{ pF}$$

$$C6 = 8 \text{ pF}$$

$$C7 = 16 \text{ pF}$$

$$C8 = 32 \text{ pF}$$

$$C9 = 64 \text{ pF}$$

この場合、 0.25 pF の最小合わせ込み精度でチップコンデンサ71の容量を微調整できる。また、ヒューズF1～F9から切断すべきヒューズを適切に選択することで、 0.1 pF ～ 10 pF の間の任意の容量値のチップコンデンサ71を提供することができる。

【0305】

以上のように、この実施形態によれば、第1外部電極73および第2外部電極74の間に、ヒューズF1～F9によって切り離し可能な複数のキャパシタ要素C1～C9が設けられている。さらに、第1外部電極73の直下には、第1外部電極73に直接接続されたキャパシタ要素C0が設けられている。キャパシタ要素C1～C9は、異なる容量値の複数のキャパシタ要素、より具体的には等比数列をなすように容量値が設定された複数のキャパシタ要素を含んでいる。それによって、ヒューズF1～F9から1つまたは複数のヒューズを選択してレーザ光で溶断することにより、設計を変更することなく複数種類の容量値に対応でき、かつ所望の容量値に正確に合わせ込むことができるチップコンデンサ71を提供できる。

【0306】

しかも、基板72に複数のトレンチ76が形成されており、このトレンチ76が形成された表面に倣うように容量膜が設けられて、キャパシタ構造（キャパシタ要素C4～C9）が形成されている。したがって、トレンチ形成領域516においては、基板72の表面積は、基板72の主面に垂直な平面視における見かけ上の表面積よりも大きい。それに応じて、基板72の表面に倣う容量膜512は、大きな面積を有するので、キャパシタ要素C4～C9は大きな容量値を有することができる。このようにして、基板72の小型化と大容量化とを両立したチップコンデンサを提供することができる。

【0307】

また、基板72がキャパシタ構造（キャパシタ要素C0～C9）の共通の下部電極を兼ねているので、製造時に、上部電極膜513が設計した位置に対してずれて形成されても、上部電極膜513全体を確実に下部電極（基板72）に対向させることができる。そのため、各キャパシタ要素C0～C9の容量値の精度を向上させることができる。また、各キャパシタ要素C0～C9の構造を単純化することができる。さらに、トレンチ76の形成と同時に下部電極を形成することができるので、製造工程を簡略化することもできる。

【0308】

また、上部電極膜513は、トレンチ76に埋設されてはいるが、その表面が平坦に形成されているため、上部電極膜513に対するパッシベーション膜79および樹脂膜510の成膜性を向上させることができる。

また、トレンチ76が複数のキャパシタ要素C4～C9で共有されているので、複数のキャパシタ要素C4～C9間の平面視における見かけ上の表面積の比率を維持したまま、それぞれのキャパシタ構造の容量値を同じ比率で大きくすることができる。

【0309】

さらに、トレンチ76が基板72のキャパシタ電極領域72Aの一部に選択的に形成されているので、大容量化を望むキャパシタ要素（この実施形態では、C4～C9）は、トレンチ形成領域516に配置することにより、当該キャパシタ要素の容量値を大きくすることができる。一方、小容量でもよいキャパシタ要素（この実施形態では、C1～C3）については、トレンチ非形成領域517に配置して大容量化させないでおくことにより、ヒューズを切断してチップコンデンサ71の容量値を設計する際に、容量値を微調整するための要素として使用することができる。

【0310】

チップコンデンサ71の各部の詳細について以下に説明を加える。

基板72は、たとえば平面視において $0.3\text{ mm} \times 0.15\text{ mm}$ 、 $0.4\text{ mm} \times 0.2\text{ mm}$ 、または $0.2\text{ mm} \times 0.1\text{ mm}$ などの矩形形状（好ましくは、 $0.4\text{ mm} \times 0.2\text{ mm}$ 以下の大きさ）を有していてもよい。基板72の厚さは、 $150\text{ }\mu\text{ m}$ 程度であってもよい。基板72は、たとえば、裏面側（キャパシタ要素C0～C9が形成されていない表

10

20

30

40

50

面)からの研削または研磨によって薄型化された基板であってもよい。

【0311】

下部電極膜511は、導電性膜、とくに金属膜であることが好ましく、たとえばアルミニウム膜であってもよい。アルミニウム膜からなる下部電極膜511は、スパッタ法によって形成することができる。上部電極膜513も同様に、導電性膜、とくに金属膜で構成することが好ましく、アルミニウム膜であってもよい。アルミニウム膜からなる上部電極膜513は、スパッタ法によって形成することができる。上部電極膜513のキャパシタ電極領域513Aを電極膜部分531～539に分割し、かつヒューズ領域513Cを複数のヒューズユニット77に整形するためのパターンニングは、フォトリソグラフィおよびエッチングプロセスによって行うことができる。

10

【0312】

容量膜512は、たとえば窒化シリコン膜で構成することができ、その膜厚は500 Å～2000 Å (たとえば1000 Å) とすることができる。容量膜512は、プラズマCVD (化学的気相成長) によって形成された窒化シリコン膜であってもよい。

パッシベーション膜79は、たとえば窒化シリコン膜で構成することができ、たとえばプラズマCVD法によって形成できる。その膜厚は、8000 Å程度とされてもよい。樹脂膜510は、前述の通り、ポリイミド膜その他の樹脂膜で構成することができる。

【0313】

第1および第2外部電極73, 74は、たとえば、下部電極膜511または上部電極膜513に接するニッケル層と、このニッケル層上に積層したパラジウム層と、そのパラジウム層上に積層した金層とを積層した積層構造膜からなってもよく、たとえば、めっき法 (より具体的には無電解めっき法) で形成することができる。ニッケル層は下部電極膜511または上部電極膜513に対する密着性の向上に寄与し、パラジウム層は上部電極膜または下部電極膜の材料と第1および第2外部電極73, 74の最上層の金との相互拡散を抑制する拡散防止層として機能する。

20

【0314】

図42は、チップコンデンサ71の製造工程の一例を説明するための流れ図である。

基板72を表面からエッチングすることにより、ストライプ状のトレンチ76が形成される (ステップS1)。次に、たとえばプラズマCVD法によって、窒化シリコン膜等からなる容量膜512が、基板72上に形成される (ステップS2)。容量膜512は、その一方表面および他方方面が基板72の表面に倣うように形成される。容量膜512の形成後、容量膜512をパターンニングすることにより、基板72のパッド領域72Bが露出する。

30

【0315】

次に、たとえばスパッタ法によって、アルミニウム膜からなる上部電極膜513および下部電極膜511の材料が容量膜512の表面全域に形成される (ステップS3)。パッド領域72Bが露出した部分では、当該電極膜の材料がパッド領域72Bに接するように形成されることになる。上部電極膜513および下部電極膜511の膜厚は8000 Å程度とされてもよい。次に、その上部電極膜513および下部電極膜511の表面に、上部電極膜513および下部電極膜511の最終形状に対応したレジストパターンが、フォトリソグラフィによって形成される (ステップS4)。

40

【0316】

このレジストパターンをマスクとして、上部電極膜513および下部電極膜511がエッチングされることにより、図38等にしたパターンの上部電極膜513および下部電極膜511が同時に得られる (ステップS5)。上部電極膜513および下部電極膜511のエッチングは、たとえば、反応性イオンエッチングによって行うことができる。これにより、上部電極膜513は、キャパシタ電極領域72Aに複数の電極膜部分531～539を有し、ヒューズ領域513Cに複数のヒューズユニット77を有し、それらのヒューズユニット77に接続されたパッド領域513Bに電極膜部分540を有するパターンに整形される。上部電極膜513のパターンニングのためのエッチングは、燐酸等のエッチ

50

ング液を用いたウェットエッチングによって行ってもよいし、反応性イオンエッチングによって行ってもよい。ここで、上部電極膜513の電極膜部分531～540とヒューズユニット77とを同じ導電性材料の膜で形成することができるから、それらを同一膜からパターニングして形成することができる。これにより、製造工程が簡単になる。

【0317】

この後、上部電極膜513のパッド領域513Bと下部電極膜511とに検査用プローブを押し当てて、複数のキャパシタ要素C1～C9の総容量値が測定される（ステップS6）。この測定された総容量値に基づき、目的とするチップコンデンサ71の容量値に応じて、切り離すべきキャパシタ要素、すなわち切断すべきヒューズが選択される（ステップS7）。

10

【0318】

次に、図43Aに示すように、基板72上の全面にたとえば窒化膜からなるカバー膜518が形成される（ステップS8）。このカバー膜518の形成は、プラズマCVD法によって行われてもよく、たとえば膜厚3000Å程度の窒化シリコン膜が形成されてもよい。カバー膜518は、パターニングされた上部電極膜513および下部電極膜511を覆い、上部電極膜513および下部電極膜511が形成されていない領域では容量膜512を覆う。カバー膜518は、ヒューズ領域513Cにおいてはヒューズユニット77を覆うことになる。

【0319】

この状態から、ヒューズユニット77を溶断するためのレーザトリミングが行われる（ステップS9）。すなわち、図43Bに示すように、前記総容量値の測定結果に応じて選択されたヒューズを構成するヒューズユニット77にレーザ光519を当てて、そのヒューズユニット77の幅狭部77Cが溶断される。これにより、対応するキャパシタ要素がパッド領域513Bから切り離される。ヒューズユニット77にレーザ光519を当てるとき、カバー膜518の働きによって、ヒューズユニット77の近傍にレーザ光519のエネルギーが蓄積され、それによって、ヒューズユニット77が溶断する。これにより、チップコンデンサ71の容量値を確実に目的の容量値とすることができる。

20

【0320】

次に、図43Cに示すように、たとえばプラズマCVD法によって、カバー膜518上に窒化シリコン膜が堆積させられ、パッシベーション膜79が形成される（ステップS10）。前述のカバー膜518は最終形態において、パッシベーション膜79と一体化し、このパッシベーション膜79の一部を構成する。ヒューズの切断後に形成されたパッシベーション膜79は、ヒューズ溶断の際に同時に破壊されたカバー膜518の開口内に入り込み、ヒューズユニット77の切断面を保護する。したがって、パッシベーション膜79は、ヒューズユニット77の切断箇所に異物が入り込んだり水分が侵入したりすることを防ぐ。パッシベーション膜79は、全体で、たとえば8000Å程度の膜厚を有するように形成されてもよい。

30

【0321】

次に、第1および第2外部電極73, 74を形成すべき位置に貫通孔を有するレジストパターンがパッシベーション膜79上に形成される（ステップS11）。このレジストパターンをマスクとしてパッシベーション膜79のエッチングが行われる。それによって、下部電極膜511を露出させるパッド開口と、上部電極膜513をパッド領域513Bにおいて露出させるパッド開口とが形成されることになる（ステップS12）。パッシベーション膜79のエッチングは、反応性イオンエッチングによって行われてもよい。

40

【0322】

次に、全面に樹脂膜が塗布される（ステップS13）。樹脂膜としては、たとえば感光性のポリイミドの塗布膜が用いられる。この樹脂膜に対して、前記パッド開口に対応した領域に対する露光工程、およびその後の現像工程を行うことによって、フォトリソグラフィによる樹脂膜のパターニングを行うことができる（ステップS14）。これにより、樹脂膜510およびパッシベーション膜79を貫通したパッド開口514, 515が形成さ

50

れる。その後、樹脂膜を硬化するための熱処理（キュア処理）が行われ（ステップS15）、さらに、パッド開口514、515内に、たとえば無電解めっき法によって、第1外部電極73および第2外部電極74が成長させられる（ステップS16）。こうして、図38等10に示す構造のチップコンデンサ71が得られる。

【0323】

フォトリソグラフィ工程を利用した上部電極膜513のパターニングでは、微小面積の電極膜部分531～540を精度良く形成することができ、さらに微細なパターン10のヒューズユニット77を形成することができる。そして、上部電極膜513のパターニングの後に、総容量値の測定を経て、切断すべきヒューズが決定される。その決定されたヒューズを切断することによって、所望の容量値に正確に合わせ込まれたチップコンデンサ71を得ることができる。

【0324】

図44は、第5参考例の第2の実施形態に係るチップコンデンサ520の構成を説明するための平面図である。図44において、前述の図38に示された各部と対応する部分には同一の参照符号を付して示す。

前述の第1の実施形態では、トレンチ形成領域516に配置された上部電極膜513の電極膜部分536～539はそれぞれ、所望の幅に設定された1本の帯状に形成されている。この場合、電極膜部分536～539の幅が互いに異なるので、上部電極膜513をエッチングして最終形状に仕上げる際に（図42のステップS4、S5）、上部電極膜513のうちエッチングで除去すべき領域が不規則に分布する。そのため、エッチングのばらつきが生じることがある。20

【0325】

そこで、図44に示す実施形態では、複数の電極膜部分536～539がそれぞれ、互いに同一幅の電極膜部分546～549（この実施形態では、電極膜部分534～536と同一幅）に分割されている。そして、電極膜部分536～539間の面積の比率は、それぞれ電極膜部分546～549の本数の増減により調整されている。これによって、上部電極膜513のうちエッチングで除去すべき領域が等間隔で規則正しく分布するので、エッチングのばらつきを減らすことができる。

【0326】

この実施形態に係るチップコンデンサ520の製造工程は、図42に示した工程と実質的に同様である。ただし、上部電極膜513のパターニング（ステップS4、S5）では、キャパシタ電極領域513Aが、図44に示す形状の複数の電極膜部分546～549に分割される。30

図45は、第5参考例の第3の実施形態に係るチップコンデンサ521の構成を説明するための断面図である。図46は、図45のチップコンデンサ521の一部の構成を分離して示す分解斜視図である。図45および図46において、前述の図39および図40に示された各部と対応する部分には同一の参照符号を付して示す。

【0327】

前述の第1の実施形態では、基板72がキャパシタ要素C0～C9の下部電極の機能を兼ねていたが、下部電極は、図45および図46に示すように、導電性膜としての下部電極膜522を、その一方表面および他方方面が基板72の表面に倣う（沿う）ように形成することにより構成されていてもよい。基板72の材料としては、シリコン基板に代表される半導体基板を用いてもよいし、ガラス基板を用いてもよいし、樹脂フィルムを用いてもよい。40

【0328】

この場合、基板72の表面に一方表面および他方表面が倣うように絶縁膜78が形成されていて、絶縁膜78の表面に下部電極膜522が形成されている。下部電極膜522は、より具体的には、下部電極膜522は、キャパシタ要素C1～C9の共通の下部電極として機能するキャパシタ電極領域522Aと、外部電極引き出しのためのパッド領域522Bとを有している。これにより、複数のトレンチ76の内面は、絶縁膜78、下部電極50

膜 5 2 2 および容量膜 5 1 2 からなる積層膜で覆われている。なお、絶縁膜 7 8 は、酸化シリコン膜等の酸化膜であってもよい。その膜厚は、5 0 0 Å ~ 2 0 0 0 Å 程度であってもよい。

【0 3 2 9】

さらに、この実施形態では、上部電極膜 5 1 3 のキャパシタ電極領域 5 1 3 A がほぼ全域にわたって連続する連続膜パターンに形成されている一方で、下部電極膜 5 2 2 のキャパシタ電極領域 5 2 2 A が複数の電極膜部分 5 4 1 ~ 5 4 9 に分割されている。電極膜部分 5 4 1 ~ 5 4 9 は、第 1 の実施形態における電極膜部分 5 3 1 ~ 5 3 9 と同様の形状および面積比に形成されてもよい。このようにして、電極膜部分 5 4 1 ~ 5 4 9 と、容量膜 5 1 2 と、上部電極膜 5 1 3 とによって、複数のキャパシタ要素が構成されている。この複数のキャパシタ要素の少なくとも一部は、容量値の異なる（たとえば等比数列をなすように各容量値が設定された）キャパシタ要素群を構成している。

10

【0 3 3 0】

下部電極膜 5 2 2 は、さらに、キャパシタ電極領域 5 2 2 A とパッド領域 5 2 2 B との間にヒューズ領域 5 2 2 C を有している。ヒューズ領域 5 2 2 C には、第 1 の実施形態のヒューズユニット 7 7 と同様の複数のヒューズユニット 5 2 3 がパッド領域 5 2 2 B に沿って一列に配列されている。各電極膜部分 5 4 1 ~ 5 4 9 は、一つまたは複数のヒューズユニット 5 2 3 を介してパッド領域 5 2 2 B に接続されている。

【0 3 3 1】

このような構成によっても、電極膜部分 5 4 1 ~ 5 4 9 が互いに異なる対向面積で上部電極膜 5 1 3 に対向しており、これらはヒューズユニット 5 2 3 を切断することによって個別に切り離すことができる。したがって、第 1 の実施形態の場合と同様の効果が得られる。とくに、複数の電極膜部分 5 4 1 ~ 5 4 9 の少なくとも一部が公比 2 の等比数列をなすように設定した対向面積で上部電極膜 1 3 に対向するように形成しておくことで、第 1 の実施形態の場合と同様に、所要の容量値に高精度で合わせ込んだチップコンデンサを提供できる。

20

【0 3 3 2】

この実施形態に係るチップコンデンサ 5 2 1 の製造工程は、図 4 2 に示した工程と実質的に同様である。ただし、容量膜 5 1 2 の形成（ステップ S 2）に先立って、絶縁膜 7 8 の形成工程、下部電極膜 5 2 2 の形成工程、レジストパターンの形成工程および下部電極膜 5 2 2 のエッチング工程（ステップ S 1-2 ~ 1-5）を行う。

30

具体的には、基板 7 2 にトレンチ 7 6 を形成（ステップ S 1）した後、基板 7 2 の表面に、熱酸化法および／または C V D 法によって、酸化膜（たとえば酸化シリコン膜）からなる絶縁膜 7 8 が形成される（ステップ S 1-2）。次に、たとえばスパッタ法によって、アルミニウム膜からなる下部電極膜 5 2 2 が絶縁膜 7 8 の表面全域に形成される（ステップ S 1-3）。下部電極膜 5 2 2 の膜厚は 8 0 0 0 Å 程度とされてもよい。次に、その下部電極膜の表面に、下部電極膜 5 2 2 の最終形状に対応したレジストパターンが、フォトリソグラフィによって形成される（ステップ S 1-4）。このレジストパターンをマスクとして、下部電極膜がエッチングされることにより、図 4 5 および図 4 6 等にしたパターンの下部電極膜 5 2 2 が得られる（ステップ S 1-5）。下部電極膜 5 1 1 のエッチングは、たとえば、反応性イオンエッチングによって行うことができる。その後、たとえばプラズマ C V D 法によって、窒化シリコン膜等からなる容量膜 5 1 2 が、下部電極膜 5 2 2 上に形成される（ステップ S 2）。また、上部・下部電極膜の形成およびパターンニング（ステップ S 3 ~ S 5）では下部電極膜の形成、および複数の電極膜部分の形成は行われず、ヒューズユニットの形成も行われない。さらに、レーザトリミング（ステップ S 9）においては、下部電極膜 5 2 2 に形成されたヒューズユニット 5 2 3 がレーザ光によって切断される。レーザトリミングの際、下部電極膜 5 2 2 は容量膜 5 1 2 によって覆われているので、この容量膜 5 1 2 をレーザ光のエネルギーを蓄積するためのカバー膜として利用することができる。したがって、レーザトリミングの直前のカバー膜の形成（ステップ S 8）は省かれてもよい。

40

50

【0333】

図47は、第5参考例の第4の実施形態に係るチップコンデンサ524の構成を説明するための断面図である。図47において、前述の図39に示された各部と対応する部分には同一の参照符号を付して示す。

前述の第1の実施形態では、第2外部電極74は、下部電極膜511を介して基板72の表面側に配置されている。この場合、図38および図39に示すように、基板72のパッド領域72Bがキャパシタ要素として利用することができず、小さな基板72上の限られた領域を有効に活用することができない。

【0334】

そこで、図47に示す実施形態では、基板72の裏面に接するように、第2外部電極525が形成されている。この構成により、基板72のパッド領域72Bも、上部電極膜513の形成スペースとして有効利用することができる。その結果、基板72の表面の面積を最大限に利用することができるので、さらなる大容量化を図ることができる。

また、第1外部電極73が上方に向くフェイスアップ姿勢（第2外部電極525が下方に向く姿勢）でチップコンデンサ524を回路基板に複数搭載してパッケージングすることにより、複数のチップコンデンサ524（マルチチップ）を備える半導体装置を実現することができる。この場合、第1外部電極73は、たとえばワイヤボンディングにより、回路基板の回路に電氣的に接続すればよい。

【0335】

この実施形態に係るチップコンデンサ524の製造工程は、図42に示した工程と実質的に同様である。ただし、ステップS3～S5では、上部電極膜513のみを形成し、複数のキャパシタ要素C1～C9の総容量値の測定（ステップS6）の際には、上部電極膜513のパッド領域513Bと基板72の裏面とに検査用プローブを押し当てる。そして、第2外部電極525は、第1外部電極73の成長後、たとえばスパッタ法によって形成する。

【0336】

以上、第5参考例の実施形態について説明してきたが、第5参考例はさらに他の形態で実施することもできる。

たとえば、前述の実施形態では、上部電極膜および下部電極膜のうちの一方が複数の電極膜に分割されている構成を示したが、上部電極膜および下部電極膜が両方とも複数の電極膜部分に分割されていてもよい。さらに、前述の実施形態では、上部電極膜または下部電極膜とヒューズユニットとが一体化されている例を示したが、上部電極膜または下部電極膜とは別の導体膜でヒューズユニットを形成してもよい。さらに、前述の実施形態では、複数のキャパシタ要素が公比 r （ $0 < r$ 、 $r \neq 1$ ） $= 2$ の等比数列をなす容量値を有する複数のキャパシタ要素を有している例を示したが、当該等比数列の公比は2以外の数であってもよい。また、図45および図46に示した実施形態では、基板72の表面に絶縁膜78が形成されているが、基板72が絶縁性の基板であれば、絶縁膜78を省くこともできる。

【0337】

その他、前記（1）第5参考例に係る発明の特徴に記載された事項の範囲で種々の設計変更を施すことが可能である。たとえば、各特徴D1～D22で特定されていない製造の工程を変更したり、割愛したり、追加したものの、第5参考例の範囲に含まれる。

【0358】

<本発明に係る実施形態>

図48は、本発明の第1の実施形態に係るチップコンデンサの平面図であり、図49はその断面図であって、図48の切断面線XLIX-XLIXから見た切断面が示されている。さらに、図50は、前記チップコンデンサの一部の構成を分離して示す分解斜視図である。

チップコンデンサ81は、基板82と、基板82上（基板82の一方表面82A側）に配置された第1外部電極83と、同じく基板82上に配置された第2外部電極84とを備えている。基板82は、この実施形態では、平面視において四隅を面取りした矩形形状を

有している。基板 8 2 の長手方向両端部に第 1 外部電極 8 3 および第 2 外部電極 8 4 がそれぞれ配置されている。第 1 外部電極 8 3 および第 2 外部電極 8 4 は、この実施形態では、基板 8 2 の短手方向に延びたほぼ矩形の平面形状を有し、基板 8 2 の角に対応する各 2 箇所面に面取り部を有している。基板 8 2 の一方表面 8 2 A には、第 1 外部電極 8 3 および第 2 外部電極 8 4 の間の第 1 キャパシタ配置領域 8 5 A 内に、複数のキャパシタ要素 C 1 ～C 9 が配置されている。複数のキャパシタ要素 C 1 ～C 9 は、複数のヒューズユニット 8 7 (ヒューズ) を介してそれぞれ第 2 外部電極 8 4 に電氣的に接続されている。また、基板 8 2 上には、第 2 外部電極 8 4 の直下 (平面視で第 2 外部電極 8 4 と重なる位置) の第 2 キャパシタ配置領域 8 5 B に、キャパシタ要素 C 0 が配置されている。キャパシタ要素 C 0 は、第 2 外部電極 8 4 に対して直接電氣的に接続されている。ここで、第 1 キャパシタ配置領域 8 5 A および第 2 キャパシタ配置領域 8 5 B の全体を、「キャパシタ配置領域 8 5」ということにする。

10

【0359】

図 4 9 および図 5 0 に示されているように、基板 8 2 の一方表面 8 2 A には絶縁膜 8 8 が形成されていて、絶縁膜 8 8 の表面に下部電極膜 6 1 1 が形成されている。下部電極膜 6 1 1 は、キャパシタ配置領域 8 5 のほぼ全域にわたっている。そのため、下部電極膜 6 1 1 は、第 1 キャパシタ配置領域 8 5 A から、第 2 外部電極 8 4 と基板 8 2 との間の第 2 キャパシタ配置領域 8 5 B にまで延びて形成されている。さらに、下部電極膜 6 1 1 は、第 1 外部電極 8 3 の直下の領域にまで延びて形成されている。より具体的には、下部電極膜 6 1 1 は、第 1 キャパシタ配置領域 8 5 A においてキャパシタ要素 C 1 ～C 9 の共通の下部電極として機能する第 1 キャパシタ電極領域 6 1 1 A と、第 2 キャパシタ配置領域 8 5 B においてキャパシタ要素 C 0 の下部電極として機能する第 2 キャパシタ電極領域 6 1 1 B と、外部電極引き出しのためのパッド領域 6 1 1 C とを有している。第 1 キャパシタ電極領域 6 1 1 A が第 1 キャパシタ配置領域 8 5 A に位置していて、第 2 キャパシタ電極領域 6 1 1 B が第 2 キャパシタ配置領域 8 5 B (第 2 外部電極 8 4 の直下) に位置していて、パッド領域 6 1 1 C が第 1 外部電極 8 3 の直下に位置している。パッド領域 6 1 1 C の上面 6 1 1 J が第 1 外部電極 8 3 に接している。

20

【0360】

下部電極膜 6 1 1 において第 1 キャパシタ電極領域 6 1 1 A と第 2 キャパシタ電極領域 6 1 1 B との境界には、複数の開口 6 1 6 が形成されている (図 5 0 参照)。複数の開口 6 1 6 は、基板 8 2 の短手方向に沿って間隔を隔てて配置されている (図 5 0 参照)。各開口 6 1 6 は、下部電極膜 6 1 1 を厚さ方向に貫通している。第 1 キャパシタ電極領域 6 1 1 A と第 2 キャパシタ電極領域 6 1 1 B とは、開口 6 1 6 が形成された領域では連続していないが (図 4 9 参照)、開口 6 1 6 が形成されていない領域では連続している (図 5 0 参照)。

30

【0361】

キャパシタ配置領域 8 5 において下部電極膜 6 1 1 (第 1 キャパシタ電極領域 6 1 1 A および第 2 キャパシタ電極領域 6 1 1 B) を覆うように容量膜 (誘電体膜) 6 1 2 が形成されている。容量膜 6 1 2 は、第 1 キャパシタ電極領域 6 1 1 A (第 1 キャパシタ配置領域 8 5 A) および第 2 キャパシタ電極領域 6 1 1 B (第 2 キャパシタ配置領域 8 5 B) の全域にわたって連続している。そのため、容量膜 6 1 2 は、第 1 キャパシタ配置領域 8 5 A から、第 2 外部電極 8 4 と基板 8 2 との間の第 2 キャパシタ配置領域 8 5 B にまで延びて下部電極膜 6 1 1 上に形成されている。容量膜 6 1 2 は、この実施形態では、さらにキャパシタ配置領域 8 5 外および各開口 6 1 6 内の絶縁膜 8 8 を覆っている。

40

【0362】

容量膜 6 1 2 の上には、上部電極膜 6 1 3 が形成されている。図 4 8 では、明瞭化のために、上部電極膜 6 1 3 を着色して示してある。上部電極膜 6 1 3 は、第 1 外部電極 8 3 および第 2 外部電極 8 4 の間の第 1 キャパシタ配置領域 8 5 A に位置するキャパシタ電極領域 6 1 3 A と、第 2 外部電極 8 4 の直下 (第 2 キャパシタ配置領域 8 5 B) に位置するパッド領域 6 1 3 B と、キャパシタ電極領域 6 1 3 A とパッド領域 6 1 3 B との間に配置

50

されたヒューズ領域613Cとを有している。そのため、上部電極膜613は、第1キャパシタ配置領域85Aから、第2外部電極84と基板82との間の第2キャパシタ配置領域85Bにまで延びて容量膜612上に形成されている(図49参照)。

【0363】

キャパシタ電極領域613Aにおいて、上部電極膜613は、複数の電極膜部分(上部電極膜部分)731~739に分割(分離)されている。この実施形態では、各電極膜部分731~739は、いずれも矩形形状に形成されていて、ヒューズ領域613Cから第1外部電極83に向かって帯状に延びている。複数の電極膜部分731~739は、複数種類の対向面積で、容量膜612を挟んで下部電極膜611に対向している。より具体的には、電極膜部分731~739の下部電極膜611に対する対向面積は、1:2:4:8:16:32:64:128:128となるように定められていてもよい。すなわち、複数の電極膜部分731~739は、対向面積の異なる複数の電極膜部分を含み、より詳細には、公比が2の等比数列をなすように設定された対向面積を有する複数の電極膜部分731~738(または731~737, 739)を含む。これによって、各電極膜部分731~739と容量膜612を挟んで対向する下部電極膜611とによってそれぞれ構成される複数のキャパシタ要素C1~C9は、互いに異なる容量値を有する複数のキャパシタ要素を含む。電極膜部分731~739の対向面積の比が前述の通りである場合、キャパシタ要素C1~C9の容量値の比は、当該対向面積の比と等しく、1:2:4:8:16:32:64:128:128となる。すなわち、複数のキャパシタ要素C1~C9は、公比が2の等比数列をなすように容量値が設定された複数のキャパシタ要素C1~C8(またはC1~C7, C9)を含むことになる。

【0364】

この実施形態では、電極膜部分731~735は、幅が等しく、長さの比を1:2:4:8:16に設定した帯状に形成されている。また、電極膜部分735, 736, 737, 738, 739は、長さが等しく、幅の比を1:2:4:8:8に設定した帯状に形成されている。電極膜部分735~739は、第1キャパシタ配置領域85Aの第2外部電極84側の端縁から第1外部電極83側の端縁までの範囲に渡って延びて形成されており、電極膜部分731~734は、それよりも短く形成されている。

【0365】

パッド領域613Bは、第2外部電極84とほぼ相似形に形成されており、基板82の角部に対応する2つの面取り部を有するほぼ矩形の平面形状を有している。図49に示すように、パッド領域613Bにおける上部電極膜613の上面613Dは、第2外部電極84に接している。パッド領域613Bにおける上部電極膜613は、電極膜部分740として機能している。電極膜部分740は、容量膜612を挟んで第2キャパシタ電極領域611Bにおける下部電極膜611に対向している。電極膜部分740、容量膜612および第2キャパシタ電極領域611Bにおける下部電極膜611は、前述したキャパシタ要素C0を構成している。一例として、電極膜部分740の下部電極膜611に対する対向面積は、電極膜部分738や電極膜部分739の下部電極膜611に対する対向面積の約2倍であり(図48参照)、キャパシタ要素C0の容量値は、キャパシタ要素C8やキャパシタ要素C9の容量値の約2倍である。

【0366】

この構成によれば、当該基板82の一方表面82A側にキャパシタ構造(キャパシタ要素C1~C9)が形成されているだけでなく、第2外部電極84直下の領域にもキャパシタ構造(キャパシタ要素C0)が形成されている。そのため、チップコンデンサ81では、第2外部電極84の直下の領域をも利用して、容量値の増大が図られている。それによって、基板82の一方表面82Aの面積を最大限に利用して大容量化を図ることができるから、小型化および大容量化を両立したチップコンデンサ81を提供することができる。

【0367】

ヒューズ領域613Cは、パッド領域613Bの一つの長辺(基板82の周縁に対して内方側の長辺)に沿って配置されている。ヒューズ領域613Cは、パッド領域613B

の前記１つの長辺に沿って配列された複数のヒューズユニット８７を含む。ヒューズユニット８７の数と、前述した下部電極膜６１１の開口６１６の数とは一致している（図５０参照）。１つのヒューズユニット８７の直下に開口６１６が１つ位置している。そのため、下部電極膜６１１は、ヒューズユニット８７の直下の領域（開口６１６）を回避した領域に形成されている。

【０３６８】

ヒューズユニット８７は、上部電極膜６１３のパッド領域６１３Ｂと同じ材料で一体的に形成されている。複数の電極膜部分７３１～７３９は、１つまたは複数個のヒューズユニット８７と一体的に形成されていて、それらのヒューズユニット８７を介してパッド領域６１３Ｂ（電極膜部分７４０）に接続され、このパッド領域６１３Ｂを介して第２外部電極８４に電氣的に接続されている。図４８に示すように、面積の比較的小さな電極膜部分７３１～７３６は、一つのヒューズユニット８７によってパッド領域６１３Ｂに接続されており、面積の比較的大きな電極膜部分７３７～７３９は複数個のヒューズユニット８７を介してパッド領域６１３Ｂに接続されている。全てのヒューズユニット８７が用いられる必要はなく、この実施形態では、一部のヒューズユニット８７は未使用である。

10

【０３６９】

ヒューズユニット８７は、パッド領域６１３Ｂとの接続のための第１幅広部８７Ａと電極膜部分７３１～７３９との接続のための第２幅広部８７Ｂと、第１および第２幅広部８７Ａ、８７Ｂの間を接続する幅狭部８７Ｃとを含む。幅狭部８７Ｃは、レーザ光によって切断（溶断）することができるように構成されている。それによって、電極膜部分７３１～７３９のうち不要な電極膜部分をヒューズユニット８７の切断によって第１および第２外部電極８３、８４から電氣的に切り離すことができる。

20

【０３７０】

図４８および図５０では図示を省略したが、図４９に表れている通り、上部電極膜６１３の表面を含むチップコンデンサ８１の表面はパッシベーション膜８９によって覆われている。パッシベーション膜８９は、たとえば窒化膜からなっていて、チップコンデンサ８１の上面のみならず、基板８２の側面まで延びて、この側面をも覆うように形成されている。さらに、パッシベーション膜８９の上には、ポリイミド樹脂等からなる樹脂膜６１０が形成されている。樹脂膜６１０は、チップコンデンサ８１の上面を覆い、さらに基板８２の側面に至って、当該側面上のパッシベーション膜８９を覆うように形成されている。

30

【０３７１】

パッシベーション膜８９および樹脂膜６１０は、チップコンデンサ８１の表面を保護する保護膜である。これらには、第１外部電極８３および第２外部電極８４に対応する領域にパッド開口６２１、６２２がそれぞれ形成されている。パッド開口６２１、６２２はそれぞれ下部電極膜６１１のパッド領域６１１Ｃの一部の領域、上部電極膜６１３のパッド領域６１３Ｂの一部の領域を露出させるようにパッシベーション膜８９および樹脂膜６１０を貫通している。さらに、この実施形態では、第１外部電極８３に対応したパッド開口６２１は、容量膜６１２をも貫通している。

【０３７２】

パッド開口６２１、６２２には、第１外部電極８３および第２外部電極８４がそれぞれ埋め込まれている。これにより、第１外部電極８３は下部電極膜６１１のパッド領域６１１Ｃに接合しており、第２外部電極８４は上部電極膜６１３のパッド領域６１３Ｂに接合している。第１および第２外部電極８３、８４は、樹脂膜６１０の表面から突出するように形成されている。これにより、実装基板に対してチップコンデンサ８１をフリップチップ接合することができる。

40

【０３７３】

図５１は、チップコンデンサ８１の内部の電氣的構成を示す回路図である。第１外部電極８３と第２外部電極８４との間に複数のキャパシタ要素Ｃ０～Ｃ９が並列に接続されている。各キャパシタ要素Ｃ１～Ｃ９と第２外部電極８４との間には、一つまたは複数のヒューズユニット８７でそれぞれ構成されたヒューズＦ１～Ｆ９が直列に介装されている。

50

一方、キャパシタ要素C 0と第2外部電極8 4との間には、ヒューズが介装されておらず、キャパシタ要素C 0は、第2外部電極8 4に対して直接接続されている。

【0 3 7 4】

ヒューズF 1～F 9が全て接続されているときは、チップコンデンサ8 1の容量値は、キャパシタ要素C 0～C 9の容量値の総和に等しい。複数のヒューズF 1～F 9から選択した1つまたは2つ以上のヒューズを切断すると、当該切断されたヒューズに対応するキャパシタ要素が切り離され、当該切り離されたキャパシタ要素の容量値だけチップコンデンサ8 1の容量値が減少する。ヒューズF 1～F 9の全てを切断した場合、チップコンデンサ8 1の容量値は、キャパシタ要素C 0の容量値となる。

【0 3 7 5】

そこで、パッド領域6 1 1 C、6 1 3 Bの間の容量値（キャパシタ要素C 0～C 9の総容量値）を測定し、その後に所望の容量値に応じてヒューズF 1～F 9から適切に選択した一つまたは複数のヒューズをレーザ光で溶断すれば、所望の容量値への合わせ込み（レーザトリミング）を行うことができる。とくに、キャパシタ要素C 1～C 8の容量値が、公比2の等比数列をなすように設定されていれば、最小の容量値（当該等比数列の初項の値）であるキャパシタ要素C 1の容量値に対応する精度で目標の容量値へと合わせ込む微調整が可能である。

【0 3 7 6】

たとえば、キャパシタ要素C 0～C 9の容量値は次のように定められていてもよい。

$$\begin{aligned} C 0 &= 8 \text{ p F} \\ C 1 &= 0.03125 \text{ p F} \\ C 2 &= 0.0625 \text{ p F} \\ C 3 &= 0.125 \text{ p F} \\ C 4 &= 0.25 \text{ p F} \\ C 5 &= 0.5 \text{ p F} \\ C 6 &= 1 \text{ p F} \\ C 7 &= 2 \text{ p F} \\ C 8 &= 4 \text{ p F} \\ C 9 &= 4 \text{ p F} \end{aligned}$$

この場合、0.03125 p Fの最小合わせ込み精度でチップコンデンサ8 1の容量を微調整できる。また、ヒューズF 1～F 9から切断すべきヒューズを適切に選択することで、10 p F～18 p Fの間の任意の容量値のチップコンデンサ8 1を提供することができる。

【0 3 7 7】

以上のように、この実施形態によれば、第1外部電極8 3および第2外部電極8 4の間に、ヒューズF 1～F 9によって切り離し可能な複数のキャパシタ要素C 1～C 9が設けられている。さらに、第2外部電極8 4の直下には、第2外部電極8 4に直接接続されたキャパシタ要素C 0が設けられている。キャパシタ要素C 1～C 9は、異なる容量値の複数のキャパシタ要素、より具体的には等比数列をなすように容量値が設定された複数のキャパシタ要素を含んでいる。それによって、ヒューズF 1～F 9から1つまたは複数のヒューズを選択してレーザ光で溶断することにより、設計を変更することなく複数種類の容量値に対応でき、かつ所望の容量値に正確に合わせ込むことができるチップコンデンサ8 1を提供できる。

【0 3 7 8】

チップコンデンサ8 1の各部の詳細について以下に説明を加える。

図4 8を参照して、基板8 2は、たとえば平面視において0.3 mm×0.15 mm、0.4 mm×0.2 mm、または0.2 mm×0.1 mmなどの矩形形状（好ましくは、0.4 mm×0.2 mm以下の大きさ）を有していてもよい。キャパシタ配置領域8 5は、概ね、基板8 2の短辺の長さに相当する一辺を有する正方形領域となる。基板8 2の厚さは、150 μm程度であってもよい。図4 9を参照して、基板8 2は、たとえば、裏面

10

20

30

40

50

側（キャパシタ要素C 0～C 9が形成されていない表面）からの研削または研磨によって薄型化された基板であってもよい。基板8 2の材料としては、シリコン基板に代表される半導体基板を用いてもよいし、ガラス基板を用いてもよいし、樹脂フィルムを用いてもよい。

【0 3 7 9】

絶縁膜8 8は、酸化シリコン膜等の酸化膜であってもよい。その膜厚は、5 0 0 Å～2 0 0 0 Å程度であってもよい。

下部電極膜6 1 1は、導電性膜、とくに金属膜であることが好ましく、たとえばアルミニウム膜であってもよい。アルミニウム膜からなる下部電極膜6 1 1は、スパッタ法によって形成することができる。上部電極膜6 1 3も同様に、導電性膜、とくに金属膜で構成することが好ましく、アルミニウム膜であってもよい。アルミニウム膜からなる上部電極膜6 1 3は、スパッタ法によって形成することができる。上部電極膜6 1 3のキャパシタ電極領域6 1 3 Aを電極膜部分7 3 1～7 3 9に分割し、かつ、パッド領域6 1 3 Bに電極膜部分7 4 0を形成し、さらに、ヒューズ領域6 1 3 Cを複数のヒューズユニット8 7に整形するためのパターニングは、フォトリソグラフィおよびエッチングプロセスによって行うことができる。

【0 3 8 0】

容量膜6 1 2は、たとえば窒化シリコン膜で構成することができ、その膜厚は5 0 0 Å～2 0 0 0 Å（たとえば1 0 0 0 Å）とすることができる。容量膜6 1 2は、プラズマC V D（化学的気相成長）によって形成された窒化シリコン膜であってもよい。

パッシベーション膜8 9は、たとえば窒化シリコン膜で構成することができ、たとえばプラズマC V D法によって形成できる。その膜厚は、8 0 0 0 Å程度とされてもよい。樹脂膜6 1 0は、前述の通り、ポリイミド膜その他の樹脂膜で構成することができる。

【0 3 8 1】

第1および第2外部電極8 3，8 4は、たとえば、下部電極膜6 1 1または上部電極膜6 1 3に接するニッケル層と、このニッケル層上に積層したパラジウム層と、そのパラジウム層上に積層した金層とを積層した積層構造膜からなっているとしてもよく、たとえば、めっき法（より具体的には無電解めっき法）で形成することができる。ニッケル層は下部電極膜6 1 1または上部電極膜6 1 3に対する密着性の向上に寄与し、パラジウム層は上部電極膜または下部電極膜の材料と第1および第2外部電極8 3，8 4の最上層の金との相互拡散を抑制する拡散防止層として機能する。

【0 3 8 2】

図5 2は、チップコンデンサ8 1の製造工程の一例を説明するための流れ図である。基板8 2の表面に、熱酸化法および／またはC V D法によって、酸化膜（たとえば酸化シリコン膜）からなる絶縁膜8 8が形成される（ステップS 1）。次に、たとえばスパッタ法によって、アルミニウム膜からなる下部電極膜6 1 1が絶縁膜8 8の表面全域に形成される（ステップS 2）。下部電極膜6 1 1の膜厚は8 0 0 0 Å程度とされてもよい。次に、その下部電極膜の表面に、下部電極膜6 1 1の最終形状に対応したレジストパターンが、フォトリソグラフィによって形成される（ステップS 3）。このレジストパターンをマスクとして、下部電極膜がエッチングされることにより、図4 8等にした開口6 1 6（図5 0参照）を有するパターンの下部電極膜6 1 1が得られる（ステップS 4）。下部電極膜6 1 1のエッチングは、たとえば、反応性イオンエッチングによって行うことができる。

【0 3 8 3】

次に、たとえばプラズマC V D法によって、窒化シリコン膜等からなる容量膜6 1 2が、下部電極膜6 1 1上に形成される（ステップS 5）。下部電極膜6 1 1が形成されていない領域（開口6 1 6の内側等）では、絶縁膜8 8の表面に容量膜6 1 2が形成されることになる。次いで、その容量膜6 1 2の上に、上部電極膜6 1 3が形成される（ステップS 6）。上部電極膜6 1 3は、たとえばアルミニウム膜からなり、スパッタ法によって形成することができる。その膜厚は、8 0 0 0 Å程度とされてもよい。次いで、上部電極膜

613の表面に上部電極膜613の最終形状に対応したレジストパターンがフォトリソグラフィによって形成される(ステップS7)。このレジストパターンをマスクとしたエッチングにより、上部電極膜613が、最終形状(図48等参照)にパターニングされる(ステップS8)。それによって、上部電極膜613は、キャパシタ電極領域613Aに複数の電極膜部分731~739を有し、ヒューズ領域613Cに複数のヒューズユニット87を有し、それらのヒューズユニット87に接続されたパッド領域613Bを有し、パッド領域613Bに電極膜部分740を有するパターンに整形される。上部電極膜613のパターニングのためのエッチングは、リン酸等のエッチング液を用いたウェットエッチングによって行ってもよいし、反応性イオンエッチングによって行ってもよい。ここで、上部電極膜613の電極膜部分731~740とヒューズユニット87とを同じ導電性材料の膜で形成することができるから、それらを同一膜からパターニングして形成することができる。これにより、製造工程が簡単になる。

10

【0384】

この後、上部電極膜613のパッド領域613Bと下部電極膜611のパッド領域611Cとに検査用プローブを押し当てて、複数のキャパシタ要素C0~C9の総容量値が測定される(ステップS9)。この測定された総容量値に基づき、目的とするチップコンデンサ81の容量値に応じて、切り離すべきキャパシタ要素、すなわち切断すべきヒューズが選択される(ステップS10)。

【0385】

次いで、図53Aに示すように、基板82上の全面にたとえば窒化膜からなるカバー膜626が形成される(ステップS11)。このカバー膜626の形成は、プラズマCVD法によって行われてもよく、たとえば膜厚3000Å程度の窒化シリコン膜が形成されてもよい。カバー膜626は、パターニングされた上部電極膜613を覆い、上部電極膜613が形成されていない領域では容量膜612を覆う。カバー膜626は、ヒューズ領域613Cにおいてはヒューズユニット87を覆うことになる。

20

【0386】

この状態から、ヒューズユニット87を溶断するためのレーザトリミングが行われる(ステップS12)。すなわち、図53Bに示すように、前記総容量値の測定結果に応じて選択されたヒューズを構成するヒューズユニット87にレーザ光627を当てて、そのヒューズユニット87の幅狭部87Cが溶断される。これにより、対応するキャパシタ要素がパッド領域613Bから切り離される。ヒューズユニット87にレーザ光627を当てるとき、カバー膜626の働きによって、ヒューズユニット87の近傍にレーザ光627のエネルギーが蓄積され、それによって、ヒューズユニット87が溶断する。これにより、チップコンデンサ81の容量値を確実に目的の容量値とすることができる。

30

【0387】

ここで、前述したように、下部電極膜611が、ヒューズユニット87の直下の領域(開口616)を回避した領域に形成されている。そのため、レーザ光627によってヒューズユニット87を切断する場合において、切断で生じた破片がヒューズユニット87の直下の領域に到達したとしても、当該領域に下部電極膜611が存在しない。よって、この破片によって上部電極膜613と下部電極膜611との間に短絡が生じたり下部電極膜611が腐食したりするといった不具合を回避できる。また、下部電極膜611が、ヒューズユニット87の直下の領域(レーザ光が照射される領域)を回避した領域に形成されているので、ヒューズユニット87を切断する際に、下部電極膜611も切断されて下部電極膜611がダメージを受けるといった不具合を回避することもできる。

40

【0388】

次に、図53Cに示すように、たとえばプラズマCVD法によって、カバー膜626上に窒化シリコン膜が堆積させられ、パッシベーション膜89が形成される(ステップS13)。前述のカバー膜626は最終形態において、パッシベーション膜89と一体化し、このパッシベーション膜89の一部を構成する。ヒューズの切断後に形成されたパッシベーション膜89は、ヒューズ溶断の際に同時に破壊されたカバー膜626の開口内に入り

50

込み、ヒューズユニット 87 の切断面を覆って保護する。したがって、パッシベーション膜 89 は、ヒューズユニット 87 の切断箇所にも異物が入り込んだり水分が侵入したりすることを防ぐ。これにより、信頼性の高いチップコンデンサ 81 を製造することができる。パッシベーション膜 89 は、全体で、たとえば 8000 Å 程度の膜厚を有するように形成されてもよい。

【0389】

次に、第 1 および第 2 外部電極 83, 84 を形成すべき位置に貫通孔を有するレジストパターンがパッシベーション膜 89 上に形成される (ステップ S14)。このレジストパターンをマスクとしてパッシベーション膜 89 のエッチングが行われる。それによって、下部電極膜 611 をパッド領域 611C において露出させるパッド開口と、上部電極膜 613 をパッド領域 613B において露出させるパッド開口とが形成されることになる (ステップ S15)。パッシベーション膜 89 のエッチングは、反応性イオンエッチングによって行われてもよい。パッシベーション膜 89 のエッチングの際に、同じく窒化膜で形成されている容量膜 612 も開口することになり、それによって、下部電極膜 611 のパッド領域 611C が露出することになる。

【0390】

次いで、全面に樹脂膜が塗布される (ステップ S16)。樹脂膜としては、たとえば感光性のポリイミドの塗布膜が用いられる。この樹脂膜に対して、前記パッド開口に対応した領域に対する露光工程、およびその後の現像工程を行うことによって、フォトリソグラフィによる樹脂膜のパターニングを行うことができる (ステップ S17)。これにより、樹脂膜 610 およびパッシベーション膜 89 を貫通したパッド開口 621, 622 が形成される。その後、樹脂膜を硬化するための熱処理 (キュア処理) が行われ (ステップ S18)、さらに、パッド開口 621, 622 内に、たとえば無電解めっき法によって、第 1 外部電極 83 および第 2 外部電極 84 が成長させられる (ステップ S19)。こうして、図 48 等に示す構造のチップコンデンサ 81 が得られる。

【0391】

フォトリソグラフィ工程を利用した上部電極膜 613 のパターニングでは、微小面積の電極膜部分 731 ~ 740 を精度良く形成することができ、さらに微細なパターンのヒューズユニット 87 を形成することができる。そして、上部電極膜 613 のパターニングの後に、総容量値の測定を経て、切断すべきヒューズが決定される。その決定されたヒューズを切断することによって、所望の容量値に正確に合わせ込まれたチップコンデンサ 81 を得ることができる。

【0392】

また、このチップコンデンサ 81 では、第 2 外部電極 84 の直下も有効容量エリアとして利用することによって、第 2 外部電極 84 と基板 82 との間における寄生容量の影響を受け難くし、より精度の高いチップコンデンサ 81 を提供できる。

図 54 は、本発明の第 2 の実施形態に係るチップコンデンサ 631 の構成を説明するための平面図である。図 54 において、前述の図 48 に示された各部と対応する部分には同一の参照符号を付して示す。

【0393】

前述の第 1 の実施形態では、上部電極膜 613 のキャパシタ電極領域 613A がそれぞれ帯状の電極膜部分 731 ~ 739 に分割されている。この場合、図 48 に示すように、キャパシタ配置領域 85 内にキャパシタ要素として利用することができない領域が生じてしまい、小さな基板 82 上の限られた領域を有効に活用することができない。

そこで、図 54 に示す実施形態では、複数の電極膜部分 731 ~ 739 が L 字形の電極膜部分 741 ~ 749 に分割されている。これによって、たとえば、図 54 の構成における電極膜部分 749 は、図 48 の構成の電極膜部分 739 の 1.5 倍の面積で下部電極膜 611 に対向することができる。よって、図 48 の第 1 の実施形態において電極膜部分 739 に対応したキャパシタ要素 C9 が 4 pF の容量を有しているとすれば、この実施形態における電極膜部分 749 を用いることで、キャパシタ要素 C9 は 6 pF の容量を有する

ことができる。これにより、キャパシタ配置領域 8 5 内を有効に活用して、より広い範囲でチップコンデンサ 8 1 の容量値を設定することが可能となる。

【0394】

この実施形態に係るチップコンデンサ 6 3 1 の製造工程は、図 5 2 に示した工程と実質的に同様である。ただし、上部電極膜 6 1 3 のパターニング（ステップ S 7，S 8）では、キャパシタ電極領域 6 1 3 A が、図 5 4 に示す形状の複数の電極膜部分 7 4 1～7 4 9 に分割される。

図 5 5 は、本発明の第 3 の実施形態に係るチップコンデンサ 6 4 1 の構成を説明するための分解斜視図であり、前述の第 1 の実施形態の説明において用いた図 5 0 と同様にチップコンデンサ 6 4 1 の各部が表されている。

10

【0395】

第 1 の実施形態では、下部電極膜 6 1 1 がキャパシタ配置領域 8 5 のほぼ全域にわたる連続パターンからなる第 1 キャパシタ電極領域 6 1 1 A および第 2 キャパシタ電極領域 6 1 1 B を有し、上部電極膜 6 1 3 のキャパシタ電極領域 6 1 3 A が複数の電極膜部分 7 3 1～7 3 9 に分割されている（図 5 0 参照）。

これに対して、この第 3 の実施形態では、上部電極膜 6 1 3 のキャパシタ電極領域 6 1 3 A およびパッド領域 6 1 3 B がキャパシタ配置領域 8 5 のほぼ全域にわたって連続する連続膜パターンに形成されている一方で、下部電極膜 6 1 1 の第 1 キャパシタ電極領域 6 1 1 A および第 2 キャパシタ電極領域 6 1 1 B が複数の電極膜部分 7 5 1～7 5 9 に分割されている。電極膜部分 7 5 1～7 5 9 は、第 1 の実施形態における電極膜部分 7 3 1～7 3 9 と同様の形状および面積比に形成されてもよいし、第 2 の実施形態における電極膜部分 7 4 1～7 4 9 と同様の形状および面積比に形成されてもよい。そして、電極膜部分 7 5 1～7 5 9 のうちの少なくともいずれか（図 5 5 では電極膜部分 7 5 9 だけ）は、第 2 キャパシタ電極領域 6 1 1 B において第 2 外部電極 8 4 の直下まで延びている。このようにして、電極膜部分 7 5 1～7 5 9 と、容量膜 6 1 2 と、上部電極膜 6 1 3 とによって、複数のキャパシタ要素が構成されている。この複数のキャパシタ要素の少なくとも一部は、容量値の異なる（たとえば等比数列をなすように各容量値が設定された）キャパシタ要素群を構成している。電極膜部分 7 5 1～7 5 9 は、順に、キャパシタ要素 C 1～C 9 を構成している。図 5 5 の電極膜部分 7 5 9 は、L 字形に折れ曲っていて、第 2 キャパシタ配置領域 8 5 B の全域に亘って形成されている。そのため、キャパシタ要素 C 9 の容量値を、キャパシタ要素 C 8 の容量値よりも大きく、たとえば 2 倍とすることができる。これにより、キャパシタ要素 C 8，9 の容量値が同じであった第 1 の実施形態（図 4 8 参照）とは異なり、全てのキャパシタ要素 C 1～C 9 の容量値が等比数列をなすように設定できる。

20

30

【0396】

下部電極膜 6 1 1 は、さらに、第 1 キャパシタ電極領域 6 1 1 A とパッド領域 6 1 1 C との間にヒューズ領域 6 1 1 D を有している。ヒューズ領域 6 1 1 D には、第 1 の実施形態のヒューズユニット 8 7 と同様の複数のヒューズユニット 6 4 7 がパッド領域 6 1 1 C に沿って一列に配列されている。各電極膜部分 7 5 1～7 5 9 は、一つまたは複数のヒューズユニット 6 4 7 を介してパッド領域 6 1 1 C に接続されている。

40

【0397】

このような構成によっても、電極膜部分 7 5 1～7 5 9 が互いに異なる対向面積で上部電極膜 6 1 3 に対向しており、これらはヒューズユニット 6 4 7 を切断することによって個別に切り離すことができる。したがって、第 1 の実施形態の場合と同様の効果が得られる。とくに、複数の電極膜部分 7 5 1～7 5 9 の少なくとも一部が公比 2 の等比数列をなすように設定した対向面積で上部電極膜 6 1 3 に対向するように形成しておくことで、第 1 の実施形態の場合と同様に、所要の容量値に高精度で合わせ込んだチップコンデンサを提供できる。

【0398】

この実施形態に係るチップコンデンサ 6 4 1 の製造工程は、図 5 2 に示した工程と実質

50

的に同様である。ただし、下部電極膜 6 1 1 のパターンニング（ステップ S 3，S 4）において、第 1 キャパシタ電極領域 6 1 1 A および第 2 キャパシタ電極領域 6 1 1 B が電極膜部分 7 5 1 ～ 7 5 9 に分割され、かつヒューズ領域 6 1 1 D に複数のヒューズユニット 6 4 7 が形成されることになる。また、上部電極膜 6 1 3 のパターンニング（ステップ S 7，S 8）では、複数の電極膜部分の形成は行われず、ヒューズユニットの形成も行われない。ただし、上部電極膜 6 1 3 は、平面視で各ヒューズユニット 6 4 7 に重ならないようにパターンニングされる。さらに、レーザトリミング（ステップ S 1 2）においては、下部電極膜 6 1 1 に形成されたヒューズユニット 6 4 7 がレーザ光によって切断される。レーザトリミングの際、下部電極膜 6 1 1 は容量膜 6 1 2 によって覆われているので、この容量膜 6 1 2 をレーザ光のエネルギーを蓄積するためのカバー膜として利用することができる。したがって、レーザトリミングの直前のカバー膜の形成（ステップ S 1 1）は省かれてもよい。前述したように上部電極膜 6 1 3 が平面視で各ヒューズユニット 6 4 7 に重なっていないので、レーザトリミングによって上部電極膜 6 1 3 が切断されることはない。

【0399】

以上、本発明の実施形態について説明してきたが、本発明はさらに他の形態で実施することもできる。たとえば、前述の実施形態では、上部電極膜および下部電極膜のうちの一方が複数の電極膜に分割されている構成を示したが、上部電極膜および下部電極膜が両方とも複数の電極膜部分に分割されていてもよい。さらに、前述の実施形態では、上部電極膜または下部電極膜とヒューズユニットとが一体化されている例を示したが、上部電極膜または下部電極膜とは別の導体膜でヒューズユニットを形成してもよい。さらに、前述の実施形態では、複数のキャパシタ要素が公比 r ($0 < r$, $r \neq 1$) = 2 の等比数列をなす容量値を有する複数のキャパシタ要素を有している例を示したが、当該等比数列の公比は 2 以外の数であってもよい。また、前述の実施形態では、基板 8 2 の表面に絶縁膜 8 8 が形成されているが、基板 8 2 が絶縁性の基板であれば、絶縁膜 8 8 を省くこともできる。また、基板 8 2 として導電性基板を用い、その導電性基板を下部電極として用い、導電性基板の表面に接するように容量膜 6 1 2 を形成してもよい。この場合、導電性基板の裏面から一方の外部電極を引き出してもよい。

【0400】

その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

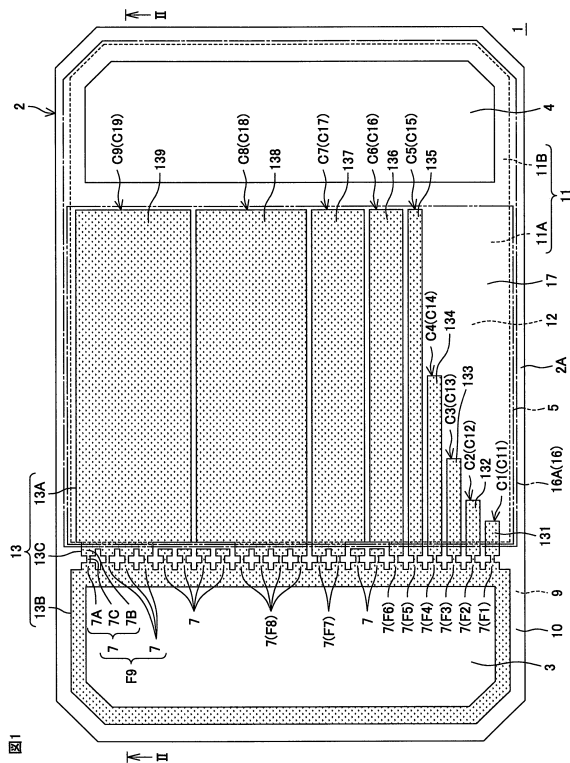
【符号の説明】

【0401】

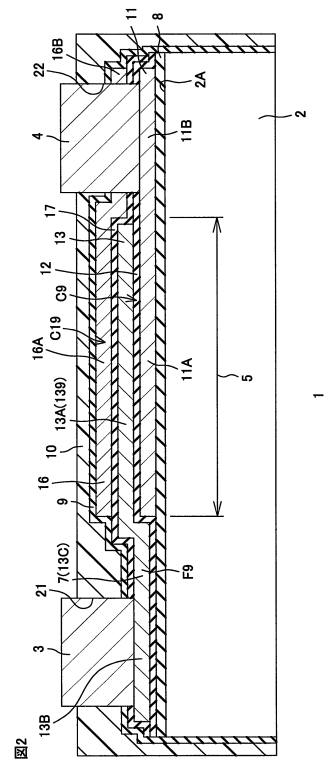
- C 1 ～ C 1 9 キャパシタ要素
- C 2 1 ～ C 2 9 キャパシタ要素
- C 3 1 ～ C 3 4 キャパシタ要素
- F 1 ～ F 9 ヒューズ
- F 1 1 ～ F 1 9 ヒューズ
- F 2 1 ～ F 2 4 ヒューズ
- 1 チップコンデンサ
- 2 基板
- 2 A 主面
- 3 第 1 外部電極
- 4 第 2 外部電極
- 7 ヒューズユニット
- 9 パッシベーション膜
- 1 0 樹脂膜
- 1 1 第 1 電極膜
- 1 2 第 1 容量膜
- 1 3 第 2 電極膜
- 1 3 1 ～ 1 3 9 電極膜部分

- 1 4 1 ～ 1 4 9 電極膜部分
- 1 5 1 ～ 1 5 9 電極膜部分
- 1 6 第3電極膜
- 1 7 第2容量膜
- 1 8 1 ～ 1 8 4 電極膜部分
- 2 5 チップコンデンサ
- 2 6 チップコンデンサ
- 2 7 ヒューズユニット
- 2 8 ヒューズユニット

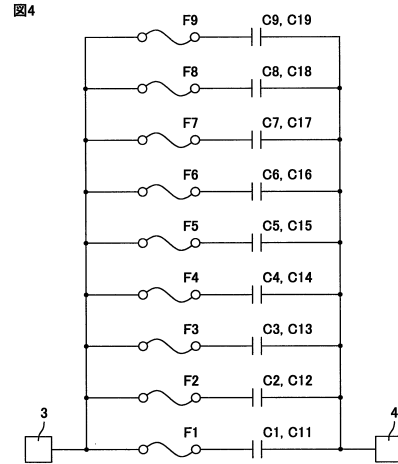
【図 1】



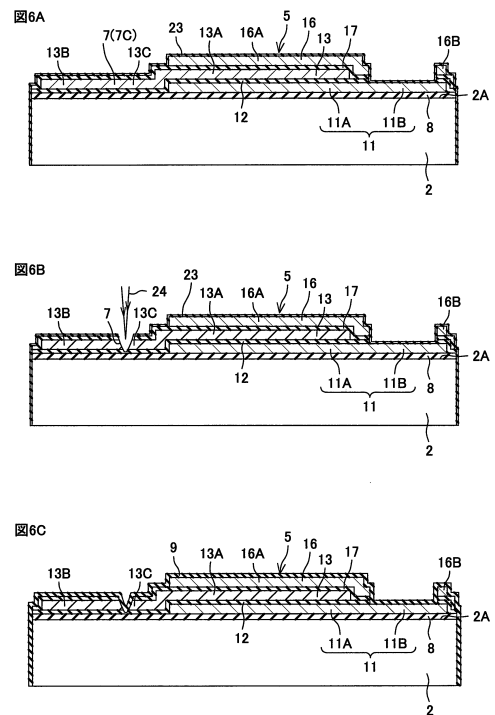
【図 2】



【図 4】



【图 6】



【図 7】

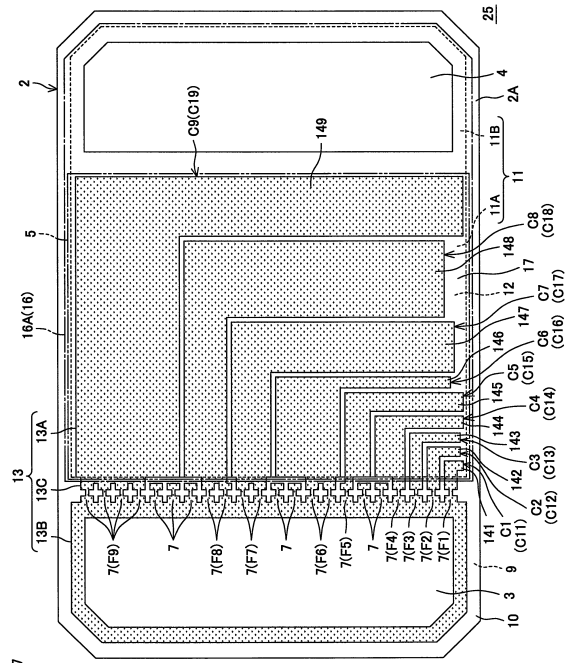


図7

【図 8】

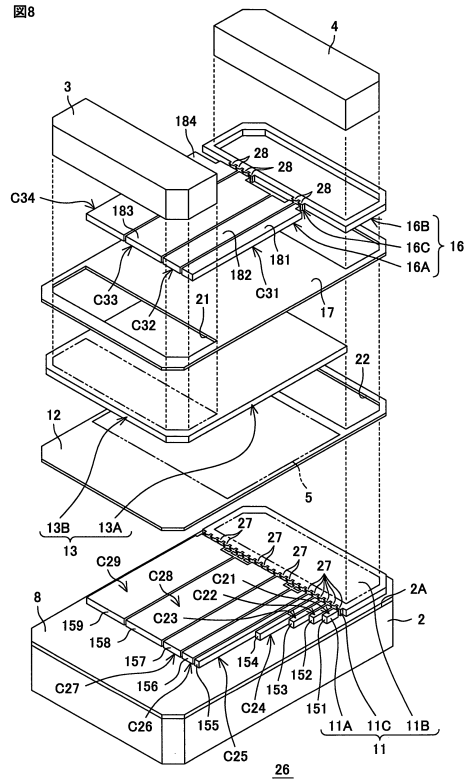


図8

【図 9】

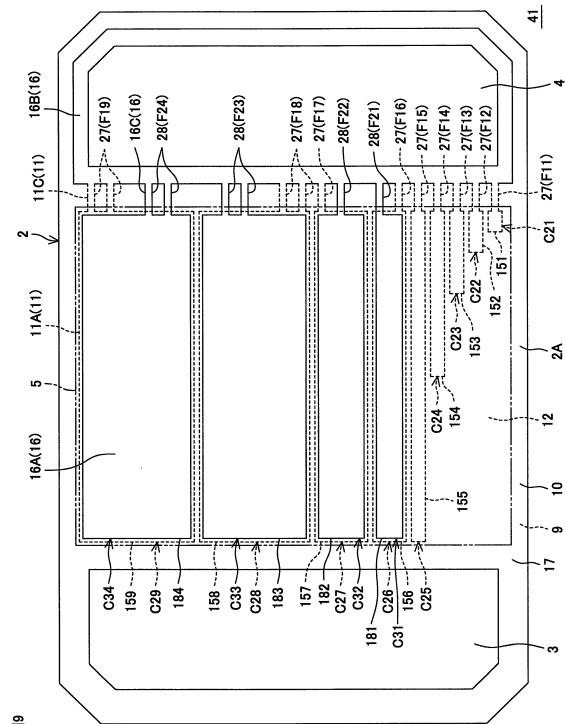


図9

【図 10】

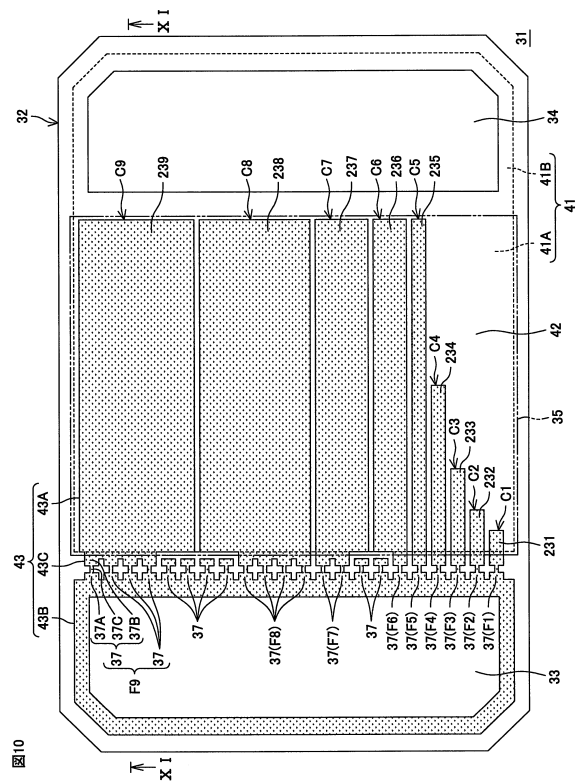
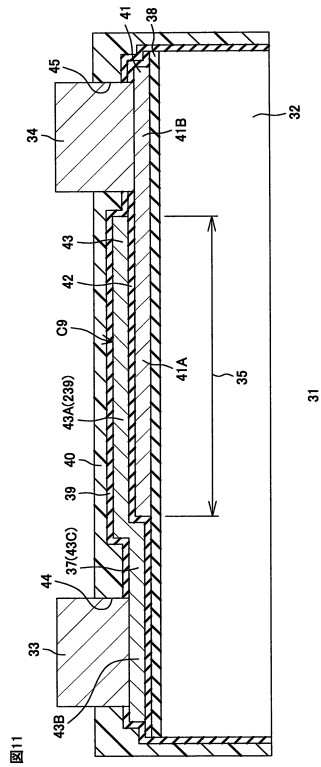


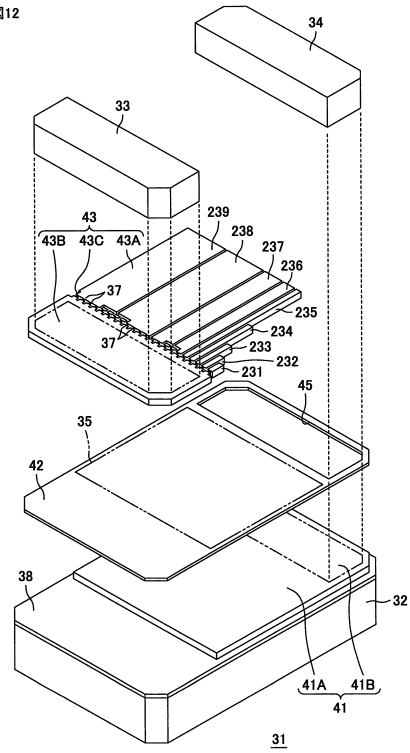
図10

【図 1 1】



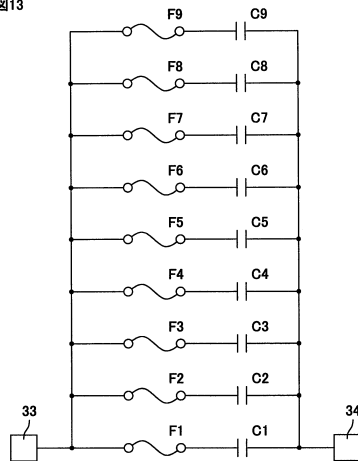
【図 1 2】

図12



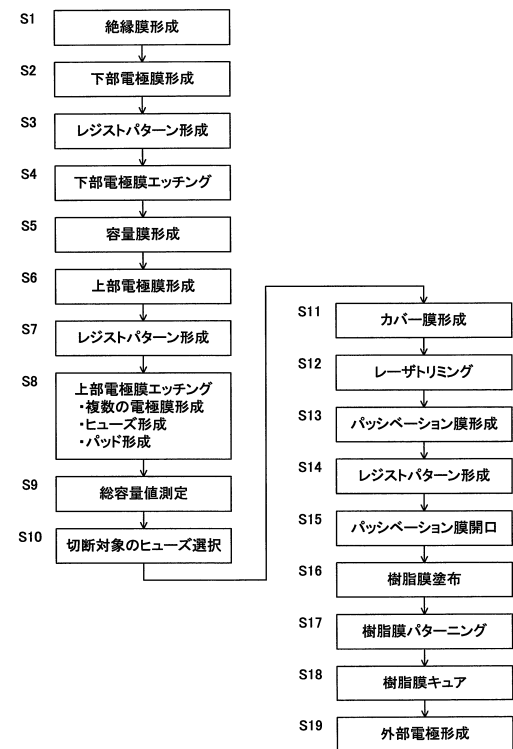
【図 1 3】

図13

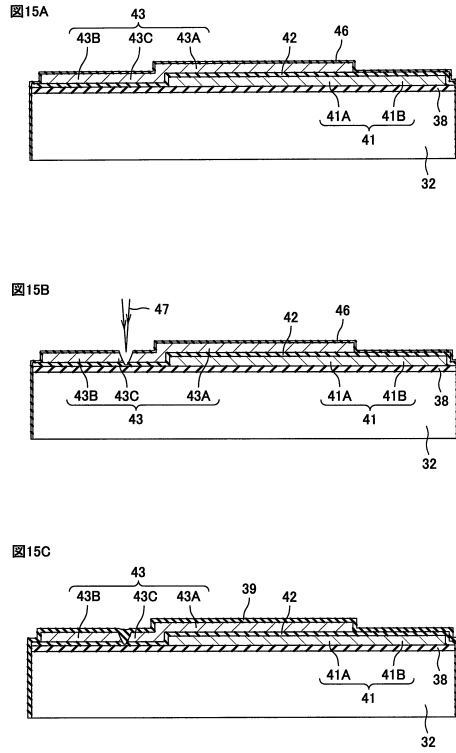


【図 1 4】

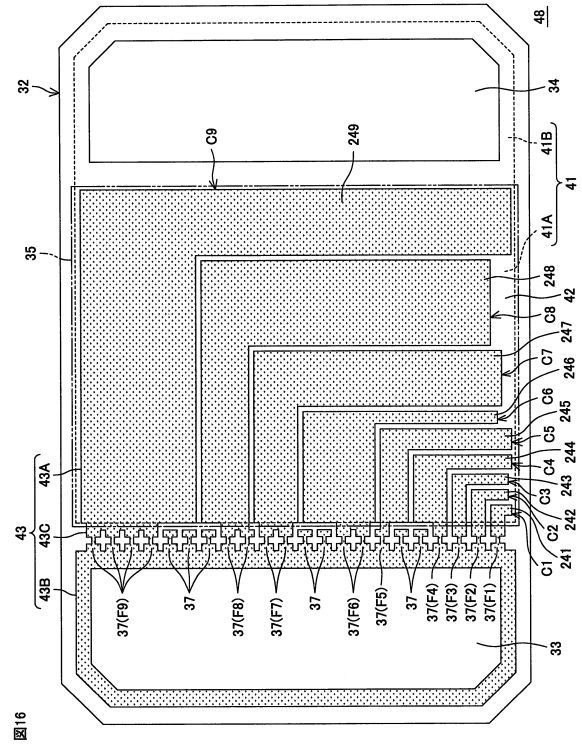
図14



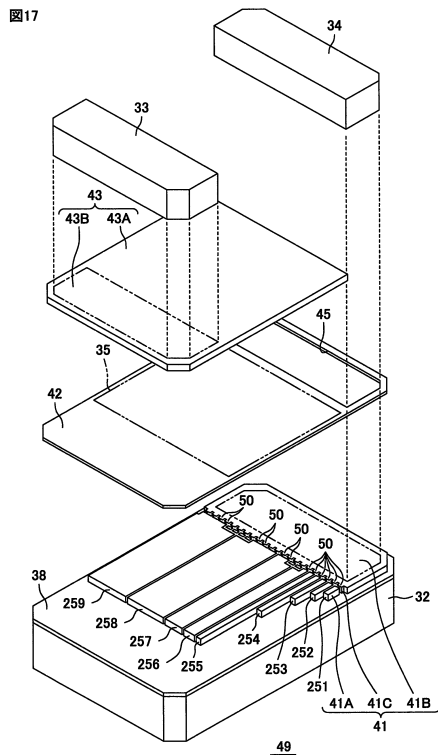
【図 15】



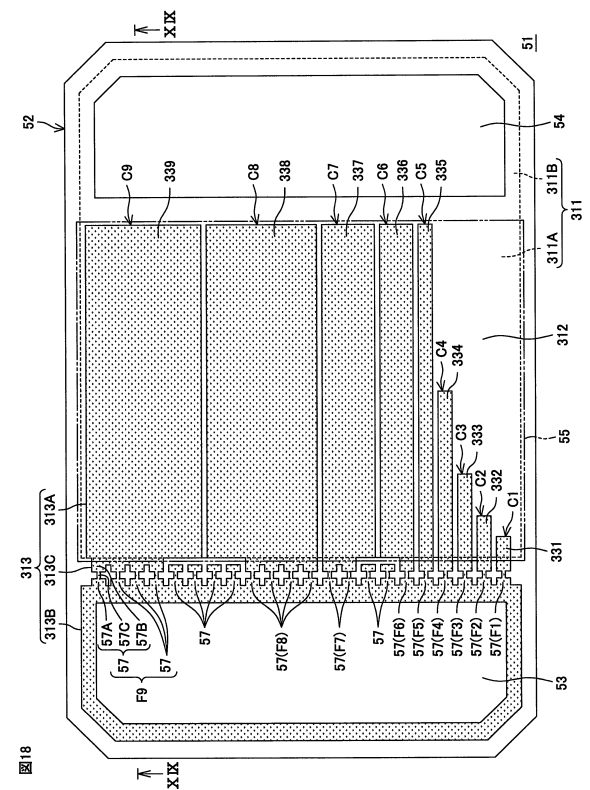
【図 16】



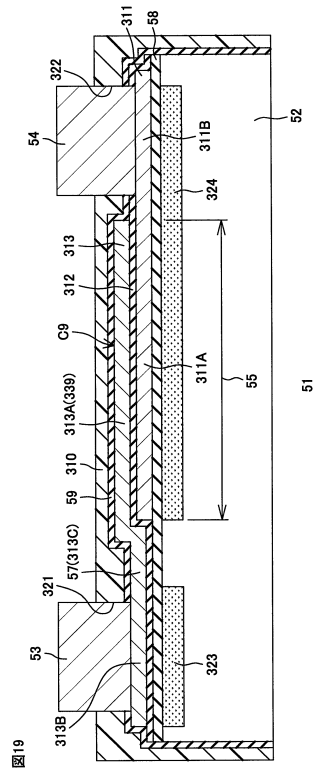
【図 17】



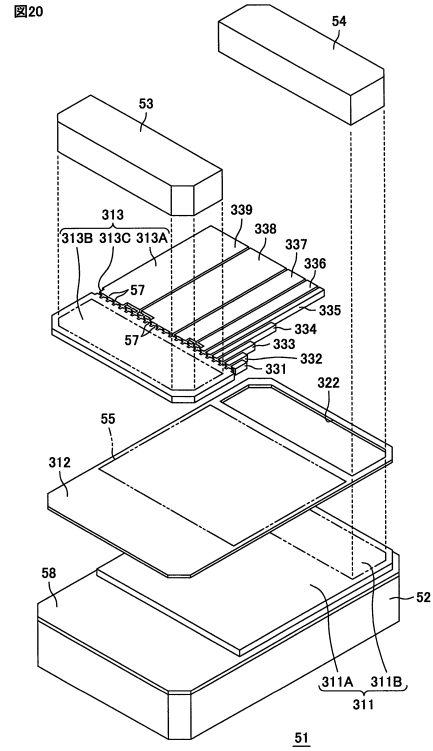
【図 18】



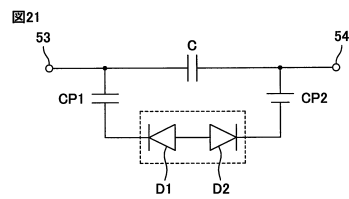
【図 19】



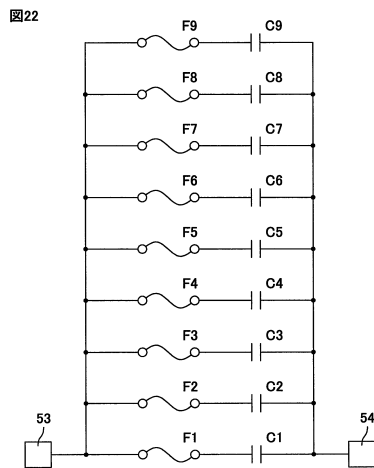
【図 20】



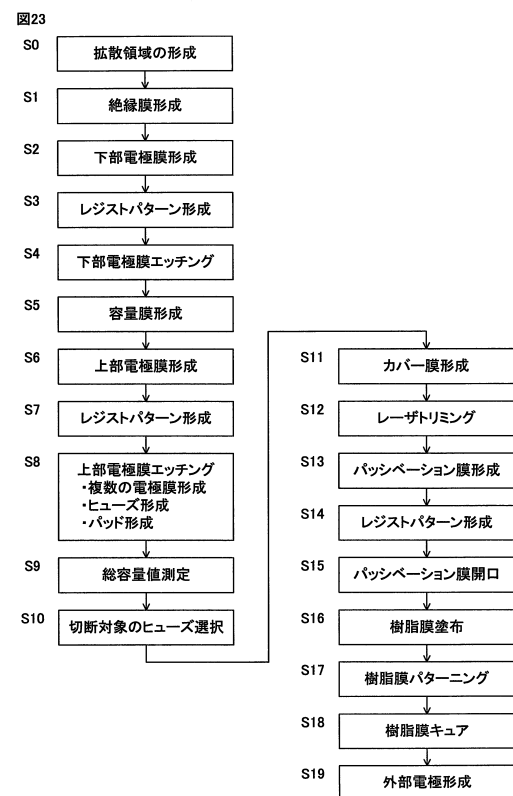
【図 21】



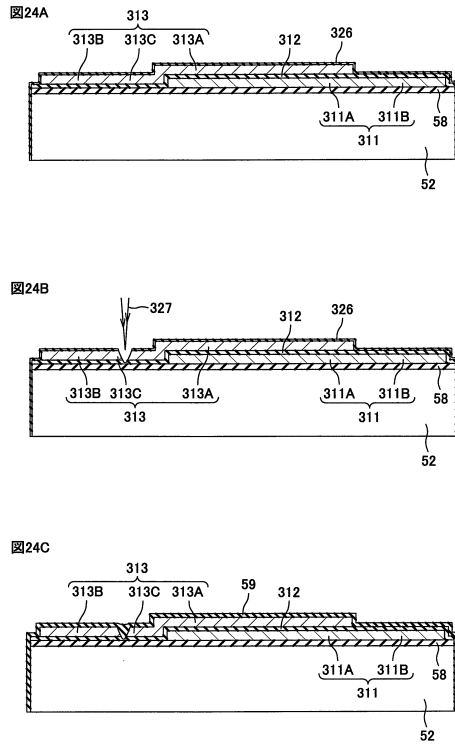
【図 22】



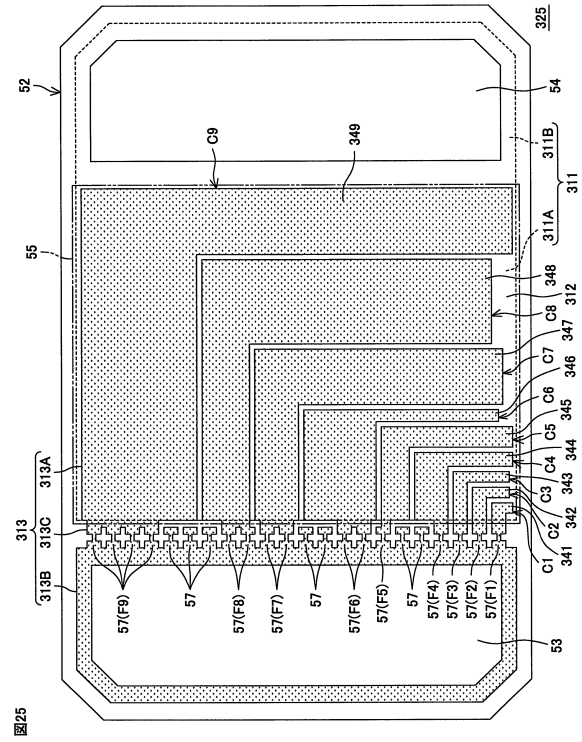
【図 23】



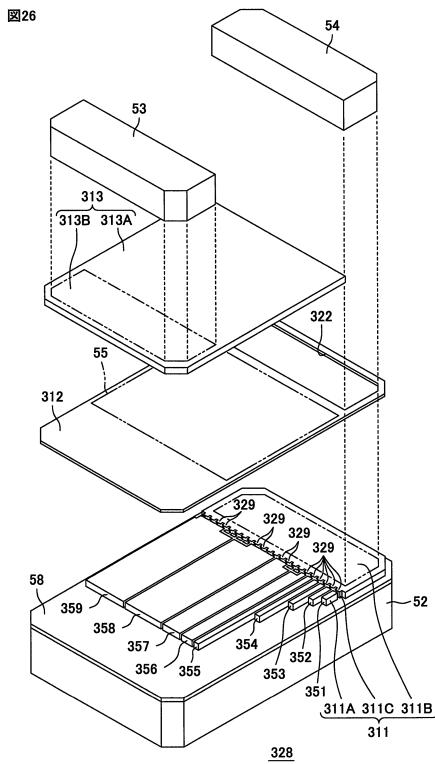
【図 24】



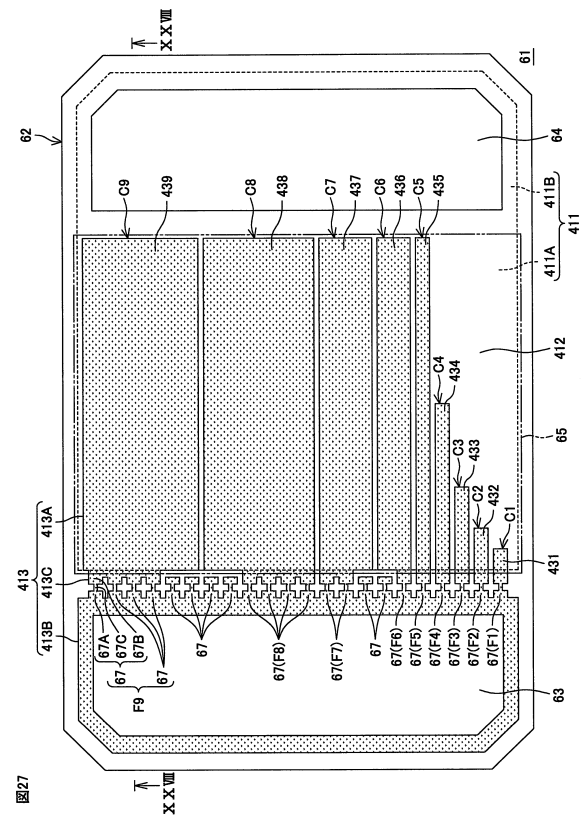
【図 25】



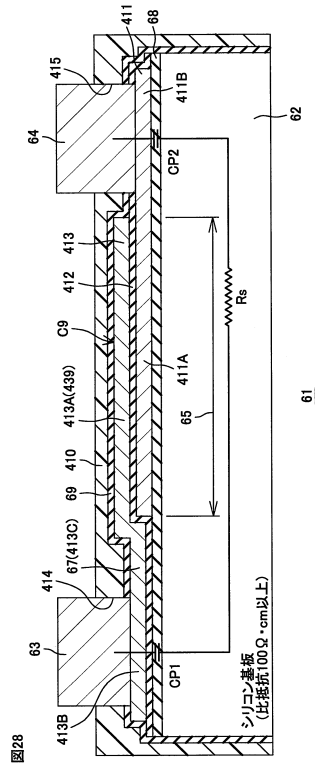
【図 26】



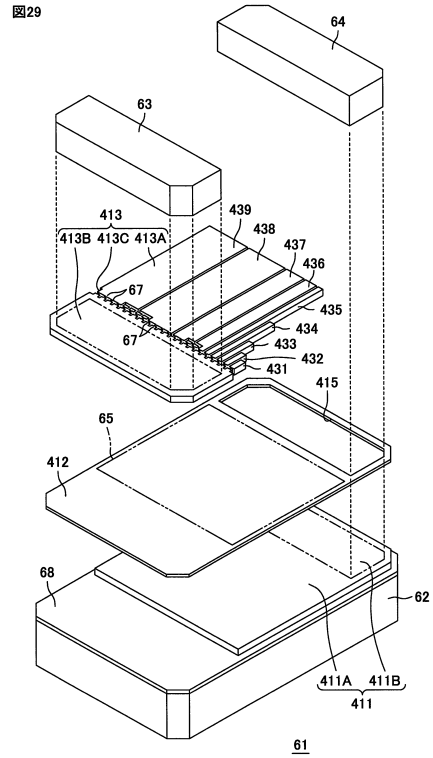
【図 27】



【図 28】

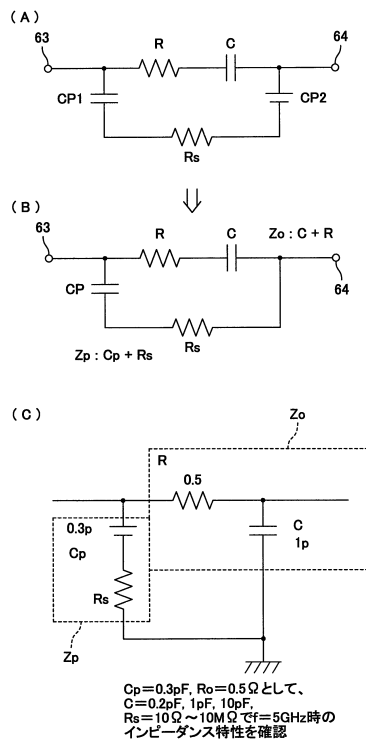


【図 29】

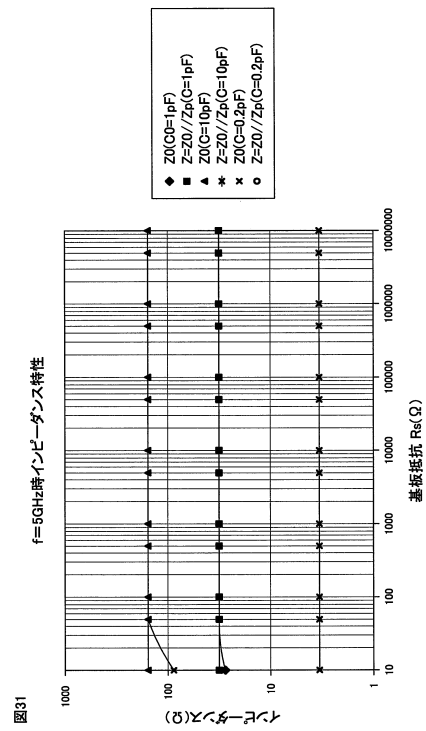


【図 30】

図30

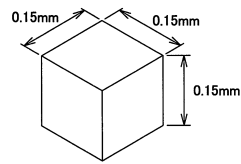


【図 31】



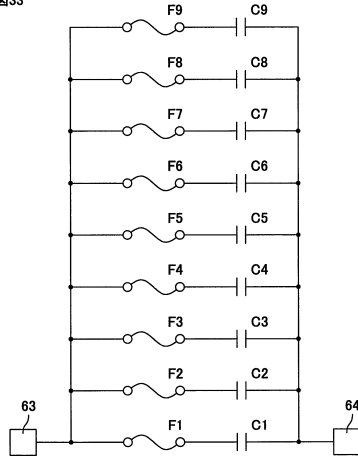
【図 3 2】

図32



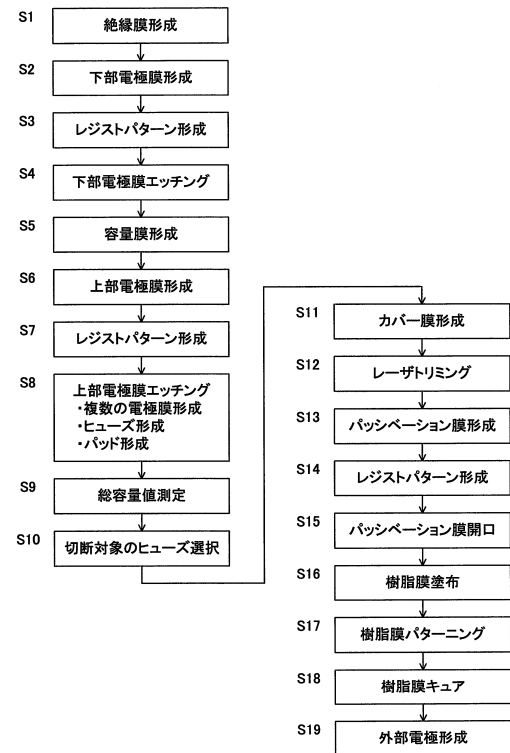
【図 3 3】

図33



【図 3 4】

図34



【図 3 5】

図35A

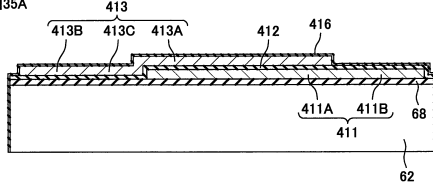


図35B

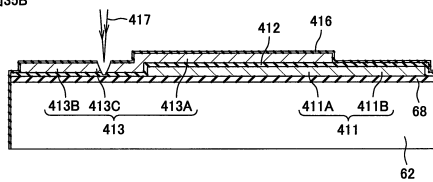
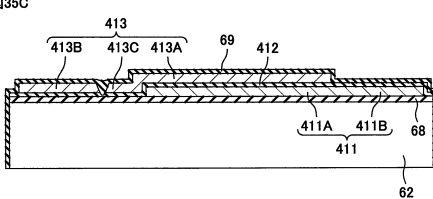
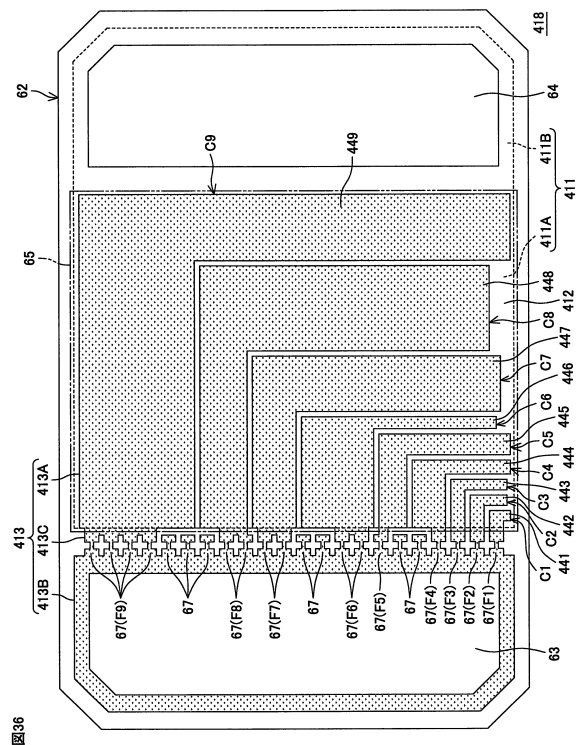


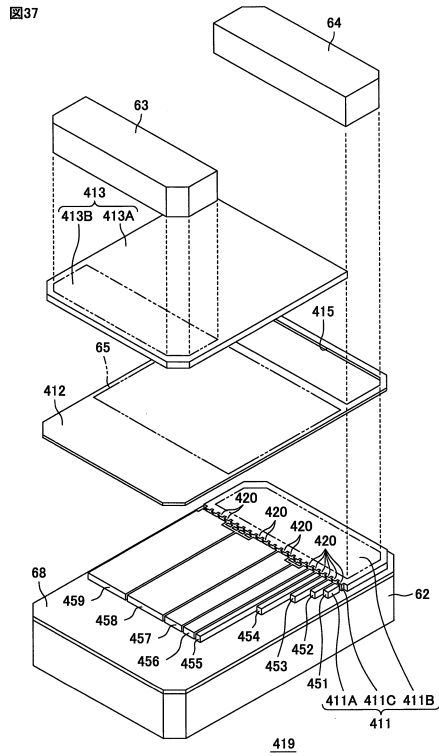
図35C



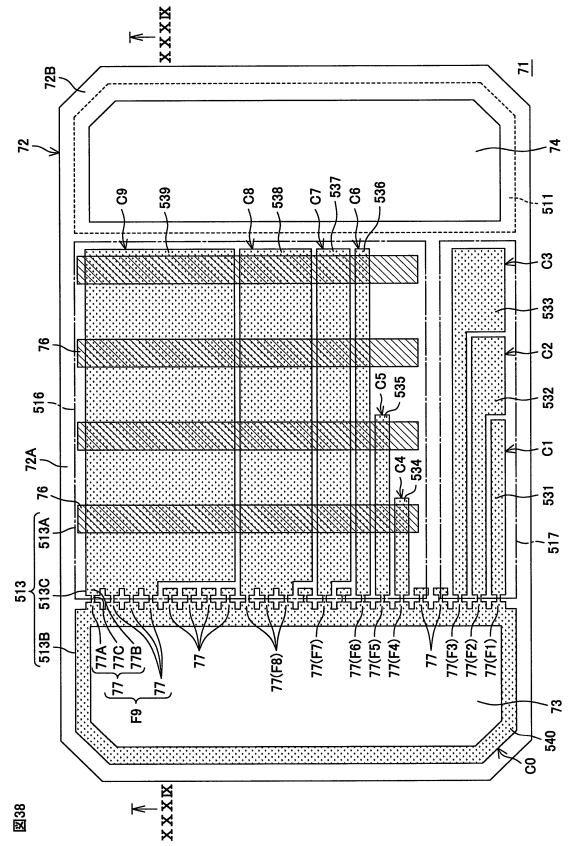
【図 3 6】



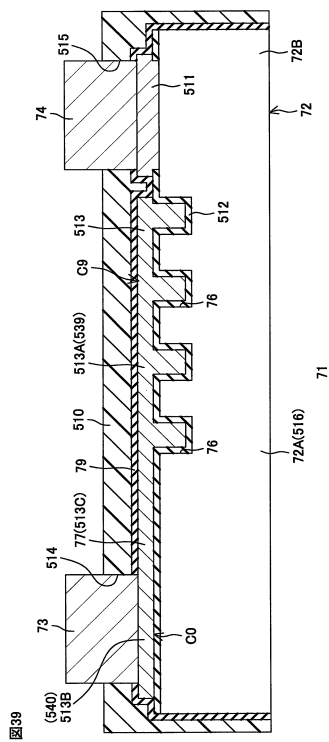
【図 37】



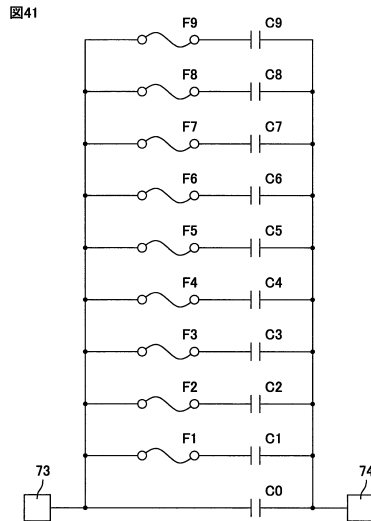
【図 38】



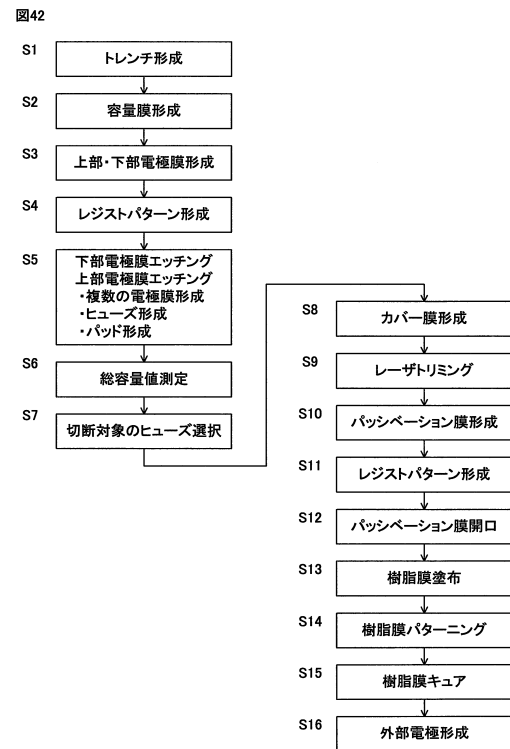
【図 39】



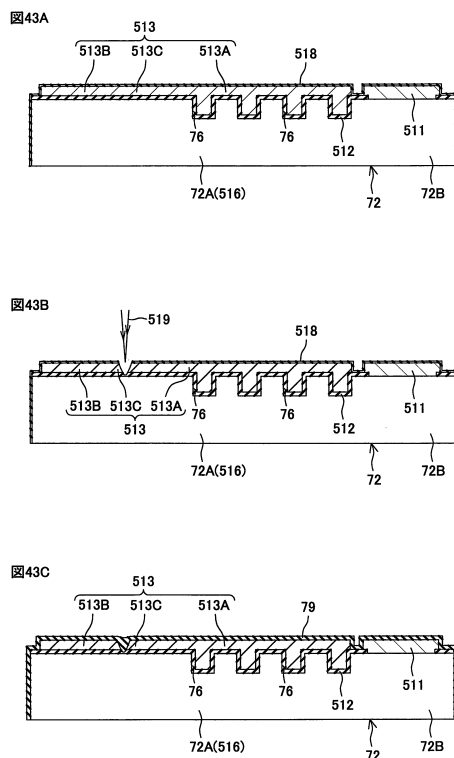
【図 4 1】



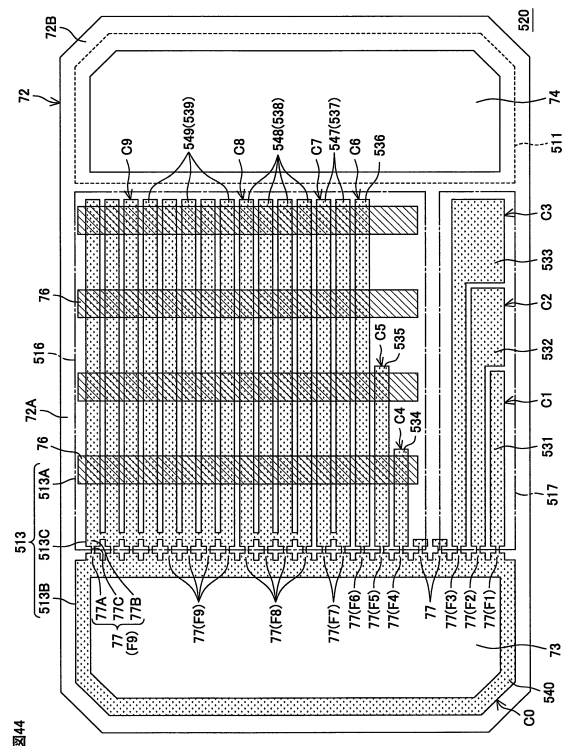
【図 4 2】



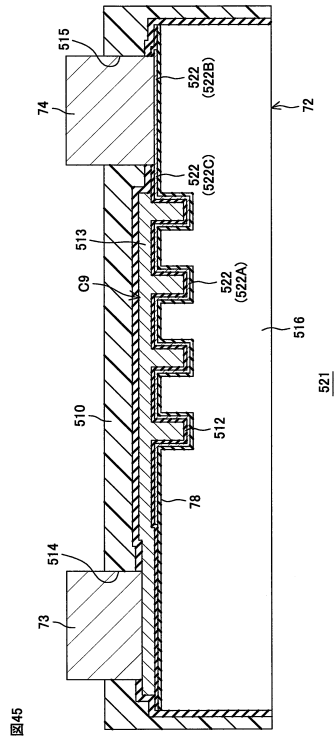
【図 4 3】



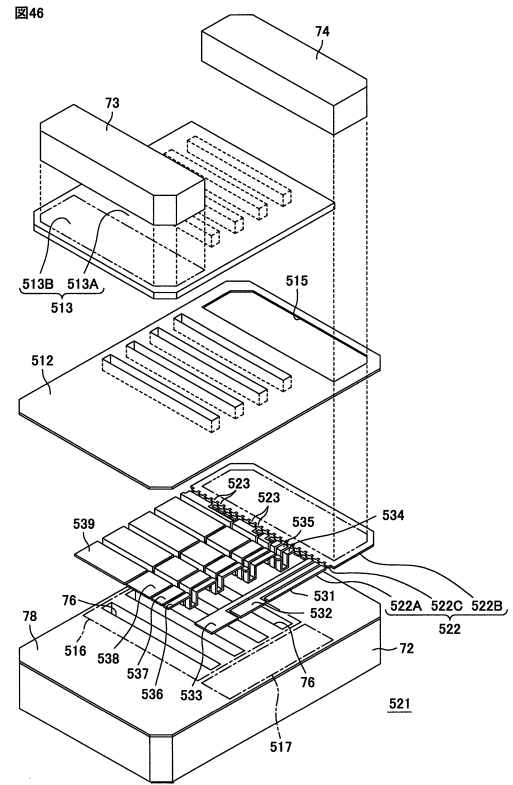
【図 4 4】



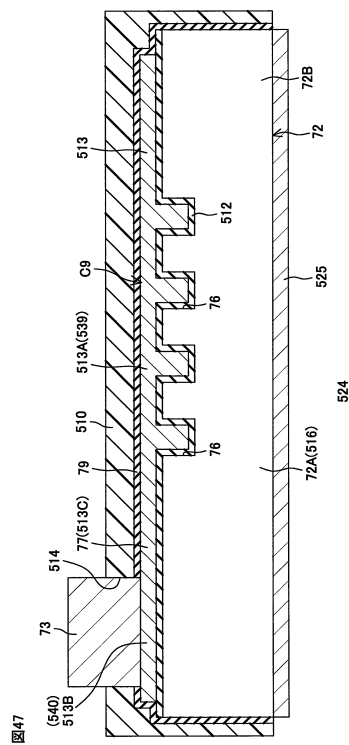
【図 4 5】



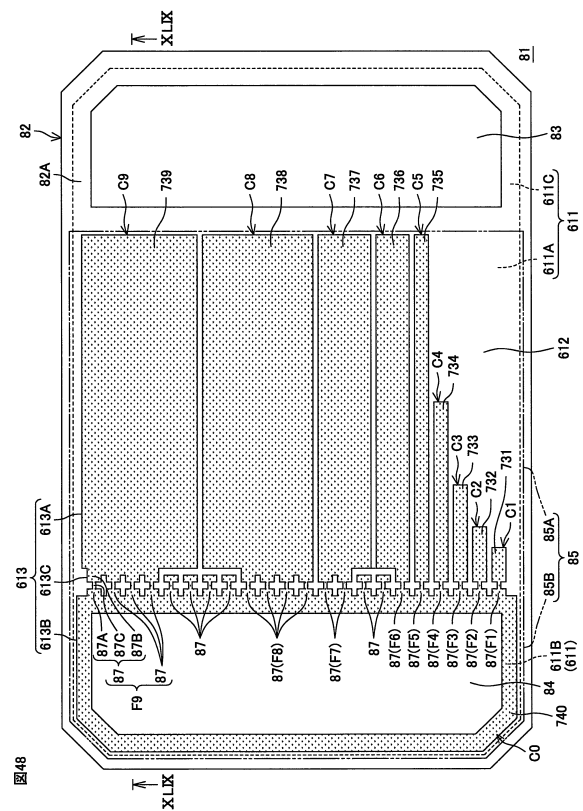
【図 4 6】



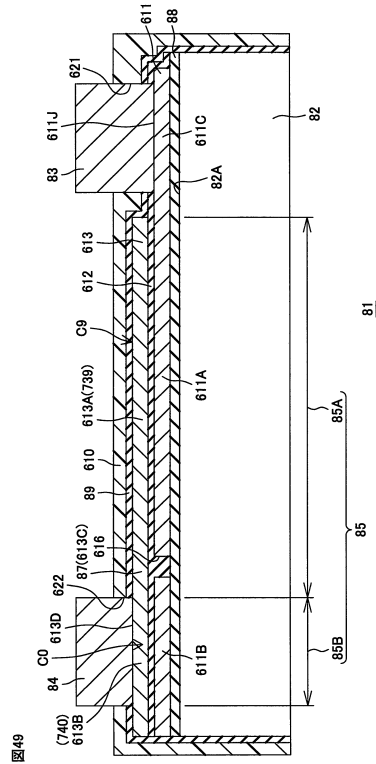
【図 4 7】



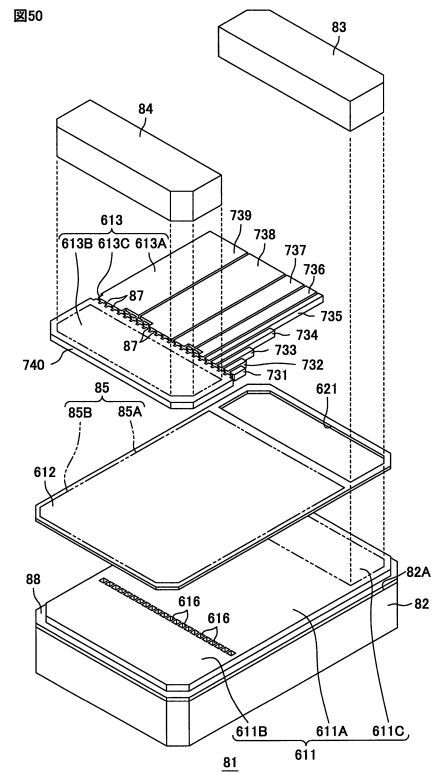
【図 4 8】



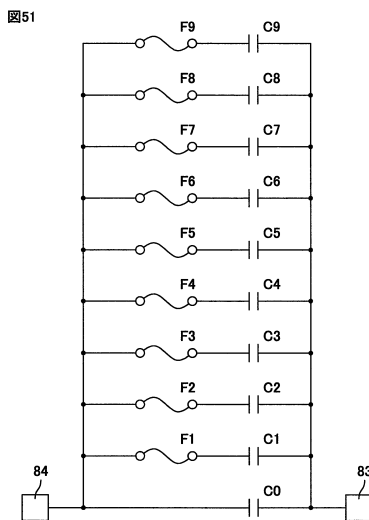
【図49】



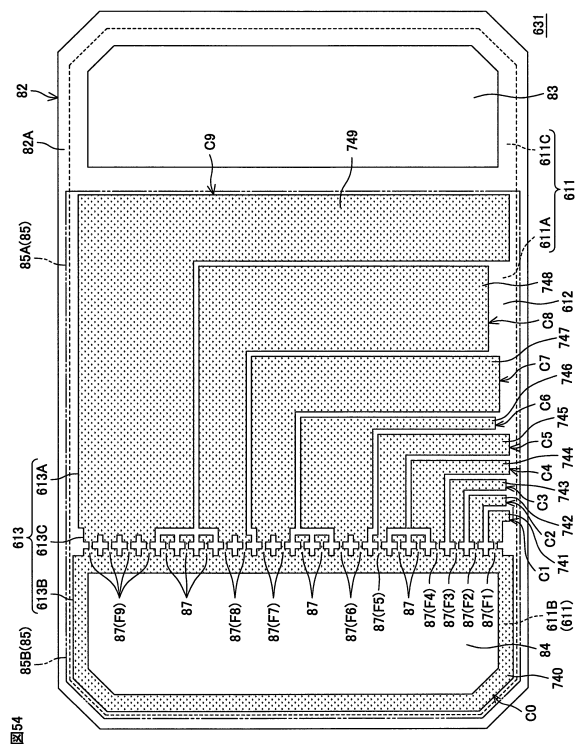
【図50】



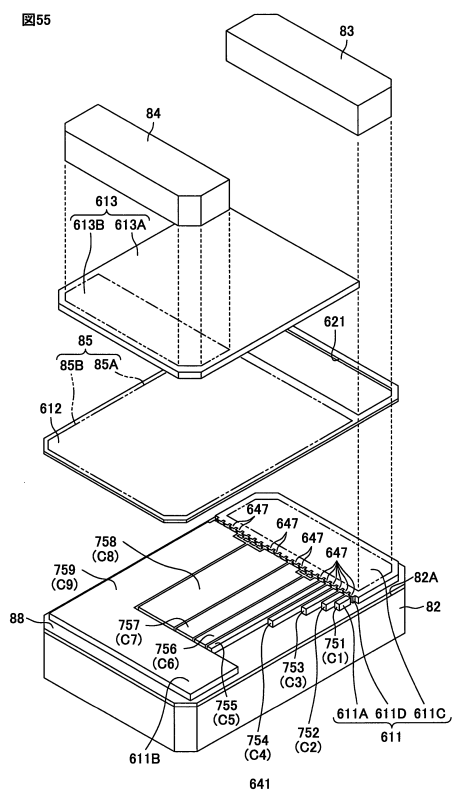
【図51】



【図 5 4】



【図 5 5】



フロントページの続き

(51)Int.Cl.	F I		
	H 0 1 G	4/12	3 9 4
	H 0 1 G	4/12	4 0 0

(31)優先権主張番号 特願2012-7074(P2012-7074)
(32)優先日 平成24年1月17日(2012.1.17)
(33)優先権主張国 日本国(JP)
(31)優先権主張番号 特願2012-7075(P2012-7075)
(32)優先日 平成24年1月17日(2012.1.17)
(33)優先権主張国 日本国(JP)
(31)優先権主張番号 特願2012-7076(P2012-7076)
(32)優先日 平成24年1月17日(2012.1.17)
(33)優先権主張国 日本国(JP)

審査官 小林 大介

(56)参考文献 特開平07-057970(JP, A)
特開平09-055625(JP, A)
特開昭55-062721(JP, A)
特開平06-140764(JP, A)
特開2010-109014(JP, A)
実開昭59-180463(JP, U)
特開平06-036965(JP, A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 G 4 / 1 2
H 0 1 G 4 / 3 0
H 0 1 G 4 / 3 3
H 0 1 G 4 / 4 0