

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6214181号  
(P6214181)

(45) 発行日 平成29年10月18日 (2017.10.18)

(24) 登録日 平成29年9月29日 (2017.9.29)

(51) Int. Cl.	F I		
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 2 7 D	
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 3 Z	
GO 9 F 9/00 (2006.01)	HO 1 L 29/78	6 1 8 B	
HO 1 L 21/02 (2006.01)	HO 1 L 29/78	6 2 6 C	
HO 1 L 21/8234 (2006.01)	GO 9 F 9/00	3 4 6 A	
請求項の数 17 (全 55 頁) 最終頁に続く			

(21) 出願番号	特願2013-61599 (P2013-61599)	(73) 特許権者	000153878
(22) 出願日	平成25年3月25日 (2013.3.25)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2013-229584 (P2013-229584A)		神奈川県厚木市長谷398番地
(43) 公開日	平成25年11月7日 (2013.11.7)	(72) 発明者	山崎 舜平
審査請求日	平成28年3月8日 (2016.3.8)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2012-74335 (P2012-74335)		半導体エネルギー研究所内
(32) 優先日	平成24年3月28日 (2012.3.28)	(72) 発明者	大沼 英人
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	高橋 圭
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		審査官	川原 光司
			最終頁に続く

(54) 【発明の名称】 信号処理装置及び表示装置の作製方法、駆動回路、信号処理装置、表示装置

(57) 【特許請求の範囲】

【請求項1】

ラッチ回路、シフトレジスタ回路および切り替え回路を有する回路層を備える信号処理装置の作製方法であり、

絶縁表面を有する単結晶半導体基板の一方の面に水素イオンおよび希ガスイオンのいずれか一方あるいは両方を照射して、前記単結晶半導体基板の所定の深さに脆化領域を形成し、

前記単結晶半導体基板の一方の面に、表面に剥離層を形成した第1の仮固定基板を、前記単結晶半導体基板の一方の面と前記第1の仮固定基板の前記剥離層が接するように貼り合わせ、

前記単結晶半導体基板に対して加熱処理を行い、

前記第1の仮固定基板から前記単結晶半導体基板を分離することにより、前記脆化領域を境界として前記単結晶半導体基板から分離した単結晶半導体膜および前記剥離層を前記第1の仮固定基板上に形成し、

前記第1の仮固定基板上に、少なくとも前記シフトレジスタ回路および前記切り替え回路が有する第1のトランジスタを含む第1の回路層を形成し、

前記第1の回路層上に、少なくとも前記ラッチ回路が有する第2のトランジスタを含む第2の回路層を形成することで、前記剥離層を挟んで前記第1の仮固定基板上に前記回路層を形成し、

前記回路層上に、仮固定材料を用いて第2の仮固定基板を貼り合わせ、

前記第 1 の仮固定基板から前記第 2 の仮固定基板を分離することにより、前記剥離層を境界として前記第 1 の仮固定基板から分離した前記回路層を前記第 2 の仮固定基板上に形成し、

前記回路層の、前記第 2 の仮固定基板が貼り合わされていない面に、被接合物の形状に沿って変形できる、或いは応力付加に応じて変形できる可撓性を有した絶縁性の樹脂材料あるいは絶縁表面を有する金属材料により構成されたベース基板を、接合材料を用いて貼り合わせ、

前記仮固定材料を境界として前記ベース基板から前記第 2 の仮固定基板を分離することにより、前記ベース基板上に前記回路層を形成し、

前記第 1 のトランジスタは、前記単結晶半導体膜を活性層として用い、

前記第 2 のトランジスタは、酸化物半導体膜を活性層として用いることを特徴とする、信号処理装置の作製方法。

#### 【請求項 2】

ラッチ回路、シフトレジスタ回路および切り替え回路を有する回路層を備える信号処理装置の作製方法であり、

絶縁表面を有する単結晶半導体基板の一方の面に水素イオンおよび希ガスイオンのいずれか一方あるいは両方を照射して、前記単結晶半導体基板の所定の深さに脆化領域を形成し、

前記単結晶半導体基板の一方の面上に剥離層を形成し、

前記剥離層に第 1 の仮固定基板を貼り合わせた状態で前記単結晶半導体基板に対して加熱処理を行い、

前記第 1 の仮固定基板から前記単結晶半導体基板を分離することにより、前記脆化領域を境界として前記単結晶半導体基板から分離した単結晶半導体膜および前記剥離層を前記第 1 の仮固定基板上に形成し、

前記第 1 の仮固定基板上に、少なくとも前記シフトレジスタ回路および前記切り替え回路が有する第 1 のトランジスタを含む第 1 の回路層を形成し、

前記第 1 の回路層上に、少なくとも前記ラッチ回路が有する第 2 のトランジスタを含む第 2 の回路層を形成することで、前記剥離層を挟んで前記第 1 の仮固定基板上に回路層を形成し、

前記回路層上に、仮固定材料を用いて第 2 の仮固定基板を貼り合わせ、

前記第 1 の仮固定基板から前記第 2 の仮固定基板を分離することにより、前記剥離層を境界として前記第 1 の仮固定基板から分離した前記回路層を前記第 2 の仮固定基板上に形成し、

前記回路層の、前記第 2 の仮固定基板が貼り合わされていない面に、被接合物の形状に沿って変形できる、或いは応力付加に応じて変形できる可撓性を有した絶縁性の樹脂材料あるいは絶縁表面を有する金属材料により構成されたベース基板を、接合材料を用いて貼り合わせ、

前記仮固定材料を境界として前記ベース基板から前記第 2 の仮固定基板を分離することにより、前記ベース基板上に前記回路層を形成し、

前記第 1 のトランジスタは、前記単結晶半導体膜を活性層として用い、

前記第 2 のトランジスタは、酸化物半導体膜を活性層として用いることを特徴とする、信号処理装置の作製方法。

#### 【請求項 3】

前記第 1 の仮固定基板としてシリコン基板、ゲルマニウム基板、シリコンゲルマニウム基板、炭化シリコン基板、ガリウムヒ素またはインジウムリン基板を用いる、請求項 1 または請求項 2 に記載の信号処理装置の作製方法。

#### 【請求項 4】

前記剥離層に対して平坦化処理を行う、請求項 1 乃至請求項 3 のいずれか一項に記載の信号処理装置の作製方法。

#### 【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項に記載の方法を用いて信号処理装置を形成し、  
封止材料により貼り合わされた画素部を備える基板と対向基板間に、表示素子層を有する表示基板に、導電性材料を用いて前記信号処理装置を接合することにより、前記画素部と前記回路層を電氣的に接続する、表示装置の作製方法。

【請求項 6】

前記画素部を備える前記基板として、表面の一部に凹部が設けられた基板を用い、  
前記凹部において、前記導電性材料を用いて前記回路層と前記画素部を電氣的に接続する、請求項 5 に記載の表示装置の作製方法。

【請求項 7】

請求項 1 乃至請求項 4 のいずれか一項に記載の方法を用いて作製した前記信号処理装置が備える前記ベース基板を前記対向基板として用いる、請求項 5 または請求項 6 に記載の表示装置の作製方法。

10

【請求項 8】

前記表示基板が備える前記基板として、被接合物の形状に沿って変形できる、或いは応力付加に応じて変形できる可撓性を有した絶縁性の樹脂材料あるいは絶縁表面を有する金属材料により構成された基板を用いる、請求項 5 乃至請求項 7 のいずれか一項に記載の表示装置の作製方法。

【請求項 9】

データの保持に用いるラッチ回路と、  
前記ラッチ回路の動作状態を決定する信号を出力するシフトレジスタ回路と、  
前記ラッチ回路から出力される信号を外部に出力するか否かを決定する切り替え回路を備え、

20

前記ラッチ回路は、第 1 の入力端子、第 2 の入力端子、出力端子、容量素子、および活性層として酸化物半導体膜を用いたトランジスタを備え、

前記トランジスタのゲートは、前記第 1 の入力端子と電氣的に接続され、

前記トランジスタのソースおよびドレインの一方は、前記第 2 の入力端子と電氣的に接続され、

前記トランジスタのソースおよびドレインの他方は、前記容量素子の一方の電極および前記出力端子と電氣的に接続され、

前記容量素子の他方の電極は固定電位が供給される配線に電氣的に接続され、

30

前記トランジスタをオフ状態とした場合に、前記トランジスタのソースおよびドレインの他方、前記容量素子の一方の電極および前記出力端子に電氣的に接続されたノードにおいてデータを保持し、

前記シフトレジスタ回路および前記切り替え回路が備えるトランジスタは、活性層として単結晶半導体膜を用いたトランジスタである駆動回路。

【請求項 10】

前記単結晶半導体膜が、単結晶半導体基板の一部である、請求項 9 に記載の駆動回路。

【請求項 11】

ベース基板と、

前記ベース基板上に、請求項 9 あるいは請求項 10 に記載の前記駆動回路を備える回路層を有し、

40

前記ベース基板は、被接合物の形状に沿って変形できる、或いは応力付加に応じて変形できる可撓性を有した絶縁性の樹脂材料あるいは絶縁表面を有する金属材料であり、

前記回路層は、単結晶半導体膜を活性層として用いたトランジスタが形成された第 1 の層と、酸化物半導体膜を活性層として用いたトランジスタが形成された第 2 の層を少なくとも備える信号処理装置。

【請求項 12】

前記単結晶半導体膜が、単結晶半導体基板の一部である、請求項 11 に記載の信号処理装置。

【請求項 13】

50

請求項 1 1 あるいは請求項 1 2 に記載の、前記回路層を備える前記信号処理装置と、封止材料により貼り合わされた画素部を備える基板と対向基板間に、表示素子層を有する表示基板を有し、

前記信号処理装置が備える前記回路層と前記表示基板が備える前記画素部が電氣的に接続され、

前記信号処理装置が前記画素部の走査線駆動回路または信号線駆動回路のいずれか或いは両方として機能する表示装置。

【請求項 1 4】

前記基板が、被接合物の形状に沿って変形できる、或いは応力付加に応じて変形できる可撓性を有した絶縁性の樹脂材料あるいは絶縁表面を有する金属材料である請求項 1 3 に記載の表示装置。

【請求項 1 5】

前記基板が、一部に凹部を有し、

前記信号処理装置が、前記基板の前記凹部に設けられ、

前記回路層と前記画素部が電氣的に接続された、請求項 1 3 または請求項 1 4 に記載の表示装置。

【請求項 1 6】

信号処理装置が備える前記ベース基板と前記表示基板が備える前記基板の表面位置が同一または略同一となるように、前記基板の前記凹部内に前記信号処理装置が実装された、請求項 1 5 に記載の表示装置。

【請求項 1 7】

前記表示基板が備える前記画素部が、前記信号処理装置が備える前記ベース基板により覆われた、請求項 1 3 乃至請求項 1 6 のいずれか一項に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置、表示装置、発光装置、それらの駆動方法、または、それらの作製方法に関する。また、本発明は、駆動回路、駆動回路を備える信号処理装置、信号処理装置の作製方法、および表示装置に関する。

【背景技術】

【0002】

液晶表示装置や E L ( E l e c t r o L u m i n e s c e n c e ) 表示装置などの表示装置の駆動方式は、パッシブマトリクス方式とアクティブマトリクス方式とに大別できる。このうち、アクティブマトリクス方式は、パッシブマトリクス方式と比較して、低消費電力化、高精細化、基板の大型化等が可能であるため、テレビ受像器や携帯電話等の画素部に広く採用されている。

【0003】

アクティブマトリクス方式の駆動方式が適用されたパネルは、大型化及び高精細化が進み、画素部の駆動を制御するための駆動回路の高性能化が求められている。例えば、単結晶シリコン基板などの移動度が非常に高い材料を用いて高性能な半導体集積回路を作製し、当該集積回路を駆動回路として、C O G ( C h i p O n G l a s s ) 方式や T A B ( T a p e A u t o m a t e d B o n d i n g ) 方式を用いて表示装置に実装する技術が採用されている（例えば、C O G 方式については特許文献 1 を参照）。

【0004】

なお、駆動回路として用いる半導体集積回路は、一般的に信号処理装置、表示信号処理装置、ディスプレイドライバなどと言われるが、本明細書においては「信号処理装置」と記載する。また、信号処理装置内に備えられた、表示装置の駆動に係わる回路を「駆動回路」と記載する。

【先行技術文献】

【特許文献】

10

20

30

40

50

【 0 0 0 5 】

【特許文献 1】特開 2 0 0 3 - 2 5 5 3 8 6 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 6 】

近年、タブレット型コンピュータやスマートフォンなどの普及により、画素部の高精細化は飛躍的な進歩を遂げており、これに伴い、信号処理装置の消費電力も増加の一途をたどっている。しかしながら、タブレット型コンピュータやスマートフォンは、1回の充電でどれだけ長い間動作できるか（動作時間や駆動時間などとも呼ばれる）が、性能を比較する重要な要素の一つとして認識されている。このため信号処理装置が備える駆動回路には、更なる低消費電力化が求められている。

10

【 0 0 0 7 】

一方、湾曲面に設置できる表示装置、曲げや捻りなどの力により自在に変形できる表示装置、などを求める要望が非常に高まっており、故に、可撓性を有する表示装置の開発が盛んに行われている。しかしながら、上述したような単結晶シリコン基板などを用いた信号処理装置は可撓性が乏しいため、表示装置に対して曲げや捻りなどの力が加わった場合、実装された信号処理装置が剥がれてしまう、衝撃により破壊する、といった問題が生じる恐れがある。

【 0 0 0 8 】

上記問題に鑑み、本発明は、低消費電力性を備えた駆動回路を提供することを課題の一つとする。

20

【 0 0 0 9 】

また上述の駆動回路を備え、消費電力が低くかつ力が付加された際に破壊や剥がれが生じにくい信号処理装置を提供することを課題の一つとする。

【 0 0 1 0 】

また、上述信号処理装置の作製方法を提供することを課題の一つとする。

【 0 0 1 1 】

また、上述信号処理装置を備える表示装置を提供することを課題の一つとする。

【 0 0 1 2 】

なお、本発明の全ての態様が、これらの課題の全てを解決する必要はない。また、明細書、図面、請求項の記載から、これら以外の課題を抽出することが可能である。

30

【課題を解決するための手段】

【 0 0 1 3 】

通常、信号処理装置に備えられた駆動回路は、シフトレジスタ回路、ラッチ回路および切り替え回路を備えている。そして、駆動回路の動作は一般的に以下のように行われる。すなわち、（１）駆動回路に接続された複数の出力線のうち、いずれの出力線に対してデータを出力するか否かを決定する信号（パルス信号）がシフトレジスタ回路から出力され、（２）映像信号（ビデオ信号、ビデオデータなどとも言われる）が入力されているラッチ回路に対してシフトレジスタ回路からの信号が入力されると、映像信号の階調を表現するアナログデータが出力され、（３）ラッチ回路から出力されたアナログデータが切り替え回路を経由して出力線に出力する、という動作が出力線毎（出力段毎、とも表現できる）に順次行われる。なお、切り替え回路は、ラッチ回路に蓄えられたデータ（電荷とも表現できる）をブリチャージする役割を担ってもよい。

40

【 0 0 1 4 】

ラッチ回路は、シフトレジスタ回路から異なる信号が入力されるまで、切り替え回路に対して同じデータを出力し続ける。このため、ラッチ回路に入力されるビデオ信号の変化が無く、連続して出力する信号が同じ場合（例えば、静止画を表示する場合など）でも、常に動作状態となり電力を消費する。

【 0 0 1 5 】

そこで本発明の態様の一つでは、ラッチ回路を（１）第１の入力端子、第２の入力端子、

50

出力端子、容量素子および活性層として酸化物半導体膜を用いたトランジスタ（以下、OSトランジスタと記載する場合もある）を備えた構造（2）第1の入力端子、第2の入力端子、出力端子、トランスミッションゲート、インバータ、クロックドインバータおよび活性層としてOSトランジスタを備えた構造、のいずれかとした。

【0016】

OSトランジスタの半導体層として用いられる酸化物半導体はエネルギーギャップが3.0電子ボルト以上であり、シリコンのバンドギャップ（1.1電子ボルト）と比較して非常に大きい。

【0017】

トランジスタのオフ抵抗（トランジスタがオフ状態の時ににおける、ソースとドレイン間の抵抗をいう）は、チャネルが形成される半導体層中の熱励起キャリアの濃度に反比例する。ドナーやアクセプタによるキャリアが全く存在しない状態（真性半導体）であっても、シリコンの場合にはバンドギャップが1.1電子ボルトであるため、室温（300K）での熱励起キャリアの濃度は $1 \times 10^{11} \text{ cm}^{-3}$ 程度である。

【0018】

一方、例えばバンドギャップが3.2電子ボルトの半導体（酸化物半導体を想定）の場合では熱励起キャリアの濃度は $1 \times 10^{-7} \text{ cm}^{-3}$ 程度となる。電子移動度が同じ場合、抵抗率はキャリア濃度に反比例するので、バンドギャップ3.2電子ボルトの半導体の抵抗率はシリコンより18桁も大きい。

【0019】

このようなバンドギャップの広い酸化物半導体を半導体層に適用したOSトランジスタは、極めて低いオフ電流を実現できるため、上述した（1）の構造および（2）の構造では、ラッチ回路をオフ状態としてもラッチ回路に入力されたデータ（映像データ）を保持することができる。したがって、特にラッチ回路に連続して同じデータ（映像データ）が入力される場合、例えば静止画を表示する場合や動きの遅い動画を表示する場合などでは、駆動回路の消費電力を低減できる。

【0020】

本発明の一実施形態のラッチ回路の一例として、例えば図17（A）に記載された構成のラッチ回路とすることができる。

【0021】

図17（A）に記載されたラッチ回路1000は、トランジスタ1002を構成要素の一部として備えており、トランジスタ1002のソース及びドレインの一方が第1の入力端（In\_1）と電気的に接続され、ゲートが第2の入力端（In\_2）と電気的に接続され、ソース及びドレインの他方が出力端（Out）に電気的に接続されている。なお、出力端（Out）は浮遊状態であるものとして説明する。

【0022】

ラッチ回路1000は、第2の入力端（In\_2）から入力される信号でトランジスタ1002をオフ状態とすることにより、トランジスタ1002のソース及びドレインの他方および出力端（Out）と電気的に接続されたノード1003においてデータを保持する。

【0023】

OSトランジスタは、オフ状態（nチャネル型トランジスタにおいては、ゲート電圧がしきい値電圧より低い状態をいう。または、pチャネル型トランジスタにおいて、ゲート電圧がしきい値電圧より高い状態をいう）におけるオフ電流（トランジスタがオフ状態の際に、ソースとドレイン間に流れる電流）が極めて小さいという性質を有しているため、ノード1003に保持されたデータが、ソースおよびドレインの他方からソースおよびドレインの一方にリークすることは、零あるいは限りなく零に近い（図17（A）の太線矢印にて概念を示す。バツ印はデータがリークしないことを表している）ため、ノード1003においてデータを保持することができる。

【0024】

このため、ラッチ回路に信号が入力されノード1003に信号が蓄えられた後、ラッチ回路に次に入力される信号が前回入力された信号と同じ場合、トランジスタ1002をオフ状態（非動作状態とも言える）としてもノード1003には前回入力された信号が保持されており、ラッチ回路1000からはノード1003に保持された信号が出力されるため、第1の入力端（In\_\_1）や第2の入力端（In\_\_2）に必ずしも信号を入力する必要がなく、ラッチ回路での消費電力を低減でき、駆動回路の低消費電力化を実現できる。

#### 【0025】

なお、上述の説明では理解を容易にするため1つのラッチ回路について説明を行ったが、図17（B）のように2つのラッチ回路（ラッチ回路1000aおよびラッチ回路1000b）を直列接続した構成で用いることができる。

10

#### 【0026】

当該構造では、まず、第2の入力端（In\_\_2）からの電圧印加によりトランジスタ1002aがオン状態となり、第1の入力端（In\_\_1）からの入力データがノード1003aに蓄えられる。そして、トランジスタ1002aをオフ状態とすることで当該のデータはノード1003aに保持される。

#### 【0027】

次に、トランジスタ1002bの第3の出力端（In\_\_3）からの電圧印加によりトランジスタ1002bがオン状態となり、ノード1003aのデータ（電荷とも表現できる）がノード1003bに蓄えられる。そして、トランジスタ1002bをオフ状態とすることで、データがノード1003bに保持される。

20

#### 【0028】

トランジスタ1002aおよびトランジスタ1002bは共にOSトランジスタであるため、出力端（Out）が浮遊状態であれば、ノード1003bに保持されたデータがリーク（流出）することはない。また、ノード1003aはトランジスタ1002aのソース及びドレインの他方、並びに、トランジスタ1002bのソース及びドレインの一方と電気的に接続されているため、ノード1003aに保持されたデータがリークすることはない。このため、トランジスタ1002aおよびトランジスタ1002bをオフ状態としても、出力端（Out）からはノード1003bに保持されたデータが出力される。

#### 【0029】

これに対し、通常のラッチ回路（つまり、ラッチ回路の構成要素としてOSトランジスタを用いていないラッチ回路）では、ラッチ回路に同じ信号が入力され続けている場合、ラッチ回路を常にオン状態（ラッチ回路に備えられたトランジスタを常にオン状態、とも表現できる）でないと、出力端からは予期せぬ信号が出力されてしまう場合がある。

30

#### 【0030】

しかし、上述のようなOSトランジスタを用いた構造のラッチ回路を用いることにより、第1の入力端（In\_\_1）からラッチ回路に同じ信号が入力され続けている場合、一度目に入力された信号をノード1003aおよびノード1003bに保持してしまえば、その後はラッチ回路をオフ状態（トランジスタ1002aおよびトランジスタ1002bをオフ状態、とも表現できる）としても、出力端から出力されるデータは変化しない。このため、特に、ラッチ回路に同じ信号が入力され続ける場合において、ラッチ回路での消費電力を低減でき、駆動回路の低消費電力化を実現できる。

40

#### 【0031】

なお、上述にて「同じ信号が入力され続けて」という表現を用いているが、これは、あるラッチ回路に対して、同じ信号が2回以上連続して入力される事を表す。

#### 【0032】

一方、シフトレジスタ回路および切り替え回路が備えるトランジスタでは、単結晶半導体膜を活性層として用いる。これにより高速動作が可能となる。つまり、駆動回路の構成要素のうち、高速動作が必要となる構成要素が備えるトランジスタについては、単結晶半導体膜を活性層として用い、ラッチ回路が備えるトランジスタには酸化物半導体膜を活性層として用いる。これにより、特にラッチ回路に同じ信号が入力され続けている場合、ラッ

50

チ回路の消費電力を低減でき、低消費電力性を備えた駆動回路とすることができる。

【 0 0 3 3 】

本発明の態様の一つでは、ラッチ回路が備えるＯＳトランジスタと、シフトレジスタ回路および切り替え回路が備えるトランジスタ（単結晶半導体膜を活性層として用いたトランジスタ）を異なる層に設ける。なお、以下の説明では、単結晶半導体膜を活性層として用いたトランジスタを備える層を「第１の層」と記載し、ＯＳトランジスタを備える層を「第２の層」と記載する。また、第１の層および第２の層で駆動回路が形成され、第１の層および第２の層を合わせて「回路層」と記載する。

【 0 0 3 4 】

駆動回路を上記構造とすることにより、駆動回路の低消費電力化を実現できる。

10

【 0 0 3 5 】

また、可撓性基板上に上述の駆動回路を設けた構造としてもよい。これにより、衝撃、曲げおよび捻りといった力の付加による破壊や剥がれが生じにくい信号処理装置とすることができる。なお、本明細書において、可塑性基板とは力の付加によって変形し、被接合部の形状に沿って変形できる基板であり、絶縁性の樹脂基板や絶縁表面を有する金属基板などを用いることができる。

【 0 0 3 6 】

なお、上述した回路層を備える信号処理装置を、画素部を備える基板に接合（実装、とも表現できる）して駆動回路と画素部を電氣的に接続し、画素部を駆動させる（つまり、信号処理装置内の駆動回路を走査線駆動回路や信号線駆動回路として用いる）ことにより、消費電力の低い表示装置を実現できる。加えて、信号処理装置は可撓性を有した基板を用いることができるため、表示装置の薄型化や軽量化を実現できる。

20

【 0 0 3 7 】

また、画素部を備える基板が可撓性を有していても良い。この場合、信号処理装置にも可塑性基板を用いれば、実装された信号処理装置が剥がれてしまう、信号処理装置自体が破壊するといった問題の発生を抑制できる。

【 0 0 3 8 】

すなわち本発明の一態様は、データの保持に用いるラッチ回路と、ラッチ回路の動作状態を決定する信号を出力するシフトレジスタ回路と、ラッチ回路から出力される信号を外部に出力するか否かを決定する切り替え回路を備え、ラッチ回路は、第１の入力端子、第２の入力端子、出力端子、および活性層として酸化物半導体膜を用いたトランジスタを備え、トランジスタのゲートは第１の入力端子と電氣的に接続され、トランジスタのソースおよびドレインの一方は第２の入力端子と電氣的に接続され、トランジスタのソースおよびドレインの他方は出力端子と電氣的に接続され、トランジスタをオフ状態とした場合にトランジスタのソースおよびドレインの他方、および出力端子に電氣的に接続されたノードにおいてデータを保持し、シフトレジスタ回路および切り替え回路が備えるトランジスタは活性層として単結晶半導体膜を用いる駆動回路である。なお、ラッチ回路はさらに容量素子を有していても良く、この場合、トランジスタのソースおよびドレインの他方は容量素子の一方の電極および出力端子と電氣的に接続され、容量素子の他方の電極は固定電位が供給される配線に電氣的に接続される。

30

40

【 0 0 3 9 】

駆動回路を上記構造とすることにより、低消費電力性に優れた駆動回路とできる。

【 0 0 4 0 】

なお、上述のラッチ回路の構成として、第１の入力端子、第２の入力端子、出力端子、トランスミッションゲート、インバータ、クロックドインバータ、および活性層として酸化物半導体膜を用いたトランジスタを備え、トランスミッションゲートは、入力端子が第１の入力端子に電氣的に接続され、出力端子がインバータの入力端子およびクロックドインバータの出力端子に電氣的に接続され、インバータの出力端子はトランジスタのソースおよびドレインの一方、ならびに出力端子と電氣的に接続され、トランジスタのソースおよびドレインの他方はクロックドインバータの入力端子に電氣的に接続され、トランジスタ

50



をオフ状態とした場合にインバータの出力端子、トランジスタのソースおよびドレインの一方および出力端子に電氣的に接続されたノードにおいてデータを保持し、トランスミッションゲート、インバータおよびクロックドインバータが備えるトランジスタは、活性層として単結晶半導体膜を用いる構成としてもよい。

【0041】

また、本発明の一態様は、ベース基板と、ベース基板上に上述の駆動回路を形成する回路層を有し、回路層は、単結晶半導体膜を活性層として用いたトランジスタが形成された第1の層と、酸化物半導体膜を活性層として用いたトランジスタが形成された第2の層を備える信号処理装置である。なお、ベース基板として可撓性基板を用いることができる。

【0042】

信号処理装置を上記構造とすることにより、低消費電力性を備え、力の付加による破壊や剥がれが生じにくい信号処理装置とすることができる。

【0043】

また、上述したトランジスタの活性層として用いる単結晶半導体膜には、単結晶半導体基板の一部を分離することにより得られた膜を用いることが好ましい。当該膜の分離は、比較的低温（例えば600以下）で行うことができ、大面積の基板に対しても単結晶半導体膜を形成できるため、駆動回路、ならびに信号処理装置の生産性向上や低価格化を実現できる。

【0044】

また、本発明の一態様は、基板と、基板上に設けられた上述の信号処理装置と、封止材料により前記基板と貼り合わされた対向基板と、前記基板と対向基板の間に設けられた表示素子層を有し、信号処理装置が備える駆動回路と画素部が電氣的に接続され、信号処理装置が走査線駆動回路または信号線駆動回路のいずれか或いは両方として機能する表示装置である。

【0045】

表示装置を上記構造とすることにより、低消費電力性を備えた表示装置とすることができる。また、信号処理装置が備えるベース基板は可撓性基板を採用することもでき、表示装置を薄型化、軽量化できる。

【0046】

なお、上記表示装置に用いる基板として、可塑性基板を用いることができ、低消費電力性に加えて力の付加による破壊や剥がれが生じにくい表示装置とすることができる。

【0047】

また、上記表示装置に用いる基板が一部に凹部を有し、信号処理装置が凹部に設けられ、駆動回路と画素部が電氣的に接続された構造とすることにより、外部からの衝撃に強く、曲げおよび捻りといった力の付加による破壊や剥がれがより生じにくい表示装置とすることができる。そして、ベース基板を上にして凹部に信号処理装置を設けた構造において、ベース基板の底面（回路層が形成されていない表面）が前記基板の上面と同一平面上になるように設置することにより、外部からの衝撃や、曲げおよび捻りといった力の付加による破壊や剥がれに対してさらに強い表示装置とすることができる。

【0048】

なお、ベース基板の面積が回路層のそれよりも大きい構造とし、ベース基板を用いて画素部を覆う構造とすることにより、対向基板が不要となると共に表示装置の作製工程を簡略化できる。

【0049】

また、本発明の一態様は、ラッチ回路、シフトレジスタ回路および切り替え回路を有する駆動回路を備える信号処理装置の作製方法であり、絶縁表面を有する単結晶半導体基板の一方の面に水素イオンおよび希ガスイオンのいずれか一方あるいは両方を照射して、単結晶半導体基板の所定の深さに脆化領域を形成し、単結晶半導体基板の一方の面に剥離層を形成し、第1の仮固定基板を、剥離層を挟むように単結晶半導体基板と貼り合わせ、単結晶半導体基板に対して加熱処理を行い、第1の仮固定基板から単結晶半導体基板を分離す

10

20

30

40

50

ることにより、脆化領域を境界として単結晶半導体基板から分離した単結晶半導体薄膜を第1の仮固定基板上に形成し、前記単結晶半導体膜を活性層として用いてトランジスタを形成してシフトレジスタ回路と切り替え回路を含む第1の回路層を形成し、第1の回路層上に、酸化半導体膜を活性層として有するトランジスタを含有するラッチ回路を含む第2の回路層を形成することで、剥離層を挟んで仮固定基板上に駆動回路を形成し、第2の層上に仮固定材料を用いて第2の仮固定基板を貼り合わせ、第1の仮固定基板から第2の仮固定基板を分離することにより、剥離層を境界として第1の仮固定基板から分離した第1の層と第2の層を第2の仮固定基板上に形成し、第2の仮固定基板が貼り合わされていない第1の層に可撓性ベース基板を接合材料を用いて貼り合わせ、仮固定材料を境界としてベース基板から第2の仮固定基板を分離することにより、ベース基板上に駆動回路を形成

10

【0050】

上述の作製方法を適用することにより、低消費電力性を備え、力の付加による破壊や剥がれが生じにくい信号処理装置を作製できる。

【0051】

なお、上述の作製方法において、剥離層を第1の仮固定基板に設置しても構わない。具体的には、絶縁表面を有する単結晶半導体基板の一方の面に水素イオンおよび希ガスイオンのいずれか一方あるいは両方を照射して、単結晶半導体基板に脆化領域を形成し、単結晶半導体基板の一方の面に、表面に剥離層を形成した第1の仮固定基板を、単結晶半導体基板の一方の面と第1の仮固定基板の剥離層が接するように貼り合わせてもよい。当該方法を用いることで、半導体基板表面への絶縁膜の形成および半導体基板中への脆化領域の形成と、第1の仮固定基板上への剥離層の形成を、異なる装置を用いて並行して行うことができるため、信号処理装置の作製に要する時間を短縮することができる

20

【0052】

また、上述の信号処理装置の作製方法において、第1の仮固定基板としてシリコン基板、ゲルマニウム基板、シリコンゲルマニウム基板、炭化シリコン基板、ガリウムヒ素基板またはインジウムリン基板を用いることにより、単結晶半導体膜を活性層として用いたトランジスタを有する半導体素子の電気的特性（例えば移動度など）を良好なものとできるため、信号処理装置の性能を高めることができる。

30

【0053】

また、上述の信号処理装置の作製方法において、剥離層に対して平坦化処理を行うことにより、剥離層と第1の仮固定基板の密着不良により単結晶半導体薄膜の一部あるいは全体が第1の仮固定基板側に転置されないといった不具合の発生を抑制できる。

【0054】

また、本発明の一態様は、上述の作製方法を用いて信号処理装置を形成し、封止材料により貼り合わされた基板と対向基板間に設けられた画素部に、導電性材料を用いて該信号処理装置を電気的に接合することを含む表示装置の作製方法である。

【0055】

上述の作製方法を適用することにより、低消費電力性を備えた表示装置を作製できる。

40

【0056】

なお、上述表示装置の作製方法において、画素部を備える基板として、表面に凹部が設けられた基板を用いても良い。凹部において導電性材料を用いて駆動回路と画素部を電気的に接続することにより、外部からの衝撃に強く、曲げおよび捻りといった力の付加による破壊や剥がれが、より生じにくい表示装置を作製できる。

【0057】

また、信号処理装置が備えるベース基板を対向基板として併用してもよい。これより、表示装置の作製工程を簡素化することができるため、表示装置の作製時間や作製コストを低減できる。また、上述表示装置の作製方法において、表示装置が備える基板として、可撓性基板を用いることにより、低消費電力性に加えて力の付加による破壊や剥がれが生じに

50

くい表示装置を作製できる。

【発明の効果】

【0058】

本発明の一実施形態では、駆動回路を形成する回路層を、単結晶半導体膜を活性層として用いたトランジスタを含む第1の層と、酸化物半導体膜を活性層として用いたトランジスタを含む第2の層の少なくとも2層以上の積層構造とし、回路層はシフトレジスタ回路、ラッチ回路および切り替え回路を含み、ラッチ回路が酸化物半導体膜を活性層として用いたトランジスタを構成要素の一部として含む構造とする。

【0059】

これにより、駆動回路に入力される映像信号をラッチ回路に保持できるため、特にラッチ回路に同じ信号が入力され続ける場合（例えば、静止画表示など）において、ラッチ回路での消費電力を低減でき、信号処理装置の低消費電力化を実現できる。

【0060】

なお、回路層に備えられたラッチ回路以外の構成要素に、単結晶半導体膜を活性層として用いたトランジスタを用いることで、高速駆動性も確保できる。

【0061】

そして、可撓性基板を用いて信号処理装置を形成することにより、湾曲面を有する部分に信号処理装置を設置した場合や、曲げや捻りなどの力が信号処理装置に付加した場合においても、破壊や剥がれが生じにくくすることができる。

【図面の簡単な説明】

【0062】

【図1】回路層に備えられる駆動回路の構成を説明する図。

【図2】信号処理装置の作製方法を説明する図。

【図3】信号処理装置の作製方法を説明する図。

【図4】信号処理装置の作製方法を説明する図。

【図5】信号処理装置の作製方法を説明する図。

【図6】信号処理装置の作製方法を説明する図。

【図7】信号処理装置の作製方法を説明する図。

【図8】信号処理装置の作製方法を説明する図。

【図9】表示装置の構造を説明する図。

【図10】表示装置の作製方法を説明する図。

【図11】表示装置の作製方法を説明する図。

【図12】表示装置の作製方法を説明する図。

【図13】表示装置の作製方法を説明する図。

【図14】表示装置の作製方法を説明する図。

【図15】表示装置の作製方法を説明する図。

【図16】信号処理装置を備える半導体装置を説明する図。

【図17】ラッチ回路の構成および動作概念を説明する図。

【図18】酸化物半導体を用いたトランジスタの特性を示す図。

【図19】酸化物半導体を用いたトランジスタの特性評価用回路図。

【図20】酸化物半導体を用いたトランジスタの特性評価用タイミングチャート。

【図21】酸化物半導体を用いたトランジスタの特性を示す図。

【図22】酸化物半導体を用いたトランジスタの特性を示す図。

【図23】酸化物半導体を用いたトランジスタの特性を示す図。

【図24】信号処理装置の作製方法を説明する図。

【発明を実施するための形態】

【0063】

以下では、本明細書に開示する発明の実施の形態について図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従

10

20

30

40

50

って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0064】

なお、以下に説明する実施の形態において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。

【0065】

また、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

【0066】

また、本明細書等における「第1」、「第2」、「第3」などの序数は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【0067】

また、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「A上のB」の表現であれば、AとBとの間に他の構成要素を含むものを除外しない。

【0068】

また、本明細書等において、基板に形成された膜や基板の一部を、他の基板に移し替える（載せ替える、とも表現できる）工程を、「転置」または「転置工程」と記載する。

【0069】

（実施の形態1）

本実施の形態では、図1（A）を用いて信号処理装置の構成の一例を説明し、図1（B）を用いて当該信号処理装置の回路層に備えられた駆動回路の回路構成例を説明し、図1（C）を用いて当該駆動回路が備えるラッチ回路の構成の一例を説明する。また、信号処理装置の作製方法の一例を、図2乃至図8を用いて説明する。

【0070】

< 駆動回路の構成例 >

信号処理装置100は、図1（A）に示すように回路層110がベース基板115上に形成された構造であり、回路層110は、単結晶半導体膜を活性層として用いたトランジスタを含む第1の層111と、酸化物半導体膜を活性層として用いたトランジスタを含む第2の層112をも備えている。

【0071】

< 回路層の構成例 >

図1（B）は、信号処理装置100の回路層110に備えられた駆動回路の回路構成例を示す図である。回路層110に備えられた駆動回路は、図1（B）に示すように、フリップフロップ101を複数（複数段、とも表現できる）備えるシフトレジスタ回路102と、第1のラッチ回路103を複数（複数段、とも表現できる）備える第1のラッチ回路群104と、第2のラッチ回路105を複数（複数段、とも表現できる）備える第2のラッチ回路群106と、切り替え回路113を備えている。

【0072】

切り替え回路113は各段にアナログスイッチ107とトランジスタ108有しており、アナログスイッチ107は、対応する第2のラッチ回路群106の出力端と信号線S1～Snとを導通または非導通にするように接続されている。また、各段のアナログスイッチ107に電気的に接続されたトランジスタ108は、配線109と各信号線S1～Snとを導通または非導通にするように接続されている。なお、配線109には、各画素へ入力する非表示信号となる電位（例えば、接地電位など）が印加されている。

【0073】

なお、切り替え回路113の構造は図1（B）の構造に限定されず、各信号線S1～Snに表示信号あるいは非表示信号のいずれかが出力される構造であればどのような構造であってもよい。

【0074】

上述構成の駆動回路において、第１のラッチ回路１０３および第２のラッチ回路１０５として、例えば図１（Ｃ）に示す構成を用いることができる。当該構成は、図１７（Ｂ）に記載の構成のノード１００３ａ、ならびにノード１００３ｂにそれぞれ容量素子１００８ａと１００８ｂが接続されたものである。容量素子１００８ａの一方の電極がトランジスタ１００２ａのソース及びドレインの他方、並びにトランジスタ１００２ｂのソース及びドレインの一方と電氣的に接続され、他方の電極が定電位（例えば、接地電位など）に接続されている。また、容量素子１００８ｂの一方の電極がトランジスタ１００２ｂのソース及びドレインの他方、並びに、出力端と電氣的に接続され、他方の電極が定電位（例えば、接地電位など）に接続されている。トランジスタ１００２ａのソースおよびドレインの一方にはビデオデータ（Video\_\_Data）が入力され、トランジスタ１００２ａのゲートにはフリップフロップ１０１からの信号が（FF\_\_Signal）が入力され、トランジスタ１００２ｂのゲートにはラッチパルス（Latch\_\_Pulse）が入力され、トランジスタ１００２ｂの出力端（Out）は切り替え回路１１３と電氣的に接続されている。なお、第１のラッチ回路１０３および第２のラッチ回路１０５は、容量素子１００８ａと１００８ｂのうちの一方あるいは両方を設けない構成であっても構わない。

【００７５】

<回路層１１０の動作説明>

次に、図１（Ｂ）を用いて回路層１１０が備える駆動回路の動作について説明を行う。

【００７６】

シフトレジスタ回路１０２には、クロック信号（S\_\_CLK）、クロック反転信号（S\_\_CLKB）、スタートパルス信号（S\_\_SP）が入力される。そして、これらの信号にしたがってシフトレジスタ回路１０２から順次サンプリングパルスが出力される。

【００７７】

シフトレジスタ回路１０２から出力されるサンプリングパルスは第１のラッチ回路１０３に入力され、そのサンプリングパルスのタイミングにしたがってビデオ信号（Video\_\_Data）が第１のラッチ回路１０３に保持される。

【００７８】

第１のラッチ回路１０３において、最終段までビデオ信号の保持が完了すると、水平帰線期間中に、第２のラッチ回路１０５にラッチパルス（Latch\_\_Pulse）が入力され、第１のラッチ回路１０３に保持されていたビデオ信号は、一斉に第２のラッチ回路１０５に転送される。

【００７９】

第２のラッチ回路１０５に転送されたビデオ信号は、切り替え回路１１３に入力される。さらに、切り替え回路１１３には制御信号（S\_\_WE）が入力されており、この信号により、第２のラッチ回路１０５に保持された信号を信号線Ｓ１～Ｓｎに供給するか、画素を非表示にする信号をＳ１～Ｓｎに供給するかが制御される。つまり、制御信号（S\_\_WE）がＨレベルのときには、切り替え回路１１３から画素へ非表示信号が出力され、制御信号（S\_\_WE）がＬレベルのときには、切り替え回路１１３からビデオ信号が出力される。

【００８０】

なお、本実施の形態において、回路層１１０は段毎に２つのラッチ回路（第１のラッチ回路１０３および第２のラッチ回路１０５）が備えられた構造であるが、これに限定されることはなく、段毎に２つ以上のラッチ回路を備えた構造としてもよい。

【００８１】

本実施の形態に記載のラッチ回路は、第２の層１１２に形成された、酸化物半導体膜を活性層として用いたトランジスタを用いて構成されているところに特徴がある。

【００８２】

<第１＆第２のラッチ回路の動作説明>

ここで、図１（Ｃ）に示す第１のラッチ回路１０３および第２のラッチ回路１０５の動作の流れを簡単に説明する。

## 【0083】

まず、第1のラッチ回路103が備えるトランジスタ1002aのゲートに、フリップフロップからの信号(F F \_ S i g n a l )が入力され、当該信号によりトランジスタ1002aがオン状態となることで、ビデオデータ(V i d e o \_ D a t a )が容量素子1008aに蓄えられ、その後、トランジスタ1002aをオフ状態とする。

## 【0084】

容量素子1008aの一方の電極は、トランジスタ1002aのソースおよびドレインの他方、ならびに、トランジスタ1002bのソースおよびドレインの一方と接続されているが、トランジスタ1002aおよびトランジスタ1002bはOSトランジスタであり「オフ電流が極めて低い」という特性を備えているため、容量素子1008aに蓄えられたデータのリーク(トランジスタ1002aやトランジスタ1002bを介してのリーク)は零あるいは限りなく零に近い。よって、容量素子1008aに蓄えられたデータは長期に渡って保持され続けるため、第1のラッチ回路103に連続して同じ信号が入力される場合などでは、容量素子1008aに一度データを保持してしまえば、その後はトランジスタ1002aをオフ状態とすることができる。

10

## 【0085】

次に、第2のラッチ回路105が備えるトランジスタ1002bのゲートに、ラッチパルス(L a t c h \_ P u l s e )が入力され、当該信号によりトランジスタ1002bがオン状態となることで、容量素子1008aに保持されたデータが容量素子1008bに蓄えられ、その後、トランジスタ1002bはオフ状態となる。

20

## 【0086】

容量素子1008bの一方の電極は、トランジスタ1002bのソースおよびドレインの他方、ならびに、出力端と接続されている。このため、出力端側を浮遊状態(フローティング)としておくことにより、容量素子1008bに蓄えられたデータのリーク(トランジスタ1002bを介してのリークや出力端側へのリーク)を抑制できるため、第2のラッチ回路105に連続して同じ信号が入力される場合などでは、容量素子1008bに一度データを保持してしまえば、その後はトランジスタ1002bをオフ状態とすることができる。

## 【0087】

通常のラッチ回路では、ラッチ回路自身に長時間のデータ保持機能が無いため、ラッチ回路に同じビデオデータが入力され続けていても、ラッチ回路がオン状態でないと、出力端から出力されるデータが変化してしまう。しかし、上述のような構造のラッチ回路を用いることにより、ラッチ回路に同じビデオデータが入力され続けている場合、一度目に入力されたデータを容量素子1008aおよび容量素子1008bに保持してしまえば、その後は第1のラッチ回路103および第2のラッチ回路105をオフ状態(つまり、フリップフロップ101から入力される信号を停止する、第2のラッチ回路105に入力されるラッチパルス(L a t c h \_ P u l s e )を停止する)にしても、出力端から出力されるデータは変化しない。このため、特に、ラッチ回路に同じビデオデータが入力され続ける場合において、ラッチ回路での消費電力を低減でき、駆動回路の低消費電力化を実現できる。

30

40

## 【0088】

<OSトランジスタのオフ電流測定>

OSトランジスタが有する「極めて低いオフ電流」を説明するため、以下に、高純度化された酸化物半導体を用いたトランジスタのオフ電流を求めた結果について説明する。

## 【0089】

まず、高純度化された酸化物半導体を用いたトランジスタのオフ電流が十分に小さいことを考慮して、チャネル幅Wが1 $\mu$ mと十分に大きいトランジスタを用意してオフ電流の測定を行った。測定した結果を図18に示す。図18において、横軸はゲート電圧V<sub>G</sub>、縦軸はドレイン電流I<sub>D</sub>である。ドレイン電圧V<sub>D</sub>が+1Vまたは+10Vの場合、ゲート電圧V<sub>G</sub>が-5Vから-20Vの範囲では、トランジスタのオフ電流は、検出限界である1

50

$\times 10^{-12}$  A 以下であることがわかった。また、単位チャネル幅 (1  $\mu$ m) あたりのオフ電流は 1 a A ( $1 \times 10^{-18}$  A) 以下となることがわかった。

【0090】

次に、高純度化された酸化物半導体を用いたトランジスタのオフ電流をさらに正確に求めた結果について説明する。上述したように、高純度化された酸化物半導体を用いたトランジスタのオフ電流は、測定器の検出限界である  $1 \times 10^{-12}$  A 以下であることがわかった。そこで、特性評価用素子を作製し、より正確なオフ電流の値 (上記測定における測定器の検出限界以下の値) を求めた結果について説明する。

【0091】

はじめに、電流測定に用いた特性評価用素子について、図19を参照して説明する。

10

【0092】

図19に示す特性評価用素子は、測定系2300が3つ並列に接続されている。測定系2300は、容量素子2302、トランジスタ2304、トランジスタ2305、トランジスタ2306、トランジスタ2308を有する。トランジスタ2304、トランジスタ2305、トランジスタ2306、トランジスタ2308には、高純度化された酸化物半導体を用いたトランジスタを適用した。

【0093】

測定系2300において、トランジスタ2304のソース端子およびドレイン端子の一方と、容量素子2302の端子の一方と、トランジスタ2305のソース端子およびドレイン端子の一方は、電源(V2を与える電源)に電氣的に接続されている。また、トランジスタ2304のソース端子およびドレイン端子の他方と、トランジスタ2308のソース端子およびドレイン端子の一方と、容量素子2302の端子の他方と、トランジスタ2305のゲート端子とは、電氣的に接続されている。また、トランジスタ2308のソース端子およびドレイン端子の他方と、トランジスタ2306のソース端子およびドレイン端子の一方と、トランジスタ2306のゲート端子は、電源(V1を与える電源)に電氣的に接続されている。また、トランジスタ2305のソース端子およびドレイン端子の他方と、トランジスタ2306のソース端子およびドレイン端子の他方とは、電氣的に接続され、出力端子となっている。

20

【0094】

なお、トランジスタ2304のゲート端子には、トランジスタ2304のオン状態と、オフ状態を制御する電位Vext\_\_b2が供給され、トランジスタ2308のゲート端子には、トランジスタ2308のオン状態と、オフ状態を制御する電位Vext\_\_b1が供給される。また、出力端子からは電位Voutが出力される。

30

【0095】

次に、上記の特性評価用素子を用いた電流測定方法について説明する。

【0096】

まず、オフ電流を測定するために電位差を付与する初期期間の概略について説明する。初期期間においては、トランジスタ2308のゲート端子に、トランジスタ2308をオン状態とする電位Vext\_\_b1を入力して、トランジスタ2304のソース端子またはドレイン端子の他方と電氣的に接続されるノード (つまり、トランジスタ2308のソース端子およびドレイン端子の一方、容量素子2302の端子の他方、およびトランジスタ2305のゲート端子に電氣的に接続されるノード) であるノードAに電位V1を与える。ここで、電位V1は、例えば高電位とする。また、トランジスタ2304はオフ状態としておく。

40

【0097】

その後、トランジスタ2308のゲート端子に、トランジスタ2308をオフ状態とする電位Vext\_\_b1を入力して、トランジスタ2308をオフ状態とする。トランジスタ2308をオフ状態とした後に、電位V1を低電位とする。ここでも、トランジスタ2304はオフ状態としておく。また、電位V2は電位V1と同じ電位とする。

【0098】

50

以上により、初期期間が終了する。初期期間が終了した状態では、ノードAとトランジスタ2304のソース端子及びドレイン端子の一方との間に電位差が生じ、また、ノードAとトランジスタ2308のソース端子及びドレイン端子の他方との間に電位差が生じることになるため、トランジスタ2304およびトランジスタ2308には僅かに電荷が流れる。つまり、オフ電流が発生する。

#### 【0099】

次に、オフ電流の測定期間の概略について説明する。測定期間においては、トランジスタ2304のソース端子またはドレイン端子の一方の端子の電位（つまりV2）、および、トランジスタ2308のソース端子またはドレイン端子の他方の端子の電位（つまりV1）は低電位に固定しておく。一方で、測定期間中は、上記ノードAの電位は固定しない（フローティング状態とする）。これにより、トランジスタ2304に電荷が流れ、時間の経過と共にノードAに保持される電荷量が変動する。そして、ノードAに保持される電荷量の変動に伴って、ノードAの電位が変動する。つまり、出力端子の出力電位Voutも変動する。

10

#### 【0100】

上記電位差を付与する初期期間、および、その後の測定期間における各電位の関係の詳細（タイミングチャート）を図20に示す。

#### 【0101】

初期期間において、まず、電位Vext\_\_b2を、トランジスタ2304がオン状態となるような電位（高電位）とする。これによって、ノードAの電位はV2すなわち低電位（VSS）となる。なお、ノードAに低電位（VSS）を与えるのは必須ではない。その後、電位Vext\_\_b2を、トランジスタ2304がオフ状態となるような電位（低電位）として、トランジスタ2304をオフ状態とする。そして、次に、電位Vext\_\_b1を、トランジスタ2308がオン状態となるような電位（高電位）とする。これによって、ノードAの電位はV1、すなわち高電位（VDD）となる。その後、Vext\_\_b1を、トランジスタ2308がオフ状態となるような電位とする。これによって、ノードAがフローティング状態となり、初期期間が終了する。

20

#### 【0102】

その後の測定期間においては、電位V1および電位V2を、ノードAに電荷が流れ込み、またはノードAから電荷が流れ出すような電位とする。ここでは、電位V1および電位V2を低電位（VSS）とする。ただし、出力電位Voutを測定するタイミングにおいては、出力回路を動作させる必要が生じるため、一時的にV1を高電位（VDD）とすることがある。なお、V1を高電位（VDD）とする期間は、測定に影響を与えない程度の短期間とする。

30

#### 【0103】

上述のようにして電位差を与え、測定期間が開始されると、時間の経過と共にノードAに保持される電荷量が増減し、これに従ってノードAの電位が変動する。これは、トランジスタ2305のゲート端子の電位が変動することを意味するから、時間の経過と共に、出力端子の出力電位Voutの電位も変化することとなる。

#### 【0104】

得られた出力電位Voutから、オフ電流を算出する方法について、以下に説明する。

40

#### 【0105】

オフ電流の算出に先だって、ノードAの電位VAと、出力電位Voutとの関係を求めておく。これにより、出力電位VoutからノードAの電位VAを求めることができる。上述の関係から、ノードAの電位VAは、出力電位Voutの関数として以下の式（1）のように表すことができる。

#### 【0106】

#### 【数1】

$$V_A = F(V_{out}) \quad (1)$$

50



【 0 1 0 7 】

また、ノード A の電荷  $Q_A$  は、ノード A の電位  $V_A$ 、ノード A に接続される容量  $C_A$ 、定数 (  $const$  ) を用いて、以下の式 ( 2 ) のように表される。ここで、ノード A に接続される容量  $C_A$  は、容量素子 2 3 0 2 の容量と他の容量の和である。

【 0 1 0 8 】

【 数 2 】

$$Q_A = C_A V_A + const \quad (2)$$

【 0 1 0 9 】

ノード A の電流  $I_A$  は、ノード A に流れ込む電荷 ( またはノード A から流れ出る電荷 ) の時間微分であるから、ノード A の電流  $I_A$  は以下の式 ( 3 ) のように表される。 10

【 0 1 1 0 】

【 数 3 】

$$I_A = \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t} \quad (3)$$

【 0 1 1 1 】

このように、ノード A に接続される容量  $C_A$  と、出力端子の出力電位  $V_{out}$  から、ノード A の電流  $I_A$  を求めることができる。

【 0 1 1 2 】

以上に示す方法により、オフ状態においてトランジスタのソースとドレイン間を流れるリーク電流 ( オフ電流 ) を測定することができる。 20

【 0 1 1 3 】

トランジスタ 2 3 0 4、トランジスタ 2 3 0 5、トランジスタ 2 3 0 6、トランジスタ 2 3 0 8 は、チャネル長  $L = 10 \mu m$ 、チャネル幅  $W = 50 \mu m$  の、高純度化した酸化物半導体を用いて作製した。また、並列された各測定系 2 3 0 0 において、容量素子 2 3 0 2 の各容量値を、 $100 fF$ 、 $1 pF$ 、 $3 pF$  とした。

【 0 1 1 4 】

なお、本実施の形態に係る測定では、 $V_{DD} = 5 V$ 、 $V_{SS} = 0 V$  とした。また、測定期間においては、電位  $V_1$  を原則として  $V_{SS}$  とし、 $10 sec$  から  $300 sec$  の範囲ごとに、 $100 msec$  の期間だけ  $V_{DD}$  として  $V_{out}$  を測定した。また、素子に流れる電流  $I$  の算出に用いられる  $t$  は、約  $30000 sec$  とした。 30

【 0 1 1 5 】

図 2 1 に、上記電流測定に係る経過時間  $Time$  と、出力電位  $V_{out}$  との関係を示す。図 2 1 より、時間の経過にしたがって、電位が変化している様子が確認できる。

【 0 1 1 6 】

図 2 2 には、上記電流測定によって算出された室温 (  $25$  ) におけるオフ電流を示す。なお、図 2 2 は、ソース - ドレイン電圧  $V$  と、オフ電流  $I$  との関係を表すものである。図 2 2 から、ソース - ドレイン電圧が  $4 V$  の条件において、オフ電流は約  $40 z A / \mu m$  であることが分かった。また、ソース - ドレイン電圧が  $3.1 V$  の条件において、オフ電流は  $10 z A / \mu m$  以下であることが分かった。なお、 $1 z A$  は  $10^{-21} A$  を表す。 40

【 0 1 1 7 】

さらに、上記電流測定によって算出された  $85$  の温度環境下におけるオフ電流について図 2 3 に示す。図 2 3 は、 $85$  の温度環境下におけるソース - ドレイン電圧  $V$  と、オフ電流  $I$  との関係を表すものである。図 2 3 から、ソース - ドレイン電圧が  $3.1 V$  の条件において、オフ電流は  $100 z A / \mu m$  以下であることが分かった。

【 0 1 1 8 】

以上の結果からも、酸化物半導体膜を活性層として用いたトランジスタは、オフ電流が極めて低いことが理解できる。

【 0 1 1 9 】

### < 駆動回路の作製方法 >

次に、図 2 乃至図 8 を用いて、図 1 に示す信号処理装置 100 の作製工程の一例について説明する。なお、以下の説明においては、信号処理装置 100 が備える回路層 110 の作製方法についての説明を行い、その後、当該回路層を、可撓性を有する基板上に形成し、信号処理装置 100 を作製する方法についての説明を行う。

#### 【0120】

##### < 回路層 110 の作製方法 >

まず、図 2 乃至図 7 用いて、図 1 に示す回路層 110 の作製工程の一例について説明する。なお、回路層 110 の第 1 の層 111 および第 2 の層 112 には、実際には様々な素子（例えば、トランジスタなど）が形成されているが、本実施の形態では、作製工程の理解を容易にするため、第 1 の層の作製方法として、単結晶半導体膜を活性層として用いたトランジスタの作製方法を主として説明し、第 2 の層の作製方法として、OS トランジスタの作製方法を主として説明する。勿論、第 1 の層および第 2 の層には、これらのトランジスタ以外の素子も存在している。

#### 【0121】

##### < 第 1 の層 111 の作製方法 >

まず、半導体基板 300 を準備し、表面に絶縁膜 302 を形成する（図 2（A）参照）。

#### 【0122】

半導体基板 300 としては、例えば、単結晶シリコン基板、単結晶ゲルマニウム基板または単結晶シリコンゲルマニウム基板などの第 14 族元素でなる基板を用いることができる。また、窒化ガリウム、ガリウムヒ素またはインジウムリンなどの単結晶化合物半導体基板を用いることもできる。市販のシリコン基板としては、直径 5 インチ（125 mm）、直径 6 インチ（150 mm）、直径 8 インチ（100 mm）、直径 12 インチ（300 mm）、直径 16 インチ（700 mm）サイズの円形のものが代表的である。また、半導体基板 300 の形状は円形に限らず、例えば、矩形や正方形等に加工したものであっても良い。また、半導体基板 300 は、CZ（チョクラルスキー）法や FZ（フローティングゾーン）法を用いて作製することができる。

#### 【0123】

本実施の形態では、半導体基板 300 として、単結晶シリコン基板を用いる。

#### 【0124】

絶縁膜 302 としては、例えば、酸化シリコン膜、酸化窒化シリコン膜等を単層で、または積層させて形成すればよい。なお、当該膜の作製方法としては、熱酸化法、CVD 法、スパッタリング法などがある。また、CVD 法を用いて絶縁膜 302 を形成する場合、後に行われる他の基板との良好な貼り合わせを実現するためには、テトラエトキシシラン（略称；TEOS：化学式  $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）等の有機シランを用いて酸化シリコン膜を形成することが好ましい。

#### 【0125】

なお、熱酸化処理により絶縁膜 302 を形成する場合、酸化性雰囲気中にハロゲンを添加して行うことが好ましい。例えば、塩素（Cl）が添加された酸化性雰囲気中で半導体基板 300 に熱酸化処理を行うことにより、塩素酸化された絶縁膜 302 を形成することができる。この場合、絶縁膜 302 は、塩素原子を含有する膜となる。このような塩素酸化により、後の工程にて半導体基板 300 と第 1 の仮固定基板 314 を貼り合わせられる際に第 1 の仮固定基板 314 から Na などの不純物が混入することを防止し、半導体基板 300 の汚染を防止できる。なお、絶縁膜 302 に含有させるハロゲン原子は塩素原子に限られない。絶縁膜 302 にはフッ素原子を含有させてもよい。

#### 【0126】

また、絶縁膜 302 の形成前に、塩酸過酸化水素水混合溶液（HPM）、硫酸過酸化水素水混合溶液（SPM）、アンモニア過酸化水素水混合溶液（APM）、希フッ酸（DHF）、フッ酸、過酸化水素水、オゾン水および純水の混合液（FPM）などを用いて半導体基板 300 の表面を洗浄しておくことが好ましい。

## 【0127】

次に、半導体基板300の一面からイオン照射処理304を行うことにより、半導体基板300中に、脆化領域306を形成する(図2(B)参照)。

## 【0128】

照射するイオン種としては、水素イオンを用いればよい。水素イオンとは $H^+$ 、 $H_2^+$ および $H_3^+$ のいずれか一種、或いはこれらのイオンが二種以上混合したものを指す。加速された水素イオンを照射する場合は、 $H_3^+$ の比率を高くすると良い。具体的には、 $H^+$ 、 $H_2^+$ 、 $H_3^+$ の総量に対して $H_3^+$ の割合が50%以上(より好ましくは80%以上)となるようにする。 $H_3^+$ の割合を高めることで、イオン照射の効率を向上させることができる。また、水素イオン以外に、希ガスイオンを用いることもできる。具体的には、Heイオン、Neイオン、Arイオン、KrイオンまたはXeイオンを用いることができる。

10

## 【0129】

脆化領域306が形成される深さは、照射するイオンの運動エネルギー、質量と電荷、入射角などによって調節することができる。また、脆化領域306は、イオンの平均侵入深さとほぼ同じ深さの領域に形成される。このため、照射するイオン種や照射条件を調整することにより、後の工程にて半導体基板300から分離する、半導体薄膜316の厚さを調節することができる。

## 【0130】

なお、半導体薄膜316の厚さについては特に限定は無いが、分離された半導体薄膜316を高性能な半導体集積回路を形成する用途に用いる場合は、当該膜厚を厚くしすぎるとS値が増加する、トランジスタがノーマリーオンになるといった恐れがあるため、1nm以上200nm以下、好ましくは3nm以上100nm以下とすることが望ましい。このため、半導体基板300中における脆化領域306の形成深さが、1nm以上200nm以下、好ましくは3nm以上100nm以下程度となるように、照射するイオンの平均侵入深さを調節すればよい。

20

## 【0131】

当該イオン照射処理304は、イオンドーピング装置やイオン注入装置を用いて行うことができる。特にイオン注入装置では、プラズマ中のイオン種を質量分離し、ある特定の質量のイオン種のみを半導体基板中に照射することができるため、トランジスタの特性に影響を及ぼす不純物の混入を抑制できるため望ましい。

30

## 【0132】

しかし、イオンドーピング装置を用いてイオン照射処理304を行う場合においても、絶縁膜302を介してイオン照射処理304を行うことにより、トランジスタの特性に影響を及ぼす物質(例えば重金属など)をトラップすることができる。

## 【0133】

次に、脆化領域306が形成された側に近い面の絶縁膜302上に、剥離層310を形成する(図2(C)参照)。剥離層310は単層であってもよいし、積層に形成しても良い。なお、図2(C)に記載の剥離層310は、第1の剥離層307と第2の剥離層308の積層構造を有して形成されている。

40

## 【0134】

剥離層は、スパッタリング法やプラズマCVD法、塗布法、印刷法等により、タングステン(W)、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)、ニオブ(Nb)、ニッケル(Ni)、コバルト(Co)、ジルコニウム(Zr)、亜鉛(Zn)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)、イリジウム(Ir)、珪素(Si)から選択された元素、又は元素を主成分とする合金、又は元素を主成分とする化合物を用い、単層又は積層して形成する。

## 【0135】

剥離層310が単層構造の場合には、好ましくは、タングステン、モリブデン、又はタングステンとモリブデンの混合物を含む膜を形成する。また、タングステンの酸化物を含む

50

膜もしくはタングステンの酸化窒化物を含む膜を形成してもよい。また、モリブデンの酸化物を含む膜もしくはモリブデンの酸化窒化物を含む膜を形成してもよい。または、タングステンとモリブデンの混合物の酸化物を含む膜もしくは酸化窒化物を含む膜を形成してもよい。なお、タングステンとモリブデンの混合物とは、タングステンとモリブデンの合金に相当する。

#### 【0136】

剥離層310が積層構造の場合、好ましくは、第1の剥離層307（1層目の剥離層とも言える）として金属膜を形成し、第2の剥離層308（2層目の剥離層とも言える）として金属酸化物膜を形成する。代表的には第1の剥離層307としてタングステンを含む膜、モリブデンを含む膜、又はタングステンとモリブデンの混合物を含む膜を形成し、第2の剥離層308として、タングステンを含む膜、モリブデンを含む膜又はタングステンおよびモリブデンを含む膜の酸化物膜、酸化窒化物膜を形成すればよい。

10

#### 【0137】

第2の剥離層308の形成は、第1の剥離層307を金属膜として形成し、この上に酸化物膜309を形成することで、第1の剥離層307表面を酸化して金属酸化物膜として第2の剥離層308を形成しても良い。この場合、剥離層310は図2（D）に記載されるように第1の剥離層307、第2の剥離層308および酸化物膜309の積層構造となる。例えば、第1の剥離層307としてタングステン膜を形成し、当該膜上に酸化物膜309として酸化シリコン膜を形成した場合、酸化シリコン膜との界面近傍のタングステン膜が酸化され、タングステン酸化物を含む膜が第2の剥離層308として形成される。

20

#### 【0138】

なお、第1の剥離層307の表面に対して、熱酸化処理、酸素プラズマ処理、 $N_2O$ プラズマ処理、UVオゾン処理又はオゾン水等の酸化力の強い溶液による処理等を行って金属酸化物膜である第2の剥離層308を形成してもよい。

#### 【0139】

また、剥離層310として、第1の剥離層307に金属膜、第2の剥離層308に金属酸化窒化物膜を形成してもよい。代表的には、第1の剥離層307にタングステンを含む膜を形成し、第2の剥離層308に、酸化窒化タングステン膜を形成すればよい。金属酸化窒化物膜は、酸素の割合を高めると剥離が容易になり、窒素の割合を高めると剥離性が低下するため、膜中に含まれる酸素と窒素の割合は、後の工程にて剥離層310にどのようなストレス（例えば、応力付加や加熱など）が加わるかを鑑み、適宜決定すればよい。

30

#### 【0140】

本実施の形態では、第1の剥離層307としてスパッタリング法により膜厚30nmのタングステン膜を用い、当該膜上に酸化物膜309としてスパッタリング法により酸化シリコン膜を100nm形成して用いる。これにより、剥離層310は図2（D）のように、酸化物膜309と接する第1の剥離層307表面近傍に、第2の剥離層308である酸化タングステンが形成された構造となる。なお、図2（D）およびこれ以降の図面においては、第1の剥離層307、第2の剥離層308および酸化物膜309を含めて剥離層310と記載する。

#### 【0141】

なお、後の工程にて貼り合わせる第1の仮固定基板314の密着性を高めるため、剥離層310上に接合層を形成してもよい。当該接合層は、表面の平坦性が高く、且つ親水性の表面を与えることができる材料を用いることが好ましい。当該接合層としては、酸化シリコン膜が適している。特にシランガス、ジシランガス、トリシランガス又は有機シランガス等のシラン系ガスをを用いて化学気相成長法により形成される酸化シリコン膜が好ましい。シランガスをを用いる場合、二酸化窒素又は一酸化二窒素との混合ガスをを用いることが好適である。有機シランガスとしては、珪酸エチル（TEOS：化学式 $Si(OC_2H_5)_4$ ）、トリメチルシラン（TMS： $(CH_3)_3SiH$ ）、テトラメチルシクロテトラシロキサン（TMCTS）、オクタメチルシクロテトラシロキサン（OMCTS）、ヘキサメチルジシラザン（HMDS）、トリエトキシシラン（ $SiH(OC_2H_5)_3$ ）又はト

40

50

リスジメチルアミノシラン ( $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ) 等のシリコン含有化合物を用いることができる。化学気相成長法としては、プラズマ CVD、熱 CVD 又は光 CVD を用いればよい。

#### 【0142】

なお、上述の「親水性を有する」とは、表面に対して液体（例えば、水など）を滴下した際に、滴下した液体と滴下面との接触角度が 30 度以下である場合を示すものである。好ましくは、当該接触角度が 10 度未満（超親水性などとも言われる）であることが望ましい。

#### 【0143】

上述の、表面の平坦性が高く且つ親水性表面を有する接合層は、5 nm 以上 500 nm 以下の厚さで設けるとよい。接合層を上記の厚さで形成することで、剥離層の表面荒れによる影響を小さくすることができ、また、後に接合する第 1 の仮固定基板と基板との歪みを緩和することができる。

#### 【0144】

また、接合層を形成後、接合層表面に対して平坦化処理を行うことが好ましい。当該平坦化処理としては、逆スパッタ処理、ドライエッチング処理または化学機械研磨 (CMP: Chemical Mechanical Polishing) 処理などを用いればよい。なお、上述の「逆スパッタ処理」とは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側に RF 電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質および平坦化する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、亜酸化窒素などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に塩素、四フッ化炭素などを加えた雰囲気で行ってもよい。

#### 【0145】

次に、第 1 の仮固定基板 314 を準備し、半導体基板 300 の剥離層 310 形成面に第 1 の仮固定基板 314 を貼り合わせる（図 3 (A) 参照）。

#### 【0146】

第 1 の仮固定基板 314 としては、多結晶半導体基板または単結晶半導体基板を用いることができる。多結晶半導体基板または単結晶半導体基板としては、例えば、多結晶または単結晶のシリコン基板やゲルマニウム基板、シリコンゲルマニウム基板、炭化シリコン基板などの第 14 族元素でなる半導体基板、またガリウムヒ素やインジウムリン等の化合物半導体基板が挙げられる。シリコン基板としては、直径 5 インチ (125 mm)、直径 6 インチ (150 mm)、直径 8 インチ (200 mm)、直径 12 インチ (300 mm) サイズの円形のものが代表的である。なお、形状は円形に限られず矩形状等に加工作した基板を用いることも可能である。本実施の形態では、第 1 の仮固定基板 314 として、正方形形状に加工作されたシリコン基板を用いる。

#### 【0147】

また、第 1 の仮固定基板 314 として、絶縁体でなる基板を用いることもできる。例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われる各種ガラス基板、天然石英基板、合成石英基板などを用いることができる。また、第 1 の仮固定基板 314 として、金属基板を用いることもできる。

#### 【0148】

第 1 の仮固定基板 314 上には、後の工程にて駆動回路として機能する回路層 110 を形成するため、サブミクロンレベルの細かなパターン形成プロセスに耐えうる基板を第 1 の仮固定基板 314 として用いることが好ましい。上述の各種第 1 の仮固定基板材料のうち、例えば単結晶シリコン基板は、絶縁体でなる基板や金属基板と比較して平坦性が高く、かつ広範囲に渡ってうねりが小さいので、第 1 の仮固定基板 314 として用いるのに適していると言える。

#### 【0149】

なお、第 1 の仮固定基板 314 は、半導体基板 300 の洗浄と同様の方法によって表面を

10

20

30

40

50

あらかじめ洗浄しておくことが好ましい。このような洗浄処理を行うことによって、第1の仮固定基板314表面の平坦性向上や、第1の仮固定基板314表面のパーティクルや有機物などを除去することができるため、剥離層310と第1の仮固定基板314の密着性（剥離層310上に接合層を形成する場合は、接合層と第1の仮固定基板314の密着性）を高めることができ、転置時の不良（例えば、半導体基板300から半導体薄膜が分離されない、分離された半導体薄膜が第1の仮固定基板314に密着しないなど）の発生を抑制できる。

#### 【0150】

また、半導体基板300と第1の仮固定基板314を貼り合わせる前に、貼り合わせに係る表面に対して清浄化処理を行うことが好ましい。清浄化処理としては、ウェット処理、ドライ処理、またはウェット処理とドライ処理の組み合わせを用いることができる。また、異なるウェット処理どうしを組み合わせ用いてもよいし、異なるドライ処理どうしを組み合わせ用いてもよい。

10

#### 【0151】

剥離層310と第1の仮固定基板314（剥離層310上に接合層を形成する場合は、接合層と第1の仮固定基板314）を貼り合わせることに伴う両者の接合強度は、表面間引力（いわゆる、ファンデルワールス力）によるところが大きいため、水酸基を形成して接合面を親水性とすることによって接合強度を高めることができる。親水性処理としては、例えば、酸素プラズマ処理、 $N_2$ プラズマ処理、 $Ar$ プラズマ処理、オゾン処理、UVオゾン処理およびオゾン水処理のいずれか一つ、或いはこれらの処理を二種以上組み合わせ

20

#### 【0152】

なお、剥離層310（剥離層310上に接合層を形成する場合は、接合層と第1の仮固定基板314）と第1の仮固定基板314の接合強度を高めるために、貼り合わせの前後に熱処理を行ってもよい。貼り合わせ前の熱処理としては、半導体基板300に対して50以上150未満の温度を加えながら、半導体基板300と第1の仮固定基板314を貼り合わせればよい。また、貼り合わせ後の熱処理としては、脆化領域306において分離現象（劈開現象ともいう）が生じない温度を半導体基板300に対して加えても良い。当該温度としては、例えば、100以上400未満の温度を半導体基板300に対して加えればよい。なお、上記熱処理には、抵抗加熱炉、RTA（瞬間熱アニール、Rapid Thermal Anneal）装置、マイクロ波加熱装置などを用いることができる。

30

#### 【0153】

次に、第1の仮固定基板314を貼り合わせた半導体基板300に対して熱処理を行って転置プロセスを行う。当該熱処理を行うことで、脆化領域306内にて体積変化が生じ（例えば、イオン照射処理304により半導体基板300中に添加されたイオン（水素イオンおよび希ガスイオンのいずれか一方あるいは両方）あるいは該イオンの分子が脆化領域306内で体積変化が生じるなど）、脆化領域306内にて劈開が生じる。なお、熱処理の温度は400以上、耐熱温度の低い基板（半導体基板300または第1の仮固定基板314のいずれか）の耐熱温度以下で行うことが好ましい。例えば、400以上600以下の熱処理を行えばよい。その後、半導体基板300を第1の仮固定基板314から分離することにより、脆化領域306を劈開面として、半導体基板300より分離された半導体薄膜316が、絶縁膜302および剥離層310を介して第1の仮固定基板314上に転置される（図3（B）参照）。

40

#### 【0154】

なお、本実施の形態とは異なる転置方法は実施の形態2にて説明する。

#### 【0155】

上述の半導体薄膜316を分離するための加熱処理は必ずしも必要なものではなく、例えば、脆化領域306にストレスを加えて（例えば、脆化領域306に対して平行な方向に、脆化領域306に薄い刃物を挿入するなど）、半導体基板300から半導体薄膜316

50

を機械的に分離する方法を用いてもよい。また、上述の機械的な分離方法を熱処理と同時に行うことにより、400 未満の温度においても半導体基板 300 から半導体薄膜 316 を分離することができる。

#### 【0156】

また、上述工程により第1の仮固定基板 314 上に設けられた半導体薄膜 316 は、その表面に脆化領域 306 の一部が存在している場合がある。脆化領域 306 は半導体基板 300 と比較して欠陥領域が多く存在する場合がある。また、半導体薄膜 316 の表面はイオンが照射された脆化領域 306 に相当するため、表面平坦性が低い場合がある。このため、半導体基板 300 から分離した半導体薄膜 316 に対して脆化領域 306 の除去および表面の平坦化を目的とした処理を行うことが好ましい。当該処理方法としては、化学機械研磨 (CMP: Chemical Mechanical Polishing) 処理、ドライエッチング処理または逆スパッタ処理などを用いればよい。これにより、脆化領域 306 が除去された、図 3 (C) の構造になる。また、半導体薄膜 316 の表面に対してレーザー光を照射することで半導体薄膜 316 の表面を熔融させ、半導体薄膜 316 の表面を平坦化してもよい。

10

#### 【0157】

次に、半導体薄膜 316 を用いて半導体素子を形成する。なお、本実施の形態においては、一例として、半導体薄膜 316 を活性層として用いた n チャネル型トランジスタおよび p チャネル型トランジスタの作製方法を記載する。勿論、半導体薄膜 316 を用いた半導体素子がこれら一対の n チャネル型トランジスタおよび p チャネル型トランジスタに限定

20

#### 【0158】

まず、フォトリソグラフィ法、印刷法、インクジェット法などを用いて半導体薄膜 316 上にレジストマスクを形成し、当該レジストマスクを用いて半導体薄膜 316 と絶縁膜 302 の一部を選択的に除去し、島状の半導体膜 400 a および島状の半導体膜 400 b を形成し、レジストマスクを除去する。そして、必要に応じて、島状の半導体膜にしきい値電圧をコントロールする為に微量の不純物添加 (いわゆるチャネルドーピング) を行う。要求されるしきい値電圧を得る為に N 型もしくは P 型を呈する不純物 (リン、ホウ素など) をイオンドーピング法などにより添加する。なお、本実施の形態では、半導体膜 400 a を n チャネル型トランジスタ、半導体膜 400 b を p チャネル型トランジスタとして記

30

#### 【0159】

n 型を付与する不純物元素としては 15 族に属する元素を用いればよく、リン (P)、砒素 (As) などを用いることができ、当該元素をイオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いて半導体膜 400 a 中に添加すればよい。また、p 型を付与する不純物元素としては 13 族に属する元素を用いればよく、ホウ素 (B)、アルミニウム (Al)、ガリウム (Ga) などを用いることができ、当該元素を上述の方法を用いて半導体膜 400 b 中に添加すればよい。なお、不純物元素の添加量については、トランジスタに必要なとされる特性を鑑みて、最適な条件を選択すればよい。

40

#### 【0160】

次に、半導体膜 400 a および半導体膜 400 b を覆う絶縁膜 401 を形成する (図 4 (A) 参照)。本実施の形態における半導体膜 400 a および半導体膜 400 b は平坦性が高いため、絶縁膜 401 が薄膜であっても、半導体膜の平坦性 (つまり、半導体膜の表面や側面の凹凸状態) に起因した欠陥が生じることがない。従って絶縁膜 401 の被覆不良による特性不良を防ぐことができ、高信頼性の半導体素子を歩留まりよく作製することができる。なお、絶縁膜 401 の薄膜化は、トランジスタを低電圧で高速に動作させる効果がある。

#### 【0161】

絶縁膜 401 は、真空蒸着法やスパッタリング法などの物理気相成長法 (PVD: Phy

50

sical Vapor Deposition)やプラズマCVD法などの化学気相成長法(CVD:Chemical Vapor Deposition)を用いて、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、窒化酸化アルミニウム膜または窒化アルミニウム膜などを、単層または積層して形成することができる。なお、本明細書中において、酸化窒化膜とは、その組成として、窒素よりも酸素の含有量が多いものを指し、窒化酸化膜とは、その組成として、酸素よりも窒素の含有量が多いものを指す。なお、本実施の形態では、プラズマ処理により絶縁膜401を形成する。これは、プラズマ処理により形成する膜は緻密で絶縁耐圧が高く信頼性に優れているためである。

#### 【0162】

あるいは、絶縁膜401を半導体膜400a、400bの表面を酸化若しくは窒化させることで形成してもよい。例えば、亜酸化窒素( $N_2O$ )をArで1~3倍(流量比)に希釈して、10~30Paの圧力にて3~5kWの電力を電極に印加し、マイクロ波(2.45GHz)により生成したプラズマを用いて、酸化若しくは窒化を行う。この処理により1nm~30nm(好ましくは2nm~20nm)の絶縁膜が形成される。さらにこの後、亜酸化窒素( $N_2O$ )とシラン( $SiH_4$ )を導入し、10~30Paの圧力にて3~5kWのマイクロ波(2.45GHz)電力を電極に印加して気相成長法により酸化窒化シリコン膜を形成しても良い。固相反応と気相成長法による反応を組み合わせることにより界面準位密度が低く絶縁耐圧の優れた絶縁膜を形成することができる。なお、絶縁膜401はゲート絶縁膜として機能する。

#### 【0163】

絶縁膜401の材料として、二酸化ジルコニウム、酸化ハフニウム、二酸化チタン、五酸化タンタルなどの高誘電率材料(high-k材料などとも呼ばれる)を用いても良い。絶縁膜401に高誘電率材料を用いることにより、後の工程にて形成されるゲート絶縁膜402aおよびゲート絶縁膜402bのゲートリーク電流を低減することができる。

#### 【0164】

本実施の形態では、絶縁膜401として、上述のマイクロ波により生成したプラズマを用いて15nmの酸化シリコン膜を形成して用いる。

#### 【0165】

次に、絶縁膜401上に導電膜を形成した後にフォトリソグラフィ法、印刷法、インクジェット法などを用いて導電膜上にレジストマスクを形成し、当該レジストマスクを用いて導電膜および絶縁膜401の一部を選択的に除去してゲート電極404aおよびゲート電極404b、並びに、ゲート絶縁膜402aおよびゲート絶縁膜402bを形成してレジストマスクを除去する(図4(B)参照)。

#### 【0166】

ゲート電極404aおよびゲート電極404bとなる導電膜は、真空蒸着法やスパッタリング法などの物理気相成長法(PVD:Physical Vapor Deposition)やプラズマCVD法などの化学気相成長法(CVD:Chemical Vapor Deposition)を用いて、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ネオジム(Nd)から選ばれた元素、又はAgPdCu合金などの前記元素を主成分とする合金材料もしくは化合物材料を含む膜で形成すればよい。また、ゲート電極となる導電膜としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。

#### 【0167】

本実施の形態では、ゲート電極404aおよびゲート電極404bとなる導電膜として、30nmの窒化タンタル膜と170nmのタングステン膜の積層膜を形成する。

#### 【0168】

次に、半導体膜400bを覆うマスクを形成し、半導体膜400aに対してn型を付与する不純物元素の添加処理を行い、マスクを除去する。これにより、ゲート電極404aと

10

20

30

40

50



重ならない半導体膜 4 0 0 a が n 型不純物領域 4 1 0 a および n 型不純物領域 4 1 0 b になり、ゲート電極 4 0 4 a と重なる半導体膜 4 0 0 a がチャネル形成領域 4 1 0 c として機能する。その後、半導体膜 4 0 0 a を覆うマスクを形成し、半導体膜 4 0 0 b に対して p 型を付与する不純物元素の添加処理を行い、マスクを除去する。これにより、ゲート電極 4 0 4 b と重ならない半導体膜 4 0 0 b が p 型不純物領域 4 1 6 a および p 型不純物領域 4 1 6 b になり、ゲート電極 4 0 4 b と重なる半導体膜 4 0 0 b はチャネル形成領域 4 1 6 c として機能する。(図 4 (C) 参照)。なお、n 型を付与する不純物元素の添加処理と、p 型を付与する不純物元素の添加は、どちらを先に行ってもよい。

【0169】

n 型を付与する不純物元素および p 型を付与する不純物元素としては、チャネルドーピングの説明にて記載した元素を用いればよく、不純物元素の添加量についても、トランジスタに必要とされる特性を鑑みて、条件を選択すればよい。

10

【0170】

以上の工程により、半導体薄膜 3 1 6 を活性層として用いた n チャネル型トランジスタ 4 3 8 および p チャネル型トランジスタ 4 4 0 が形成される(図 4 (C) 参照)。なお、本実施の形態に記載したトランジスタの構造はあくまでも一例であり、その構造に特段の限定はない。また、トランジスタ以外の半導体素子が含まれていてもよい。また、半導体素子の形成に用いる各種の膜を用いた素子(例えば、例えば、絶縁膜や導電膜などにより構成された容量素子など)を、半導体素子と共に形成してもよい。

【0171】

20

次に、上述の n チャネル型トランジスタ 4 3 8 および p チャネル型トランジスタ 4 4 0 を覆う単層または積層構造の層間絶縁層 4 5 0 を形成する。これにより、半導体薄膜 3 1 6 を活性層として用いた n チャネル型トランジスタおよび p チャネル型トランジスタを含む第 1 の層 1 1 1 が形成される(図 4 (D) 参照)。

【0172】

また、層間絶縁層 4 5 0 として、スピンコート法、印刷法、ディスペンス法またはインクジェット法などを用いて絶縁性を有する有機材料を塗布し、塗布した材料に応じた硬化処理(例えば、加熱処理や光照射処理など)を行い形成してもよい。絶縁性を有する有機材料としては、例えば、アクリル樹脂、ポリイミド樹脂、ポリアミド樹脂、ポリアミドイミド樹脂、エポキシ樹脂等の有機樹脂を用いて形成することができる。また、有機材料だけでなく、無機材料を使用しても良い。また、低誘電率材料(low-k 材料)、シロキサン系樹脂、PSG(リンガラス)、BPSG(リンボロンガラス)等を用いることができる。

30

【0173】

本実施の形態では、層間絶縁層 4 5 0 として、500 nm の酸化窒化シリコンを形成して用いる。

【0174】

第 1 の層 1 1 1 上には、後の工程にて OS トランジスタを含む第 2 の層を形成するため、層間絶縁層 4 5 0 に設けた開口部を介して n チャネル型トランジスタ 4 3 8 や p チャネル型トランジスタ 4 4 0 に電氣的に接続された配線層 4 5 5 を形成する(図 4 (D) 参照)。

40

【0175】

配線層 4 5 5 は、ゲート電極 4 0 4 a と同様の方法および材料を用いて形成することができる。なお、図 4 (D) ではゲート電極 4 0 4 a および 4 0 4 b は配線層 4 5 5 と直接接続されるように図示されていないが、勿論これに限定されることはない。

【0176】

本実施の形態では、配線層 4 5 5 として、150 nm のタングステン膜を形成して用いる。

【0177】

なお、配線層 4 5 5 形成後、層間絶縁層 4 5 0 および配線層 4 5 5 上に、更に層間絶縁層

50

４６２を単層または積層構造で形成し、当該膜を平坦化することが好ましい（図５（Ａ）参照）。これにより、第１の層１１１上に更に異なる回路層（本実施の形態では、第２の層１１２）を形成する場合において、第１の層１１１の構成要素（例えば、ｎチャネル型トランジスタ４３８やｐチャネル型トランジスタ４４０など）に起因して生じる凹凸により、第１の層１１１上に形成する膜の段切れ等を抑制でき、回路層１１０の不良を低減できる。

【０１７８】

層間絶縁層４６２としては、絶縁膜３０２あるいは層間絶縁層４５０の説明にて記載した材料および方法を用いることができる。また、平坦化処理としては、接合層と同様の方法を用いればよい。

10

【０１７９】

本実施の形態では、層間絶縁層４６２として、ＴＥＯＳを用いて４００ｎｍの酸化シリコン膜を成膜し、当該膜に対して平坦化処理としてＣＭＰ処理を行うことにより形成した膜を用いる。

【０１８０】

また、層間絶縁層４６２上に、第１の層１１１に形成された構成要素（本実施の形態では、ｎチャネル型トランジスタ４３８およびｐチャネル型トランジスタ４４０）のいずれか一つ以上と電氣的に接続された配線層４６４および、単層または積層構造で形成された層間絶縁層４６６を形成する。

【０１８１】

20

配線層４６４は、上述工程にて第１の層１１１に形成された構成要素（本実施の形態では、ｎチャネル型トランジスタ４３８やｐチャネル型トランジスタ４４０）と後の工程にて形成される第２の層に形成される構成要素を電氣的に接続するために用いる。

【０１８２】

図５（Ａ）のように、配線層４６４でｎチャネル型トランジスタ４３８およびｐチャネル型トランジスタ４４０を電氣的に接続することにより、例えば、活性層が単結晶半導体膜により形成された高速駆動が可能なアナログスイッチ（またはアナログスイッチの一部）を形成できる（図６（Ｂ）参照）。

【０１８３】

なお、配線層４６４の形成工程にて、後の工程にて形成するＯＳトランジスタのバックゲート電極を形成してもよい。バックゲート電極に電圧を印加することによってトランジスタのノーマリーオフ化を確実なものとすることができるため好ましい。

30

【０１８４】

配線層４６４は、ゲート電極４０４ａ、４０４ｂの説明にて記載した材料および方法を用いることができる。なお、本実施の形態では、配線層４５５と同様に１５０ｎｍのタンゲステン膜を形成して用いる。

【０１８５】

層間絶縁層４６６は、絶縁膜３０２の説明にて記載した材料および方法を用いて形成し、配線層４６４形成により生じる凹凸を緩和するために平坦化処理を行うことが好ましい。本実施の形態では、層間絶縁層４６２および配線層４６４上に窒化酸化シリコン膜を成膜し、当該膜に対してＣＭＰにより平坦化処理を行い、層間絶縁層４６６として用いる。

40

【０１８６】

なお、後の工程にて形成する第２の層１１２と上述にて記載した第１の層１１１との間（本実施の形態では、配線層４６４および層間絶縁層４６６上）に、層間絶縁層４６８を形成することが好ましい。

【０１８７】

層間絶縁層４６８は、第１の層１１１と第２の層１１２の間で、トランジスタの電気特性に悪影響を及ぼす不純物が拡散する事を抑制するためのものである。

【０１８８】

後の工程にて形成するＯＳトランジスタは、酸化物半導体膜に水素が多量に含まれると、

50

酸化物半導体と結合することによって、水素の一部がドナーとなり、キャリアである電子を生じてしまい、トランジスタのしきい値電圧のマイナス方向へのシフト、トランジスタの初期特性のバラツキの増大、トランジスタの電気特性に関する長依存性の増大、BT ストレス試験において電気特性劣化が大きくなる、といった問題が生じる原因となる恐れがある。このため、酸化物半導体膜中の水素濃度は、 $7.2 \times 10^{20} \text{ atoms/cm}^3$  未満とすることが好ましい。あるいは、酸化物半導体膜の水素濃度は  $5 \times 10^{19} \text{ atoms/cm}^3$  以下とすることが好ましい。

【0189】

このため、単結晶半導体膜（本実施の形態では、単結晶シリコン膜）を活性層として用いたトランジスタを含む第1の層111から、OSTランジスタを含む第2の層112への水素拡散を抑制することが推奨され、本実施の形態では、当該機能を有する酸化アルミニウム膜をスパッタリング法により50nmの膜厚で成膜して層間絶縁層468として用いる。なお、酸化アルミニウム膜は、膜を高密度（膜密度  $3.2 \text{ g/cm}^3$  以上、好ましくは  $3.6 \text{ g/cm}^3$  以上）とすることが好ましい。

【0190】

本実施の形態では、層間絶縁層468として、スパッタリング法を用いて50nmの酸化アルミニウム膜を成膜して用いる。

【0191】

< 第2の層112の作製方法 >

次に、第1の層111上に、酸化物半導体薄膜を用いた半導体素子を有する第2の層112を形成する方法について説明する。

【0192】

まず、層間絶縁層468上に絶縁膜700を形成し、絶縁膜700上に島状の酸化物半導体膜702を形成する（図5（B）参照）。絶縁膜700は、絶縁膜302と同様の方法および材料を用いて形成することができる。

【0193】

なお、絶縁膜700（絶縁膜700が積層構造である場合、最表面の絶縁膜）としては、加熱処理により酸素を放出する膜（以下、酸素供給膜と記載する場合もある）が形成されていることが好ましい。以下に理由を記載する。

【0194】

絶縁膜700上には、酸化物半導体膜を形成するが、OSTランジスタはチャネル形成領域に酸素欠損が存在すると、酸素欠損に起因して電荷が生じる場合がある。酸化物半導体膜の酸素欠損は一部がドナーとなりキャリアである電子を放出する。この結果、トランジスタのしきい値電圧がマイナス方向にシフトしてしまう。

【0195】

絶縁膜700（絶縁膜700が積層構造である場合、最表面の絶縁膜）が酸素供給膜として機能する場合、加熱処理によって酸素供給膜中の酸素の一部を放出できるので、酸化物半導体膜を成膜後、酸素供給層を加熱して酸化物半導体膜に酸素を供給し、酸化物半導体膜中の酸素欠損を補填することができる。これにより、OSTランジスタのしきい値電圧のマイナス方向へのシフトを抑制できる。特に、酸素供給膜中に化学量論的組成を超える量の酸素が存在することが好ましい。例えば、酸素供給膜として酸化シリコンを用いる場合、 $\text{SiO}_{2+x}$ （ただし、 $x > 0$ ）で表される酸化シリコン膜を用いることが好ましい。なお、このような化学量論的組成よりも酸素を過剰に含む領域（以下、酸素過剰領域と記載する場合もある）は、酸素供給膜の少なくとも一部に存在していればよい。

【0196】

なお、上述の「加熱処理により酸素を放出する膜」とは、TDS（Thermal Desorption Spectroscopy：昇温脱離ガス分光法）分析にて、酸素原子に換算しての酸素の放出量が  $1.0 \times 10^{19} \text{ atoms/cm}^3$  以上、あるいは  $3.0 \times 10^{19} \text{ atoms/cm}^3$  以上、あるいは  $1.0 \times 10^{20} \text{ atoms/cm}^3$  以上、あるいは  $3.0 \times 10^{20} \text{ atoms/cm}^3$  以上であることをいう。

## 【 0 1 9 7 】

ここで、TDS分析にて、酸素原子に換算しての酸素の放出量の測定方法について、以下に説明する。

## 【 0 1 9 8 】

TDS分析による気体の放出量は、スペクトルの積分値に比例する。このため、測定したスペクトルの積分値と標準試料の基準値との比により、気体の放出量を計算することができる。標準試料の基準値は、所定の原子密度を有する試料において、スペクトルの積分値に対する原子密度の割合である。

## 【 0 1 9 9 】

例えば、標準試料である所定の密度の水素を含むシリコンウェハのTDS分析結果、および絶縁膜のTDS分析結果から、絶縁膜の酸素分子の放出量( $N_{O_2}$ )は、式(4)で求めることができる。ここで、TDS分析で得られる質量電荷比( $M/z$ )が32で検出されるスペクトルの全てが酸素分子由来と仮定する。 $M/z$ が32のものとしてほかに $CH_3OH$ があるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である $M/z$ が17の酸素原子および $M/z$ が18の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

## 【 0 2 0 0 】

## 【数4】

$$N_{O_2} = \frac{N_{H_2}}{S_{H_2}} \times S_{O_2} \times a \quad (4)$$

## 【 0 2 0 1 】

$N_{H_2}$ は、標準試料から脱離した水素分子を密度で換算した値である。 $S_{H_2}$ は、標準試料をTDSによるスペクトルの積分値である。ここで、標準試料の基準値を、 $N_{H_2}/S_{H_2}$ とする。 $S_{O_2}$ は、絶縁膜をTDS分析によるスペクトルの積分値である。 $a$ は、TDSにおけるスペクトル強度に影響する係数である。式(4)の詳細に関しては、特開平6-275697公報を参照する。なお、上記絶縁膜の酸素の放出量は、例えば電子科学株式会社製の昇温脱離分析装置EMD-WA1000S/Wを用い、標準試料として $1 \times 10^{16}$  atoms/cm<sup>2</sup>の水素原子を含むシリコンウェハを用いて測定することができる。

## 【 0 2 0 2 】

また、TDS分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の $a$ は酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量についても見積もることができる。

## 【 0 2 0 3 】

なお、 $N_{O_2}$ は酸素分子の放出量である。酸素原子に換算したときの放出量は、酸素分子の放出量の2倍となる。

## 【 0 2 0 4 】

膜中への酸素の導入は、酸素雰囲気下による熱処理や、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法、酸素を含む雰囲気下で行うプラズマ処理などを用いることができる。

## 【 0 2 0 5 】

なお、加熱処理により酸素供給膜から酸化物半導体膜に酸素を供給する場合、酸素供給膜から放出される酸素が酸化物半導体膜に効率的に供給されるように、酸素供給膜の下層(つまり、酸素供給膜の、酸化物半導体膜と接する面(または、酸化物半導体膜に近い面)とは逆の面)に酸素透過性や水蒸気透過性(水分透過性とも表現できる)の低い膜(以下、バリア膜と記載する場合もある)を形成することが好ましい。例えば絶縁膜700として、上述記載の酸素供給膜の下層に、酸化アルミニウム膜、酸化窒化アルミニウム膜、窒

10

20

30

40

50

化酸化アルミニウム膜などのバリア膜を形成した積層構造とすればよい。なお、酸化アルミニウム膜を用いる場合、膜を高密度（膜密度  $3.2 \text{ g/cm}^3$  以上、好ましくは  $3.6 \text{ g/cm}^3$  以上）とすることが好ましい。

【0206】

本実施の形態では、絶縁膜 700 としてスパッタリング法を用いて  $300 \text{ nm}$  の酸化シリコン膜を形成して用いる。

【0207】

なお、本実施の形態では層間絶縁層 468 上に絶縁膜 700 を形成する説明を記載したが、絶縁膜 700 を形成しなくても上述のような問題が解決されるようであれば、必ずしも形成する必要はない。

【0208】

酸化物半導体膜 702 は、まず酸化物半導体膜をスパッタリング法、MBE (Molecular Beam Epitaxy) 法、CVD 法、パルスレーザ堆積法、ALD (Atomic Layer Deposition) 法を用いて成膜した後、フォトリソグラフィ工程により酸化物半導体膜上にレジストマスクを形成して当該レジストマスクを用いて酸化物半導体膜を選択的にエッチングし、酸化物半導体膜 702 を形成すればよい。なお、酸化物半導体膜 702 形成後に、レジストマスクを除去する。酸化物半導体膜の膜厚は  $5 \text{ nm}$  より大きく  $200 \text{ nm}$  以下とし、 $10 \text{ nm}$  以上  $30 \text{ nm}$  以下とすることが好ましい。

【0209】

酸化物半導体膜 702 は、上述に記載したように膜中の酸素欠損が極力少ないことが好ましい。酸化物半導体膜 702 中の酸素欠損を極力少なくするためには、酸化物半導体膜の成膜雰囲気中において、ガス種に占める酸素ガスの割合が高い状態で成膜することが好ましい。このため、装置内に酸素を導入することが可能で、かつ、ガス流量の調整ができる装置、例えばスパッタリング装置を用いることが好ましいといえる。そして、スパッタリング装置の成膜チャンバー内への導入ガスは、全体の  $90\%$  以上を酸素ガスとして、酸素ガスに加えて他のガスを用いる場合は、当該ガスは希ガスを用いることが望ましい。また、より好ましくは成膜チャンバー内への導入ガスを酸素ガスのみとし、成膜雰囲気中のガス種に占める酸素ガスの割合を極力  $100\%$  に近づけることが望ましい。

【0210】

また、上述にて記載したように、酸化物半導体膜 702 には水素が極力含まれないことが好ましい。そのため、酸化物半導体膜 702 において、水素濃度は、 $5 \times 10^{18} \text{ atoms/cm}^3$  未満、好ましくは  $1 \times 10^{18} \text{ atoms/cm}^3$  以下、より好ましくは  $5 \times 10^{17} \text{ atoms/cm}^3$  以下、更に好ましくは  $1 \times 10^{16} \text{ atoms/cm}^3$  以下とすることが望ましい。なお、上述の酸化物半導体膜中の水素濃度は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) で測定されるものである。

【0211】

上述の理由により、酸化物半導体膜 702 を成膜する際に用いるガスとしては、水、水素、水酸基を有する化合物又は水素化物などの不純物が含まれないことが好ましく、純度が  $6 \text{ N}$  以上好ましくは  $7 \text{ N}$  以上（即ち、ガス中の不純物濃度を  $1 \text{ ppm}$  以下、好ましくは  $0.1 \text{ ppm}$  以下）のガスを用いることが好ましい。

【0212】

酸化物半導体膜 702 を成膜するにあたり、成膜室内の水分（水、水素、水酸基を有する化合物または水酸化物を含む）を除去するために、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段は、ターボ分子ポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水 ( $\text{H}_2\text{O}$ ) など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる水素、水分などの不純物の濃度を低減できる。

## 【 0 2 1 3 】

酸化物半導体膜の成膜は、減圧状態に保持された成膜室内に基板（つまり、第1の仮固定基板314）を保持して行う。このとき、基板を加熱しながら成膜してもよく、基板を加熱する場合、温度を100以上、基板の歪み点以下として行う。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる水素、水分などの不純物濃度を低減する（脱水化处理、脱水素化处理とも表現できる）ことができる。また、スパッタリングによる脆化が軽減されるため好ましい。

## 【 0 2 1 4 】

また、基板に対して酸化物半導体膜を成膜する前に、成膜チャンパー内で基板に対して加熱処理をすることにより、基板に吸着した当該不純物を除去することができる。当該加熱処理は、例えば、基板（つまり、第1の仮固定基板314）の温度を室温以上450以下、好ましくは100以上450以下とすればよい。なお、成膜チャンパー内を高真空状態とすることにより、短時間で効率よく不純物除去を行うことができる。

10

## 【 0 2 1 5 】

一方、酸化物半導体膜702に、アルカリ金属またはアルカリ土類金属が含まれると、酸化物半導体と結合することによって、キャリアが生成されることがあり、トランジスタのオフ電流が上昇する原因となる。そのため、酸化物半導体膜702において、アルカリ金属またはアルカリ土類金属の濃度は、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下とすることが望ましい。

## 【 0 2 1 6 】

スパッタリング装置にて用いるターゲットは、相対密度が90%以上、好ましくは95%以上、より好ましくは99%以上であることが望ましい。相対密度の高いターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

20

## 【 0 2 1 7 】

酸化物半導体膜に用いる酸化物半導体材料としては、インジウム（In）を含む。特にInと亜鉛（Zn）を含むことが好ましい。また、該酸化物半導体材料を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム（Ga）を有することが好ましい。また、スタビライザーとしてスズ（Sn）を有することが好ましい。また、スタビライザーとしてハフニウム（Hf）を有することが好ましい。また、スタビライザーとしてアルミニウム（Al）を有することが好ましい。また、スタビライザーとしてジルコニウム（Zr）を有することが好ましい。

30

## 【 0 2 1 8 】

また、他のスタビライザーとして、ランタノイドである、ランタン（La）、セリウム（Ce）、プラセオジウム（Pr）、ネオジウム（Nd）、サマリウム（Sm）、ユウロピウム（Eu）、ガドリニウム（Gd）、テルビウム（Tb）、ジスプロシウム（Dy）、ホルミウム（Ho）、エルビウム（Er）、ツリウム（Tm）、イッテルビウム（Yb）、ルテチウム（Lu）のいずれか一種あるいは複数種を有してもよい。

## 【 0 2 1 9 】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn系酸化物、In-Mg系酸化物、In-Ga系酸化物、In-Ga-Zn系酸化物（IGZOとも表記する）、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

40

## 【 0 2 2 0 】

50

なお、ここで、例えば、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

【0221】

また、酸化物半導体として、 $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ 、且つ、 $m$ は整数でない) で表記される材料を用いてもよい。なお、 $M$ は、Ga、Fe、Mn及びCoから選ばれた一の金属元素又は複数の金属元素を示す。また、酸化物半導体として、 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$  ( $n > 0$ 、且つ、 $n$ は整数) で表記される材料を用いてもよい。

【0222】

成膜された酸化物半導体膜702は、単結晶、多結晶(ポリクリスタルともいう)または非晶質などの状態をとる。

10

【0223】

酸化物半導体膜702は、例えば非単結晶を有してもよい。非単結晶は、例えば、CAAC(C Axis Aligned Crystal)、多結晶、微結晶、非晶質部を有する。非晶質部は、微結晶、CAACよりも欠陥準位密度が高い。また、微結晶は、CAACよりも欠陥準位密度が高い。なお、CAACを有する酸化物半導体を、CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)と呼ぶ。

【0224】

酸化物半導体膜702は、例えばCAAC-OSを有してもよい。CAAC-OSは、例えば、c軸配向し、a軸または/およびb軸はマクロに揃っていない。

20

【0225】

酸化物半導体膜702は、例えば微結晶を有してもよい。なお、微結晶を有する酸化物半導体を、微結晶酸化物半導体と呼ぶ。微結晶酸化物半導体膜は、例えば、1nm以上10nm未満のサイズの微結晶(ナノ結晶ともいう)を膜中に含む。

【0226】

酸化物半導体膜702は、例えば非晶質部を有してもよい。なお、非晶質部を有する酸化物半導体を、非晶質酸化物半導体と呼ぶ。非晶質酸化物半導体膜は、例えば、原子配列が無秩序であり、結晶成分を有さない。または、非晶質酸化物半導体膜は、例えば、完全な非晶質であり、結晶部を有さない。

30

【0227】

なお、酸化物半導体膜702が、CAAC-OS、微結晶酸化物半導体、非晶質酸化物半導体の混合膜であってもよい。混合膜は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、CAAC-OSの領域と、を有する。また、混合膜は、例えば、非晶質酸化物半導体の領域と、微結晶酸化物半導体の領域と、CAAC-OSの領域と、の積層構造を有してもよい。

【0228】

なお、酸化物半導体膜702は、上述したように、例えば、単結晶を有してもよい。

【0229】

酸化物半導体膜702は、複数の結晶部を有し、当該結晶部のc軸が被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃っていることが好ましい。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。そのような酸化物半導体膜の一例としては、CAAC-OS膜がある。

40

【0230】

CAAC-OS膜は、完全な非晶質ではない。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部との境界、結晶部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には明確な粒界(グレインバウンダリーともいう)は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動

50

度の低下が抑制される。

【0231】

C A A C - O S 膜に含まれる結晶部は、c 軸が C A A C - O S 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃い、かつ a b 面に垂直な方向から見て金属原子が三角形または六角形状に配列し、c 軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれ a 軸および b 軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、80°以上100°以下、あるいは85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-10°以上10°以下、あるいは-5°以上5°以下の範囲も含まれることとする。

10

【0232】

なお、C A A C - O S 膜において、結晶部の分布が一様でなくてもよい。例えば、C A A C - O S 膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、C A A C - O S 膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【0233】

C A A C - O S 膜に含まれる結晶部の c 軸は、C A A C - O S 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃うため、C A A C - O S 膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。また、結晶部は、成膜したとき、または成膜後に加熱処理などの結晶化処理を行ったときに形成される。従って、結晶部の c 軸は、C A A C - O S 膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃う。

20

【0234】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【0235】

なお、酸化物半導体膜を構成する酸素の一部は窒素で置換されてもよい。

【0236】

また、C A A C - O S 膜のように結晶部を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ (R a) が 1 nm 以下、好ましくは 0.3 nm 以下、より好ましくは 0.1 nm 以下の表面上に形成するとよい。そのため、酸化物半導体を形成する面に対して平坦化処理を行うことが好ましい。平坦化処理としては、例えば、逆スパッタ、ドライエッチング法、化学機械研磨 (C M P : C h e m i c a l M e c h a n i c a l P o l i s h i n g) 処理などを用いればよい。なお、ここで言う「逆スパッタ」とは、ターゲット側に電圧を印加せず、アルゴン、窒素、ヘリウム、酸素等の雰囲気下で基板側に高周波電源を用いて電圧を印加することによって基板近傍にプラズマを形成し、表面（ここでは、酸化物半導体膜）を改質する方法を指す。

30

40

【0237】

上述平坦化処理のうち、C M P 処理を行う場合は、1 回のみ行ってもよいし、複数回行ってもよい。複数回に分けて C M P 処理を行う場合は、高い研磨レートの一次研磨を行った後、低い研磨レートの仕上げ研磨を行うことが好ましい。このように研磨レートの異なる研磨を組み合わせることによって、酸化物半導体を形成する面の平坦性をより向上させることができる。

【0238】

なお、上述の「平均面粗さ (R a)」は、J I S B 0601:2001 (I S O 4287:1997) で定義されている算術平均粗さを曲面に対して適用できるよう三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」で表現でき

50



、以下の式にて定義される。

【 0 2 3 9 】

【 数 5 】

$$R_a = \frac{1}{S_0} \int_{y1}^{y2} \int_{x1}^{x2} |f(x, y) - Z_0| dx dy \quad (5)$$

【 0 2 4 0 】

ここで、指定面とは、粗さ計測の対象となる面であり、座標（ $x_1, y_1, f(x_1, y_1)$ ）、（ $x_1, y_2, f(x_1, y_2)$ ）、（ $x_2, y_1, f(x_2, y_1)$ ）、（ $x_2, y_2, f(x_2, y_2)$ ）の4点で表される四角形の領域とし、指定面を $xy$ 平面に投影した長方形の面積を $S_0$ 、基準面の高さ（指定面の平均の高さ）を $Z_0$ とする。 $R_a$ は原子間力顕微鏡（AFM：Atomic Force Microscope）にて測定可能である。

10

【 0 2 4 1 】

酸化物半導体膜としてCAAC-OS膜を成膜する場合、以下の三つの方法で成膜すればよい。第1の方法は、200 以上450 以下の成膜温度で酸化物半導体膜を成膜し、酸化物半導体膜702をCAAC-OS膜とする方法である。第2の方法は、酸化物半導体膜702を成膜した後、当該膜に対して200 以上700 以下の熱処理を行うことで、酸化物半導体膜702をCAAC-OS膜とする方法である。第3の方法は、酸化物半導体膜を2層に分けて成膜し、1層目の酸化物半導体膜を薄く成膜した後、200 以上700 以下の熱処理を行い1層目の膜をCAAC-OS膜とし、当該膜上に2層目の成膜を行うことで、1層目の結晶を種結晶として2層目の酸化物半導体膜をCAAC-OS膜とする方法である。

20

【 0 2 4 2 】

上記の方法を用いて成膜した酸化物半導体膜（好ましくは、CAAC-OS膜）上に、フォトリソグラフィ工程によりレジストマスクを形成して当該レジストマスクを用いて選択的にエッチングすることで、島状の酸化物半導体膜702が形成される。

【 0 2 4 3 】

なお、酸化物半導体膜の成膜後、または、島状の酸化物半導体膜702の形成後に、酸化物半導体膜（または酸化物半導体膜702）に対して、以下に記載する「脱水化処理（脱水素化処理）」および「過酸素化処理」を行ってもよい。

30

【 0 2 4 4 】

< 脱水化処理（脱水素化処理） >

脱水化処理（脱水素化処理）としては、300 以上700 以下、または基板の歪み点未満の温度で基板を加熱すればよい。当該熱処理を行うことで、過剰な水素（水や水酸基を含む）を除去することが可能である。

【 0 2 4 5 】

熱処理装置は、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いることができる。例えば、電気炉や、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体を用いられる。

40

【 0 2 4 6 】

例えば、当該熱処理として、熱せられた不活性ガス雰囲気中に被処理物を投入し、数分間

50

熱した後、当該不活性ガス雰囲気から被処理物を取り出すGRTA処理を行ってもよい。GRTA処理を用いると短時間での高温熱処理が可能となる。また、被処理物の耐熱温度を超える温度条件であっても適用が可能となる。なお、処理中に、不活性ガスを、酸素を含むガスに切り替えても良い。

#### 【0247】

なお、不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を含む雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上（すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下）とする。

10

#### 【0248】

##### <過酸素化処理>

上述の脱水化又は脱水素化処理を行うと、酸化物半導体膜を構成する成分である酸素が同時に脱離して減少してしまうおそれがある。よって、脱水化又は脱水素化処理を行った場合、酸化物半導体膜中に、酸素を供給する、すなわち過酸素化処理を行うことが好ましい。

#### 【0249】

酸化物半導体膜中の酸素欠損を補填する方法としては、例えば、酸化物半導体膜に対して脱水化処理（脱水素化処理）を行った後、同じ炉に高純度の酸素ガス、一酸化二窒素ガス、又は超乾燥エア（CRDS（キャビティリングダウンレーザー分光法）方式の露点計を用いて測定した場合の水分量が20ppm（露点換算で-55）以下、好ましくは1ppm以下、より好ましくは10ppb以下の空気）を導入すればよい。酸素ガスまたは一酸化二窒素ガスに、水、水素などが含まれないことが好ましい。または、熱処理装置に導入する酸素ガスまたは一酸化二窒素ガスの純度を、6N以上好ましくは7N以上（即ち、酸素ガスまたは一酸化二窒素ガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。なお、上述の加熱処理の際に装置内の圧力を高圧状態とすることにより、酸化物半導体膜に酸素を効率的に添加することができる。

20

#### 【0250】

また、酸化物半導体膜中の酸素欠損を補填する他の方法としては、例えば、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理などを用いて、酸化物半導体膜（または酸化物半導体膜702）に酸素（少なくとも、酸素ラジカル、酸素原子、酸素イオン、のいずれかを含む）を添加する方法を用いることもできる。

30

#### 【0251】

上述のように、成膜後の酸化物半導体膜には、脱水化処理（脱水素化処理）を行い水素もしくは水分を酸化物半導体膜から除去して不純物が極力含まれないように高純度化し、同時に減少する酸素を供給して酸素欠損を補填することができる。

#### 【0252】

本実施の形態では、上述の水素含有量の少ないガスを用い、基板温度を200に保持し、スパッタリング法により15nmのIGZO膜を成膜してCAAC-OS膜を形成し、当該膜に対して350の窒素ガス雰囲気中で1時間の加熱処理を行うことにより脱水素化処理を行った後、更に当該膜に対して350の窒素および酸素の混合ガス雰囲気中で1時間の加熱処理を行うことにより過酸素化処理を行い、当該膜を島状に加工した膜を酸化物半導体膜702として用いる。

40

#### 【0253】

次に、酸化物半導体膜702上に、酸化物半導体膜702と電氣的に接続された導電膜704、酸化物半導体膜702の一部を覆うゲート絶縁膜706、ゲート絶縁膜706を挟んで酸化物半導体膜702と重なるゲート電極708を形成する。そして、ゲート電極708をマスクとして、酸化物半導体膜702の抵抗値を低減する機能を有する不純物イオンを酸化物半導体膜702に添加することで、酸化物半導体膜702中に低抵抗領域70

50

2 a およびチャネル形成領域 7 0 2 b を形成する。これにより、酸化物半導体膜を活性層としてのトランジスタ 7 2 0 およびトランジスタ 7 3 0 が形成される（図 6（A）参照）。

【 0 2 5 4 】

導電膜 7 0 4、ゲート絶縁膜 7 0 6 およびゲート電極 7 0 8 としてはそれぞれ、ゲート電極 4 0 4 a、絶縁膜 4 0 1 およびゲート電極 4 0 4 a と同様の方法および材料を用いて形成することができる。

【 0 2 5 5 】

酸化物半導体膜 7 0 2 に接する導電膜 7 0 4 として、例えば、タングステン膜、チタン膜またはモリブデン膜を単層構造、あるいは積層構造で成膜すればよく、特にタングステン膜を用いることが好ましい。

10

【 0 2 5 6 】

例えば、タングステン膜とその上に形成されたチタン膜の積層を導電膜 7 0 4 として設けることができる。

【 0 2 5 7 】

また、上述の酸化物半導体膜 7 0 2 に添加する不純物イオンとしては、15 族元素（代表的には窒素（N）、リン（P）、砒素（As）、およびアンチモン（Sb））、ホウ素（B）、アルミニウム（Al）、アルゴン（Ar）、ヘリウム（He）、ネオン（Ne）、インジウム（In）、フッ素（F）、塩素（Cl）、チタン（Ti）、及び亜鉛（Zn）のいずれかから選択される一以上を用いることができる。なお、上述の不純物イオンの添加は必ずしも行う必要はない。

20

【 0 2 5 8 】

本実施の形態では、スパッタリング法により成膜した 100 nm のタングステン膜を導電膜 7 0 4 として用い、マイクロ波により生成したプラズマを用いて成膜した 20 nm の酸化シリコン膜をゲート絶縁膜 7 0 6 として用い、スパッタリング法により成膜した 30 nm の窒化タンタル膜と 135 nm のタングステン膜からなる積層膜をゲート電極 7 0 8 として用いる。

【 0 2 5 9 】

そして、トランジスタ 7 2 0 およびトランジスタ 7 3 0 上に層間絶縁膜 7 4 0 a および層間絶縁膜 7 4 0 b を含む層間絶縁層 7 4 0 を形成することにより、第 2 の層 1 1 2 を形成する（図 6（B）参照）。

30

【 0 2 6 0 】

層間絶縁層 7 4 0 は、上述にて記載した層間絶縁層 4 5 0 や絶縁膜 4 0 1 などと同様の方法および材料を用いることができる。

【 0 2 6 1 】

また、層間絶縁層 7 4 0 を形成する前に、例えば、ゲート絶縁膜 7 0 6 を挟んで導電膜 7 0 4 上の一部に導電膜 7 1 1 を形成して容量素子 7 1 2 を形成することにより、図 1（B）にて記載したラッチ回路を含む第 2 の層 1 1 2 を形成できる（図 6（B）参照）。

【 0 2 6 2 】

本実施の形態では、スパッタリング法により成膜した 70 nm の酸化アルミニウム膜を層間絶縁膜 7 4 0 a として用い、スパッタリング法により成膜した 300 nm の酸化シリコン膜を層間絶縁膜 7 4 0 b として用いる。

40

【 0 2 6 3 】

以上の工程を経ることにより、第 1 の仮固定基板 3 1 4 上に、剥離層 3 1 0 を挟んで単結晶半導体膜を活性層として用いたトランジスタを含む第 1 の層 1 1 1 と、OS トランジスタを含む第 2 の層 1 1 2 を備える回路層 1 1 0 が形成される（図 6（B）参照）。

【 0 2 6 4 】

なお、第 2 の層 1 1 2 上には、第 2 の層 1 1 2 が備える構成要素（例えば、トランジスタなど）と電氣的に接続された導電層 7 1 6 a および導電層 7 1 6 a と直接接していない導電層 7 1 6 b が形成されていることが好ましい（図 7 参照）。導電層 7 1 6 a および導電

50

層 7 1 6 b を他の装置（例えば表示装置など）の表面に露出した導電層（例えば、引き回し配線など）と導電性材料を用いて電氣的に接続することにより、後の工程にて形成される、回路層 1 1 0 を備える信号処理装置 1 0 0 を該他の装置（に容易に実装することができる。なお、図 7 に示すように、導電層 7 1 6 a および導電層 7 1 6 b は回路層 1 1 0 の一部に含まれると解釈してもよい。

#### 【 0 2 6 5 】

導電層 7 1 6 a および導電層 7 1 6 b としては、ゲート電極 4 0 4 a の説明に記載した材料を用いればよく、本実施の形態では、導電層 7 1 6 a および導電層 7 1 6 b として、50 nm のチタン膜、200 nm のアルミニウム膜および 50 nm のチタン膜を、この順にスパッタリング法を用いて形成した積層膜を用いる。又、導電層 7 1 6 a および導電層 7 1 6 b は 1  $\mu$ m 以上 20  $\mu$ m 以下に形成しても良い。この場合、導電層 7 1 6 a および導電層 7 1 6 b としては、鍍金法で Cu 或いは Cu を含む合金で形成してもよく、スクリーン印刷法を用いて Ag を含むペーストを印刷後に硬化させてもよい。

10

#### 【 0 2 6 6 】

< 信号処理装置 1 0 0 の作製方法 >

次に、上述にて記載した回路層 1 1 0 を、可撓性を有する基板上に形成し、信号処理装置 1 0 0 を作製する方法について、図 8 を用いて説明を行う。なお、図 8 では、図面が複雑になることを避けるため、第 1 の層 1 1 1 および第 2 の層 1 1 2 に備えられた素子の詳細構造についての記載は省略する。

20

#### 【 0 2 6 7 】

まず、上述にて作製した、第 1 の仮固定基板 3 1 4 上に剥離層 3 1 0 を挟んで形成された回路層 1 1 0 上に、仮固定材料 6 0 0 を用いて第 2 の仮固定基板 6 0 2 を接合する（図 8（A）参照）。

#### 【 0 2 6 8 】

仮固定材料 6 0 0 としては、水や有機溶媒に可溶なものや、紫外線などの照射により可塑化することが可能であるような、必要に応じて回路層 1 1 0 から第 2 の仮固定基板 6 0 2 を剥がすことできる材料を用いる。

#### 【 0 2 6 9 】

なお、仮固定材料 6 0 0 は、スピンコーター、スリットコーター、グラビアコーター、ロールコーターなどの各種コーティング装置や、フレキソ印刷装置、オフセット印刷装置、グラビア印刷装置、スクリーン印刷装置、インクジェット装置などの各種印刷装置を用いて薄く均一な膜厚で設けることが好ましい。

30

#### 【 0 2 7 0 】

第 2 の仮固定基板 6 0 2 には、UV 剥離型テープ、熱剥離型テープなどのような、表面の粘着性を任意に低下させることができるテープを用いることができる。また、ガラス基板、石英基板、サファイア基板、セラミック基板、金属基板、プラスチック基板などを用いてもよい。なお、表面の粘着性を任意に低下させることができるテープを用いる場合は、仮固定材料 6 0 0 を必ずしも別途用いる必要はない。また、プラスチック基板を用いる場合は、以降の処理温度に耐えうる耐熱性を有するものを用いることが好ましい。

#### 【 0 2 7 1 】

なお、第 2 の仮固定基板 6 0 2 を回路層 1 1 0 に貼り合わせる方法には特に限定はないが、第 2 の仮固定基板 6 0 2 として各種テープのような可撓性を有する材料を用いる場合は、例えば、ローラーを用いて貼り合わせる事が可能な装置（ロールラミネーターとも呼ぶ）などを用いればよい。これにより、回路層 1 1 0 と第 2 の仮固定基板 6 0 2 の間に気泡などが混入せず、安定した貼り合わせを行うことができる。

40

#### 【 0 2 7 2 】

本実施の形態では、紫外線照射により硬化し、且つ硬化後も水に可溶な接着剤（水溶性接着剤などとも言われる）を仮固定材料 6 0 0 として用い、スピンコート装置を用いて回路層 1 1 0 の一面に薄く塗布して硬化処理を行う。その後、仮固定材料 6 0 0 上に第 2 の仮固定基板 6 0 2 として UV 剥離型テープを、ロールラミネーターを用いて貼り合わせる。

50

## 【0273】

次に、回路層110を第1の仮固定基板314から剥離して第2の仮固定基板602側に転置する(図8(B)参照)。

## 【0274】

剥離層310のいずれかの層が金属酸化物である場合(例えば、本実施の形態では、第2の剥離層308が金属酸化物である酸化タンゲステン膜となっている)、回路層110の形成時に行われる種々の加熱処理により、当該金属酸化膜は結晶化されて脆弱化しているため、物理的な力(例えば、第2の仮固定基板602から第1の仮固定基板314を引き剥がす力)を加えることにより、剥離層310を界面として、第1の仮固定基板314から第2の仮固定基板602に回路層110を容易に転置することができる。

10

## 【0275】

図8(B)では、回路層110に接して剥離層の一部(第2の剥離層308の一部や酸化物膜309)が残っているが、ドライエッチング処理、ウェットエッチング処理または化学機械研磨処理により、回路層110に接して残った剥離層の一部または全部を除去してもよい。なお、回路層110上に残った剥離層の一部は、回路層110に含むものと捉えてもよい。

## 【0276】

次に、回路層110に対して接合材料604を用いてベース基板115を貼り合わせた後、ベース基板115から仮固定材料600および第2の仮固定基板602を剥がす(図8(C)参照)。

20

## 【0277】

接合材料604としては、紫外線硬化型接着剤など光硬化型の接着剤、反応硬化型接着剤、熱硬化型接着剤、または嫌気型接着剤などの各種硬化型接着剤を用いることができ、スピニング装置、スリットコーター、グラビアコーター、ロールコーターなどの各種コーティング装置や、フレキソ印刷装置、オフセット印刷装置、グラビア印刷装置、スクリーン印刷装置、インクジェット装置などの各種印刷装置を用いて薄く均一な膜厚で設ければよい。

## 【0278】

ベース基板115としては、可撓性を有する基板を用いることができる。例えば、有機樹脂基板(可撓性を有する、という観点から考えると、有機樹脂薄膜とも表現できる。)、金属基板(可撓性を有する、という観点から考えると、金属薄膜とも表現できる。)などを用いる。これにより、駆動回路は湾曲面や力の付加に対して柔軟に変形でき、衝撃、曲げおよび捻りといった力の付加による破壊や剥がれが生じにくい。なお、可塑性が要求されない場合、ベース基板115には第1の仮固定基板314で説明した基板を用いることができる。

30

## 【0279】

上記有機樹脂基板としては、例えば、ポリエチレンテレフタレート樹脂(PET)、ポリエーテルスルホン樹脂(PES)、ポリエチレンナフタレート樹脂(PEN)、ポリビニルアルコール樹脂(PVA)、ポリカーボネート樹脂(PC)、ナイロン樹脂、アクリル樹脂、ポリアクリルニトリル樹脂、ポリエーテルエーテルケトン樹脂(PEEK)、ポリスチレン樹脂(PS)、ポリスルホン樹脂(PSF)、ポリエーテルイミド樹脂(PEI)、ポリアリレート樹脂(PAR)、ポリブチレンテレフタレート樹脂(PBT)、ポリイミド樹脂(PI)、ポリアミド樹脂(PA)、ポリアミドイミド樹脂(PAI)、ポリイソブチレン樹脂(PIB)、塩素化ポリエーテル樹脂(CP)、メラミン樹脂(MF)、エポキシ樹脂(EP)、塩化ビニリデン樹脂(PVdC)、ポリプロピレン樹脂(PP)、ポリアセタール樹脂(POM)、フッ素樹脂、フェノール樹脂(PF)、フラン樹脂(FF)、不飽和ポリエステル樹脂(FRP)、酢酸セルロース樹脂(CA)、ユリア樹脂(UF)、キシレン樹脂(XR)、ポリジアリルフタレート樹脂(DAP)、ポリ酢酸ビニル樹脂(PVAc)、ポリエチレン樹脂(PE)、ABS樹脂のうち1種類以上を構成成分として含む基板を用いることができる。また、ガラス繊維、アラミド繊維、炭素繊維

40

50

維などに上記樹脂を含浸させた材料（プリプレグなどとも言われる）を用いることもできる。

【0280】

上記金属基板としては、例えば、アルミ（Al）、チタン（Ti）、ニッケル（Ni）、クロム（Cr）モリブデン（Mo）、タンタル（Ta）、ベリリウム（Be）、ジルコニウム（Zr）、金（Au）、銀（Ag）、銅（Cu）、亜鉛（Zn）、鉄（Fe）、鉛（Pb）、スズ（Sn）、またはこれらの合金からなる基板を用いることができる。

【0281】

なお、回路層110と貼り合わせる前に、ベース基板115に対して予め、流体ジェット洗浄、超音波洗浄、プラズマ洗浄、UV洗浄、オゾン洗浄などを行い、付着したゴミや有機成分を除去することが好ましい。

10

【0282】

また、回路層110と貼り合わせる前に、ベース基板115に対して予め加熱処理を行ってもよい。加熱処理を行うことにより、ベース基板115に付着した水分や不純物を除去できる。さらに、減圧で加熱処理を行うことにより、より効率的に水分や不純物を除去できる。

【0283】

なお、上記の各種洗浄方法および加熱処理については、どれか1つを行ってもよいし、複数を組み合わせてもよい。例えば、流体ジェット洗浄を行ってベース基板115に付着したゴミを除去した後、オゾン洗浄を行って有機成分を除去し、最後に加熱処理を行って、流体洗浄の際にベース基板115に付着した水分や内部に吸収された水分を除去することで、ベース基板115のゴミ、有機成分、水分を効果的に除去できる。

20

【0284】

本実施の形態では、ベース基板115としてアラミド繊維にポリイミド樹脂を含浸させたフィルムを用い、スクリーン印刷装置を用いて表面に熱硬化型接着剤を薄く設けて接合材料604とした。そして、ベース基板115と回路層110を貼り合わせて硬化処理を行った。

【0285】

以上の工程により、図1（A）にて記載した、単結晶半導体膜を活性層として用いたトランジスタを含む第1の層111と、OSトランジスタを含む第2の層112を備えた回路層110をベース基板115上に有する信号処理装置100が形成される（図8（C）参照）。

30

【0286】

信号処理装置100は、回路層110のラッチ回路に、OSトランジスタを用いた構成であり、当該OSトランジスタはオフ電流が非常に少ないため、特に、ラッチ回路に同じ信号が入力され続ける場合において、ラッチ回路での消費電力を低減できる。また、回路層110が備えるラッチ回路以外の構成要素については、単結晶半導体膜を活性層として用いたトランジスタを用いた構成とする。これにより、回路層110の高速駆動性が確保される。そして、上述の回路層110が、可撓性を有する基板上に形成されているため、上述した信号処理装置100は、高速駆動性と低消費電力性を備え、衝撃、曲げおよび捻りといった力の付加による破壊や剥がれが生じにくい駆動回路となる。

40

【0287】

（実施の形態2）

本実施の形態では、信号処理装置100を作成する方法について、実施の形態1とは異なる方法を説明する。

【0288】

まず、実施の形態1と同様に、半導体基板300の表面に絶縁膜302を形成した後、半導体基板300の一方の面からイオン照射処理304を行い、半導体基板300中に脆化領域306を形成する（図24（A）参照）。

【0289】

50

次に、第１の仮固定基板３１４の表面に、剥離層３１０を形成する。なお、図２４（Ｂ）では剥離層３１０は第１の剥離層３０７、第２の剥離層３０８および酸化物膜３０９の積層構造であるが、実施の形態１の剥離層３１０の説明にて記載した構造であればよい。

【０２９０】

次に、半導体基板３００の一方の面（イオン照射処理を行った側の面）に、表面に剥離層３１０を形成した第１の仮固定基板３１４を、半導体基板３００の一方の面と第１の仮固定基板３１４の剥離層３１０が接するように貼り合わせる（図２４（Ｃ）参照）。

【０２９１】

なお、半導体基板３００と第１の仮固定基板３１４を貼り合わせた際における両者の接着性は、絶縁膜３０２や剥離層３１０の表面平坦性が高い程強くなる傾向がある。このため、半導体基板３００と第１の仮固定基板３１４を貼り合わせる前に、絶縁膜３０２および剥離層３１０の一方あるいは両方に対して平坦化処理を行うことが好ましい。なお、平坦化処理については実施の形態１に記載の平坦化処理を参酌すればよい。

10

【０２９２】

次に、実施の形態１と同様に、半導体基板３００に対して加熱処理を行った後、第１の仮固定基板３１４から半導体基板３００を分離する。

【０２９３】

以上の工程により、半導体基板３００より分離された半導体薄膜３１６を、絶縁膜３０２および剥離層３１０を介して第１の仮固定基板３１４上に転置することができる（図２４（Ｄ）参照）。

20

【０２９４】

なお、本実施の形態に記載の、第１の仮固定基板３１４上に形成された剥離層３１０は、実施の形態１に記載の剥離層３１０と積層構造が逆になっている（実施の形態１では、第１の仮固定基板３１４上に第１の剥離層３０７、第２の剥離層３０８、酸化物膜３０９の順に膜が形成されているが、本実施の形態では、第１の仮固定基板３１４上に酸化物膜３０９、第２の剥離層３０８、第１の剥離層３０７の順に膜が積層されている）が、どちらの構造であっても信号処理装置１００を作製できるため、どちらの構造であっても剥離層３１０と記載する。

【０２９５】

その後の信号処理装置１００の作製工程については、実施の形態１に記載の図３（Ｄ）から図７および当該図面の説明内容を参酌すればよい。

30

【０２９６】

本実施の形態に記載の作製方法を用いることにより、半導体基板３００表面への絶縁膜３０２の形成および半導体基板３００中への脆化領域３０６の形成と、第１の仮固定基板３１４上への剥離層３１０の形成を、異なる装置を用いて並行して行うことができるため、信号処理装置１００の作製に要する時間を短縮することができる。

【０２９７】

（実施の形態３）

本実施の形態では、上述実施の形態にて記載した信号処理装置を構成要素の一部として用いた表示装置の構成および作製方法の一例について、図９および図１０を用いて説明する。

40

【０２９８】

<表示装置の構成例>

本実施の形態の表示装置の一例についての上面図を図９（Ａ）に示すと共に、図９（Ａ）の一点鎖線Ａ１－Ａ２部分を図９（Ｂ）に、図９（Ａ）の一点鎖線Ｂ１－Ｂ２部分を図９（Ｃ）示す。

【０２９９】

本実施の形態に記載の表示装置７５０は、図９に示すように、基板７６０上に、薄膜トランジスタ及び画素電極を有する画素部７６２と、封止材料７６８により基板７６０と貼り合わされた対向基板７７０と、基板７６０、対向基板７７０および封止材料７６８により

50

囲まれた空間に設けられた、液晶素子またはＥＬ素子等を具備する表示素子層７６９を有する。なお、表示素子層７６９は図９（Ａ）では基板７６０、対向基板７７０および封止材料７６８により囲まれた空間全体に設けられているように記載されているが、表示素子層７６９と対向基板７７０の間に空間を有していてもよいし、表示素子層７６９と対向基板７７０間の空間に外部からの水分などの侵入を抑制する材料（例えば乾燥剤など）を設けてもよい。なお、図９（Ａ）では、対向基板７７０下の構造を分かり易くするため、対向基板７７０にはハッチングを付していない。

#### 【０３００】

また、基板７６０上には画像信号及び電源電圧を入力するための引き出し端子７６４が設けられ、導電材料７７１ａを介して信号処理装置１００が備える回路層１１０と電氣的に接続されている。

10

#### 【０３０１】

また、画素部７６２に電源電圧を供給するためのフレキシブルプリント配線７７２（ＦＰＣ：Flexible Printed Circuit）が、導電材料７７１ｂを介して基板７６０上に設けられた接続端子７６６と電氣的に接続され、接続端子７６６は導電材料７７１ａを介して信号処理装置１００が備える回路層と電氣的に接続されている。

#### 【０３０２】

したがって、図９に示す表示装置７５０は、信号処理装置１００が画素部７６２の走査線駆動回路や信号線駆動回路としての機能を果たすとともに、引き出し端子７６４、接続端子７６６ならびに、導電材料７７１ａおよび導電材料７７１ｂを介して、フレキシブルプリント配線７７２から画素部７６２に電力電圧が供給される構造となっている。

20

#### 【０３０３】

なお、本実施の形態では、フレキシブルプリント配線７７２により供給される電源電圧は、信号処理装置１００に供給された後に画素部７６２に供給される構造となっているが、画素部７６２に供給された後に信号処理装置１００に供給される構造や、信号処理装置１００と画素部７６２に並列的に供給される構造であってもよい。

#### 【０３０４】

<表示装置の作製方法>

次に、図１０を用いて、図９に示す表示装置７５０の作製工程の一例について説明する。

#### 【０３０５】

30

まず、基板７６０上に、画素部７６２、引き出し端子７６４および接続端子７６６を形成する（図１０（Ａ）参照）。

#### 【０３０６】

基板７６０としては、実施の形態１にて記載した第１の仮固定基板３１４やベース基板１１５の説明にて記載された材料を用いることができる。なお、実施の形態１にて記載したように、信号処理装置１００は可撓性を有しても構わないため、信号処理装置１００だけでなく画素部７６２を備える基板７６０自体も力の付加により変形できるため、表示装置全体が可撓性を有する、付加価値の高い表示装置とすることもできる。

#### 【０３０７】

一方、基板７６０がシリコン基板やガラス基板等の可撓性の乏しい材料を用いた場合においても、可撓性を有するベース基板１１５を用いることで信号処理装置１００を薄くかつ軽量にすることができるため、表示装置７５０の薄型化や軽量化に寄与することができる。

40

#### 【０３０８】

画素部７６２については、その構成、使用材料、形成方法などは薄膜トランジスタ及び画素電極を有する画素部についての公知技術を用いればよく、特段の限定はない。

#### 【０３０９】

引き出し端子７６４および接続端子７６６についても、公知技術を用いて形成すればよいが、表示装置の製造に要する時間や費用を低減する観点から、好ましくは画素部７６２の作製工程に用いる材料および形成方法を用い、画素部７６２の作製工程と同時に形成する

50



ことが好ましい。

【0310】

次に、画素部762上に表示素子層769を形成するとともに、表示素子層769より外側（基板端部側）に設けた封止材料768を用いて、基板760に対向基板770を貼り合わせる（図10（B）参照）。

【0311】

封止材料768としては、例えば、紫外線硬化型接着剤など光硬化型の接着剤、反応硬化型接着剤、熱硬化型接着剤、または嫌気型接着剤など各種硬化型接着剤を用いればよく、これらの材料をフレキシ印刷装置、オフセット印刷装置、グラビア印刷装置、スクリーン印刷装置、インクジェット装置、ディスペンサー装置などの各種印刷装置を用いて設ければよい。なお、封止材料768は、スペーサ材料を含んでいてもよい。

10

【0312】

表示素子層769には、公知の技術により液晶素子またはEL（Electro Luminescence）素子を設ければよく、例えば表示装置750が液晶表示装置であれば、画素部762に備えられた画素電極上に、配向膜、液晶材料、液晶材料を挟んで画素電極と対向する電極およびカラーフィルターなどを設ければよく、表示装置750がEL表示装置であれば、画素部に備えられた画素電極上に、発光性の有機化合物または無機化合物を含むEL層と、EL層を挟んで画素電極と対向する電極などを設ければよい。また、液晶表示装置の場合、必要に応じてバックライトや偏光板を設けてもよい。

20

【0313】

対向基板770としては、実施の形態1にて記載した第1の仮固定基板314やベース基板115の説明にて記載した材料を用いることができる。したがって、対向基板770として、可塑性の基板を用いることもできる。ただし、表示装置750が上方（図10（B）の矢印方向）に光を出す構造の場合は、対向基板770は可視光領域の波長（一例として、350nm以上700nm以下の波長）に対して透光性を有する（具体的には50%以上の透光性、好ましくは70%以上の透光性）材料を用いる必要がある。

【0314】

次に、導電材料771aを用いて、ベース基板115上に回路層110が備えられた信号処理装置100を、回路層110と基板760が対向するように基板760上に設ける（実装する、とも言える）（図10（C）参照）。これにより、回路層110および引き出し端子764、ならびに、回路層110および接続端子766が、導電材料771aを介して電氣的に接続される。

30

【0315】

導電材料771aとしては、異方導電性ペースト（ACP（Anisotropic Conductive Paste））、異方導電性フィルム（ACF（Anisotropic Conductive Film））などを用いればよく、圧着処理を行うことで回路層110および引き出し端子764、ならびに、回路層110および接続端子766を電氣的に接続することが出来る。また、銀ペースト、銅ペーストまたはカーボンペーストなどの導電性接着剤を用いてもよい。また、ベース基板115および基板760のガラス転移点以下で熔融可能な半田材料を用いて接続を行ってもよい。

40

【0316】

次に、導電材料771bを用いて、フレキシブルプリント配線772を接続端子766に電氣的に接続する（図10（D）参照）。

【0317】

なお、上述では、信号処理装置100の実装処理とフレキシブルプリント配線772の貼り合わせ処理を別の工程として記載しているが、図10（D）のように信号処理装置100とフレキシブルプリント配線772の高さが同程度である場合、信号処理装置100の実装処理とフレキシブルプリント配線772の貼り合わせ処理を同一の工程で行ってもよい。

【0318】

50

以上の工程により、図 9 ( A ) および図 9 ( B ) に記載の表示装置 7 5 0 が完成する。表示装置 7 5 0 は、基板 7 6 0 上に設けられた画素部 7 6 2 と、実施の形態 1 にて記載した、高速駆動性と低消費電力性を備え、衝撃、曲げおよび捻りといった力の付加による破壊や剥がれが生じにくい信号処理装置 1 0 0 が、引き出し端子 7 6 4 を介して電氣的に接続されている。また、信号処理装置 1 0 0 は画素部 7 6 2 の走査線駆動回路や信号線駆動回路としての機能を果たしており、したがって、高速駆動性と低消費電力性を備えた表示装置を提供できる。

#### 【 0 3 1 9 】

また、基板 7 6 0 およびベース基板 1 1 5 として、可撓性を有する材料を用いた場合、信号処理装置 1 0 0 だけでなく画素部 7 6 2 を備える基板 7 6 0 も力の付加により変形でき

10

#### 【 0 3 2 0 】

一方、基板 7 6 0 がガラス基板等の可撓性の低い材料であった場合においても、可塑性のベース基板 1 1 5 を用いることで、表示装置 7 5 0 の薄型化や軽量化に寄与することができる。

#### 【 0 3 2 1 】

##### ( 実施の形態 4 )

本実施の形態では、実施の形態 3 に記載した表示装置 7 5 0 とは一部の構造が異なる表示装置について、その構造および特徴を説明する。なお、作製方法については基本的に実施の形態 3 と同様であるが、実施の形態 3 と作製方法に違いがある部分については、作製方法についても適宜説明する。

20

#### 【 0 3 2 2 】

##### < 表示装置の構成例および特徴 >

以下に、実施の形態 3 とは異なる表示装置の構成について、図 1 1 を用いて説明する。図 1 1 ( A ) は表示装置の上面図であり、図 1 1 ( B ) は図 1 1 ( A ) の一点鎖線 C 1 - C 2 部分の断面図であり、図 1 1 ( C ) は図 1 1 ( A ) の一点鎖線 D 1 - D 2 部分の断面図である。なお、図 1 1 ( A ) は図 9 ( A ) と同一図面であるが、図 1 1 ( B ) の各構成要素の位置関係を分かり易くするため記載している。

#### 【 0 3 2 3 】

図 1 1 ( A ) および図 1 1 ( B ) に示す表示装置 1 0 5 0 は、構成要素については図 9 ( A ) および図 9 ( B ) に示す表示装置と同様であるが、信号処理装置 1 0 0 を、基板 7 6 0 に設けた凹部 1 0 1 0 に設け、凹部 1 0 1 0 内で回路層 1 1 0 と画素部 7 6 2 を電氣的に接続する点で実施の形態 1 と異なっている。なお、好ましくは、図 1 1 ( B ) のように、基板 7 6 0 の表面 ( 画素部 7 6 2 が形成されている面、とも表現できる ) とベース基板 1 1 5 の下面 ( 回路層 1 1 0 が形成されていない面、とも表現できる ) の位置を同一または略同一とすることが望ましい。

30

#### 【 0 3 2 4 】

凹部 1 0 1 0 は、例えば基板 7 6 0 に対して各種切削機械やレーザー照射により加工を行うことにより形成すればよい。また、図 1 2 に示すように、基板 7 6 0 を積層構造とすることで、凹部 1 0 1 0 を形成してもよい。

40

#### 【 0 3 2 5 】

なお、図 1 2 では基板 7 6 0 a と基板 7 6 0 b の 2 層構造について記載しているが、層の数に限定はない。また、基板 7 6 0 a および基板 7 6 0 b は、基板 7 6 0 の説明にて記載された材料を用いればよく、基板 7 6 0 a と基板 7 6 0 b は同じ材料であっても異なる材料であってもよい。

#### 【 0 3 2 6 】

実施の形態 3 にて記載した表示装置 7 5 0 では、信号処理装置 1 0 0 の実装されている部分と、その周辺部分では、信号処理装置 1 0 0 の分だけ厚さが異なってしまう。そのため、例えば一点鎖線 A 1 - A 2 部分を軸として表示装置 7 5 0 を湾曲させた場合、表示装置 7 5 0 の変形状態 ( 変形量とも表現できる ) には部分的に差異が生じ、表示装置 7 5 0 や

50

導電材料 771 の一部に局所的な力が加わる、画素部 762 の表示品質が低下する、などの恐れがある。

【0327】

また、信号処理装置 100 に対して外部からの衝撃力（例えば、ベース基板 115 に対して上方から物体が衝突するなど）が加わった場合、信号処理装置 100 部分に衝撃力が集中し易い。

【0328】

これに対し、表示装置 1050 を本実施の形態に記載の構造とした場合、上述した厚さの相違は実施の形態 1 と比較して低減されるため、上記問題を抑制できる。

【0329】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0330】

（実施の形態 5）

本実施の形態では、上述実施の形態に記載した表示装置とは一部の構造が異なる表示装置について、その構造および特徴を説明する。なお、作製方法については基本的に実施の形態 3 と同様であるが、実施の形態 3 と作製方法に違いがある部分については、作製方法についても適宜説明する。

【0331】

< 構成例および特徴の説明 >

以下に、上述実施の形態とは異なる表示装置の構成について、図 13 を用いて説明する。図 13（A）は表示装置の上面図であり、図 13（B）は図 13（A）の一点鎖線 E1 - E2 部分の断面図であり、図 13（C）は図 13（A）の一点鎖線 F1 - F2 部分の断面図である。

【0332】

図 13 に示す表示装置 1250 は、信号処理装置 100 の周辺に、保護基板 1210 を設けている点で上述実施の形態と異なっている。なお、好ましくは、図 13（B）のように、保護基板 1210 の表面（基板 760 と対向する面とは逆の面、とも表現できる）とベース基板 115 の表面（回路層 110 が形成されていない面、とも表現できる）の位置を同一または略同一とすることが望ましい。

【0333】

保護基板 1210 には、第 1 の仮固定基板 314 やベース基板 115 の説明にて記載した可塑性基板を用いることができ、これらの材料を接着材料（例えば、接着剤や接着テープなど）を用いて基板 760 に貼り合わせればよい。なお、基板 760 に可撓性を有する基板を用いる場合、保護基板 1210 にはベース基板 115 の説明にて記載した材料を用いることが好ましい。

【0334】

実施の形態 4 のように基板 760 に対して凹部 1010 を形成する場合、加工方法によっては凹部 1010 の形成に時間を要する、基板 760 の強度が低下する、といったことが懸念される。しかしながら、本実施の形態のように信号処理装置 100 の周辺部分に保護基板 1210 を設けた構造とする場合、基板 760 への保護基板 1210 の貼り合わせは短時間で行うことが可能となる。

【0335】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0336】

（実施の形態 6）

本実施の形態では、上述実施の形態に記載した表示装置とは一部の構造が異なる表示装置について、その構造および特徴を説明する。なお、作製方法については基本的に実施の形態 3 と同様であるが、実施の形態 3 と作製方法に違いがある部分については、作製方法に

10

20

30

40

50

についても適宜説明する。

【0337】

<表示装置の構成例および特徴>

以下に、上述実施の形態とは異なる表示装置の構成について、図14を用いて説明する。図14(A)は表示装置の上面図であり、図14(B)は図14(A)の一点鎖線G1-G2部分の断面図であり、図14(C)は図14(A)の一点鎖線H1-H2部分の断面図である。

【0338】

図14に示す表示装置1350は、信号処理装置100に用いるベース基板115を対向基板770と併用する点で上述実施の形態と異なっている。

10

【0339】

なお、ベース基板115を対向基板770と併用して用いるためには、実施の形態1の図8(A)にて説明した、回路層110へのベース基板115貼り合わせの際に、図15に示すように、回路層110の面積よりも十分に大きな面積を有するベース基板115に接合材料604を用いて回路層110を接合すればよい。

【0340】

本実施の形態では、信号処理装置100の実装と対向基板の貼り合わせを基板760に対して同時に行うことができるため、発光装置の製造に要する時間を低減できる。また、信号処理装置100を実装している部分の高さを、その他の部分(信号処理装置100の周辺や、画素部762など)と同一あるいは略同一とできるため、表示装置1350や導電材料771の一部への局所的な力の付加、表示品質の低下、衝撃力の集中などを抑制できる。

20

【0341】

なお、実施の形態4にて記載したように、基板760の一部に凹部を設け、当該凹部に信号処理装置100を実装してもよい。

【0342】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0343】

(実施の形態7)

30

本明細書等に開示する半導体装置は、さまざまな電子機器(遊技機も含む)に適用することができる。電子機器としては、例えば、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ等のカメラ、デジタルフォトフレーム、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。上記実施の形態で説明した半導体装置を具備する電子機器の例について説明する。

【0344】

図16(A)はディスプレイである。ディスプレイ1601は、支持台1602、表示部1603を含む。表示部1603は可撓性を有する基板を用いて形成しても良く、軽量で薄型のディスプレイを実現できる。また、表示部1603を湾曲させることも可能であり、支持台1602から取り外して湾曲した壁に沿ってディスプレイを取り付けることも可能である。上記実施の形態で示した半導体装置を、表示部1603に用いることによって、本発明の実施形態の一つであるディスプレイを作製することができる。このように、可撓性を有するディスプレイは、フラットな面はもちろん湾曲した部分にも設置することが可能となるため、様々な用途に用いることができる。

40

【0345】

図16(B)は巻き取り可能なディスプレイである。ディスプレイ1611は、表示部1612を含む。上記実施の形態で示した半導体装置を、表示部1612に用いることによって、本発明の実施形態の一つである、巻取りが可能で薄型の大型ディスプレイを作製す

50

ることができる。ディスプレイ 1611 は可撓性を有する基板を用いて形成しても良いため、ディスプレイ 1611 が大型である場合でも表示部 1612 を折り畳んだり、巻き取ったりして持ち運ぶことが可能である。

【0346】

図 16 (C) は、シート型のコンピュータである。コンピュータ 1621 は、表示部 1622、キーボード 1623、タッチパッド 1624、外部接続ポート 1625、電源プラグ 1626 等を含んでいる。上記実施の形態で示した半導体装置を、表示部 1622 に用いることによって、本発明の実施形態の一つである、薄型またはシート型のコンピュータを作製することができる。表示部 1622 は可撓性を有する基板を用いて形成しても良く、軽量で薄型のコンピュータを実現できる。また、コンピュータ 1621 の本体に収納スペースを設けることによって表示部 1622 を本体に巻き取って収納することが可能である。また、キーボード 1623 も可撓性を有するように設けることによって、使用しない場合にも表示部 1622 と同様にコンピュータ 1621 の収納スペースに巻き取って収納することができ、持ち運びが便利になる。

10

【0347】

図 16 (D) は、20 ~ 100 インチの大型の画素部を有する表示装置である。表示装置 1631 は、操作部であるキーボード 1633、表示部 1632、スピーカー 1634 等を含む。また、表示部 1632 は可撓性を有する基板を用いて形成しても良く、キーボード 1633 を取り外して表示装置 1631 を折り畳んだり巻き取ったりして持ち運ぶことが可能である。また、キーボード 1633 と表示部 1632 との接続は無線で行うことができ、例えば、湾曲した壁に沿って表示装置 1631 を取り付けながらキーボード 1633 で無線によって操作することができる。

20

【0348】

図 16 (D) に示す例では、上記実施の形態で示した半導体装置を、表示部 1632 に用いている。これによって、本発明の実施形態の一つである、薄型の大型表示装置を作製することができる。

【0349】

図 16 (E) は電子ブックである。電子ブック 1641 は、表示部 1642、操作キー 1643 等を含む。またモデムが電子ブック 1641 に内蔵されていても良い。表示部 1642 は可撓性基板を用いて形成しても良く、折り曲げたり巻き取ったりすることができる。そのため、電子ブックの持ち運びも場所をとらずに行うことができる。さらに、表示部 1642 は文字等の静止画像はもちろん動画も表示することが可能となっている。

30

【0350】

図 16 (E) に示す例では、上記実施の形態で示した半導体装置を、表示部 1642 に用いている。これによって、本発明の実施形態の一つである、薄型の電子ブックを作製することができる。

【0351】

図 16 (F) は IC カードである。IC カード 1651 は、表示部 1652、接続端子 1653 等を含む。表示部 1652 は可撓性基板を用いて軽量、薄型のシート状にしても良く、カードの表面に張り付けて形成することができる。また、IC カードが非接触でデータの受信が行える場合に外部から取得した情報を表示部 1652 に表示することが可能となっている。

40

【0352】

図 16 (F) に示す例では、上記実施の形態で示した半導体装置を、表示部 1652 に用いている。これによって、本発明の実施形態の一つである、薄型の IC カードを作製することができる。

【0353】

このように、本発明に係る半導体装置を電子機器に用いることにより、曲げ等の外力が与えられた場合であっても、トランジスタ等の素子の脆化を低減することができるため、半導体装置の歩留まりや信頼性を向上させることができる。

50

## 【 0 3 5 4 】

以上のように、本発明の適用範囲はきわめて広く、あらゆる分野の電子機器や情報表示手段に用いることができる。

## 【 0 3 5 5 】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

## 【 符号の説明 】

## 【 0 3 5 6 】

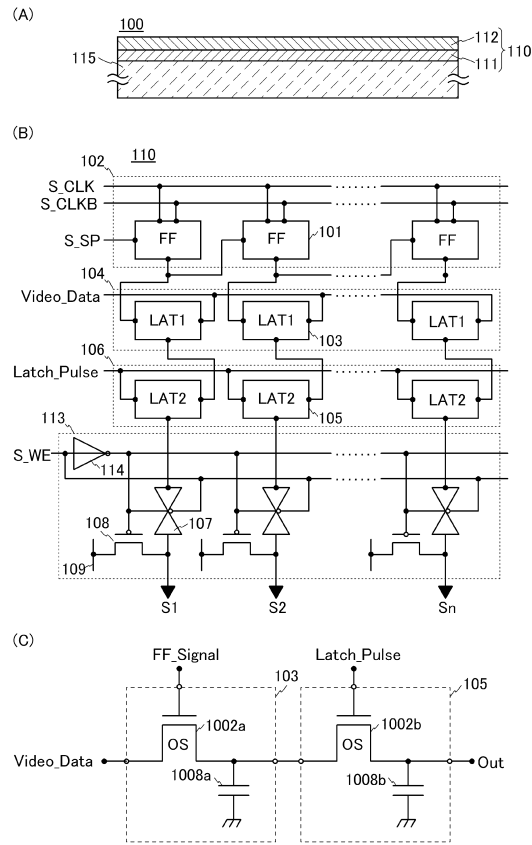
1 0 0	信号処理装置	
1 0 1	フリップフロップ	
1 0 2	シフトレジスタ回路	10
1 0 3	第 1 のラッチ回路	
1 0 4	第 1 のラッチ回路群	
1 0 5	第 2 のラッチ回路	
1 0 6	第 2 のラッチ回路群	
1 0 7	アナログスイッチ	
1 0 8	トランジスタ	
1 0 9	配線	
1 1 0	回路層	
1 1 1	第 1 の層	
1 1 2	第 2 の層	20
1 1 3	切り替え回路	
1 1 5	ベース基板	
3 0 0	半導体基板	
3 0 2	絶縁膜	
3 0 4	イオン照射処理	
3 0 6	脆化領域	
3 0 7	第 1 の剥離層	
3 0 8	第 2 の剥離層	
3 0 9	酸化物膜	
3 1 0	剥離層	30
3 1 4	第 1 の仮固定基板	
3 1 6	半導体薄膜	
4 0 0 a	半導体膜	
4 0 0 b	半導体膜	
4 0 1	絶縁膜	
4 0 2 a	ゲート絶縁膜	
4 0 2 b	ゲート絶縁膜	
4 0 4 a	ゲート電極	
4 0 4 b	ゲート電極	
4 1 0 a	n 型不純物領域	40
4 1 0 b	n 型不純物領域	
4 1 0 c	チャネル形成領域	
4 1 6 a	p 型不純物領域	
4 1 6 b	p 型不純物領域	
4 1 6 c	チャネル形成領域	
4 3 8	n チャネル型トランジスタ	
4 4 0	p チャネル型トランジスタ	
4 5 0	層間絶縁層	
4 5 5	配線層	
4 6 2	層間絶縁層	50

4 6 4	配線層	
4 6 6	層間絶縁層	
4 6 8	層間絶縁層	
6 0 0	仮固定材料	
6 0 2	第 2 の仮固定基板	
6 0 4	接合材料	
7 0 0	絶縁膜	
7 0 2	酸化物半導体膜	
7 0 2 a	低抵抗領域	
7 0 2 b	チャネル形成領域	10
7 0 4	導電膜	
7 0 6	ゲート絶縁膜	
7 0 8	ゲート電極	
7 1 1	導電膜	
7 1 2	容量素子	
7 2 0	トランジスタ	
7 3 0	トランジスタ	
7 4 0	層間絶縁層	
7 4 0 a	層間絶縁膜	
7 4 0 b	層間絶縁膜	20
7 5 0	表示装置	
7 6 0	基板	
7 6 0 a	基板	
7 6 0 b	基板	
7 6 2	画素部	
7 6 4	引き出し端子	
7 6 6	接続端子	
7 6 8	封止材料	
7 6 9	表示素子層	
7 7 0	対向基板	30
7 7 1	導電材料	
7 7 1 a	導電材料	
7 7 1 b	導電材料	
7 7 2	フレキシブルプリント配線	
1 0 0 0	ラッチ回路	
1 0 0 0 a	ラッチ回路	
1 0 0 0 b	ラッチ回路	
1 0 0 2	トランジスタ	
1 0 0 2 a	トランジスタ	
1 0 0 2 b	トランジスタ	40
1 0 0 3	ノード	
1 0 0 3 a	ノード	
1 0 0 3 b	ノード	
1 0 0 8 a	容量素子	
1 0 0 8 b	容量素子	
1 0 1 0	凹部	
1 0 5 0	表示装置	
1 2 1 0	保護基板	
1 2 5 0	表示装置	
1 3 5 0	表示装置	50

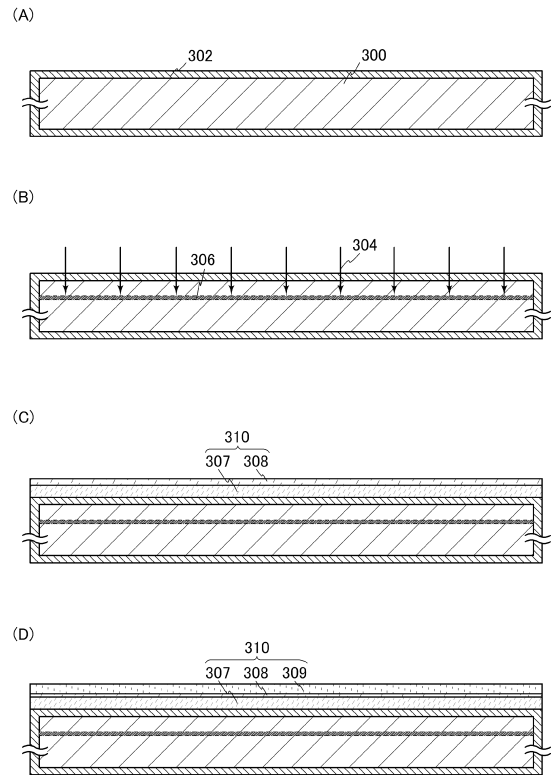
1 6 0 1	ディスプレイ	
1 6 0 2	支持台	
1 6 0 3	表示部	
1 6 1 1	ディスプレイ	
1 6 1 2	表示部	
1 6 2 1	コンピュータ	
1 6 2 2	表示部	
1 6 2 3	キーボード	
1 6 2 4	タッチパッド	
1 6 2 5	外部接続ポート	10
1 6 2 6	電源プラグ	
1 6 3 1	表示装置	
1 6 3 2	表示部	
1 6 3 3	キーボード	
1 6 3 4	スピーカー	
1 6 4 1	電子ブック	
1 6 4 2	表示部	
1 6 4 3	操作キー	
1 6 5 1	ＩＣカード	
1 6 5 2	表示部	20
1 6 5 3	接続端子	
2 3 0 0	測定系	
2 3 0 2	容量素子	
2 3 0 4	トランジスタ	
2 3 0 5	トランジスタ	
2 3 0 6	トランジスタ	
2 3 0 8	トランジスタ	



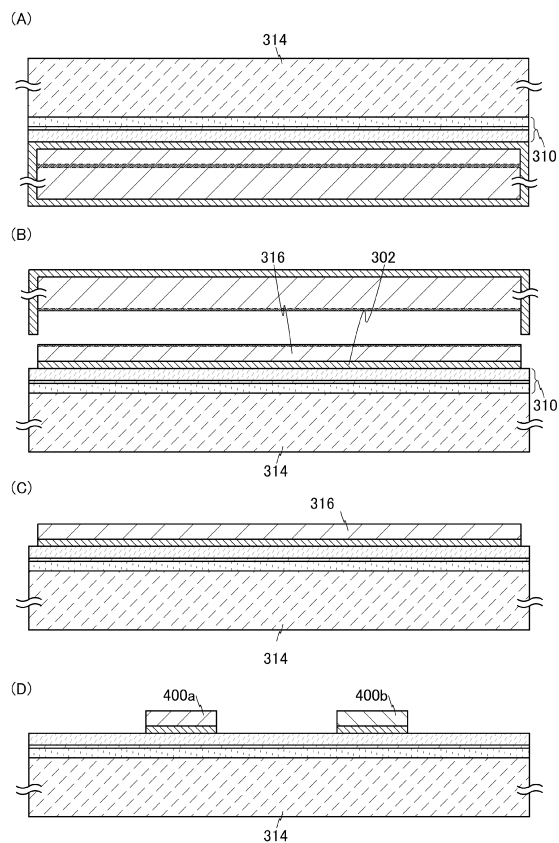
【図 1】



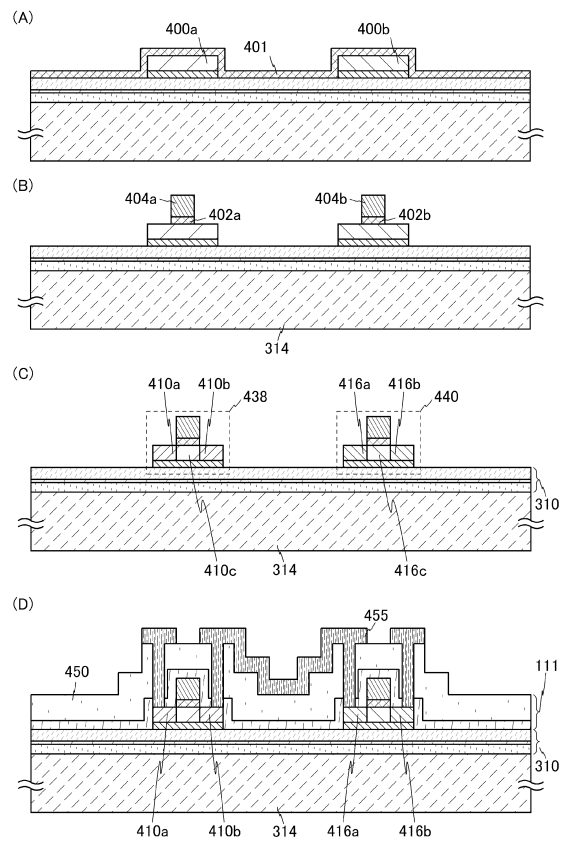
【図 2】



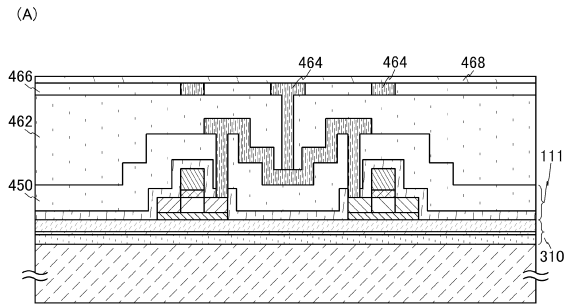
【図 3】



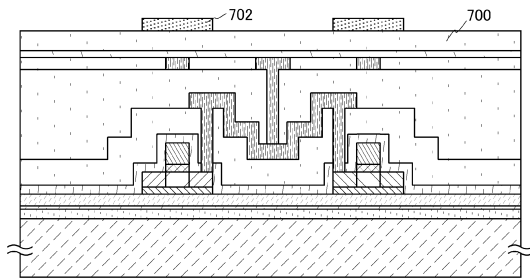
【図 4】



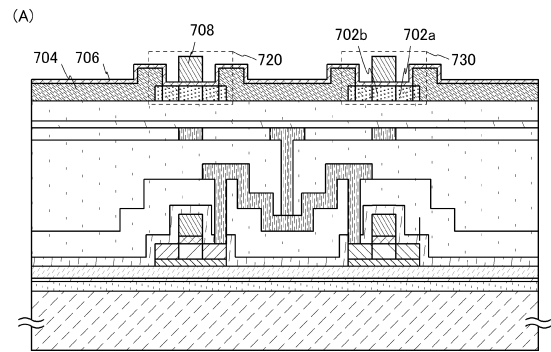
【図 5】



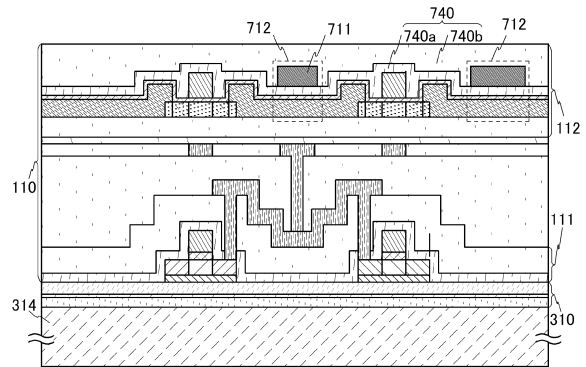
(B)



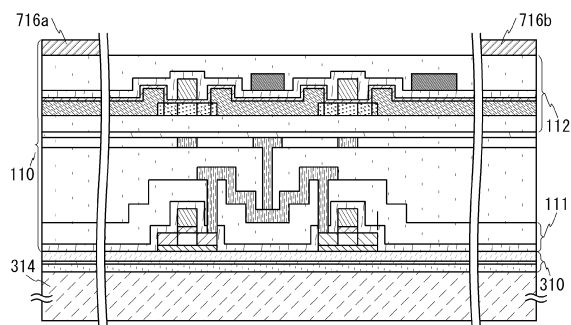
【図 6】



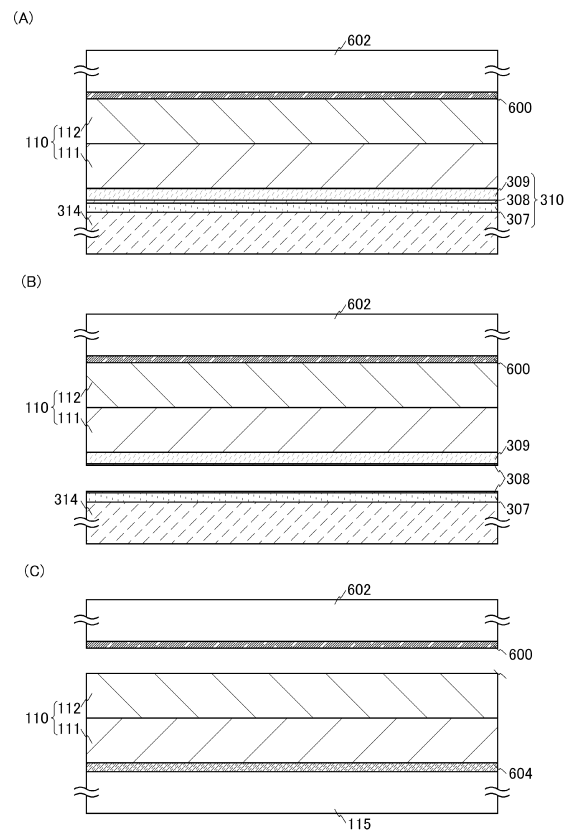
(B)



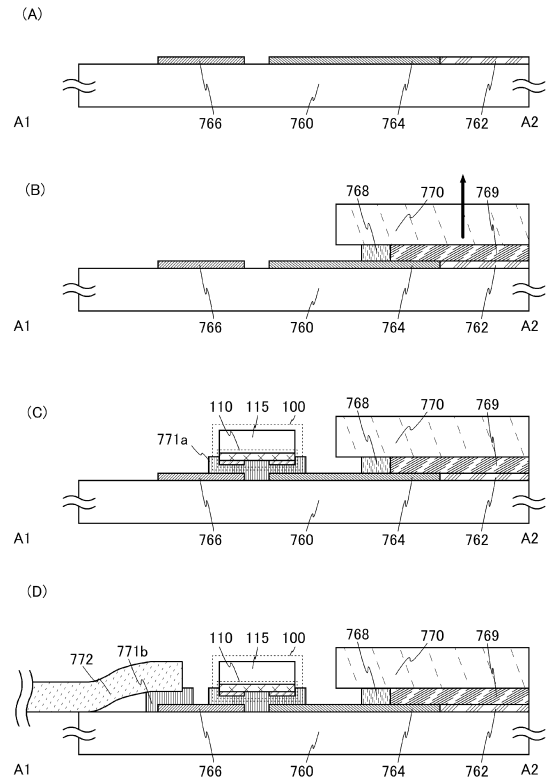
【図 7】



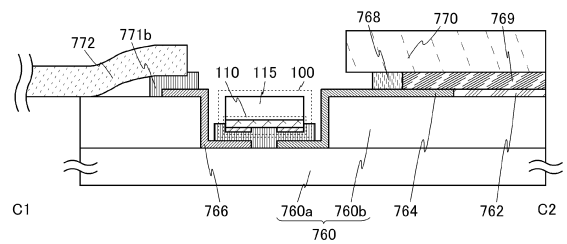
【図 8】



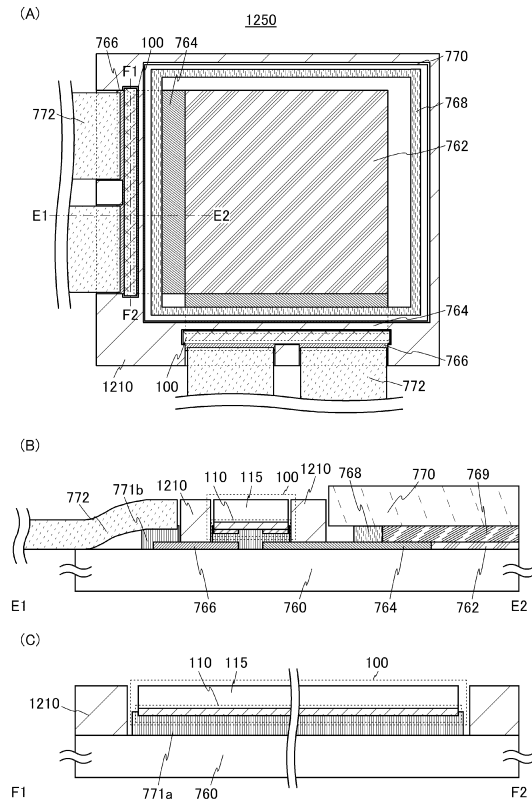
【 図 1 0 】



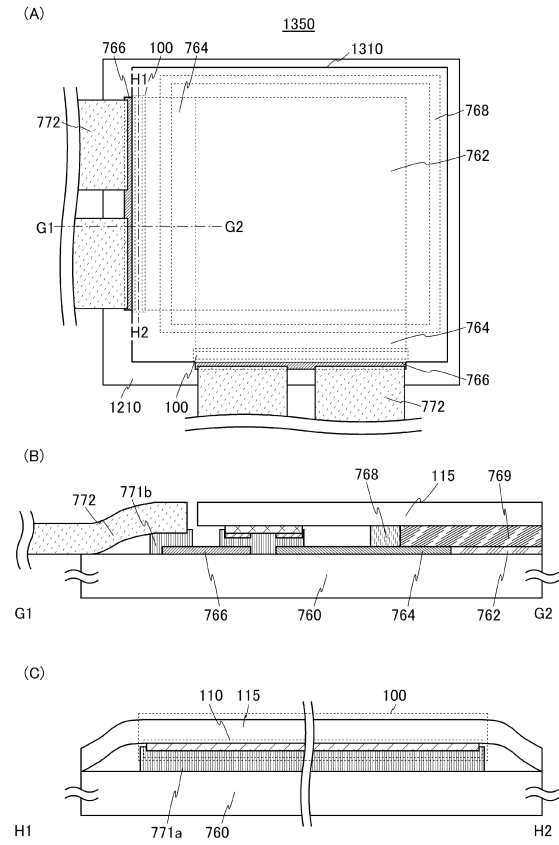
【圖 12】



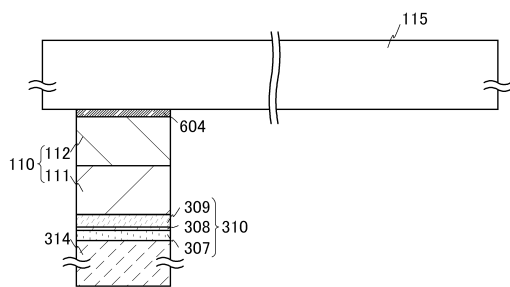
【図 13】



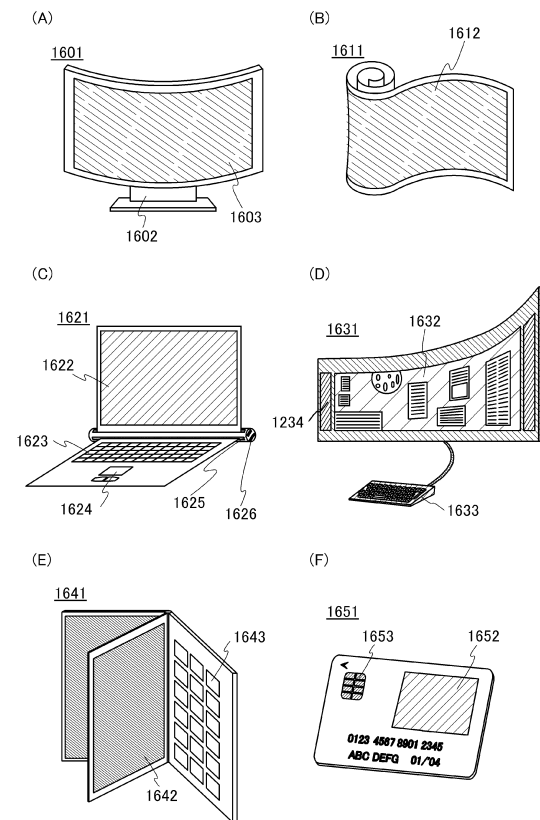
【図 14】



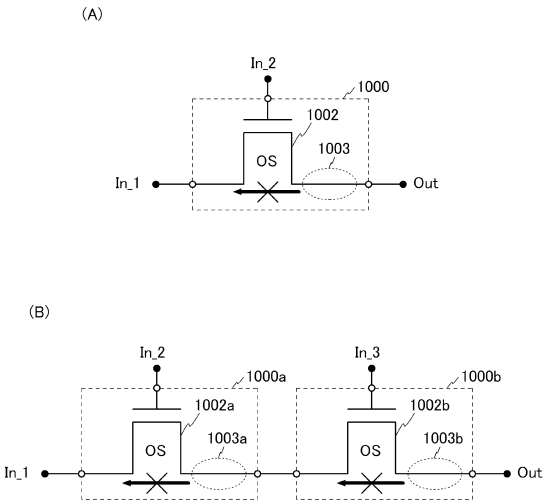
【図 15】



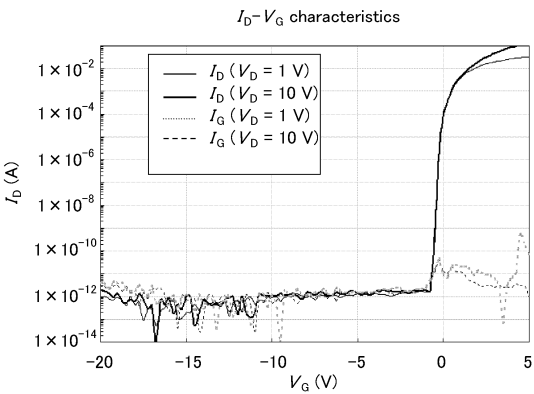
【図 16】



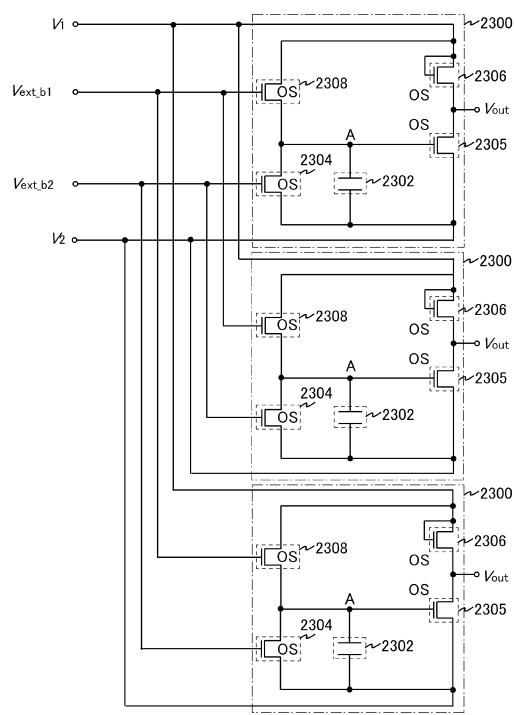
【図 17】



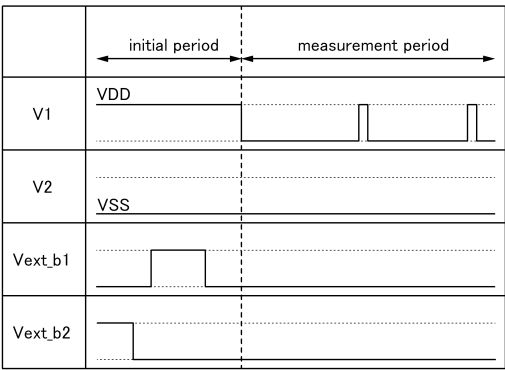
【図 18】



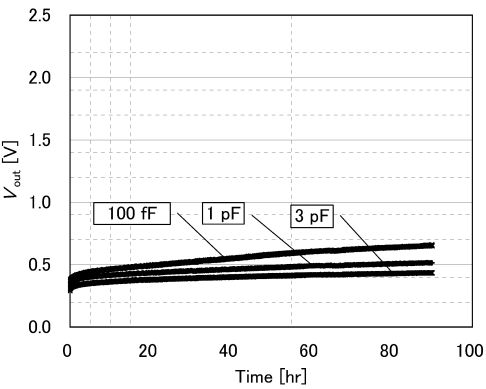
【図 19】



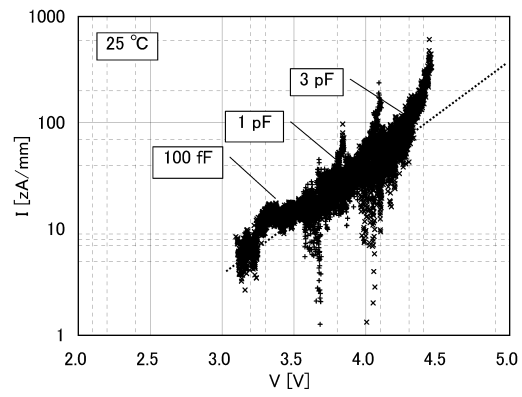
【図 20】



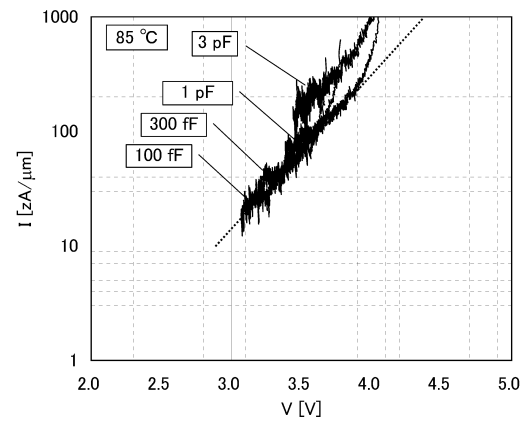
【図 21】



【図 2 2】

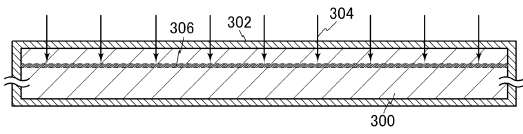


【図 2 3】

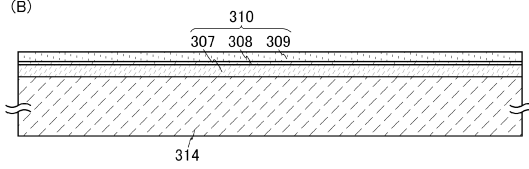


【図 2 4】

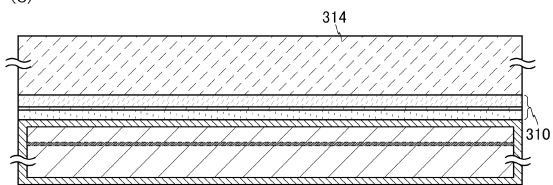
(A)



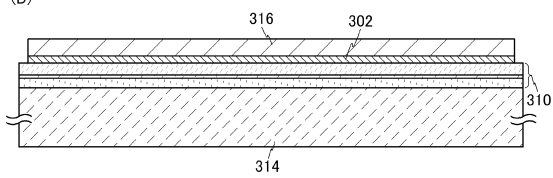
(B)



(C)



(D)



## フロントページの続き

(51)Int.Cl.			F I		
H 0 1 L	27/088	(2006.01)	H 0 1 L	21/02	B
H 0 1 L	21/8238	(2006.01)	H 0 1 L	27/088	E
H 0 1 L	27/092	(2006.01)	H 0 1 L	27/092	B
H 0 1 L	27/12	(2006.01)	H 0 1 L	27/088	3 3 1 E
H 0 3 K	3/356	(2006.01)	H 0 1 L	27/12	B
			H 0 3 K	3/356	B

(56)参考文献 特開 2 0 0 9 - 0 0 4 7 5 7 ( J P , A )  
 特開 2 0 0 7 - 0 5 8 2 0 2 ( J P , A )  
 特開 2 0 1 1 - 1 4 2 6 2 1 ( J P , A )  
 特開 2 0 0 7 - 2 2 0 7 4 9 ( J P , A )  
 特開 2 0 0 9 - 0 8 8 4 9 8 ( J P , A )  
 特開 2 0 0 9 - 1 1 7 6 8 8 ( J P , A )  
 国際公開第 0 0 / 0 0 8 5 1 7 ( W O , A 1 )  
 特開 2 0 0 2 - 2 8 7 6 5 3 ( J P , A )  
 特開 2 0 0 5 - 0 1 7 9 1 7 ( J P , A )  
 特開 2 0 0 8 - 0 2 6 6 1 2 ( J P , A )  
 特開 2 0 0 6 - 0 9 8 4 9 6 ( J P , A )  
 特開 2 0 0 8 - 1 8 0 8 4 8 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F      1 / 1 3 6 - 1 / 1 3 6 8  
 G 0 9 F      9 / 0 0  
 H 0 1 L      2 1 / 0 2  
 H 0 1 L      2 1 / 3 3 6  
 H 0 1 L      2 1 / 8 2 3 4 - 2 1 / 8 2 3 8  
 H 0 1 L      2 1 / 8 2 4 9  
 H 0 1 L      2 7 / 0 6  
 H 0 1 L      2 7 / 0 8  
 H 0 1 L      2 7 / 0 8 8 - 2 7 / 0 9 2  
 H 0 1 L      2 7 / 1 2  
 H 0 1 L      2 9 / 7 8 6  
 H 0 3 K      3 / 3 5 6