

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成27年4月30日 (2015.4.30)

【公開番号】特開2013-9314(P2013-9314A)

【公開日】平成25年1月10日 (2013.1.10)

【年通号数】公開・登録公報2013-002

【出願番号】特願2012-108216(P2012-108216)

【国際特許分類】

**H 0 3 K 3/356 (2006.01)**

**H 0 1 L 29/786 (2006.01)**

**C 2 3 C 14/08 (2006.01)**

**H 0 3 K 19/096 (2006.01)**

**H 0 1 L 21/8234 (2006.01)**

**H 0 1 L 27/088 (2006.01)**

【F I】

H 0 3 K 3/356 B

H 0 1 L 29/78 6 1 8 B

H 0 1 L 29/78 6 1 3 Z

C 2 3 C 14/08 K

H 0 3 K 19/096 A

H 0 1 L 27/08 1 0 2 E

【手続補正書】

【提出日】平成27年3月13日 (2015.3.13)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 のトランジスタおよび第 2 のトランジスタと、

第 3 のトランジスタ、第 4 のトランジスタ、および 4 の端子を有する第 1 のトランジスタ群と、

第 5 乃至第 8 のトランジスタ、および 4 の端子を有する第 2 のトランジスタ群を具備し、

前記第 1 のトランジスタのソースおよびドレインの一方は、低電位側電源電位線と電氣的に接続され、

前記第 1 のトランジスタ群の第 1 端子および前記第 1 のトランジスタ群の第 2 端子は、前記第 1 のトランジスタのソースおよびドレインの他方と電氣的に接続され、

前記第 1 のトランジスタ群の第 3 端子は、前記第 2 のトランジスタ群の第 1 端子と電氣的に接続され、

前記第 1 のトランジスタ群の第 4 端子は、前記第 2 のトランジスタ群の第 2 端子と電氣的に接続され、

前記第 2 のトランジスタ群の第 3 端子は、前記第 2 のトランジスタのソースおよびドレインの一方と、出力端子とに電氣的に接続され、

前記第 2 のトランジスタ群の第 4 端子は、前記低電位側電源電位線と電氣的に接続され、

前記第 2 のトランジスタのソースおよびドレインの他方は、高電位側電源電位線と電氣的に接続され、

的に接続され、

前記第 1 のトランジスタ群では、

前記第 3 のトランジスタのソースおよびドレインの一方は、前記第 1 のトランジスタ群の前記第 1 端子と電氣的に接続され、

前記第 3 のトランジスタのソースおよびドレインの他方は、前記第 1 のトランジスタ群の前記第 3 端子と電氣的に接続され、

前記第 4 のトランジスタのソースおよびドレインの一方は、前記第 1 のトランジスタ群の前記第 2 端子と電氣的に接続され、

前記第 4 のトランジスタのソースおよびドレインの他方は、前記第 1 のトランジスタ群の前記第 4 端子と電氣的に接続され、

前記第 2 のトランジスタ群では、

前記第 5 のトランジスタのソースおよびドレインの一方と、前記第 6 のトランジスタのソースおよびドレインの一方は、前記第 2 のトランジスタ群の前記第 1 端子と電氣的に接続され、

前記第 7 のトランジスタのソースおよびドレインの一方と、前記第 8 のトランジスタのソースおよびドレインの一方は、前記第 2 のトランジスタ群の前記第 2 端子と電氣的に接続され、

前記第 5 のトランジスタのソースおよびドレインの他方と、前記第 8 のトランジスタのソースおよびドレインの他方は、前記第 2 のトランジスタ群の前記第 3 端子と電氣的に接続され、

前記第 6 のトランジスタのソースおよびドレインの他方と、前記第 7 のトランジスタのソースおよびドレインの他方は、前記第 2 のトランジスタ群の前記第 4 端子と電氣的に接続され、

前記第 1 のトランジスタのゲートおよび前記第 2 のトランジスタのゲートは、クロック信号が入力される第 1 の入力端子と電氣的に接続され、

前記第 1 のトランジスタ群が有するトランジスタのゲートは、データ電位信号が入力される第 2 の入力端子と電氣的に接続され、

前記第 2 のトランジスタ群が有するトランジスタのゲートは、データ電位信号が入力される第 3 の入力端子と電氣的に接続され、

前記第 1 のトランジスタ、前記第 3 のトランジスタ、前記第 6 のトランジスタ、および前記第 8 のトランジスタは、n チャネル型トランジスタであり、

前記第 2 のトランジスタ、前記第 4 のトランジスタ、前記第 5 のトランジスタ、および前記第 7 のトランジスタは、p チャネル型トランジスタであり、

前記第 2 のトランジスタおよび前記出力端子の間に第 9 のトランジスタが設けられ、

前記第 9 のトランジスタのソースおよびドレインの一方は、前記第 2 のトランジスタのソースおよびドレインの前記他方と電氣的に接続され、

前記第 9 のトランジスタのソースおよびドレインの他方は、前記出力端子と電氣的に接続され、

前記第 9 のトランジスタのゲートは、前記第 1 の入力端子と電氣的に接続され、

前記第 9 のトランジスタは、ソースドレイン間電圧が 10 V であり、チャネル長が 3  $\mu\text{m}$  である場合におけるチャネル幅 1  $\mu\text{m}$  あたりのオフ状態のリーク電流が、 $1 \times 10^{-17}$  A 以下であることを特徴とする半導体装置。

## 【請求項 2】

第 1 のトランジスタおよび第 2 のトランジスタと、

第 3 のトランジスタ、第 4 のトランジスタ、および 4 の端子を有する第 1 のトランジスタ群と、

各々が、第 5 乃至第 8 のトランジスタ、および 4 の端子を有する第 2 乃至第 m (m は 3 以上の自然数) のトランジスタ群を具備し、

前記第 1 のトランジスタのソースおよびドレインの一方は、低電位側電源電位線と電氣的に接続され、

前記第1のトランジスタ群の第1端子および前記第1のトランジスタ群の第2端子は、前記第1のトランジスタのソースおよびドレインの他方と電氣的に接続され、

前記第1のトランジスタ群の第3端子は、前記第2のトランジスタ群の第1端子と電氣的に接続され、

前記第1のトランジスタ群の第4端子は、前記第2のトランジスタ群の第2端子と電氣的に接続され、

前記第mのトランジスタ群の第1端子は、第m-1群のトランジスタ群の第3端子と電氣的に接続され、

前記第mのトランジスタ群の第2端子は、第m-1群のトランジスタ群の第4端子と電氣的に接続され、

前記第mのトランジスタ群の第3端子は、前記第2のトランジスタのソースおよびドレインの一方と、出力端子とに電氣的に接続され、

前記第mのトランジスタ群の第4端子は、前記低電位側電源電位線と電氣的に接続され、

前記第2のトランジスタのソースおよびドレインの他方は、高電位側電源電位線と電氣的に接続され、

前記第1のトランジスタ群では、

前記第3のトランジスタのソースおよびドレインの一方は、前記第1のトランジスタ群の前記第1端子と電氣的に接続され、

前記第3のトランジスタのソースおよびドレインの他方は、前記第1のトランジスタ群の前記第3端子と電氣的に接続され、

前記第4のトランジスタのソースおよびドレインの一方は、前記第1のトランジスタ群の前記第2端子と電氣的に接続され、

前記第4のトランジスタのソースおよびドレインの他方は、前記第1のトランジスタ群の前記第4端子と電氣的に接続され、

前記第mのトランジスタ群では、

前記第5のトランジスタのソースおよびドレインの一方と、前記第6のトランジスタのソースおよびドレインの一方は、前記第mのトランジスタ群の前記第1端子と電氣的に接続され、

前記第7のトランジスタのソースおよびドレインの一方と、前記第8のトランジスタのソースおよびドレインの一方は、前記第mのトランジスタ群の前記第2端子と電氣的に接続され、

前記第5のトランジスタのソースおよびドレインの他方と、前記第8のトランジスタのソースおよびドレインの他方は、前記第mのトランジスタ群の前記第3端子と電氣的に接続され、

前記第6のトランジスタのソースおよびドレインの他方と、前記第7のトランジスタのソースおよびドレインの他方は、前記第mのトランジスタ群の前記第4端子と電氣的に接続され、

前記第1のトランジスタのゲートおよび前記第2のトランジスタのゲートは、クロック信号が入力される第1の入力端子と電氣的に接続され、

前記第1乃至前記第mのトランジスタ群が有するトランジスタのゲートは、データ電位信号が入力される第2乃至第m+1の入力端子とそれぞれ電氣的に接続され、

前記第1のトランジスタ、前記第3のトランジスタ、前記第6のトランジスタ、および前記第8のトランジスタは、nチャネル型トランジスタであり、

前記第2のトランジスタ、前記第4のトランジスタ、前記第5のトランジスタ、および前記第7のトランジスタは、pチャネル型トランジスタであり、

前記第2のトランジスタおよび前記出力端子の間に第9のトランジスタが設けられ、

前記第9のトランジスタのソースおよびドレインの一方は、前記第2のトランジスタのソースおよびドレインの前記他方と電氣的に接続され、

前記第9のトランジスタのソースおよびドレインの他方は、前記出力端子と電氣的に接

続され、

前記第 9 のトランジスタのゲートは、前記第 1 の入力端子と電氣的に接続され、

前記第 9 のトランジスタは、ソースドレイン間電圧が 10 V であり、チャンネル長が 3  $\mu\text{m}$  である場合におけるチャンネル幅 1  $\mu\text{m}$  あたりのオフ状態のリーク電流が、 $1 \times 10^{-17}$  A 以下であることを特徴とする半導体装置。

【請求項 3】

請求項 1 または請求項 2 において、

前記第 9 のトランジスタは、酸化物半導体層を有し、且つ前記酸化物半導体層にチャンネル形成領域を有することを特徴とする半導体装置。

【請求項 4】

第 1 乃至第 4 のトランジスタと、

第 5 のトランジスタ、第 6 のトランジスタ、および 4 の端子を有する第 1 のトランジスタ群と、

第 7 乃至第 10 のトランジスタ、および 4 の端子を有する第 2 のトランジスタ群を具備し、

前記第 1 のトランジスタのソースおよびドレインの一方は、低電位側電源電位線と電氣的に接続され、

前記第 1 のトランジスタ群の第 1 端子および前記第 1 のトランジスタ群の第 2 端子は、前記第 1 のトランジスタのソースおよびドレインの他方と電氣的に接続され、

前記第 1 のトランジスタ群の第 3 端子は、前記第 2 のトランジスタ群の第 1 端子と電氣的に接続され、

前記第 1 のトランジスタ群の第 4 端子は、前記第 2 のトランジスタ群の第 2 端子と電氣的に接続され、

前記第 2 のトランジスタ群の第 3 端子は、前記第 2 のトランジスタのソースおよびドレインの一方と電氣的に接続され、

前記第 2 のトランジスタ群の第 4 端子は、前記第 3 のトランジスタのソースおよびドレインの一方と電氣的に接続され、

前記第 2 のトランジスタのソースおよびドレインの他方は、前記第 3 のトランジスタのソースおよびドレインの他方と、前記第 4 のトランジスタのソースおよびドレインの一方と、出力端子と電氣的に接続され、

前記第 4 のトランジスタのソースおよびドレインの他方は、高電位側電源電位線と電氣的に接続され、

前記第 1 のトランジスタ群では、

前記第 5 のトランジスタのソースおよびドレインの一方は、前記第 1 のトランジスタ群の前記第 1 端子と電氣的に接続され、

前記第 5 のトランジスタのソースおよびドレインの他方は、前記第 1 のトランジスタ群の前記第 3 端子と電氣的に接続され、

前記第 6 のトランジスタのソースおよびドレインの一方は、前記第 1 のトランジスタ群の前記第 2 端子と電氣的に接続され、

前記第 6 のトランジスタのソースおよびドレインの他方は、前記第 1 のトランジスタ群の前記第 4 端子と電氣的に接続され、

前記第 2 のトランジスタ群では、

前記第 7 のトランジスタのソースおよびドレインの一方と、前記第 8 のトランジスタのソースおよびドレインの一方は、前記第 2 のトランジスタ群の前記第 1 端子と電氣的に接続され、

前記第 9 のトランジスタのソースおよびドレインの一方と、前記第 10 のトランジスタのソースおよびドレインの一方は、前記第 2 のトランジスタ群の前記第 2 端子と電氣的に接続され、

前記第 7 のトランジスタのソースおよびドレインの他方と、前記第 10 のトランジスタのソースおよびドレインの他方は、前記第 2 のトランジスタ群の前記第 3 端子と電氣的に

接続され、

前記第 8 のトランジスタのソースおよびドレインの他方と、前記第 9 のトランジスタのソースおよびドレインの他方は、前記第 2 のトランジスタ群の前記第 4 端子と電氣的に接続され、

前記第 1 のトランジスタのゲートおよび前記第 4 のトランジスタのゲートは、クロック信号が入力される第 1 の入力端子と電氣的に接続され、

前記第 1 のトランジスタ群が有するトランジスタのゲートは、データ電位信号が入力される第 2 の入力端子と電氣的に接続され、

前記第 2 のトランジスタ群が有するトランジスタのゲートは、データ電位信号が入力される第 3 の入力端子と電氣的に接続され、

前記第 2 のトランジスタおよび前記第 3 のトランジスタのゲートは、前記データ電位信号が有していたパリティビットが入力される第 4 の入力端子と電氣的に接続され、

前記第 1 のトランジスタ、前記第 3 のトランジスタ、前記第 5 のトランジスタ、前記第 8 のトランジスタ、および前記第 10 のトランジスタは、n チャネル型トランジスタであり、

前記第 2 のトランジスタ、前記第 4 のトランジスタ、前記第 6 のトランジスタ、前記第 7 のトランジスタ、および前記第 9 のトランジスタは、p チャネル型トランジスタであり、

、

前記第 2 のトランジスタおよび前記出力端子の間に第 11 のトランジスタを設け、

前記第 11 のトランジスタのソースおよびドレインの一方は、前記第 2 のトランジスタのソースおよびドレインの前記他方と、前記第 3 のトランジスタのソースおよびドレインの前記他方と、前記第 4 のトランジスタのソースおよびドレインの前記一方とに電氣的に接続され、

前記第 11 のトランジスタのソースおよびドレインの他方は、前記出力端子と電氣的に接続され、

前記第 11 のトランジスタのゲートは、前記第 1 の入力端子と電氣的に接続され、

前記第 11 のトランジスタは、ソースドレイン間電圧が 10 V であり、チャンネル長が 3  $\mu\text{m}$  である場合におけるチャンネル幅 1  $\mu\text{m}$  あたりのオフ状態のリーク電流が、 $1 \times 10^{-17}$  A 以下であることを特徴とする半導体装置。

#### 【請求項 5】

第 1 乃至第 4 のトランジスタと、

第 5 のトランジスタ、第 6 のトランジスタ、および 4 の端子を有する第 1 のトランジスタ群と、

各々が、第 7 乃至第 10 のトランジスタ、および 4 の端子を有する第 2 乃至第 m (m は 3 以上の自然数) のトランジスタ群を具備し、

前記第 1 のトランジスタのソースおよびドレインの一方は、低電位側電源電位線と電氣的に接続され、

前記第 1 のトランジスタ群の第 1 端子および前記第 1 のトランジスタ群の第 2 端子は、前記第 1 のトランジスタのソースおよびドレインの他方と電氣的に接続され、

前記第 1 のトランジスタ群の第 3 端子は、前記第 2 のトランジスタ群の第 1 端子と電氣的に接続され、

前記第 1 のトランジスタ群の第 4 端子は、前記第 2 のトランジスタ群の第 2 端子と電氣的に接続され、

前記第 m のトランジスタ群の第 1 端子は、第 m - 1 群のトランジスタ群の第 3 端子と電氣的に接続され、

前記第 m のトランジスタ群の第 2 端子は、第 m - 1 群のトランジスタ群の第 4 端子と電氣的に接続され、

前記第 m のトランジスタ群の第 3 端子は、前記第 2 のトランジスタのソースおよびドレインの一方と電氣的に接続され、

前記第 m のトランジスタ群の第 4 端子は、前記第 3 のトランジスタのソースおよびドレ

インの一方と電氣的に接続され、

前記第2のトランジスタのソースおよびドレインの他方は、前記第3のトランジスタのソースおよびドレインの他方と、前記第4のトランジスタのソースおよびドレインの一方と、出力端子と電氣的に接続され、

前記第4のトランジスタのソースおよびドレインの他方は、高電位側電源電位線と電氣的に接続され、

前記第1のトランジスタ群では、

前記第5のトランジスタのソースおよびドレインの一方は、前記第1のトランジスタ群の前記第1端子と電氣的に接続されており、

前記第5のトランジスタのソースおよびドレインの他方は、前記第1のトランジスタ群の前記第3端子と電氣的に接続され、

前記第6のトランジスタのソースおよびドレインの一方は、前記第1のトランジスタ群の前記第2端子と電氣的に接続され、

前記第6のトランジスタのソースおよびドレインの他方は、前記第1のトランジスタ群の前記第4端子と電氣的に接続され、

前記第mのトランジスタ群では、

前記第7のトランジスタのソースおよびドレインの一方と、前記第8のトランジスタのソースおよびドレインの一方は、前記第mのトランジスタ群の前記第1端子と電氣的に接続され、

前記第9のトランジスタのソースおよびドレインの一方と、前記第10のトランジスタのソースおよびドレインの一方は、前記第mのトランジスタ群の前記第2端子と電氣的に接続され、

前記第7のトランジスタのソースおよびドレインの他方と、前記第10のトランジスタのソースおよびドレインの他方は、前記第mのトランジスタ群の前記第3端子と電氣的に接続され、

前記第8のトランジスタのソースおよびドレインの他方と、前記第9のトランジスタのソースおよびドレインの他方は、前記第mのトランジスタ群の前記第4端子と電氣的に接続され、

前記第1のトランジスタのゲートおよび前記第4のトランジスタのゲートは、クロック信号が入力される第1の入力端子と電氣的に接続され、

前記第1乃至前記第mのトランジスタ群が有するトランジスタのゲートは、データ電位信号が入力される第2乃至第 $m+1$ の入力端子とそれぞれ電氣的に接続され、

前記第2のトランジスタおよび前記第3のトランジスタのゲートは、前記データ電位信号が有していたパリティビットが入力される第 $m+2$ の入力端子と電氣的に接続され、

前記第1のトランジスタ、前記第3のトランジスタ、前記第5のトランジスタ、前記第8のトランジスタ、および前記第10のトランジスタは、nチャネル型トランジスタであり、

前記第2のトランジスタ、前記第4のトランジスタ、前記第6のトランジスタ、前記第7のトランジスタ、および前記第9のトランジスタは、pチャネル型トランジスタであり、

前記第2のトランジスタおよび前記出力端子の間に第11のトランジスタを設け、

前記第11のトランジスタのソースおよびドレインの一方は、前記第2のトランジスタのソースおよびドレインの前記他方と、前記第3のトランジスタのソースおよびドレインの前記他方と、前記第4のトランジスタのソースおよびドレインの前記一方とに電氣的に接続され、

前記第11のトランジスタのソースおよびドレインの他方は、前記出力端子と電氣的に接続され、

前記第11のトランジスタのゲートは、前記第1の入力端子と電氣的に接続され、

前記第11のトランジスタは、ソース・ドレイン間電圧が10Vであり、チャネル長が3  $\mu\text{m}$ である場合におけるチャネル幅1  $\mu\text{m}$ あたりのオフ状態のリーク電流が、 $1 \times 10$

- 1 7 A 以下であることを特徴とする半導体装置。

【請求項 6】

請求項 4 または請求項 5 において、

前記第 1 1 のトランジスタは、酸化物半導体層を有し、且つ前記酸化物半導体層にチャネル形成領域を有することを特徴とする半導体装置。