

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3659967号

(P3659967)

(45) 発行日 平成17年6月15日(2005.6.15)

(24) 登録日 平成17年3月25日(2005.3.25)

(51) Int.Cl.⁷

G 1 1 C 5/00

F I

G 1 1 C 5/00 3 0 2 Z

請求項の数 9 (全 16 頁)

(21) 出願番号	特願平6-510887	(73) 特許権者	株式会社セガ
(86) (22) 出願日	平成5年10月28日(1993.10.28)		東京都大田区羽田1丁目2番12号
(86) 国際出願番号	PCT/JP1993/001554	(74) 代理人	弁理士 林 恒徳
(87) 国際公開番号	W01994/010685		
(87) 国際公開日	平成6年5月11日(1994.5.11)	(72) 発明者	奥ノ木 豊
審査請求日	平成12年10月30日(2000.10.30)		東京都大田区羽田1丁目2番12号 株式
(31) 優先権主張番号	特願平4-315748		会社セガ・エンタープライゼス内
(32) 優先日	平成4年10月30日(1992.10.30)		
(33) 優先権主張国	日本国(JP)		
		審査官	丹治 彰
		(56) 参考文献	特開平04-222997(JP, A)
			特開平04-284551(JP, A)
			特開平04-256196(JP, A)
			特開昭62-291264(JP, A)
			最終頁に続く

(54) 【発明の名称】 情報処理装置

(57) 【特許請求の範囲】

【請求項1】

演算処理装置とデータを記憶する記憶媒体を含む外部記憶装置を有し、
 前記演算処理装置と外部記憶装置は、着脱自在に接続され、
 前記外部記憶装置は、第1の符号化されたデータに対し更に第2の符号化により得られた
 圧縮データを記憶する記憶媒体と、該記憶媒体から読み出された前記圧縮データに対し、
 前記第2の符号化に対応する復号化処理を行う第1の復号化手段を備え、
 前記演算処理装置は、前記外部記憶装置の前記第1の復号化手段から出力される復号化デ
 ータに対し、前記第1の符号化に対応する復号化処理を行う第2の復号化手段を有し、
 前記記憶媒体に記憶された圧縮データに対する伸長化処理を前記第1の復号化手段及び第
 2の復号化手段が分担して行う
 ようにしたことを特徴とする情報処理装置。

【請求項2】

請求の範囲1において、
 前記外部記憶装置の記憶媒体に記憶されるデータは、第1の符号化としてランレングス符
 号化され、前記第2の符号化としてハフマン符号により符号化されたデジタル符号である
 ことを特徴とする情報処理装置。

【請求項3】

請求の範囲2において、
 前記第1の復号化手段は、前記ハフマン符号化に対するハフマン復号化処理を行い、前記

10

20

第2の復号化手段は、前記ランレングス符号化に対するランレングス復号化処理を行うものであることを特徴とする情報処理装置。

【請求項4】

第1の符号化されたデータに対し更に第2の符号化により得られた圧縮データを記憶する記憶媒体と、

該記憶媒体から読み出された前記圧縮データに対して、前記第2の符号化に対応する第1の復号化を行う第1の復号化手段を有し、

該第1の復号化手段による第1の復号化後のデータを取り込み、前記第1の符号化に対応する第2の復号化を行う第2の復号化手段を有する演算処理装置に着脱可能に構成され、前記記憶媒体に記憶された圧縮データに対する伸長化処理が、前記第1の復号化手段及び第2の復号化手段により分担して行われる

ことを特徴とする外部記憶装置。

【請求項5】

請求の範囲4において、

前記記憶媒体は、レーザー光で読み取り可能な記憶媒体であることを特徴とする外部記憶装置。

【請求項6】

請求の範囲4において、

前記記憶媒体から読み出される圧縮データは、2進デジタル符号をランレングス符号化し、更にこれをハフマン符号化して生成されたものであることを特徴とする外部記憶装置

。

【請求項7】

請求の範囲6において、

前記第1の復号化手段は、少なくとも前記ハフマン符号化に対応するハフマン復号の機能を有することを特徴とする外部記憶装置。

【請求項8】

請求の範囲7において、

前記第1の復号化手段は、更にハフマン復号テーブルを有し、前記記憶媒体に記憶されたデータをアドレスとして、該データに対するハフマン復号化ランデータ及びラン長データを出力することを特徴とする外部記憶装置。

【請求項9】

請求の範囲4において、

前記記憶媒体は、読み取り専用メモリであることを特徴とする情報処理装置。

【発明の詳細な説明】

技術の分野

本発明は、情報処理装置に関し、特に演算処理装置とこれに着脱可能に接続される外部記憶装置を有し、更にデータ処理機能が分担化された構成を有する情報処理装置に関する。

背景技術

演算処理装置とこれに着脱可能に接続される外部記憶装置により構成される情報処理装置として、外部記憶装置に記憶されるプログラムを演算処理装置で実行させるシステムが従来、種々提案されている。

このような情報処理装置システムの一例として、例えばコンピュータを用いたゲーム装置がある。このようなゲーム装置は、ROMカートリッジ、ROMカード、CD-ROM、磁気ディスク(FD)等の記憶媒体を内蔵した外部記憶装置をコンピュータ(CPU)を内蔵するゲーム装置本体に着脱可能に接続して構成される。

そして、外部記憶装置に記憶されるデータを読み出しゲーム装置本体において演算処理し、ゲームプログラムの内容をCRT又は液晶等の表示装置に表示してゲームを進行するように構成されている。

ここで、外部記憶装置は、カセットのパッケージサイズ、規格、価格等の理由により、記憶媒体が限られた記憶容量に制約される。このため、限られた記憶媒体に多くのデータを

10

20

30

40

50

記憶することを可能とするために、データを符号化して記憶する、データ圧縮の方法が採用されている。

したがって、外部記憶装置からデータを読み出し、本体装置のCPUによりプログラム演算処理を可能とするためには、符号化し圧縮されたデータを復号処理して元のデータに戻すことが必要である。

このデータの復号処理の方法として、プログラムを用いて行う方法、あるいは専用の復号用半導体チップを用いて行う方法等が想定される。

復号処理をプログラムを用いて行う場合には、特別なハードウェアを必要としない。且つデータ圧縮のための符号化方法の自由度が大きいという利点がある。しかし、復号速度が遅く、本体装置のCPUの処理を占有してしまうという問題がある。

10

一方、復号用の専用半導体チップを用いて復号処理を行う場合は、復号速度が速く、したがって本体装置のCPUを占有してしまうという問題は少ない。特に、画像データを復号する場合には、修理が複雑で、高速処理が要求されるため、専用の処理用半導体チップを用いて行うことが有利である。

従来技術として、かかる場合上記専用の復号処理用半導体チップは、安価でないことから複数の着脱交換される外部記憶装置に対して共用化すべく、演算処理用の装置本体のみに置かれる場合が一般的である。

一方、ROMカートリッジ、ROMカード、CD-ROM、FD等の記憶媒体は、記憶データであるプログラムをコピーすれば、容易に複製品が作れる。そのためにプログラムの無断複製を防止するためにセキュリティ用の処理チップを備えることが更に必要となる。

20

かかるセキュリティ用の処理チップを備えた従来例として、例えば、公開特許公報昭61-296,433号、同左昭62-3,331号、対応の米国特許4,799,635、4,865,321、5,070,479及びR34,161に記載される技術がある。

この技術では、セキュリティ用の処理チップを本体装置に搭載するとともに外部装置に搭載し、双方のセキュリティ用の処理チップでの処理結果が一致するか否かにより、接続される外部記憶装置の真偽性を判断するようにしている。

しかしながらかかるセキュリティ用の処理チップも復号用の専用半導体チップも同様にコスト的に大きく、外部記憶装置を高価なものとしていた。

発明の開示

したがって、本発明は、演算処理装置とこれに着脱可能に接続される外部記憶装置を有し、コストの低減を可能とするデータ処理の機能を持つ情報処理装置を提供することを目的とする。

30

更に本発明は、圧縮されたデータの復号化機能を演算処理装置と外部記憶装置とに機能が分担された構成を有する情報処理装置を提供することを目的とする。

また、本発明は、外部記憶装置の真偽性の判定を特定の処理チップを設けることなく実行できる情報処理装置を提供することを目的とする。

更にまた、本発明は、演算処理装置とデータを記憶する外部記憶装置を有し、この演算処理装置と外部記憶装置は、着脱自在に接続され、更に該外部記憶装置(202)に記憶されたデータに対する処理を行うデータ処理手段を備え、このデータ処理手段は、前記外部記憶装置に備えられる第1の処理手段と、前記演算処理装置に備えられる第2の処理手段を有し、前記データに対する処理を第1の処理手段及び第2の処理手段が分担して行うようにした情報処理装置を提供することを目的とする。

40

また、本発明は、上記目的に対応する外部記憶装置を提供することを目的とする。

更に本発明は、記憶媒体と、この記憶媒体に記憶されたデータに対する処理機能の少なくとも一部を実行する処理手段を有し、前記データを処理した結果を取り込むCPUを有する演算処理装置に着脱自在に構成される外部記憶装置を提供することを目的とする。

本発明の更なる目的は、添付の請求の範囲の記載と以下の実施例説明からより明らかにされる。

【図面の簡単な説明】

添付される図面は、専ら本発明の説明のために用意されるものであり、本発明が図面に記

50

載されたものに限定されるものではない。

図1は、本発明の第1の実施例構成のブロック図である。

図2は、本発明の実施例におけるランレングス符号化の一例である。

図3は、本発明の実施例におけるハフマン符号化の一例である。

図4は、本発明の実施例におけるランデータ用ハフマン復号化テーブルの説明図である。

図5は、本発明の実施例におけるラン長用ハフマン復号化テーブルの説明図である。

図6乃至図14の各々は、図1の第1の実施例のブロック図の詳細構成を分割して示す回路図である。

図15は、図1の第1の実施例構成の詳細を示す図6乃至図14のそれぞれの配置関係を説明する図である。

10

図16乃至図19は、第1の実施例の動作タイムチャートである。

図20は、復号化を行わずにROMデータを直接読み出す為の付加回路図である。

図21は、本発明の第2の実施例構成のブロック図である。

発明を実施するための最良の形態

図1は、本発明の第1の実施例構成のブロック図であり、演算処理装置201と外部記憶装置202に対する本発明に係わる構成部と、それらの接続関係が示されている。

演算処理装置201と外部記憶装置202は、図示省略されている所定のコネクタ端子により着脱自在に接続される。

演算処理装置201において、バスBSにはCPU1の他、各種I/O及び演算機能回路が接続されている。

20

以降の説明で明らかな通り、本発明の実施例では、外部記憶装置202のROM2に記憶された圧縮データを読み出し、元のデータに復号処理してCPU1に送るデータ処理の機能を有している。

したがって、図1では、説明の簡単化のために演算処理装置201側のバスBSには、本発明の対象とする構成の一部である演算処理装置201側に設けられる復号器の構成のみを接続図示している。

演算処理装置201側に設けられる復号器は、機能ブロックとして、本体制御部3、ラン長カウンタ4及びランデータレジスタ5を有して構成される。

一方、演算処理装置201に着脱自在に接続される外部記憶装置202は、例えば、ゲームカートリッジの如きものである。

30

このゲームカートリッジには、ゲームプログラムデータが記憶されるROM2を有し、特に、本発明の実施例においては、圧縮されたデータが記憶されている。

このため、ROM2から読みだされる圧縮データを元のデータに復号することが必要である。この復号化は、前記演算処理装置201側の復号器と外部記憶装置202側の復号器とにより機能分担して行われる。

このように本発明においては、演算処理装置201側と外部記憶装置202側において、特定のデータ処理を行う為の機能を分担させている。

これにより、先に説明した従来技術における問題、即ちCPUの占有、外部記憶装置のコストの問題を解消するようにしている。

外部記憶装置202側の復号器は、図1の実施例構成では、ROMアドレスカウンタ6、シフトレジスタ7、ROM読み出し制御部8、シフトレジスタ制御部9及びハフマン復号テーブル10を有して構成される。

40

ここで、以降の説明の理解のために、実施例としてROM2に記憶されている圧縮データの一例について説明する。

実施例として、ROM2に記憶されている圧縮データは、2進のデジタルデータを先にランレングス符号化し、次いでこのランレングス符号化データをハフマン符号化して得られるものである。

図2は、この符号化を具体的に説明するものである。即ち、図示されるように元のデータを56ビットの2進デジタルデータを例として考察する。

この2進デジタルデータは、4ビットずつの組としてそれぞれ16値の大きさを表してい

50

る。したがって、図2の56ビットの2進デジタルデータを4ビットずつの組とすると、16進符号により、EEEE999993311として表される。

これをランレングス符号化とし、ランデータと、ランデータの連続即ちラン長を組として表すと、図2に示される如くにE4943111となる。

次に、このようにランレングス符号化されたデータをハフマン符号化する。ハフマン符号化は、符号の発生頻度に応じて符号化ビット数を異ならしめることを特徴とする。

図3は、かかるハフマン符号化の一例であり、16進の元データ0～Fの各々をランデータ用とラン長用のハフマン符号に対応付けている。

実例として、図2に示すランレングス符号化されたデータE4943111において、例えばランデータEは、11111110のハフマン符号に対応付けられる。また、ラン長4は、1010のハフマン符号に対応付けられる。

このような関係から、上記のランレングス符号化されたデータE4943111は、ハフマン符号化によって

1 1 1 1 1 1 1 0 | 1 0 1 0 | 1 1 1 1 0 | 1 0 1 0 |
1 1 0 0 0 | 0 1 | 0 1 | 0 1 となる。

したがって、元の56ビットの2進データが、32ビットの2進データに圧縮されていることが理解される。この圧縮された2進データが図1に示す外部記憶装置202のROM2に記憶される。

図6乃至図14は、かかる圧縮された記憶データをROM2から読み出し、元の2進データに復号して、CPU1に送るための図1に示す第1の実施例構成の具体的回路例を分割して示すものである。

図15は、これら分割された図6乃至図14の配置関係を説明する図である。図15において、一点鎖線で切られた左側部は、演算処理装置201側に備えられる部分であり、右側部は、外部記憶装置202側に備えられる部分である。

更に、図16乃至図19は、図1及び図6乃至図14の実施例動作タイムチャートである。

図16乃至図19に示す実施例動作タイムチャートの内、図16及び図17は、主としてROM2に対する読み出しアドレス設定段階の動作タイムチャートである。

更に図18及び図19は、それぞれ図16及び図17の動作タイムチャートに対し、時刻が継続するものであり、主として復号化データの読み出し段階の動作タイムチャートである。

以下、これらの動作タイムチャートを参照しながら、図1及び図6乃至図14の回路の動作を説明する。

図1に戻り説明すると、CPU1からCPUアドレスバス11を通して本体制御部3にCPUアドレス信号CPUAが与えられる。

本体制御部3は、その一部構成が図6に示される。図6において、60は、8入力のNANDゲートである。このNANDゲート60には、CPUアドレスバス11上のCPUアドレス信号CPUA〔23・0〕（注：〔 〕内の数字は、信号ビット数を表し、この例では、23～0の信号ビット数を表している。以下の説明においても同様である。）と、/AS及び/DS信号（図16参照）が与えられる。

このNANDゲート60により、ROM2の記憶領域アドレス800000～83FFFFがアクセスされたことが検出される。NANDゲート60の検出出力は、更にNANDゲート61、62、63及び64に入力される。

書込／読出信号R/Wがアクティブ状態にあると、インバータ68が存在するので、CPUアドレス信号CPUAの0ビットの状態に応じ、NANDゲート61、62からは、それぞれ/LWR、/UWR信号が出力される。

/LWR及び/UWR信号は、それぞれROMアドレスカウンタ6（図1参照）に入力される。ROMアドレスカウンタ6は、2つのアップダウンカウンタ121及び123により構成され、/LWR及び/UWR信号がそれぞれカウンタ121及び123のロードオン端子（LON）に入力される（図12参

10

20

30

40

50

照)。

一方、ROMアドレスカウンタ6を構成するカウンタ121及び123には、CPUデータバス12(図1参照)を通して、読出開始アドレスが入力される。

この読出開始アドレスは、開始アドレス上位及び開始アドレス下位として8ビットずつ送られ、/UWR及び/LWRにより、カウンタ123に上位8ビット、カウンタ121に下位8ビットが順次ロードされる(図16参照)。

したがって、カウンタ121及び123からROMアドレスバス13にROMアドレスROMA〔15・・・0〕がカウンタの初期値として出力される。

このROMアドレスROMA〔15・・・0〕は、更にセクタ122に入力され、選択信号(/DIRECT)が非アクティブ状態の時、選択されてROM2に送られる(図12参照)。

10

一方、ROM読出し制御部8(図1参照)は、2段のD-FF(フリップフロップ)90、91(図9参照)とNORゲート120(図12参照)で構成される。

2段のD-FF(フリップフロップ)90、91には、/LWRが入力され、シフトレジスタ7に最初に上位データを一度だけロード制御する信号である/SLDUを出力する(図17参照)。

ROM読み出し制御部8の一部構成であるNORゲート120(図12参照)にも、その一入力端に/SLDUが入力される。

またNORゲート120の他端には、シフトレジスタ7に下位データをロード制御する信号である/SLDLが入力される(図12、図17参照)。

したがって、NORゲート120からは、両信号の各々のタイミングで、アドレス歩進信号/INCAが出力される。/INCAにより、ROMアドレスカウンタ6が1ずつ歩進される、即ちROMアドレスバス13上のアドレスデータが1ずつ歩進される。

20

ここでシフトレジスタ7は、図14に示すようにTTL論理の下位シフトレジスタ140と上位シフトレジスタ141により構成される。

先に言及したようにROMアドレスカウンタ6に開始アドレスがセットされる時に限り、下位シフトレジスタ140とともに上位シフトレジスタ141に、/SLDUに基づきROM2からROMデータバス14に出力されるROMデータがセットされる(図17参照)。

その後は、下位シフトレジスタ140のみにROMデータがセットされ、データは下位シフトレジスタ140から上位シフトレジスタ141に順次シフトされる。

シフトレジスタ140及び141のシフトの制御は、後に説明するシフトレジスタ制御部9の一部構成であるNORゲート101から出力される/SREQL(図10、図13参照)及びNANDゲート142から出力される/SREQU(図14参照)により行われる。

30

シフトレジスタ7、具体的には上位シフトレジスタ141の出力であるROMデータは、ハフマン復号テーブル10(図1、図11参照)に導かれ、ハフマン復号テーブル10に対するアドレスとなる。

ここで、シフトレジスタ7の出力であるROMデータは、ハフマン符号であり、これとその復号化出力との関係について説明する。図3において、説明したようにランレングス符号化データは、ランデータとラン長のそれぞれがハフマン符号化されている。

したがって、ハフマン符号を対応するランデータとラン長の各々に、復号化することが必要である。このためハフマン復号テーブル10は、ランデータ用のハフマン復号化テーブル116とラン長用のハフマン復号化テーブル114が用意されている(図11参照)。

40

かかるハフマン復号化テーブル116、114は、一種の記憶回路で構成される。したがって、これらは、種々の手段が採用可能である。例えばROMを用いてテーブルを共通化し、あるいはRAMを用いて外部記憶装置毎にテーブルを異なるものとする等の変更が可能である。

図4は、ランデータ用のハフマン復号化テーブル116を説明する図である。シフトレジスタ141から得られる8ビットのハフマン符号HUF7～0をアドレスとして、対応するアドレスに記憶されている4ビットの復号化データ(DATA3～0)および3ビットのハフマン符号長(符号長-1)(CLEN2～0)が出力される。

同様に図5は、ラン長用のハフマン復号化テーブル114を説明する図である。シフトレジスタ141から得られる8ビットのハフマン符号HUF7～0をアドレスとして、対応するアド

50

レスに記憶されている4ビットの復号化データ(DATA3~0)および3ビットのハフマン符号長(符号長-1)(CLEN2~0)が出力される。

図11において、マルチプレクサ113には、ハフマン復号化テーブル116および114からそれぞれ3ビットずつのランデータ用のハフマン符号長及びラン長用のハフマン符号長が入力される。

同様に115は、マルチプレクサであり、ハフマン復号化テーブル116および114からそれぞれ4ビットずつのランデータ用の復号化データ及びラン長用の復号化データが入力される。

マルチプレクサ113及び115のSEL端子には、T-FF100(図10参照)からRD/RL(図17、図19参照)が入力される。

10

したがって、このRD/RLの論理レベルにより、マルチプレクサ113は、ラン長用のハフマン復号化テーブル114からのハフマン符号長または、ランデータ用のハフマン復号化テーブル116からのハフマン符号長を交互に出力する。

同様にマルチプレクサ115は、RD/RLの論理レベルにより、ラン長用のハフマン復号化テーブル114からのランデータまたは、ランデータ用のハフマン復号化テーブル116からのランデータを交互に出力する。

このようにマルチプレクサ113及び115を使用することにより、4ビットのバス接続で済むことになる。勿論マルチプレクサを使用せずに8ビットバスで出力するように構成することも可能である。

マルチプレクサ113からのハフマン符号長は、シフトレジスタ制御部9(図1参照)の一部を構成するカウンタ111に導かれる。カウンタ111は、入力されるハフマン符号長分だけ計数ダウンし、0となった時、/HLDを出力する(図17参照)。

20

/HLDは、先に説明したように、T-FF100を介してRD/RLとなり、マルチプレクサ113及び115の選択端子SELに入力して、ハフマン復号化テーブル114及び116の出力を切り換えるように制御する(図10、図11参照)。

図11のNORゲート110により、/HLDがカウンタ111のLDN端子に入力され、新たなハフマン符号長の入力を可能とさせる。

また、/HLD信号は、NORゲート101(図10参照)に入力し、Bカウンタ130(図13参照)に対するシフト要求信号/SREQLとなる。

このシフト要求信号/SREQLは、/HLDの他に/INCAまたは、/RREQがNORゲート101に入力される時に生成される(図10参照)。

30

/INCAは、NANDゲート120の出力である(図12参照)。また、/RREQは、後に説明するラン長カウンタ80(図8参照)から導かれる。

Bカウンタ130は、シフト要求信号/SREQLがアクティブの期間中、計数ダウンされる(図17及び図19のBCOUNT参照)。

Bカウンタ130の計数値が0となる時、/SLDLが出力され、シフトレジスタ7を構成する下位データ用シフトレジスタ140(図14参照)に対し、新たにROMデータバス14からROMデータを取り込むように制御する。

図1に戻ると、ハフマン復号テーブル10からのハフマン復号されたラン長データは、ラン長カウンタ4に入力され、ランデータは、ランデータレジスタ5に入力される。

40

ラン長カウンタ4に入力されたラン長データは、本体制御部3からの減算指令に基づき順次0になるまで減算される。

一方、ランデータレジスタ5に入力されるランデータは、ラン長カウンタ4が0となるまで繰り返しCPUデータバス12に出力される。これにより、データとその継続回数がCPU1により、把握できるのでランレングス符号が復号されることになる。

かかる機能を実現するための具体的回路を更に説明すると、図11のマルチプレクサ115は、ハフマン復号テーブル10の一部を構成し、先に説明したようにハフマン復号化テーブル114及び116からの復号化データを交互に出力する。

ラン長カウンタ4は、TTL回路であるカウンタ80(図8参照)およびNANDゲート81により構成される。

50

ハフマン復号化テーブル114からの復号化データは、ラン長用のデータであるのでこのカウンタ80に入力しセットされる。カウンタ80へのラン長用データのセットは、NORゲート76(図7参照)からの出力/RLLDがカウンタ80のLDN端子に入力するタイミングで行われる(図17、図19参照)。

一方、ハフマン復号化テーブル116からの復号化データであるランデータは、ランデータレジスタを構成する二重化D - FF84に入力される(図8参照)。

二重化D - FF84にセットされたデータは、それぞれD - FF96、97(図9参照)から出力される/UCKH及び/LCKLのタイミングで下位4ビット、上位4ビット毎にD - FF82、83にセットされる(図8参照)。

D - FF82、83の双方にランデータがセットされるとCPUデータバスを通してCPU1に入力される。

カウンタ80は、/UCKH及び/LCKLが非アクティブ状態の時、NANDゲート81により、/DECRが与えられ、クロックCLKによりセットされているラン長数の減算を行う(図17、図19のRUNカウント参照)。

減算を続け、セット値が0となると、/RREQ信号が発生され、次のデータの読み取り要求が行われる。このデータの読み取り要求は、先に説明したNORゲート101(図10参照)に入力され、カウンタ130に対し、シフト制御を行う(/AREQL)。

したがって、次のデータの読み取り要求が行われるまで、即ちカウンタ80がセットされたラン長数の減算を行い0となるまで、同じランデータがD - FF82及び83からCPUデータバス12に出力される。

以上説明したように本発明の第1の実施例では、外部記憶装置202のROM2にランレングス符号化及びハフマン符号化により圧縮されたデータを記憶している。

そしてこの、ROM2に記憶されたデータを読みだす際の復号化処理機能を外部記憶装置202に備えたハフマン復号テーブル10によるハフマン復号化と、演算処理装置201に備えたラン長カウンタ4及びランデータレジスタ5によるランレングス復号化に機能を分担させている。

これにより、外部記憶装置202のみに復号化の処理機能を持たせることによる外部記憶装置202のコスト上昇を防ぐことができる。

更に、ROM2に記憶された圧縮データが不法にコピーされる場合であっても、コピーされたデータのみでは、元のデータは復元出来ず、ハフマン復号テーブル10の変換テーブルが必要である。

このように本発明の実施例では、プログラムデータの不法なコピーも防止することが可能である。

尚、上記の第1の実施例に関し、外部記憶装置202の記憶媒体としてROM2を使用して説明したが、本発明はこれに限定されず、記憶媒体としてフラッシュメモリや、バッテリーバックアップ付RAMも使用可能である。

図20は、本発明の第1の実施例に追加的に機能を付加する場合の回路構成である。即ち、ROM2に符号化により圧縮されたデータを記憶しておく他に、圧縮されていないデータが記憶される場合がある。

したがって、図20は、この後者のデータを直接CPU1により読みだす回路である。

図20に示す回路は、圧縮されていないデータを記憶するROM2のアドレス領域に対応する、アドレス信号の上位ビット(A16~23)をアドレスストローブASのタイミングで検知するNANDゲート201を有する。

NANDゲート201の出力は、/DIRECTとなり、インバータ203を通して与えられるR/Wのタイミングと一致すると、NANDゲート202の出力により3ステートバッファ回路204が付勢される。

この際、NANDゲート201に入力されるアドレス信号CPU[15...0]は、更にセクタ122(図12参照)に入力される。そして、セクタ122が/DIRECTにより、アドレス信号CPU[15...0]を選択切替え、ROM2をアクセス可能とする。

これにより、3ステートバッファ回路204は、ROM2からROMデータ[7...0]を取り込む

10

20

30

40

50

ことが可能となる。

次いで、図8のCPUデータバス12を通して圧縮されていないROMデータが復号化手段を経ずに直接CPU1に導かれる。

図21は、本発明の第2の実施例構成のブロック図である。特にこの第2の実施例は、外部記憶装置202にCD-ROMを記憶媒体として備えることを特徴とするものである。

即ち、演算処理装置本体201と外部記憶装置であるCDカートリッジ202を有して構成される。CDカートリッジ202は、第1の実施例に関し説明したとき符号化されたデータを記憶するための媒体としてのCD-ROM217と、CD-ROM217に記憶された符号データの復号のための復号化テーブルが搭載された復号器216を有する。

CD-ROM217には、MPEGにより符号化された、動画・音声データが記憶されている。復号器216は、CDカートリッジ接続用コネクタ214を通して演算処理装置本体201と接続される。演算処理装置本体201には、CD-ROM217のデータを読み取るための読み出し装置213が設けられている。

CDドライバ213とCD-ROM217間は、レーザー光215により接続されている。即ち、読み出し装置213は、レーザー光215によりCD-ROM217上を走査し、記憶されているデータを読み取るように構成されている。

また、読み出し装置213は、読み取ったデータに対し、CD-ROM規格のエラーコレクションを実行するCDデータコントローラ212に接続されている。

CDデータコントローラ212は、複数のCDカートリッジに対応した復号制御部を搭載した本体側復号器211に接続されている。

本体側復号器211は、CDカートリッジ接続用コネクタ214を介して、CDカートリッジ202内のカートリッジ側復号器216に電氣的に接続されている。

本体側復号器211は、また、バスライン210を通して、演算処理装置全体を制御するためのCPU1に接続されている。

バスライン210にはまた、主記憶装置・I/Oなど、演算処理装置が必要とする各種装置が接続されているが、図21では、本発明と直接には関連しないので図示省略されている。

次に、かかる実施例装置における復号処理の動作を説明する。

まず最初に、CPU1は、読み出し装置213に対し、CD-ROM217上のデータの読み取り開始信号を送る。読み出し装置213は、CD-ROM217上のデータを読み取り、そのデータをCDデータコントローラ212に渡す。

CDデータコントローラ212は、受け取ったデータに対し、CD-ROM規格のエラーコレクションを行い、その結果を本体側復号器211に送る。

本体側復号器211は、受け取ったデータを、CDカートリッジ接続用コネクタ214を介してカートリッジ側復号器216の復号化テーブルを参照しながら復号を行う。

かかる復号化テーブルの内容は、符号化の方法によっても異なるが、基本的には、先に説明した第1の実施例における復号化テーブル10と同様である。

本体側復号器211は、データの復号完了後、データバス210を介して、CPU1に復号データを渡す。

したがって、図1の第1の実施例と同様にランレングス符号に対する復号化を考えると、本体側復号器211は、基本的にはラン長カウンタとランデータレジスタとから構成される

。以上が第2の実施例に於ける復号処理の動作である。

このように本実施例によれば、第1の実施例と同様にデータの復号処理にハードウェアを用意したので、CPUの処理を占有せず、高速に復号することができる。

また、カートリッジ毎に異なったカートリッジ側復号器216を用意することにより、CD-ROM217をコピーするだけでは複製が不可能であり、ソフトウェアの無断複製を防止することが出来る。

また、復号器については、CD-ROM217に記録されたデータに関わらず共通な部分を本体側復号器211とし、変換テーブルなど、CD-ROMごとに異なる部分をカートリッジ側復号器216とすることにより、カートリッジ毎に搭載する復号器のサイズを小さくでき、コストダ

10

20

30

40

50

ウンが可能である。

また、上記の第2の実施例では、データ符号化にMPEGを用いたが、JPEG・ハフマン符号化・算術符号化・ユニバーサル符号化等の他のデータ圧縮法を用いることを排除するものではない。

更に、上記実施例では、復号器の機能を演算処理装置本体201と、外部記憶装置としてのゲームカートリッジ、あるいはCDカートリッジ202に分割して搭載したが、復号器を分割せずに、ゲームカートリッジ、あるいはCDカートリッジ202のみに搭載してもよい。

かかる場合は、ゲームカートリッジ、あるいはCDカートリッジ202の価格は、上昇するが、より高度の複製防止機能を与えることが可能である。

また、上記第2の実施例では、カートリッジ側復号器をCDカートリッジ毎に異なったものを用意したが、複数のCDカートリッジで共通にすることも可能である。

10

更に、上記実施例では記憶媒体にCD-ROMを使用したか、LD-ROM、MO、FD等でも可能である。

産業上の利用可能性

演算処理装置とこれに着脱可能に接続される外部記憶装置を有する情報処理装置において、コストの低減を可能とするデータ処理の機能を有する。

更に、データ処理の一例として圧縮されたデータの復号化機能を演算処理装置と外部記憶装置とに分担させるように構成された情報処理装置が提供される。

また、本発明の情報処理装置においては、外部記憶装置の真偽性の判定を特定の処理チップを設けることなく実行できる。

20

したがって、本発明により、情報処理装置におけるコスト低減と不法なデータのコピーを防止することが可能となり産業上寄与するところ大である。

尚、以上実施例にしたがい本発明を説明してきたが、本発明は、かかる実施例に限定されるものではない。特に、データ処理として、外部記憶装置に記憶される符号化圧縮データを復号処理することを実施例として説明したが、本発明は、かかる復号処理としてのデータ処理に限定されるものではない。

本発明の技術思想と同一の範囲であるかぎり、本発明の保護の範囲に含まれるものである。

【 図 2 】

ランレングス符号化の一例

2進元データ 1110111011101110111001100110011001
0011001100010001 (2進) → 56ビット
16進 EEEEE999993311
ランダム符号化データ E4943111

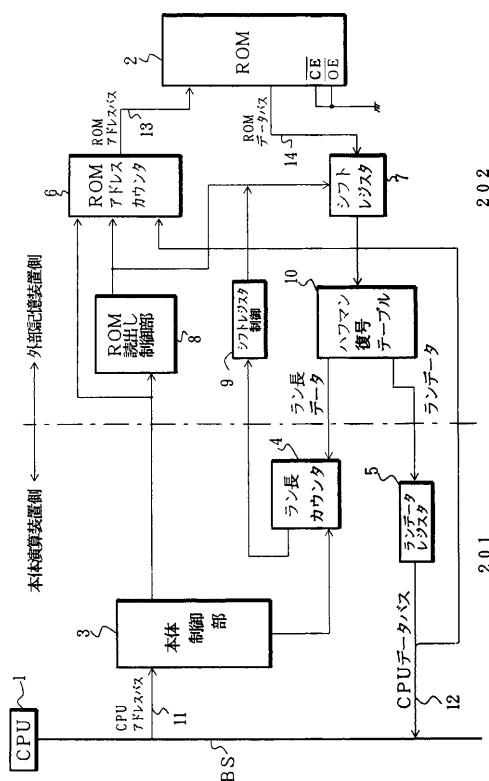
【 図 3 】

ハフマン符号化の一例

元データ	ランデータ用ハフマン符号	ラン長用ハフマン符号
0	0 0	0 0
1	0 1	0 1
2	1 0	1 0 0 0
3	1 1 0 0 0	1 0 0 1
4	1 1 0 0 1	1 0 1 0
5	1 1 0 1 0	1 0 1 1
6	1 1 0 1 1	1 1 0 0
7	1 1 1 0 0	1 1 0 1
8	1 1 1 0 1	1 1 1 0
9	1 1 1 1 0	1 1 1 1 0 0
A	1 1 1 1 1 0 0	1 1 1 1 0 1
B	1 1 1 1 1 0 1	1 1 1 1 1 0
C	1 1 1 1 1 1 0 0	1 1 1 1 1 1 0 0
D	1 1 1 1 1 1 0 1	1 1 1 1 1 1 0 1
E	1 1 1 1 1 1 1 0	1 1 1 1 1 1 1 0
F	1 1 1 1 1 1 1 1	1 1 1 1 1 1 1 1

【 図 1 】

本発明の第一の実施例ブロック図



【 図 4 】

ランデータ用ハフマン復号化テーブル

ハフマン符号	復号化	符号長-1
0 0	0	1
0 1	1	1
1 0	2	1
1 1 0 0 0	3	4
1 1 0 0 1	4	4
1 1 0 1 0	5	4
1 1 0 1 1	6	4
1 1 1 0 0	7	4
1 1 1 0 1	8	4
1 1 1 1 0	9	4
1 1 1 1 1 0 0	A	6
1 1 1 1 1 0 1	B	6
1 1 1 1 1 1 0 0	C	7
1 1 1 1 1 1 0 1	D	7
1 1 1 1 1 1 1 0	E	7
1 1 1 1 1 1 1 1	F	7

7 6 5 4 3 2 1 0 ↓ ↓
 └──────────┘ 復号後 ハフマン符号長
 データ CLEN2~0
 DATA3~0

【 図 5 】

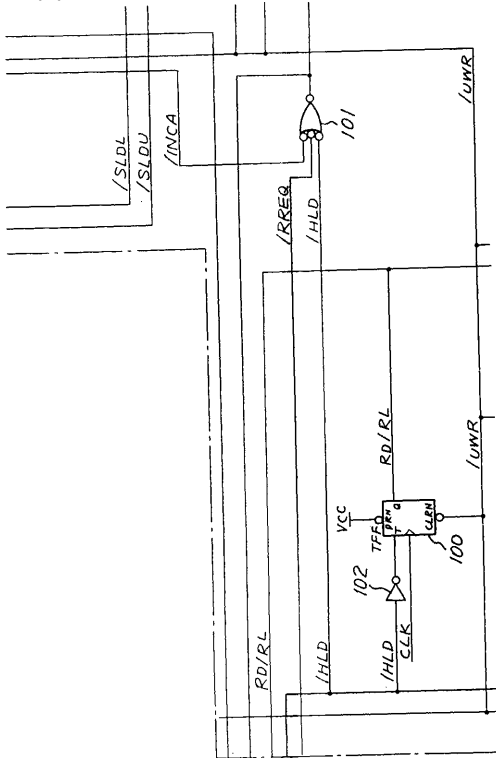
ラン長用ハフマン復号化テーブル

ハフマン符号	復号化	符号長 - 1
0 0	0	1
0 1	1	1
1 0 0 0	2	3
1 0 0 1	3	3
1 0 1 0	4	3
1 0 1 1	5	3
1 1 0 0	6	3
1 1 0 1	7	3
1 1 1 0	8	3
1 1 1 1 0 0	9	5
1 1 1 1 0 1	A	5
1 1 1 1 1 0	B	5
1 1 1 1 1 1 0 0	C	7
1 1 1 1 1 1 0 1	D	7
1 1 1 1 1 1 1 0	E	7
1 1 1 1 1 1 1 1	F	7

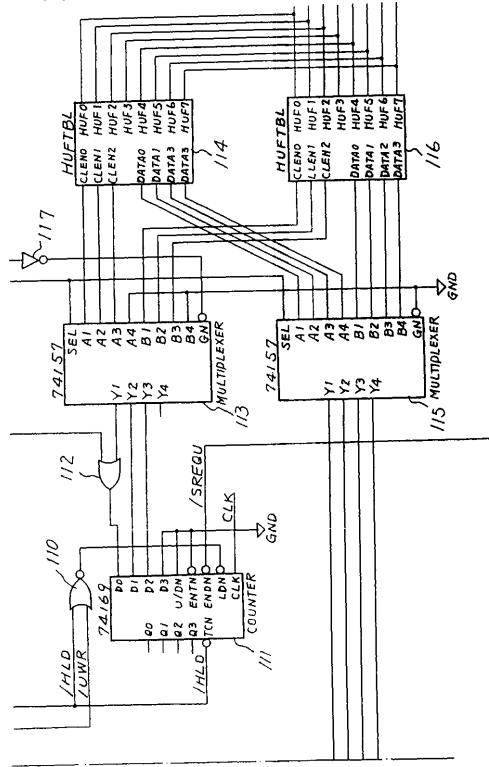
7 6 5 4 3 2 1 0 ↓ ↓
 ───────────
 ハフマン符号HUF7~0 復号後 ハフマン符号長
 データ CLEN2~0
 DATA3~0

[illegible][illegible]

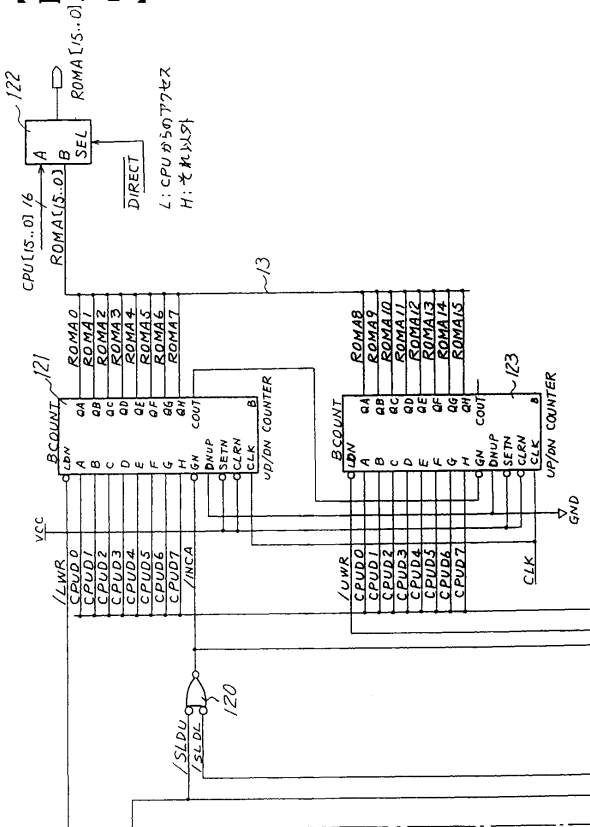
【図 10】



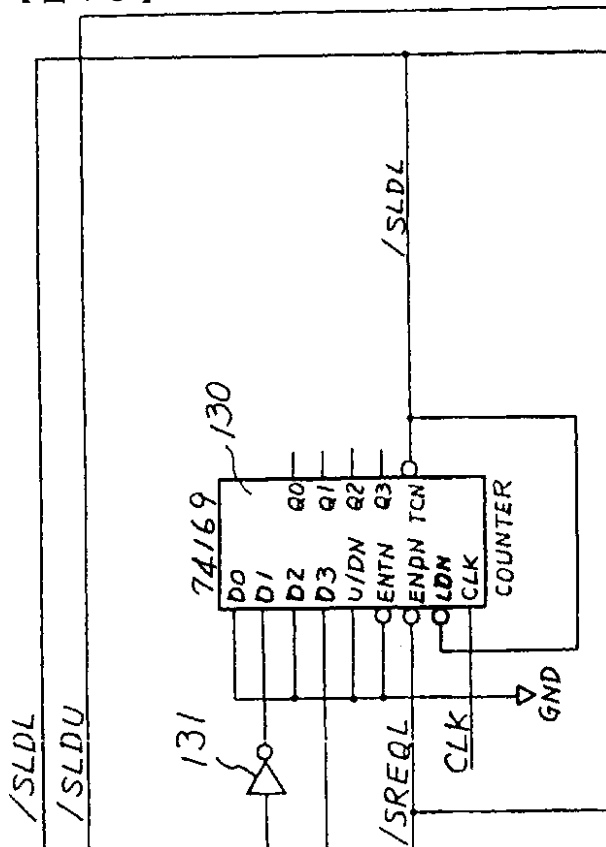
【図 11】



【図 12】

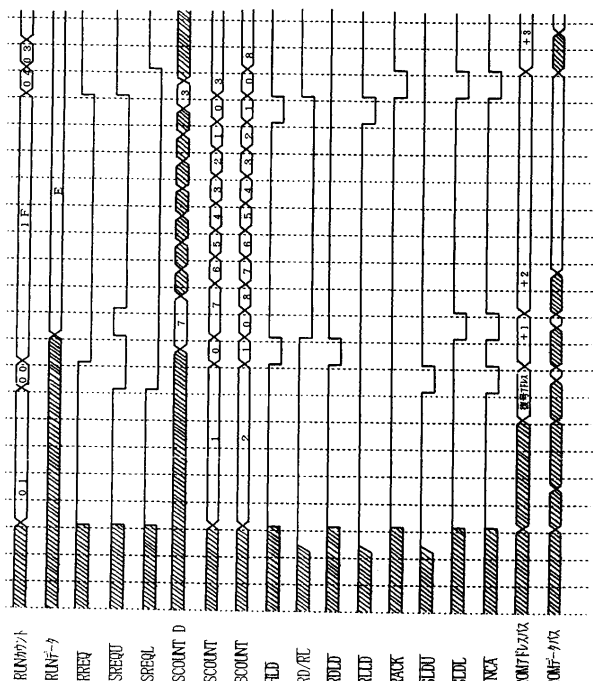


【図 13】



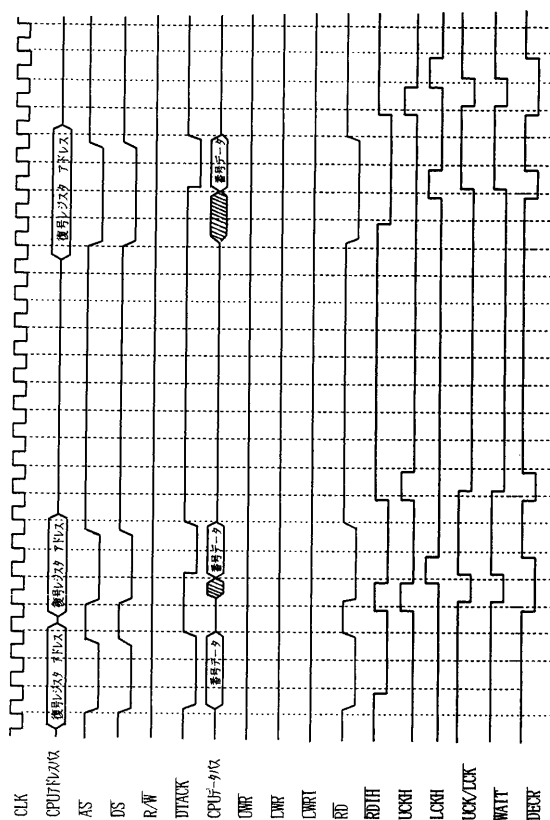
【 図 1 7 】

本発明の実施例動作タイムチャート（その２）



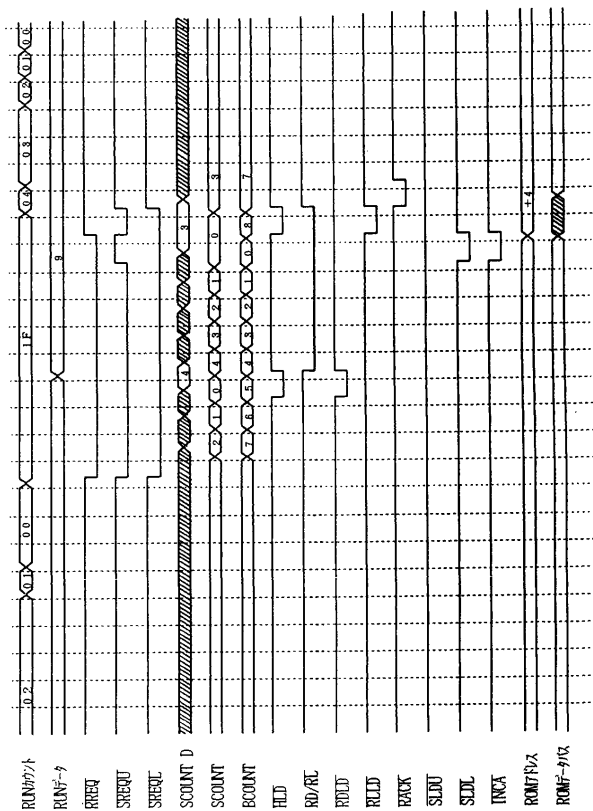
【 図 1 8 】

本発明の実施例動作タイムチャート（その３）



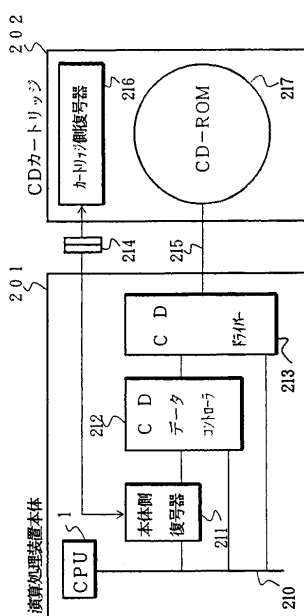
【 図 1 9 】

本発明の実施例動作タイムチャート（その４）



【 図 2 1 】

本発明の第 2 の実施例ブロック図



フロントページの続き

(58)調査した分野(Int.Cl.⁷, D B 名)

G11C 5/00 302