



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0073754
(43) 공개일자 2024년05월27일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01) H01L 21/8234 (2006.01)

H01L 27/092 (2006.01) H01L 29/423 (2006.01)

(52) CPC특허분류

H01L 29/78642 (2013.01)

H01L 21/823475 (2013.01)

(21) 출원번호 10-2023-0137990

(22) 출원일자 2023년10월16일

심사청구일자 2023년10월16일

(30) 우선권주장

1020220155819 2022년11월18일 대한민국(KR)

(71) 출원인

울산과학기술원

울산광역시 울주군 언양읍 유니스트길 50

주식회사 유니솔루션

울산광역시 울주군 언양읍 유니스트길 50, 106동 805-6호

(72) 발명자

정홍식

울산광역시 울주군 언양읍 유니스트길 50

정창욱

울산광역시 울주군 언양읍 유니스트길 50

정순문

울산광역시 울주군 언양읍 유니스트길 50

(74) 대리인

리엔목특허법인

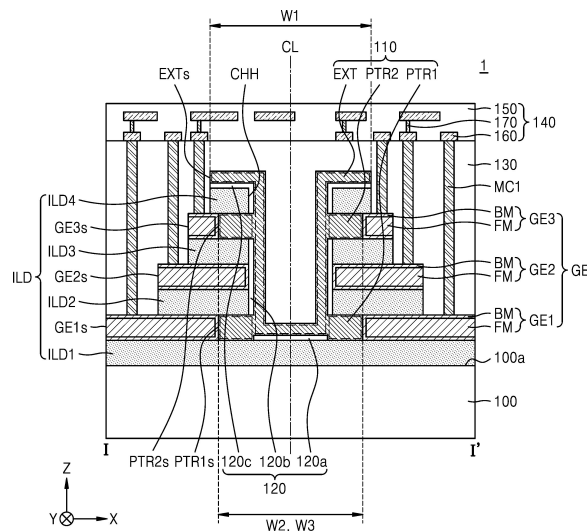
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 수직 채널 트랜지스터

(57) 요약

본 발명의 개념에 의한 수직 채널 트랜지스터는 기판; 상기 기판 상에 교대로 적층된 층간 절연막들 및 전극 패턴들; 및 상기 층간 절연막들 및 전극 패턴들을 관통하는 채널 홀 내에 배치되는 채널 패턴을 포함하고, 상기 전극 패턴들은 상기 기판의 상면 상에서 차례로 적층된 제1 전극 패턴, 제2 전극 패턴, 및 제3 전극 패턴을 포함하고, 상기 채널 패턴은 상기 채널 홀의 내측벽을 따라 상기 기판의 상면과 수직한 수직 방향으로 연장되는 연장부 및 상기 연장부로부터 상기 기판의 상기 상면에 평행한 수평 방향으로 돌출되고, 서로 다른 수직 레벨에 배치되는 제1 돌출부 및 제2 돌출부를 포함하고, 상기 전극 패턴들은 상기 수평 방향을 따라 계단 구조를 가질 수 있다.

대표도 - 도2



(52) CPC특허분류

H01L 27/092 (2013.01)

H01L 29/42384 (2013.01)

H01L 29/78696 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711189260
과제번호	2021R1A2C2093415
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)
연구과제명	스트레스 엔지니어링을 통한 강유전체 기반 통합 소자 구현기술 연구
기 여 율	1/1
과제수행기관명	울산과학기술원
연구기간	2023.03.01 ~ 2024.02.29

명세서

청구범위

청구항 1

기관;

상기 기관 상에 교대로 적층된 층간 절연막들 및 전극 패턴들; 및

상기 층간 절연막들 및 전극 패턴들을 관통하는 채널 홀 내에 배치되는 채널 패턴을 포함하고,

상기 전극 패턴들은 상기 기관의 상면 상에서 차례로 적층된 제1 전극 패턴, 제2 전극 패턴, 및 제3 전극 패턴을 포함하고,

상기 채널 패턴은 상기 채널 홀의 내측벽을 따라 상기 기관의 상면과 수직한 수직 방향으로 연장되는 연장부 및 상기 연장부로부터 상기 기관의 상기 상면에 평행한 수평 방향으로 돌출되고, 서로 다른 수직 레벨에 배치되는 제1 돌출부 및 제2 돌출부를 포함하고,

상기 전극 패턴들은 상기 수평 방향을 따라 계단 구조를 갖는 수직 채널 트랜지스터.

청구항 2

제1항에 있어서,

상기 제1 돌출부의 적어도 일부는 상기 제1 전극 패턴의 적어도 일부와 상기 수평 방향으로 오버랩 되고,

상기 제2 돌출부의 적어도 일부는 상기 제3 전극 패턴의 적어도 일부와 상기 수평 방향으로 오버랩되는 수직 채널 트랜지스터.

청구항 3

제2항에 있어서,

상기 제1 돌출부는 상기 제1 전극 패턴과 상기 수평 방향으로 접촉하고,

상기 제2 돌출부는 상기 제3 전극 패턴과 상기 수평 방향으로 접촉하는 수직 채널 트랜지스터.

청구항 4

제3항에 있어서,

상기 제2 전극 패턴은 상기 채널 패턴과 상기 제2 방향으로 이격하는 수직 채널 트랜지스터.

청구항 5

제4항에 있어서,

상기 제2 전극 패턴과 상기 채널 패턴 사이에 개재되는 유전 패턴을 더 포함하고,

상기 유전 패턴은 서로 다른 2종류 이상의 유전 물질을 포함하는 수직 채널 트랜지스터.

청구항 6

제1항에 있어서,

상기 전극 패턴들의 상기 계단 구조를 덮는 평탄 절연막을 더 포함하고,

상기 평탄 절연막을 관통하여 상기 전극 패턴들 중 어느 하나와 접속하는 제1 비아를 더 포함하고,

상기 평탄 절연막을 관통하여 상기 채널 패턴과 접속하는 제2 비아를 더 포함하는 수직 채널 트랜지스터.

청구항 7

제6항에 있어서,

상기 제1 비아의 수직적 길이는 상기 제2 비아의 수직적 길이보다 긴 수직 채널 트랜지스터.

청구항 8

제7항에 있어서,

상기 평탄 절연막 상에 배치되는 배선층을 더 포함하고,

상기 배선층은 배선 절연막 및 상기 배선 절연막 내에 제공되고 상기 제1 비아 및 상기 제2 비아와 연결되는 배선들을 포함하는 수직 채널 트랜지스터.

청구항 9

제1항에 있어서,

평면적 관점에서, 상기 제1 돌출부 및 상기 제2 돌출부는 고리(annular) 모양을 갖는 수직 채널 트랜지스터.

청구항 10

제1항에 있어서,

상기 채널 패턴의 상기 연장부의 최상면은 평탄한 수직 채널 트랜지스터.

청구항 11

기관;

상기 기관 상에 교대로 적층된 층간 절연막들 및 전극 패턴들; 및

상기 층간 절연막들 및 전극 패턴들을 관통하는 채널 홀 내에 배치되는 채널 패턴을 포함하고,

상기 전극 패턴들은 상기 기관의 상면 상에서 차례로 적층된 제1 전극 패턴, 제2 전극 패턴, 및 제3 전극 패턴을 포함하고,

상기 채널 패턴은 상기 채널 홀의 내측벽을 따라 상기 기관의 상면과 수직한 수직 방향으로 연장되는 연장부 및 상기 연장부로부터 상기 기관의 상기 상면에 평행한 수평 방향으로 돌출되고, 서로 다른 수직 레벨에 배치되는 제1 돌출부 및 제2 돌출부를 포함하고,

평면적 관점에서, 상기 연장부의 상기 수평 방향으로의 최대 길이는 상기 제1 돌출부 및 상기 제2 돌출부의 상기 수평 방향으로의 최대 길이들보다 큰 수직 채널 트랜지스터.

청구항 12

제11항에 있어서,

상기 제3 전극 패턴의 상기 수평 방향으로의 길이는 상기 제1 전극 패턴 및 상기 제2 전극 패턴의 상기 수평 방향으로의 길이들보다 작은 수직 채널 트랜지스터.

청구항 13

제1 서브 수직 채널 트랜지스터; 및

상기 제1 서브 수직 채널 트랜지스터 상의 제2 서브 수직 채널 트랜지스터를 포함하고,

상기 제1 서브 수직 채널 트랜지스터는,

기관;

상기 기관 상에 교대로 적층된 층간 절연막들 및 전극 패턴들; 및

상기 층간 절연막들 및 전극 패턴들을 관통하는 채널 홀 내에 배치되는 채널 패턴을 포함하고,

상기 전극 패턴들은 상기 기관의 상면 상에서 차례로 적층된 제1 전극 패턴, 제2 전극 패턴, 및 제3 전극 패턴

을 포함하고,

상기 채널 패턴은 상기 채널 홀의 내측벽을 따라 상기 기관의 상면과 수직한 수직 방향으로 연장되는 연장부 및 상기 연장부로부터 상기 기관의 상기 상면에 평행한 수평 방향으로 돌출되고, 서로 다른 수직 레벨에 배치되는 제1 돌출부 및 제2 돌출부를 포함하고,

상기 전극 패턴들은 상기 수평 방향을 따라 계단 구조를 갖고,

상기 제2 서브 수직 채널 트랜지스터는 상기 제1 서브 수직 채널 트랜지스터가 포함하는 구성들과 동일한 구성들을 포함하는 수직 채널 트랜지스터.

발명의 설명

기술 분야

[0001] 본 발명은 수직 채널 트랜지스터에 관한 것으로, 특히 배선 공정이 용이한 수직 채널 트랜지스터에 관한 것이다.

배경 기술

[0002] 반도체 소자의 집적도가 증가함에 따라 평면적으로 각 단위 소자가 차지하는 면적을 감소시키기 위해 소스 및 드레인을 상하로 배치하여 수직 채널 구조를 갖는 소자(vertical channel array transistor, VCAT)(이하, 수직 채널 트랜지스터)가 제안되었다. 수직 채널 트랜지스터는 수평 채널 트랜지스터에 비해, 동일한 면적에 상대적으로 많은 소자들을 집적할 수 있다. 그러나, 수직 채널 트랜지스터는 소스 및 드레인이 상하로 배치되어 있기 때문에, 고난이도의 배선 공정 기술이 요구된다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 기술적 사상이 해결하고자 하는 과제는 배선 공정이 용이한 수직 채널 트랜지스터를 제공하는 것에 있다.

[0004] 또한, 본 발명의 기술적 사상이 해결하고자 하는 과제는, 이상에서 언급한 과제에 제한되지 않으며, 다른 과제들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있다.

과제의 해결 수단

[0005] 상기 과제를 해결하기 위하여, 본 발명의 개념에 의한 수직 채널 트랜지스터는 기관; 상기 기관 상에 교대로 적층된 층간 절연막들 및 전극 패턴들; 및 상기 층간 절연막들 및 전극 패턴들을 관통하는 채널 홀 내에 배치되는 채널 패턴을 포함하고, 상기 전극 패턴들은 상기 기관의 상면 상에서 차례로 적층된 제1 전극 패턴, 제2 전극 패턴, 및 제3 전극 패턴을 포함하고, 상기 채널 패턴은 상기 채널 홀의 내측벽을 따라 상기 기관의 상면과 수직한 수직 방향으로 연장되는 연장부 및 상기 연장부로부터 상기 기관의 상기 상면에 평행한 수평 방향으로 돌출되고, 서로 다른 수직 레벨에 배치되는 제1 돌출부 및 제2 돌출부를 포함하고, 상기 전극 패턴들은 상기 수평 방향을 따라 계단 구조를 가질 수 있다.

[0006] 일부 실시예들에 따르면, 상기 제1 돌출부의 적어도 일부는 상기 제1 전극 패턴의 적어도 일부와 상기 수평 방향으로 오버랩 되고, 상기 제2 돌출부의 적어도 일부는 상기 제3 전극 패턴의 적어도 일부와 상기 수평 방향으로 오버랩될 수 있다.

[0007] 일부 실시예들에 따르면, 상기 제1 돌출부는 상기 제1 전극 패턴과 상기 수평 방향으로 접촉하고, 상기 제2 돌출부는 상기 제3 전극 패턴과 상기 수평 방향으로 접촉할 수 있다.

[0008] 일부 실시예들에 따르면, 상기 제2 전극 패턴은 상기 채널 패턴과 상기 제2 방향으로 이격할 수 있다.

[0009] 일부 실시예들에 따르면, 상기 제2 전극 패턴과 상기 채널 패턴 사이에 개재되는 유전 패턴을 더 포함하고, 상기 유전 패턴은 서로 다른 2종류 이상의 유전 물질을 포함할 수 있다.

[0010] 일부 실시예들에 따르면, 상기 전극 패턴들의 상기 계단 구조를 덮는 평탄 절연막을 더 포함하고, 상기 평탄 절연막을 관통하여 상기 전극 패턴들 중 어느 하나와 접촉하는 제1 비아를 더 포함하고, 상기 평탄 절연막을 관통

하여 상기 채널 패턴과 접속하는 제2 비아를 더 포함할 수 있다.

[0011] 일부 실시예들에 따르면, 상기 제1 비아의 수직적 길이는 상기 제2 비아의 수직적 길이보다 길 수 있다.

[0012] 일부 실시예들에 따르면, 상기 평탄 절연막 상에 배치되는 배선층(140)을 더 포함하고, 상기 배선층은 배선 절연막 및 상기 배선 절연막 내에 제공되고 상기 제1 비아 및 상기 제2 비아와 연결되는 배선들을 포함할 수 있다.

[0013] 일부 실시예들에 따르면, 평면적 관점에서, 상기 제1 돌출부 및 상기 제2 돌출부는 고리(annular) 모양을 가질 수 있다.

[0014] 일부 실시예들에 따르면, 상기 채널 패턴의 상기 연장부의 최상면은 평탄할 수 있다.

[0015] 상기 과제를 해결하기 위하여, 본 발명의 개념에 의한 다른 수직 채널 트랜지스터는 기판; 상기 기판 상에 교대로 적층된 층간 절연막들 및 전극 패턴들; 및 상기 층간 절연막들 및 전극 패턴들을 관통하는 채널 홀 내에 배치되는 채널 패턴을 포함하고, 상기 전극 패턴들은 상기 기판의 상면 상에서 차례로 적층된 제1 전극 패턴, 제2 전극 패턴, 및 제3 전극 패턴을 포함하고, 상기 채널 패턴은 상기 채널 홀의 내측벽을 따라 상기 기판의 상면과 수직한 수직 방향으로 연장되는 연장부 및 상기 연장부로부터 상기 기판의 상기 상면에 평행한 수평 방향으로 돌출되고, 서로 다른 수직 레벨에 배치되는 제1 돌출부 및 제2 돌출부를 포함하고, 평면적 관점에서, 상기 연장부의 상기 수평 방향으로의 최대 길이는 상기 제1 돌출부 및 상기 제2 돌출부의 상기 수평 방향으로의 최대 길이들보다 클 수 있다.

[0016] 일부 실시예들에 따르면, 상기 제3 전극 패턴의 상기 수평 방향으로의 길이는 상기 제1 전극 패턴 및 상기 제2 전극 패턴의 상기 수평 방향으로의 길이들보다 작을 수 있다.

발명의 효과

[0017] 본 발명의 기술적 사상에 의한 수직 채널 트랜지스터는 기판의 상면에 수직한 방향으로 이격되는 제1 돌출부와 제2 돌출부를 포함하는 채널 패턴을 포함할 수 있다. 제1 돌출부와 제2 돌출부는 소스 및/또는 드레인으로 기능할 수 있다. 따라서, 수직 채널 트랜지스터(1)의 집적도가 향상될 수 있다.

[0018] 또한, 수직 채널 트랜지스터의 전극 패턴들은 기판의 상면에 평행한 제1 방향으로 계단 구조를 가질 수 있다. 상기 계단 구조로 인하여 전극 패턴들의 상면들이 노출될 수 있고, 비아가 상기 노출된 상면들에 쉽게 접속할 수 있다. 이로 인해, 수직 채널 트랜지스터의 배선 공정이 용이해질 수 있으며, 배선 간 단락이 방지될 수 있다.

[0019] 다만, 발명의 효과는 상기 개시에 한정되지 않는다.

도면의 간단한 설명

[0020] 도 1은 본 발명의 일 실시예에 따른 수직 채널 트랜지스터의 평면도이다.

도 2는 본 발명의 일 실시예에 따른 수직 채널 트랜지스터의 도면으로, 도 1을 I-I'선으로 자른 단면도이다.

도 3은 본 발명의 일 실시예에 따른 수직 채널 트랜지스터의 단면도이다.

도 4a 내지 도 9b는 실시예들에 따른 수직 채널 트랜지스터의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 도면들이다. 구체적으로, 도 4a, 도 5a, 및 도 9a는 실시예들에 따른 수직 채널 트랜지스터의 제조 방법을 설명하기 위한 평면도들이다. 도 4b는 도 4a를 I-I'선으로 자른 단면도이다. 도 5b, 도 6, 도 7, 및 도 8은 도 5a를 I-I'선으로 자른 단면도이다. 도 9b는 도 9a를 I-I'선으로 자른 단면도이다.

도 10은 낸드(NAND) 회로를 나타내는 도면이다.

도 11은 본 발명의 일 실시예에 따른 수직 채널 트랜지스터의 평면도로, 도 10의 회로의 일부를 나타내는 도면이다.

도 12는 본 발명의 일 실시예에 따른 수직 채널 트랜지스터의 도면으로, 도 11을 II-II'선으로 자른 단면도이다.

도 13은 본 발명의 일 실시예에 따른 수직 채널 트랜지스터의 도면으로, 도 1을 I-I'선으로 자른 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하, 첨부된 도면을 참조하여 본 개시의 실시예들에 대해 상세히 설명하기로 한다. 이하의 도면들에서 동일한 참조부호는 동일한 구성요소를 지칭하며, 도면상에서 각 구성요소의 크기는 설명의 명료성과 편의상 과장되어 있을 수 있다. 한편, 이하에 설명되는 실시예는 단지 예시적인 것에 불과하며, 이러한 실시예들로부터 다양한 변형이 가능하다.
- [0022] 이하에서, "상"이라고 기재된 것은 접촉하여 바로 위에 있는 것뿐만 아니라 비접촉으로 위에 있는 것도 포함할 수 있다.
- [0023] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0024] 또한, 명세서에 기재된 "...부" 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미한다.
- [0025] 이하에서, 'a, b, 및 c 중 적어도 하나'는 '오직 a', '오직 b', '오직 c', 'a와 b', 'a와 c', 'b와 c', 또는 'a, b, 및 c'를 포함하는 것으로 이해되어야 한다.
- [0026] 도 1은 본 발명의 일 실시예에 따른 수직 채널 트랜지스터의 평면도이다. 도 2는 본 발명의 일 실시예에 따른 수직 채널 트랜지스터의 도면으로, 도 1을 I-I'선으로 자른 단면도이다.
- [0027] 도 1 및 도 2를 참조하면, 수직 채널 트랜지스터(1)가 제공될 수 있다. 수직 채널 트랜지스터(1)는 기판(100), 층간 절연막들(ILD), 전극 패턴들(GE), 채널 패턴(110), 유전 패턴(120), 평탄 절연막(130), 제1 비아(MC1), 및 배선층(140)을 포함할 수 있다.
- [0028] 기판(100)은 절연 물질을 포함할 수 있다. 예를 들어, 기판(100)은 진성 반도체 기판, 유리 기판, 사파이어 기판, 또는 실리콘 산화물을 포함하는 기판일 수 있다.
- [0029] 본 명세서에서는, 제1 방향(X)은 기판(100)의 상면(100a)과 평행한 일 방향으로, 제2 방향(Y)은 제1 방향(X)과 교차하고 기판(100)의 상면(100a)과 평행한 타 방향으로, 제3 방향(Z)은 기판(100)의 상면(100a)에 수직한 방향으로 정의된다.
- [0030] 기판 상에 차례로 번갈아 적층된 층간 절연막들(ILD) 및 전극 패턴들(GE)이 제공될 수 있다. 층간 절연막들(ILD1)은 제1 층간 절연막(ILD1), 제2 층간 절연막(ILD2), 제3 층간 절연막(ILD3), 및 제4 층간 절연막(ILD4)을 포함할 수 있다. 전극 패턴들(GE)은 제1 전극 패턴(GE1), 제2 전극 패턴(GE2), 및 제3 전극 패턴(GE3)을 포함할 수 있다. 제1 전극 패턴(GE1)은 제1 층간 절연막(ILD1) 및 제2 층간 절연막(ILD2) 사이에 개재될 수 있다. 제2 전극 패턴(GE2)은 제2 층간 절연막(ILD2) 및 제3 층간 절연막(ILD3) 사이에 개재될 수 있다. 제3 전극 패턴(GE3)은 제3 층간 절연막(ILD3) 및 제4 층간 절연막(ILD4) 사이에 개재될 수 있다.
- [0031] 제1 층간 절연막(ILD1)은 기판(100)과 제1 전극 패턴(GE1) 사이에 개재될 수 있다. 제2 층간 절연막(ILD2)은 제1 전극 패턴(GE1)과 제2 전극 패턴(GE2) 사이에 개재될 수 있다. 제3 층간 절연막(ILD3)은 제2 전극 패턴(GE2)과 제3 전극 패턴(GE3) 사이에 개재될 수 있다. 제4 층간 절연막(ILD4)은 제3 전극 패턴(GE3)의 상면 상에 배치될 수 있다.
- [0032] 제1 층간 절연막(ILD1)은 기판(100) 상에서 제1 방향(X)으로 연장될 수 있다. 제1 층간 절연막(ILD1)의 제1 방향(X)으로의 길이는 제2 층간 절연막(ILD2), 제3 층간 절연막(ILD3), 및 제4 층간 절연막(ILD4)의 제1 방향(X)으로의 길이들 보다 클 수 있다. 제1 층간 절연막(ILD1)을 사이에 두고 기판(100)과 제1 전극 패턴(GE1)은 서로 이격할 수 있다. 제1 층간 절연막(ILD1)을 사이에 두고 기판(100)과 채널 패턴(110)은 서로 이격할 수 있다.
- [0033] 제1 전극 패턴(GE1), 제2 전극 패턴(GE2), 및 제3 전극 패턴(GE3)은 계단 구조를 가질 수 있다. 제1 전극 패턴(GE1)은 제1 단부(GE1s), 제2 전극 패턴(GE2)은 제2 단부(GE2s), 제3 전극 패턴(GE3)은 제3 단부(GE3s)를 가질 수 있다. 제1 단부(GE1s)는 채널 패턴(110)의 중심선(CL)으로부터 제1 방향(X) 또는 제1 방향(X)의 반대 방향으로 노출된 제1 전극 패턴(GE1)의 측벽일 수 있다. 채널 패턴(110)의 중심선(CL)은 채널 패턴(110)의 제1 방향(X)으로의 중심을 지나고 제3 방향(Z)과 평행한 선으로 정의된다. 제2 단부(GE2s)는 채널 패턴(110)의 중심선(CL)으로부터 제1 방향(X) 또는 제1 방향(X)의 반대 방향으로 노출된 제2 전극 패턴(GE2)의 측벽일 수 있다. 제3 단부(GE3s)는 채널 패턴(110)의 중심선(CL)으로부터 제1 방향(X) 또는 제1 방향(X)의 반대 방향으로 노출된 제3 전극 패턴(GE3)의 측벽일 수 있다. 제1 단부(GE1s), 제2 단부(GE2s), 및 제3 단부(GE3s)는 서로 수직적으로

오버랩 되지 않을 수 있다. 제1 단부(GE1s)는 제2 단부(GE2s) 및 제3 단부(GE3s) 보다 채널 패턴(110)의 중심선(CL)으로부터 제1 방향(X) 또는 제1 방향(X)으로의 반대 방향으로 더 이격될 수 있다. 제2 단부(GE2s)는 제3 단부(GE3s) 보다 채널 패턴(110)의 중심선(CL)으로부터 제1 방향(X) 또는 제1 방향(X)으로의 반대 방향으로 더 이격될 수 있다.

[0034] 제1 전극 패턴(GE1)의 상면의 적어도 일부는 제2 층간 절연막(ILD2)으로부터 외부로 노출될 수 있다. 제2 전극 패턴(GE2)의 상면의 적어도 일부는 제3 층간 절연막(ILD3)으로부터 외부로 노출될 수 있다. 제3 전극 패턴(GE3)의 상면의 적어도 일부는 제4 층간 절연막(ILD4)으로부터 외부로 노출될 수 있다.

[0035] 제1 전극 패턴(GE1)의 제1 방향(X)으로의 길이는 제3 전극 패턴(GE3)의 제1 방향(X)으로의 길이보다 클 수 있다. 제2 전극 패턴(GE2)의 제1 방향(X)으로의 길이는 제3 전극 패턴(GE3)의 제1 방향(X)으로의 길이보다 클 수 있다.

[0036] 층간 절연막들(ILD) 각각은 실리콘 산화물과 같은 절연 물질을 포함할 수 있다. 전극 패턴들(GE) 각각은 도전 패턴(FM)과 배리어 패턴(BM)을 포함할 수 있다. 일 예로, 도전 패턴(FM)은 알루미늄, 구리, 텅스텐, 몰리브덴, 및 코발트와 같은 금속을 포함할 수 있다. 배리어 패턴(BM)은 도전 패턴(FM)의 측벽, 하면, 및 상면을 덮을 수 있다. 배리어 패턴(BM)은 금속 질화막을 포함할 수 있다. 금속 질화막은 티타늄 질화물, 탄탈륨 질화물, 텅스텐 질화물, 니켈 질화물, 코발트 질화물, 및 백금 질화물 등을 포함할 수 있다.

[0037] 채널 패턴(110)이 전극 패턴들(GE)을 관통하는 채널 홀(CHH) 내에 제공될 수 있다. 채널 홀(CHH)은 제2 층간 절연막(ILD2), 제3 층간 절연막(ILD3), 및 제4 층간 절연막(ILD4)을 관통할 수 있다. 채널 홀(CHH)은 제1 층간 절연막(ILD1)을 관통하지 않을 수 있다. 채널 패턴(110)은 연장부(EXT), 제1 돌출부(PTR1), 및 제2 돌출부(PTR2)를 포함할 수 있다.

[0038] 채널 패턴(110)의 연장부(EXT)는 채널 홀(CHH)의 측벽 및 바닥면을 컨포말하게 덮을 수 있다. 연장부(EXT)는 채널 홀(CHH)의 측벽 상에서 제3 방향(Z)으로 연장될 수 있다. 연장부(EXT)는 제1 층간 절연막(ILD1)의 상면 및 제4 층간 절연막(ILD4)의 상면 상으로 연장될 수 있다. 다만, 이는 실시예에 해당할 뿐, 연장부(EXT)는 제4 층간 절연막(ILD4)의 상면 상으로는 연장되지 않을 수도 있다. 연장부(EXT)는 유전 패턴(120)을 사이에 두고 제2 층간 절연막(ILD2), 제3 층간 절연막(ILD3), 제4 층간 절연막(ILD4), 및 제2 전극 패턴(GE2)과 제1 방향(X)으로 이격할 수 있다. 연장부(EXT)는 채널 홀(CHH)의 적어도 일부를 채우지 않을 수 있다. 연장부(EXT)의 바닥면을 제외하면, 평면적 관점에서, 연장부(EXT)는 고리(annular) 모양을 가질 수 있다. 연장부(EXT)의 바닥면은 제1 층간 절연막(ILD1)의 상면 상으로 연장된 연장부(EXT)의 일부분 일 수 있다.

[0039] 채널 패턴(110)의 제1 돌출부(PTR1)는 채널 패턴(110)의 연장부(EXT)로부터 제1 전극 패턴(GE1)을 향하여 제1 방향(X) 또는 제1 방향(X)과 반대 방향으로 돌출된 부분일 수 있다. 제1 돌출부(PTR1)의 적어도 일부는 제1 전극 패턴(GE1)의 적어도 일부와 제1 방향(X)으로 오버랩 될 수 있다. 제1 돌출부(PTR1)는 제1 전극 패턴(GE1)과 접촉할 수 있다. 제1 돌출부(PTR1)의 수직 레벨은 제1 전극 패턴(GE1)의 수직 레벨과 실질적으로 동일할 수 있다. 수직 레벨은 기판(100)의 상면(100a)으로부터 제3 방향(Z)으로의 높이를 의미한다. 채널 패턴(110)의 제2 돌출부(PTR2)는 채널 패턴(110)의 연장부(EXT)로부터 제3 전극 패턴(GE3)을 향하여 제1 방향(X) 또는 제1 방향(X)과 반대 방향으로 돌출된 채널 패턴(110)의 일부분 일 수 있다. 제2 돌출부(PTR2)의 적어도 일부는 제3 전극 패턴(GE3)의 적어도 일부와 제1 방향(X)으로 오버랩 될 수 있다. 제2 돌출부(PTR2)는 제3 전극 패턴(GE3)과 접촉할 수 있다. 제2 돌출부(PTR2)의 수직 레벨은 제3 전극 패턴(GE3)의 수직 레벨과 실질적으로 동일할 수 있다. 제1 돌출부(PTR1)와 제2 돌출부(PTR2)는 서로 다른 수직 레벨에 배치될 수 있다. 제1 돌출부(PTR1)의 제3 방향(Z)으로의 두께는 제1 전극 패턴(GE1)의 제3 방향(Z)으로의 두께와 실질적으로 동일할 수 있다. 제2 돌출부(PTR2)의 제3 방향(Z)으로의 두께는 제3 전극 패턴(GE3)의 제3 방향(Z)으로의 두께와 실질적으로 동일할 수 있다. 평면적 관점에서, 제1 돌출부(PTR1) 및 제2 돌출부(PTR2)는 고리(annular) 모양을 가질 수 있다.

[0040] 본 명세서에서 '실질적으로 동일'하다는 말은, 수학적으로 동일함은 물론, 공정 상의 오차범위를 포함하는 동일성을 의미할 수 있다.

[0041] 제1 돌출부(PTR1)는 제1 전극 패턴(GE1)과 함께 소스/드레인 영역으로 기능할 수 있다. 제2 돌출부(PTR2)는 제3 전극 패턴(GE3)과 함께 소스/드레인 영역으로 기능할 수 있다.

[0042] 채널 패턴(110)의 연장부(EXT)는 제4 단부(EXTs)를 가질 수 있다. 제4 단부(EXTs)는 채널 패턴(110)의 중심선(CL)으로부터 제1 방향(X) 또는 제1 방향(X)의 반대 방향으로 노출된 연장부(EXT)의 최단부일 수 있다. 제1 돌출부(PTR1)는 제5 단부(PTR1s)를 가질 수 있다. 제5 단부(PTR1s)는 채널 패턴(110)의 중심선(CL)으로부터 제1

방향(X) 또는 제1 방향(X)의 반대 방향을 향하는 제1 돌출부(PTR1)의 최단부일 수 있다. 제2 돌출부(PTR2)는 제6 단부(PTR2s)를 가질 수 있다. 제6 단부(PTR2s)는 채널 패턴(110)의 중심선(CL)으로부터 제1 방향(X) 또는 제1 방향(X)의 반대 방향을 향하는 제2 돌출부(PTR2)의 최단부일 수 있다. 제4 단부(EXTs)는 제5 단부(PTR1s) 및 제6 단부(PTR2s)보다 중심선(CL)으로부터 제1 방향(X) 또는 제1 방향(X)과 반대 방향으로 더 이격될 수 있다. 연장부(EXT)의 하나의 최단부에서 다른 하나의 최단부까지의 제1 방향(X)으로의 길이는 제1 거리(W1)일 수 있다. 제1 돌출부(PTR1)의 하나의 최단부에서 다른 하나의 최단부까지의 제1 방향(X)으로의 길이는 제2 거리(W2)일 수 있다. 제2 돌출부(PTR2)의 하나의 최단부에서 다른 하나의 최단부까지의 제1 방향(X)으로의 길이는 제3 거리(W3)일 수 있다. 제1 거리(W1)는 제2 거리(W2) 및 제3 거리(W3)보다 클 수 있다. 다르게 말하면, 평면적 관점에서, 연장부(EXT)의 제1 방향(X)으로의 최대 길이는 제1 돌출부(PTR1) 및 제2 돌출부(PTR2)의 제1 방향(X)으로의 최대 길이들보다 클 수 있다.

[0043] 제1 돌출부(PTR1)와 제2 돌출부(PTR2)는 제1 도전형의 불순물 또는 제2 도전형의 불순물로 도핑된 불순물 영역일 수 있다. 제1 도전형은, 예를 들어, N형을 포함할 수 있다. 제2 도전형은, 예를 들어, P형을 포함할 수 있다. 제1 돌출부(PTR1)와 제2 돌출부(PTR2)는 같은 도전형의 불순물을 포함할 수 있다.

[0044] 채널 패턴(110)은 실리콘과 같은 반도체 물질을 포함할 수 있다. 구체적으로, 채널 패턴(110)은 단결정 및/또는 다결정의 실리콘을 포함할 수 있다.

[0045] 제1 돌출부(PTR1)와 제2 돌출부(PTR2)는 제3 방향(Z), 즉 기판(100)의 상면(100a)에 수직한 방향으로 서로 이격될 수 있다. 제1 돌출부(PTR1)는 제1 전극 패턴(GE1)을 통하여 외부로부터 전압을 인가 받을 수 있다. 제2 돌출부(PTR2)는 제3 전극 패턴(GE3)을 통하여 외부로부터 전압을 인가 받을 수 있다. 제2 전극 패턴(GE2)은 제1 돌출부(PTR1)와 제2 돌출부(PTR2) 사이에 개재될 수 있다.

[0046] 제1 돌출부(PTR1)와 제2 돌출부(PTR2)는 수직 채널 트랜지스터(1)의 소스 및/또는 드레인의 기능을 수행할 수 있다. 제1 전극 패턴(GE1)과 제3 전극 패턴(GE3)은 각각 소스 및/또는 드레인 전극으로서의 기능을 수행할 수 있다. 제1 돌출부(PTR1)와 제2 돌출부(PTR2) 사이를 연결하는 연장부(EXT)의 일부는 수직 채널 트랜지스터(1)의 채널(channel)로 기능할 수 있다. 제2 전극 패턴(GE2)은 수직 채널 트랜지스터(1)의 게이트로 기능할 수 있다. 유전 패턴(120)의 제2 부분(120b)은 제2 전극 패턴(GE2)과 채널 패턴(110)을 절연 시키는 기능을 수행할 수 있다. 이로 인해, 수직 채널 트랜지스터(1)는 기판(100)의 상면(100a)에 수직한 제3 방향(Z)으로 이격된 소스 및 드레인을 갖는 트랜지스터로 기능할 수 있다.

[0047] 유전 패턴(120)이 채널 홀(CHH)의 내측벽을 덮을 수 있다. 유전 패턴(120)은 제1 부분(120a), 제2 부분(120b), 및 제3 부분(120c)을 포함할 수 있다. 제1 부분(120a)은 제1 층간 절연막(ILD1)의 상면의 적어도 일부를 덮을 수 있다. 제2 부분(120b)은 제3 층간 절연막(ILD3)의 내측벽, 제2 전극 패턴(GE2)의 내측벽, 제2 층간 절연막(ILD2)의 내측벽을 덮을 수 있다. 제3 부분(120c)은 제4 층간 절연막(ILD4)의 상면과 내측벽을 덮을 수 있다. 다만, 일 실시예에 따라, 제1 부분(120a) 및 제3 부분(120c)은 생략될 수 있다. 제2 부분(120b)은 채널 패턴(110)의 연장부(EXT)와 제2 전극 패턴(GE2) 사이에 개재될 수 있다.

[0048] 유전 패턴(120)은 단수개의 막 또는 복수개의 막으로 이루어진 유전 물질을 포함할 수 있다. 유전 패턴(120)이 복수개의 막으로 이루어진 경우, 2종류 이상의 유전 물질을 포함할 수도 있다. 유전 패턴(120)은, 예를 들어, 실리콘 산화물 및/또는 하프늄 산화물을 포함할 수 있다.

[0049] 전극 패턴들(GE)의 계단 구조를 덮는 평탄 절연막(130)이 제공될 수 있다. 평탄 절연막(130)은 채널 패턴(110)이 차지하는 공간을 제외한 채널 홀(CHH)의 나머지 공간을 채울 수 있다. 평탄 절연막(130)은 채널 패턴(110)의 내측벽, 바닥면, 및 상면을 덮을 수 있다. 평탄 절연막(130)은 제1 전극 패턴(GE1)의 상면의 적어도 일부, 제2 전극 패턴(GE2)의 상면의 적어도 일부, 및 제3 전극 패턴(GE3)의 상면의 적어도 일부를 덮을 수 있다. 평탄 절연막(130)은 저유전 물질을 포함할 수 있다. 예를 들어, 평탄 절연막(130)은 실리콘 산화물, 실리콘 질화물, 및/또는 실리콘 산질화물 등을 포함할 수 있다.

[0050] 평탄 절연막(130)을 관통하여 전극 패턴들(GE) 각각에 접속되는 복수개의 제1 비아(MC1)가 제공될 수 있다. 복수개의 제1 비아(MC1) 중 어느 하나는 제2 층간 절연막(ILD2)으로부터 노출된 제1 전극 패턴(GE1)의 상면과 접촉할 수 있다. 복수개의 제1 비아(MC1) 중 다른 어느 하나는 제3 층간 절연막(ILD3)으로부터 노출된 제2 전극 패턴(GE2)의 상면과 접촉할 수 있다. 복수개의 제1 비아(MC1) 중 또 다른 어느 하나는 제4 층간 절연막(ILD4)로부터 노출된 제3 전극 패턴(GE3)의 상면과 접촉할 수 있다.

[0051] 평탄 절연막(130) 상에 배선층(140)이 배치될 수 있다. 배선층(140)은 배선 절연막(150) 및 배선 절연막(150)

내의 배선들(160)과 배선 비아들(170)을 포함할 수 있다. 배선 절연막(150)은 단수 개의 층 또는 복수 개의 층으로 이루어진 저유전 물질을 포함할 수 있다. 배선 절연막(150)은, 예를 들어, 실리콘 산화물, 실리콘 질화물, 및/또는 실리콘 산질화물을 포함할 수 있다. 배선들(160) 중 일부는 제1 비아(MC1)와 연결될 수 있다. 제1 비아(MC1)와 연결된 배선들(160)은 배선 비아들(170) 중 일부를 통하여 다른 배선들(160)과 연결될 수 있다. 배선들(160) 및 배선 비아들(170)은 각각 구리, 루테튬, 알루미늄, 코발트, 텅스텐, 몰리브덴, 티타늄, 탄탈륨, 니켈, 백금, 크롬 또는 이들의 합금을 포함할 수 있다.

[0052] 본 발명의 개념에 의하면, 수직 채널 트랜지스터(1)의 채널 패턴(110)의 제1 돌출부(PTR1)와 제2 돌출부(PTR2)가 제3 방향(Z)으로 이격될 수 있다. 제1 돌출부(PTR1)와 제2 돌출부(PTR2)는 소스 및/또는 드레인으로 기능할 수 있다. 따라서, 제1 돌출부(PTR1)와 제2 돌출부(PTR2)가 기판(100)의 상면(100a)에 평행한 제1 방향(X) 또는 제2 방향(Y)으로 이격되어 있는 것에 비해, 수직 채널 트랜지스터(1)의 집적도가 향상될 수 있다.

[0053] 또한, 수직 채널 트랜지스터(1)의 전극 패턴들(GE)은 제1 방향(X) 또는 제1 방향(X)과 반대 방향으로 계단 구조를 가질 수 있다. 상기 계단 구조로 인하여 전극 패턴들(GE)의 상면들이 노출될 수 있고, 제1 비아(MC1)가 상기 노출된 상면들에 쉽게 접속할 수 있다. 이로 인해, 수직 채널 트랜지스터(1)의 배선 공정이 용이해질 수 있으며, 배선 간 단락(short)이 방지될 수 있다.

[0054] 도 3은 본 발명의 일 실시예에 따른 수직 채널 트랜지스터의 단면도이다. 이하에서, 도 1 및 도 2를 참조하여 설명한 것과 중복된 설명은 제외하고, 차이점에 대해서만 상술하도록 한다.

[0055] 도 3을 참조하면, 수직 채널 트랜지스터(2)의 채널 패턴(110)이 채널 홀(CHH)을 완전히 채울 수 있다. 이로 인해, 채널 패턴(110)의 연장부(EXT)의 최상면이 평탄할 수 있다.

[0056] 평탄 절연막(130)을 관통하여 채널 패턴(110)에 접속되는 제2 비아(MC2)가 제공될 수 있다. 제2 비아(MC2)는 채널 패턴(110)의 최상면과 접촉할 수 있다. 제1 비아(MC1) 및 제2 비아(MC2)는 구리, 루테튬, 알루미늄, 코발트, 텅스텐, 몰리브덴, 티타늄, 탄탈륨, 니켈, 백금, 크롬 또는 이들의 합금을 포함할 수 있다.

[0057] 제1 비아(MC1)의 제3 방향(Z)으로의 길이는 제2 비아(MC2)의 제3 방향(Z)으로의 길이보다 길 수 있다.

[0058] 배선들(160) 중 또다른 일부는 제2 비아(MC2)와 연결될 수 있다. 제2 비아(MC2)와 연결된 배선들(160)은 배선 비아들(170) 중 일부를 통하여 다른 배선들(160)과 연결될 수 있다.

[0059] 이 경우, 수직 채널 트랜지스터(2)의 채널이 커져 저항이 작아지는 효과가 생겨, 수직 채널 트랜지스터(2)의 전기적 특성이 향상될 수 있다. 또한, 제2 비아(MC2)가 접속할 수 있는 채널 패턴(110)의 면적이 커지므로, 배선 공정이 더욱 용이해질 수 있다.

[0060] 도 4a 내지 도 9b는 실시예들에 따른 수직 채널 트랜지스터의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 도면들이다. 구체적으로, 도 4a, 도 5a, 및 도 9a는 실시예들에 따른 수직 채널 트랜지스터의 제조 방법을 설명하기 위한 평면도들이다. 도 4b는 도 4a를 I-I'선으로 자른 단면도이다. 도 5b, 도 6, 도 7, 및 도 8은 도 5a를 I-I'선으로 자른 단면도이다. 도 9b는 도 9a를 I-I'선으로 자른 단면도이다.

[0061] 도 4a 및 도 4b를 참조하면, 기판(100) 상에 층간 절연막들(ILD) 및 희생막들(SL)을 번갈아 적층할 수 있다. 층간 절연막들(ILD)은 제1 층간 절연막(ILD1), 제2 층간 절연막(ILD2), 제3 층간 절연막(ILD3), 및 제4 층간 절연막(ILD4)을 포함할 수 있다. 희생막들(SL)은 제1 희생막(SL1), 제2 희생막(SL2), 및 제3 희생막(SL3)을 포함할 수 있다. 기판(100) 상에 순차적으로 제1 층간 절연막(ILD1), 제1 희생막(SL1), 제2 층간 절연막(ILD2), 제2 희생막(SL2), 제3 층간 절연막(ILD3), 제3 희생막(SL3), 및 제4 층간 절연막(ILD4)이 적층될 수 있다.

[0062] 제1 희생막(SL1)과 제3 희생막(SL3)은 층간 절연막들(ILD) 및 제2 희생막(SL2)과 식각 선택성을 갖는 물질을 포함할 수 있다. 제2 희생막(SL2)은 제1 희생막(SL1), 제3 희생막(SL3), 및 층간 절연막들(ILD)과 식각 선택성을 갖는 물질을 포함할 수 있다. 예를 들어, 층간 절연막들(ILD) 각각은 실리콘 산화물을 포함할 수 있고, 제1 희생막(SL1) 및 제3 희생막(SL3)은 실리콘 저마늄(SiGe)을 포함할 수 있고, 제2 희생막(SL2)은 실리콘 질화물을 포함할 수 있다.

[0063] 층간 절연막들(ILD) 및 희생막들(SL)을 식각하여 채널 홀(CHH)을 형성할 수 있다. 이 때, 제1 층간 절연막(ILD1)은 식각되지 않을 수 있다. 채널 홀(CHH)은 제2 층간 절연막(ILD2), 제3 층간 절연막(ILD3), 제4 층간 절연막(ILD4), 및 희생막들(SL)의 내측벽들을 노출시킬 수 있다.

[0064] 도 5a 및 도 5b를 참조하면, 채널 홀(CHH)의 내측벽을 덮는 유전막(120p) 및 채널막(110p)을 형성할 수 있다.

유전막(120p)은 채널 홀(CHH)에 의해 노출된 제2 층간 절연막(ILD2), 제3 층간 절연막(ILD3), 제4 층간 절연막(ILD4), 및 희생막들(SL)의 내측벽들을 덮을 수 있다. 유전막(120p)은 채널 홀(CHH)에 의해 노출된 제1 층간 절연막(ILD1)의 상면을 덮을 수 있다. 유전막(120p)은 제4 층간 절연막(ILD4)의 상면 상으로 연장될 수 있다. 유전막(120p)은 단수개의 막 또는 복수개의 막으로 이루어진 유전 물질을 포함할 수 있다. 유전막(120p)이 복수개의 막으로 이루어진 경우, 2종류 이상의 유전 물질을 포함할 수도 있다. 유전막(120p)은, 예를 들어, 실리콘 산화물 및/또는 하프늄 산화물을 포함할 수 있다.

[0065] 채널막(110p)이 유전막(120p)을 덮을 수 있다. 채널막(110p)은 채널 홀(CHH)의 일부는 채우지 않을 수 있다. 채널막(110p)은 실리콘과 같은 반도체 물질을 포함할 수 있다. 구체적으로, 채널막(110p)은 단결정 및/또는 다결정의 실리콘을 포함할 수 있다.

[0066] 유전막(120p)과 채널막(110p)은 물리 기상 증착법(PVD, Physical Vapor Deposition), 화학 기상 증착법(CVD, Chemical Vapor Deposition), 및 원자층 증착법(ALD, Atomic Layer Deposition) 등을 사용하여 증착될 수 있다.

[0067] 도 6을 참조하면, 제1 희생막(SL1) 및 제3 희생막(SL3)을 선택적으로 제거할 수 있다. 제1 희생막(SL1) 및 제3 희생막(SL3)은 층간 절연막들(ILD) 및 제2 희생막(SL2)과의 식각 선택성을 이용한 습식 식각 공정을 통해 제거될 수 있다. 습식 식각 공정으로 인하여, 제1 희생막(SL1)이 있던 공간에 제1 그루브(GV1)가 형성될 수 있고, 제3 희생막(SL3)이 있던 공간에 제2 그루브(GV2)가 형성될 수 있다.

[0068] 제1 희생막(SL1) 및 제3 희생막(SL3)을 제거하는 과정에서, 유전막(120p)의 일부도 같이 제거될 수 있다. 유전막(120p)의 일부가 제거되면서 유전 패턴(120)이 형성될 수 있다. 유전 패턴(120)은 제1 부분(120a), 제2 부분(120b), 및 제3 부분(120c)을 포함할 수 있다. 제1 부분(120a)은 제1 층간 절연막(ILD1)의 상면의 일부를 덮을 수 있다. 제2 부분(120b)은 제2 희생막(SL2)과 채널막(110p) 사이에 개재될 수 있다. 제3 부분(120c)은 제4 층간 절연막(ILD1)의 상면 및 내측벽을 덮을 수 있다.

[0069] 도 7을 참조하면, 제1 그루브(GV1) 및 제2 그루브(GV2)를 통하여, 제1 돌출부(PTR1) 및 제2 돌출부(PTR2)를 형성할 수 있다. 제1 돌출부(PTR1) 및 제2 돌출부(PTR2)는 도 6의 채널막(110p)을 선택적 에피택셜 성장(SEG, Selective Epitaxial Growth) 공정을 진행하여 형성될 수 있다. SEG 공정 동안 제1 돌출부(PTR1) 및 제2 돌출부(PTR1)는 제1 도전형 또는 제2 도전형으로 도핑될 수 있다. 도 6의 채널막(110p)으로부터 제1 돌출부(PTR1) 및 제2 돌출부(PTR2)가 형성되면서, 제1 돌출부(PTR1), 제2 돌출부(PTR2), 및 연장부(EXT)를 포함하는 채널 패턴(110)이 형성될 수 있다.

[0070] 이어서, 제2 희생막(SL2)을 선택적으로 제거할 수 있다. 제2 희생막(SL2)은 층간 절연막들(ILD)과의 식각 선택성을 이용한 습식 식각 공정을 통해 제거될 수 있다. 습식 식각 공정으로 인하여, 제2 희생막(SL2)이 있던 공간에 제3 그루브(GV3)가 형성될 수 있다.

[0071] 제1 돌출부(PTR1)는 제1 그루브(GV1)를 통하여 외부로 노출될 수 있고, 제2 돌출부(PTR2)는 제2 그루브(GV2)를 통하여 외부로 노출될 수 있다. 반면, 제3 그루브(GV3)와 연장부(EXT) 사이에는 유전 패턴(120)의 제2 부분(120b)이 개재될 수 있다.

[0072] 도 8을 참조하면, 도 7의 제1 그루브(GV1), 제2 그루브(GV2), 및 제3 그루브(GV3)를 채우는 배리어막(BMp) 및 도전막(FMp)이 형성될 수 있다. 배리어막(BMp)은 제1 그루브(GV1), 제2 그루브(GV2), 및 제3 그루브(GV3)에 의해 노출된 층간 절연막들(ILD1)의 상면, 하면, 및 측벽들을 덮을 수 있다. 배리어막(BMp)은 제1 그루브(GV1), 제2 그루브(GV2), 및 제3 그루브(GV3)에 의해 노출된 제1 돌출부(PTR1) 및 제2 돌출부(PTR2)의 외측벽들을 덮을 수 있다. 도전막(FMp)은 배리어막(BMp)이 채우지 않은 제1 그루브(GV1), 제2 그루브(GV2), 및 제3 그루브(GV3)의 나머지 공간들을 채울 수 있다.

[0073] 도 9a 및 도 9b를 참조하면, 층간 절연막들(ILD), 배리어막(BMp), 도전막(FMp), 및 채널 패턴(110)에 대하여 트리밍(trimming) 공정을 수행할 수 있다. 트리밍 공정은 채널 패턴(110)을 덮는 마스크 패턴을 형성하는 것, 마스크 패턴을 통해 층간 절연막들(ILD), 배리어막(BMp), 도전막(FMp), 및 채널 패턴(110)을 패터닝 하는 것, 마스크 패턴의 면적을 축소시키는 것 및 축소된 면적을 갖는 마스크 패턴을 통해 층간 절연막들(ILD), 배리어막(BMp), 도전막(FMp), 및 채널 패턴(110)을 패터닝하는 것을 포함할 수 있다. 마스크 패턴의 면적을 축소하고, 마스크 패턴을 통해 층간 절연막들(ILD), 배리어막(BMp), 도전막(FMp), 및 채널 패턴(110)을 패터닝 하는 것은 번갈아 반복될 수 있다. 트리밍 공정에 의해, 배리어막(BMp) 및 도전막(FMp)으로부터 전극 패턴들(GE)이 형성될 수 있다. 트리밍 공정에 의해, 전극 패턴들(GE) 각각의 상면의 적어도 일부가 외부로 노출될 수 있고, 전극 패

턴들(GE)은 제1 방향(X) 또는 제1 방향(X)과 반대 방향으로 계단 구조를 가질 수 있다.

- [0074] 다시 도 1 및 도 2를 참조하면, 전극 패턴들(GE)의 계단 구조를 덮는 평탄 절연막(130)이 형성될 수 있다. 평탄 절연막(130)은 채널 패턴(110)이 차지하는 공간을 제외한 채널 홀(CHH)의 나머지 공간을 채울 수 있다. 평탄 절연막(130)은 채널 패턴(110)의 내측벽, 바닥면, 및 상면을 덮을 수 있다. 평탄 절연막(130)은 제1 전극 패턴(GE1)의 상면의 적어도 일부, 제2 전극 패턴(GE2)의 상면의 적어도 일부, 및 제3 전극 패턴(GE3)의 상면의 적어도 일부를 덮을 수 있다. 평탄 절연막(130)은 저유전 물질을 포함할 수 있다. 예를 들어, 평탄 절연막(130)은 실리콘 산화물, 실리콘 질화물, 및/또는 실리콘 산질화물 등을 포함할 수 있다.
- [0075] 평탄 절연막(130) 관통하여 전극 패턴들(GE) 중 어느 하나에 접속하는 제1 비아(MC1)가 형성될 수 있다.
- [0076] 평탄 절연막(130) 상에 배선층(140)이 형성될 수 있다. 배선층(140)을 형성하는 것은 배선 절연막(150)을 형성하는 것, 배선들(160)을 형성하는 것 및 제3 비아들(MC3)을 형성하는 것을 포함할 수 있다. 위와 같은 제조 공정을 통하여, 수직 채널 트랜지스터(1)가 형성될 수 있다.
- [0077] 도 10은 낸드(NAND) 회로를 나타내는 도면이다.
- [0078] 도 10을 참조하면, 낸드 회로가 제공될 수 있다. 예를 들어, 낸드 회로는 3개의 PMOS 트랜지스터들(P1-P3)과 3개의 NMOS 트랜지스터들(N1-N3)을 포함할 수 있다. 제1 PMOS 트랜지스터(P1)는 제1 PMOS 게이트(PG1), 제1 PMOS 소스(PS1), 및 제1 PMOS 드레인(PD1)을 포함할 수 있다. 제2 PMOS 트랜지스터(P2)는 제2 PMOS 게이트(PG2), 제2 PMOS 소스(PS2), 및 제2 PMOS 드레인(PD2)을 포함할 수 있다. 제3 PMOS 트랜지스터(P3)는 제3 PMOS 게이트(PG3), 제3 PMOS 소스(PS3), 및 제3 PMOS 드레인(PD3)을 포함할 수 있다. 제1 NMOS 트랜지스터(N1)는 제1 NMOS 게이트(NG1), 제1 NMOS 소스(NS1), 및 제1 NMOS 드레인(ND1)을 포함할 수 있다. 제2 NMOS 트랜지스터(N2)는 제2 NMOS 게이트(NG2), 제2 NMOS 소스(NS2), 및 제2 NMOS 드레인(ND2)을 포함할 수 있다. 제3 NMOS 트랜지스터(N3)는 제3 NMOS 게이트(NG3), 제3 NMOS 소스(NS3), 및 제3 NMOS 드레인(ND3)을 포함할 수 있다.
- [0079] 3개의 PMOS 트랜지스터들(P1-P3)은 서로 병렬로 연결될 수 있다. 3개의 NMOS 트랜지스터들(N1-N3)은 서로 직렬로 연결될 수 있다. 3개의 PMOS 트랜지스터들(P1-P3)의 군(group)과 3개의 NMOS 트랜지스터들(N1-N3)의 군(group)은 특정 지점(QQ)을 통하여 직렬로 연결될 수 있다.
- [0080] 도 11은 본 발명의 일 실시예에 따른 수직 채널 트랜지스터의 평면도로, 도 10의 회로의 일부를 나타내는 도면이다. 도 12는 본 발명의 일 실시예에 따른 수직 채널 트랜지스터의 도면으로, 도 11을 II-II'선으로 자른 단면도이다. 구체적으로, 도 11은 도 10에서의 제1 NMOS 트랜지스터(N1)와 제2 NMOS 트랜지스터(N2)를 표현한 평면도이다. 이하에서 설명하는 것들을 제외하고, 도 11 및 도 12에서의 제1 NMOS 트랜지스터(N1)와 제2 NMOS 트랜지스터(N2)는 도 2 설명한 수직 채널 트랜지스터(1)와 동일한 구성 및 형태를 포함할 수 있다.
- [0081] 도 10, 도 11, 및 도 12를 함께 참조하면, 제1 NMOS 트랜지스터(N1)와 제2 NMOS 트랜지스터(N2)가 제2 방향(Y)으로 이격될 수 있다.
- [0082] 제1 NMOS 트랜지스터(N1)는 제1 내지 제3 NMOS 비아들(MC1a, MC1b, MC1c), 제1 NMOS 소스(NS1, GE1a), 제1 NMOS 게이트(NG1, GE2a), 및 제1 NMOS 드레인(ND1, GE3a)을 포함할 수 있다.
- [0083] 제1 내지 제3 NMOS 비아들(MC1a, MC1b, MC1c)은 도 2의 제1 비아들(MC1)에 대응될 수 있다. 제1 NMOS 비아(MC1a)는 제1 NMOS 소스(NS1, GE1a)에 연결될 수 있다. 제2 NMOS 비아(MC1b)는 제1 NMOS 게이트(NG1, GE2a)에 연결될 수 있다. 제3 NMOS 비아(MC1c)는 제1 NMOS 드레인(ND1, GE3a)에 연결될 수 있다. 제1 내지 제3 NMOS 비아들(MC1a, MC1b, MC1c) 외에, 도 2에서의 제1 비아들(MC1)은 생략될 수 있다.
- [0084] 제1 NMOS 소스(NS1, GE1a)는 도 2의 제1 전극 패턴(GE1)에 대응될 수 있다. 제1 NMOS 게이트(NG1, GE2a)는 도 2의 제2 전극 패턴(GE2)에 대응될 수 있다. 제1 NMOS 드레인(ND1, GE3a)은 도 2의 제3 전극 패턴(GE3)에 대응될 수 있다.
- [0085] 도 11을 참조하면, 제2 NMOS 트랜지스터(N2)는 제4 내지 제6 NMOS 비아들(MC1d, MC1e, MC1f), 제2 NMOS 소스(NS2, GE1b), 제2 NMOS 게이트(NG2, GE2b), 및 제2 NMOS 드레인(ND2, GE3b)을 포함할 수 있다.
- [0086] 제4 내지 제6 NMOS 비아들(MC1d, MC1e, MC1f)은 도 2의 제1 비아들(MC1)에 대응될 수 있다. 제4 NMOS 비아(MC1d)는 제2 NMOS 소스(NS2, GE1b)에 연결될 수 있다. 제5 NMOS 비아(MC1e)는 제2 NMOS 게이트(NG2, GE2b)에 연결될 수 있다. 제6 NMOS 비아(MC1f)는 제2 NMOS 드레인(ND2, GE3b)에 연결될 수 있다. 제4 내지 제6 NMOS 비아들(MC1d, MC1e, MC1f) 외에, 도 2에서의 제1 비아들(MC1)은 생략될 수 있다.

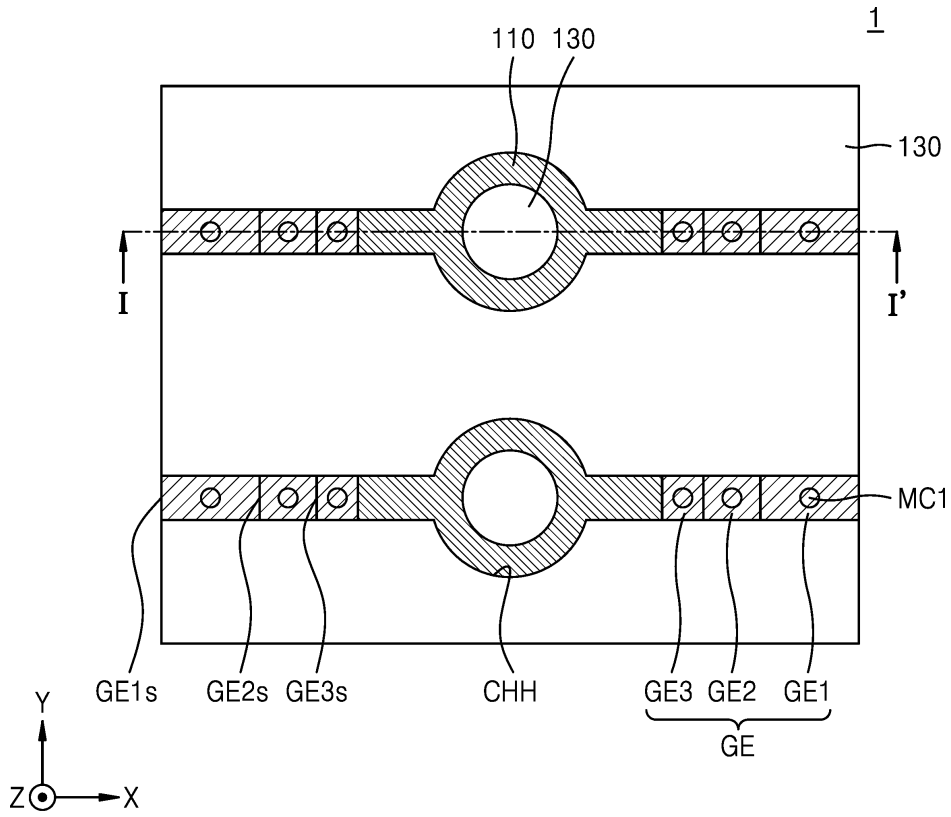
- [0087] 제2 NMOS 소스(NS2, GE1b)는 도 2의 제3 전극 패턴(GE3)에 대응될 수 있다. 제2 NMOS 게이트(NG2, GE2b)는 도 2의 제2 전극 패턴(GE2)에 대응될 수 있다. 제2 NMOS 드레인(ND2, GE3b)은 도 2의 제1 전극 패턴(GE1)에 대응될 수 있다.
- [0088] 제1 NMOS 드레인(ND1, GE3a)은 배선들(160) 중 어느 하나(160a) 연결될 수 있다. 배선들(160) 중 어느 하나(160a)는 제2 NMOS 트랜지스터(N2)의 제4 NMOS 비아(MC1d)와 연결될 수 있다. 제1 NMOS 트랜지스터(N1)의 제1 NMOS 드레인(ND1, GE3a)과 제2 NMOS 트랜지스터(N2)의 제2 NMOS 소스(NS2, GE1b)는 서로 전기적으로 연결될 수 있다. 이로써, 제1 NMOS 트랜지스터(N1)와 제2 NMOS 트랜지스터(N2)는 서로 직렬로 연결될 수 있다.
- [0089] 제1 NMOS 트랜지스터(N1)와 제2 NMOS 트랜지스터(N2)가 직렬로 연결되는 형태와 같은 방식으로, 제2 NMOS 트랜지스터(N2)와 제3 NMOS 트랜지스터(N3) 또한 직렬로 연결될 수 있다. 위와 같은 연결을 통하여, 도 10의 낸드 회로도를 구현할 수 있다.
- [0090] 도 13은 본 발명의 일 실시예에 따른 수직 채널 트랜지스터의 도면으로, 도 1을 I-I'선으로 자른 단면도이다.
- [0091] 도 13을 참조하면, 본 발명의 일 실시예에 따른 수직 채널 트랜지스터(3)는 복수개의 서브 수직 채널 트랜지스터들(1', 1'')이 수직으로 적층될 수 있다. 도 13에서 표현된 복수개의 서브 수직 채널 트랜지스터들(1', 1'') 각각은 도 2에서 설명한 수직 채널 트랜지스터(1)와 동일한 구성 및 형태를 포함할 수 있다. 도 13에서는 복수개의 서브 수직 채널 트랜지스터들(1', 1'')을 2개만 표시했으나, 그 수에 제한되지는 않고, 3개 이상으로 제공될 수도 있다. 이는 실시하려는 수직 채널 트랜지스터(1)의 설계에 따라 달라질 수 있다.
- [0092] 본 개시의 기술적 사상의 실시예들에 대한 이상의 설명은 본 개시의 기술적 사상의 설명을 위한 예시를 제공한 다. 따라서 본 개시의 기술적 사상은 이상의 실시예들에 한정되지 않으며, 본 개시의 기술적 사상 내에서 당해 기술 분야의 통상의 지식을 가진 자에 의하여 상기 실시예들을 조합하여 실시하는 등 여러 가지 많은 수정 및 변경이 가능함은 명백하다.

부호의 설명

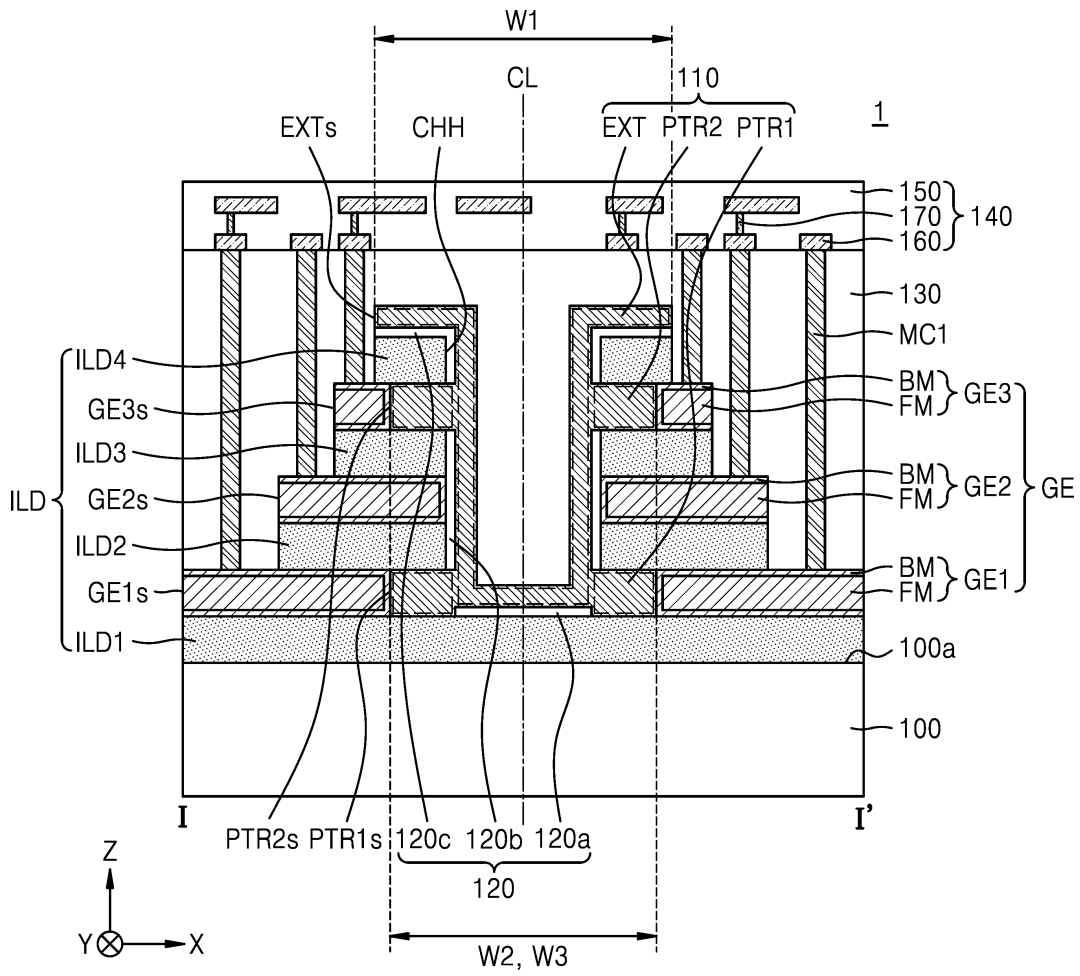
- [0093] 100: 기판, GE: 전극 패턴들, ILD: 층간 절연막들, 110: 채널 패턴, 120: 유전 패턴, 130: 평탄 절연막, MC1: 제1 비아, MC2: 제2 비아, 140: 배선층

도면

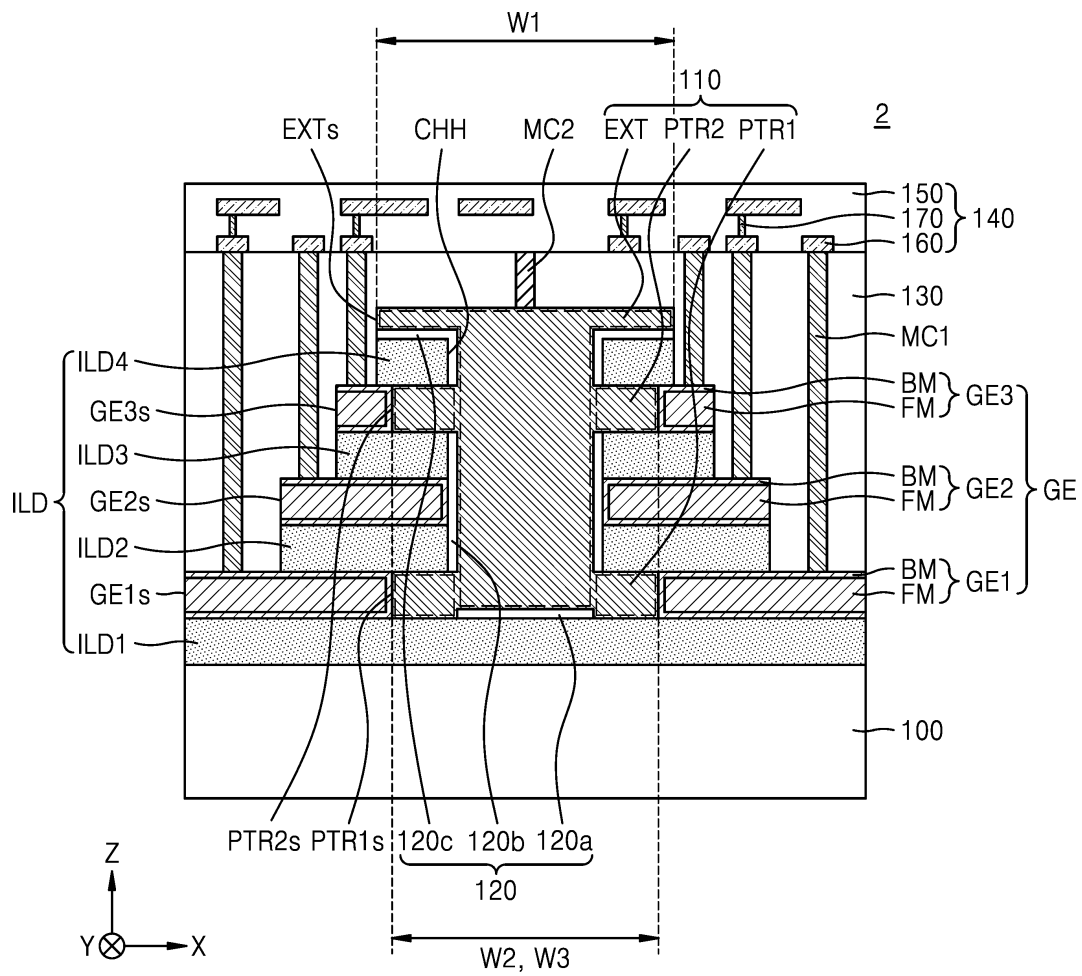
도면1



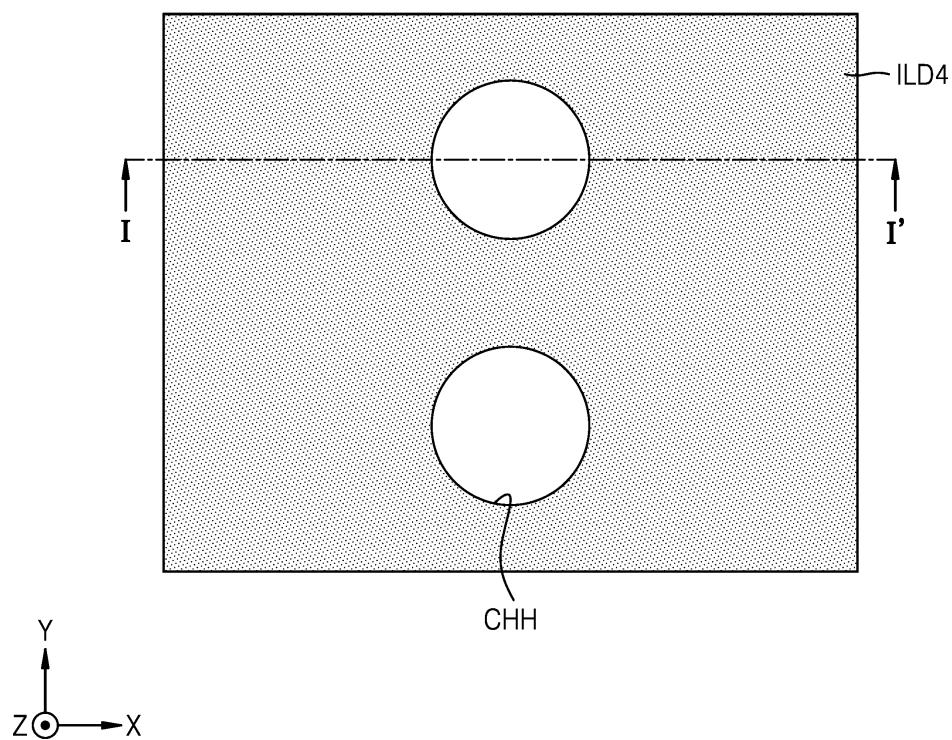
도면2



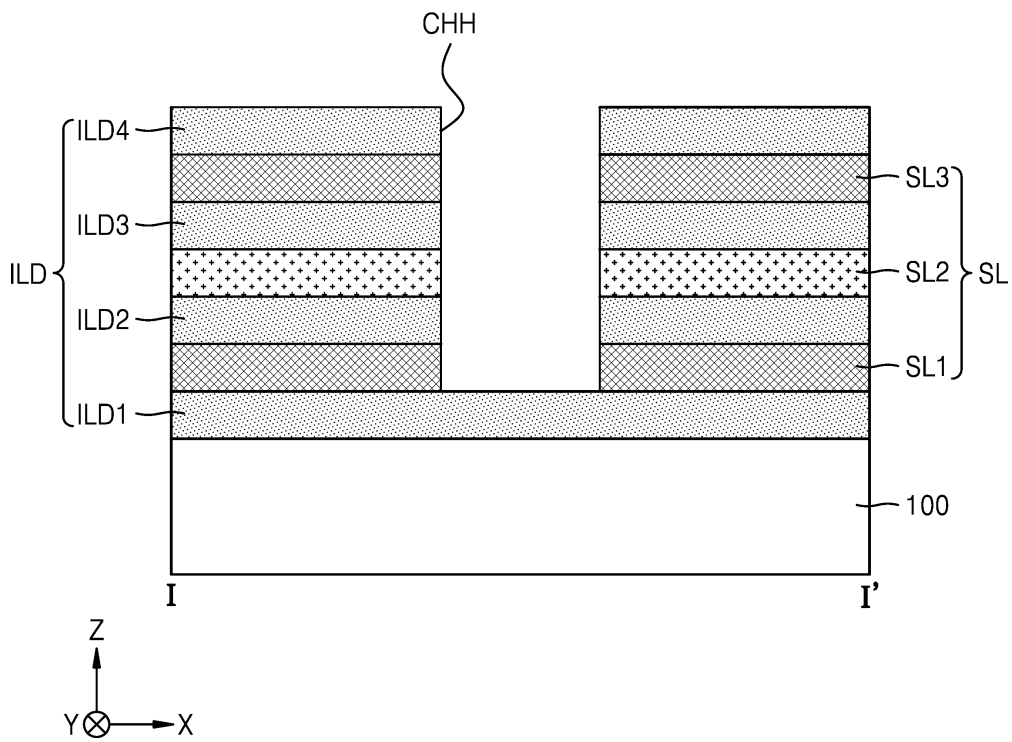
도면3



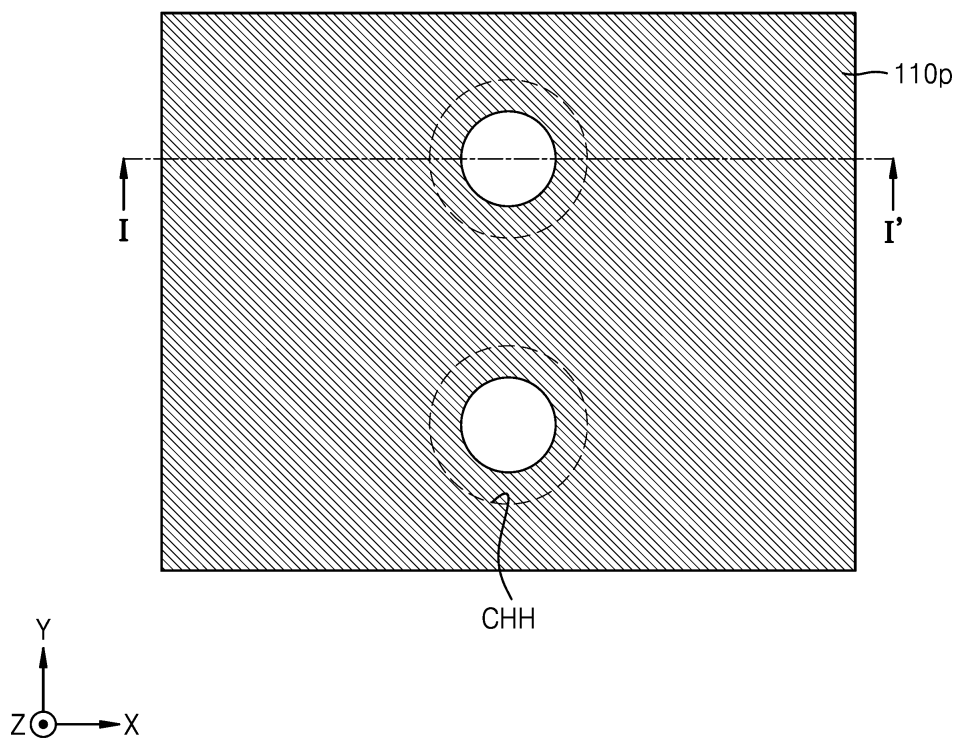
도면4a



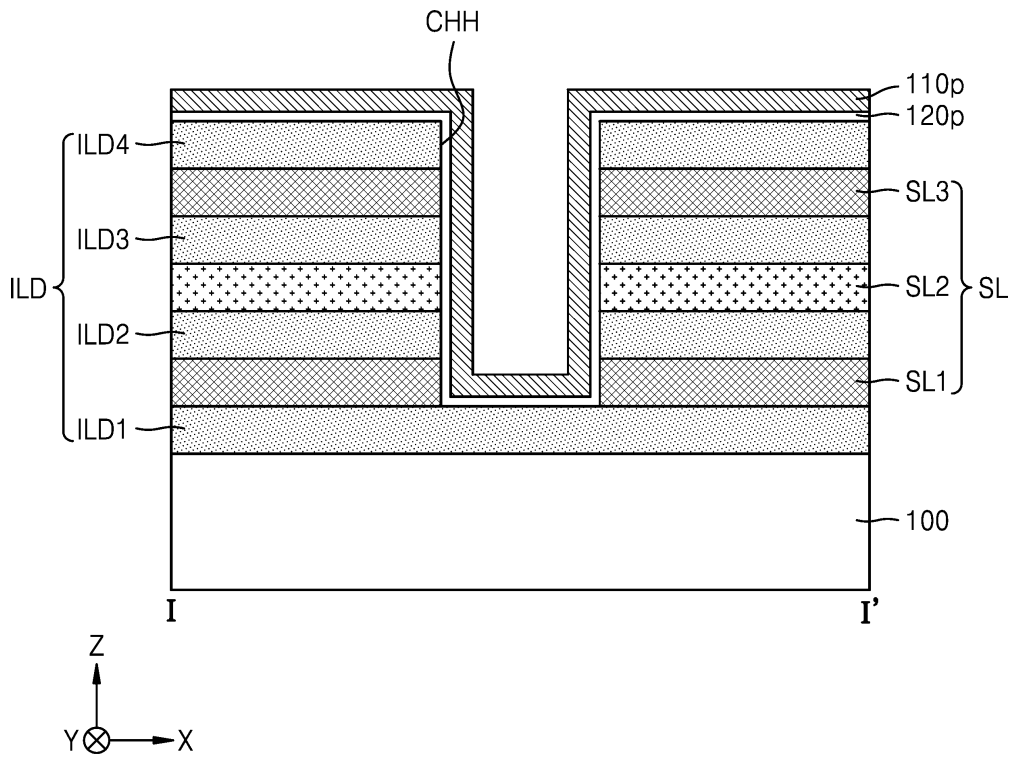
도면4b



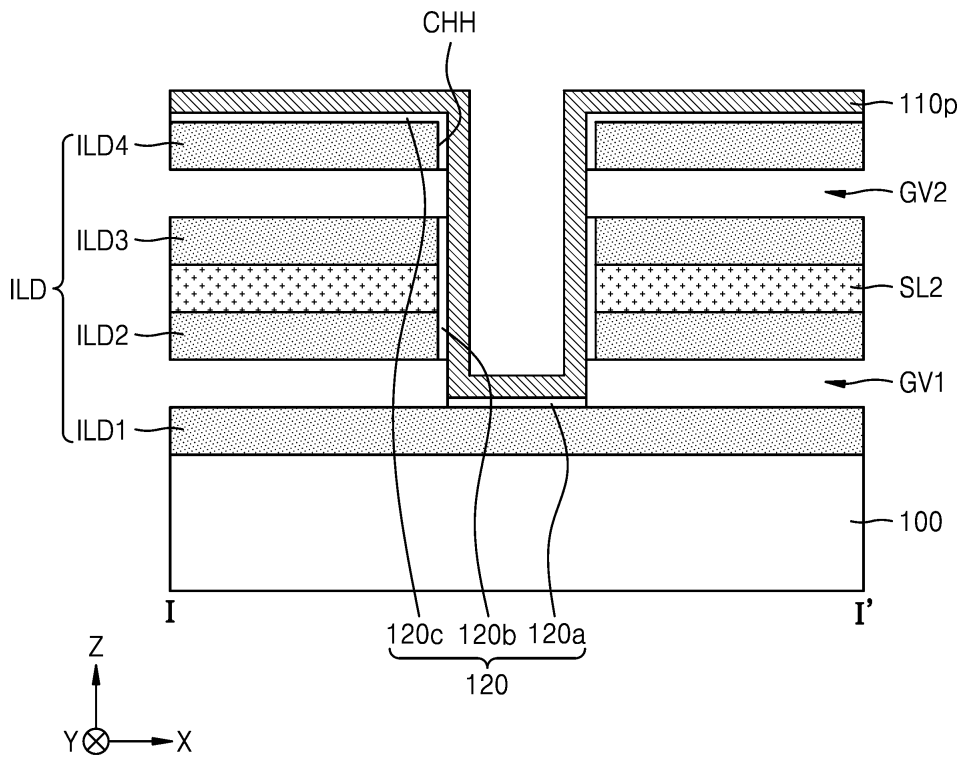
도면5a



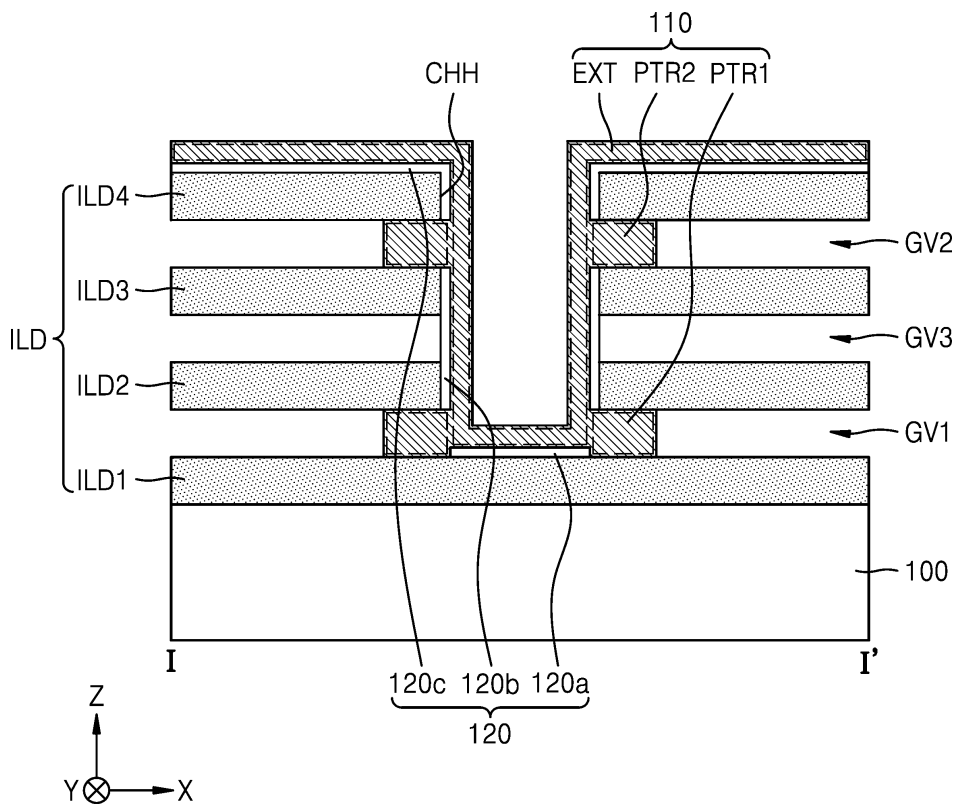
도면5b



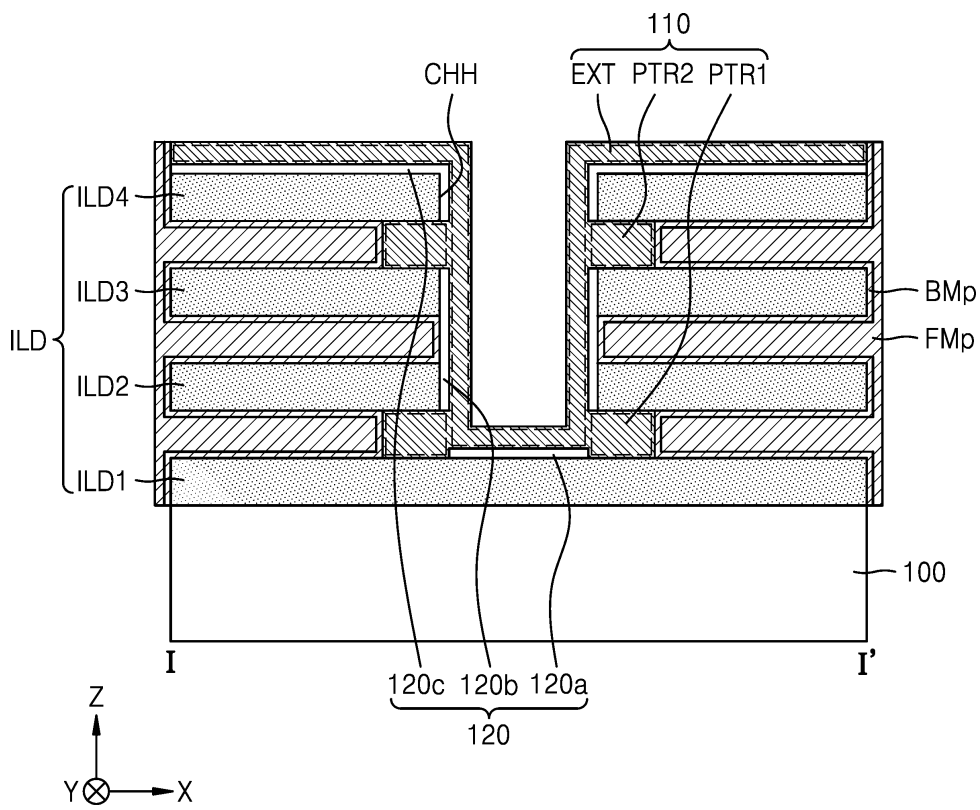
도면6



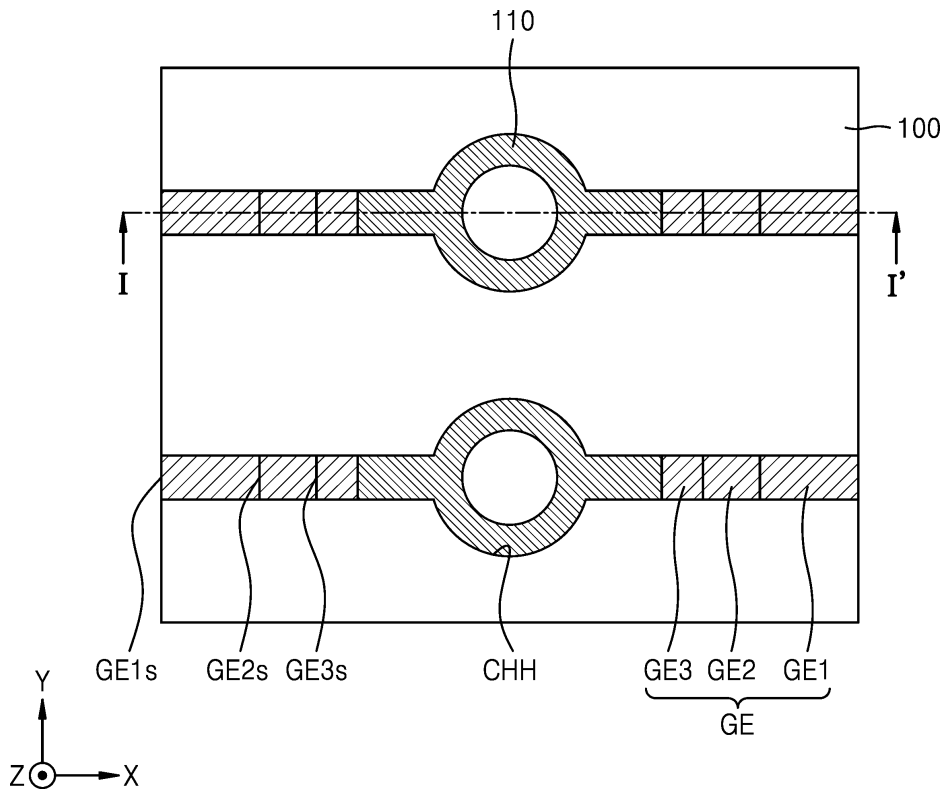
도면7



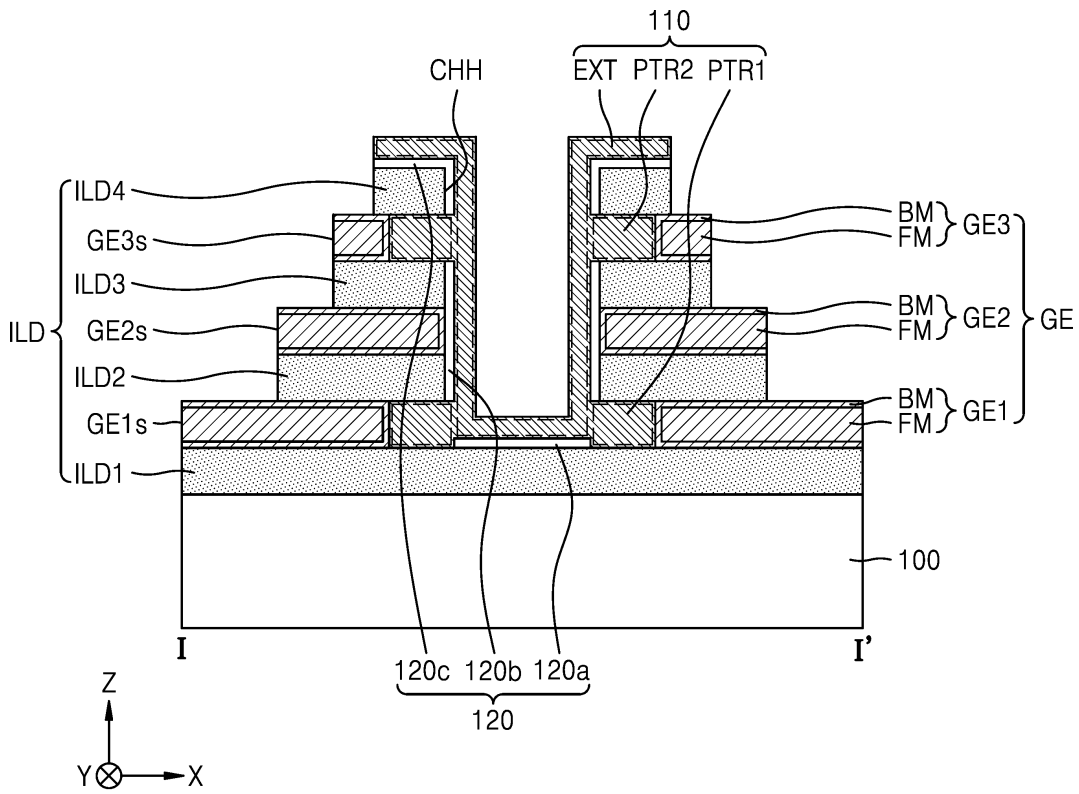
도면8



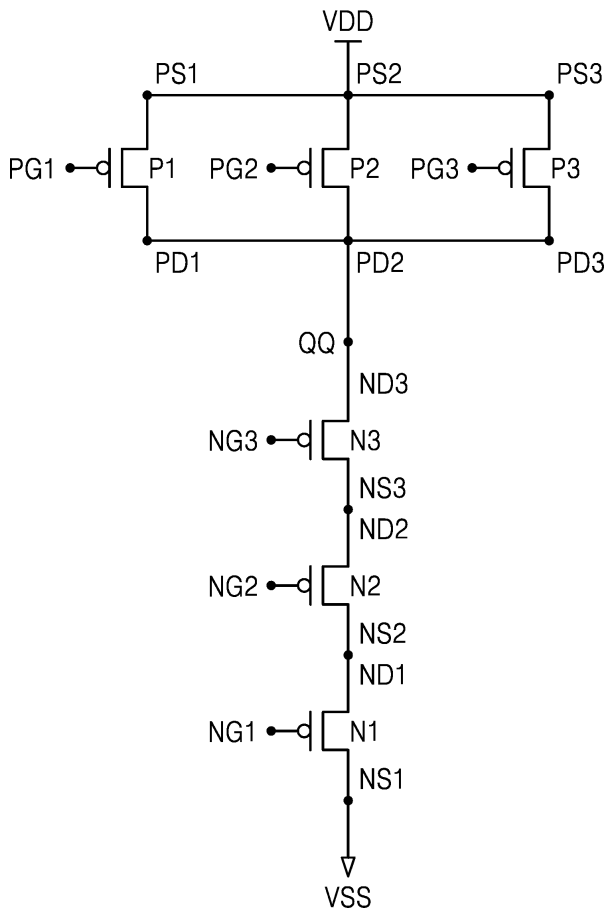
도면9a



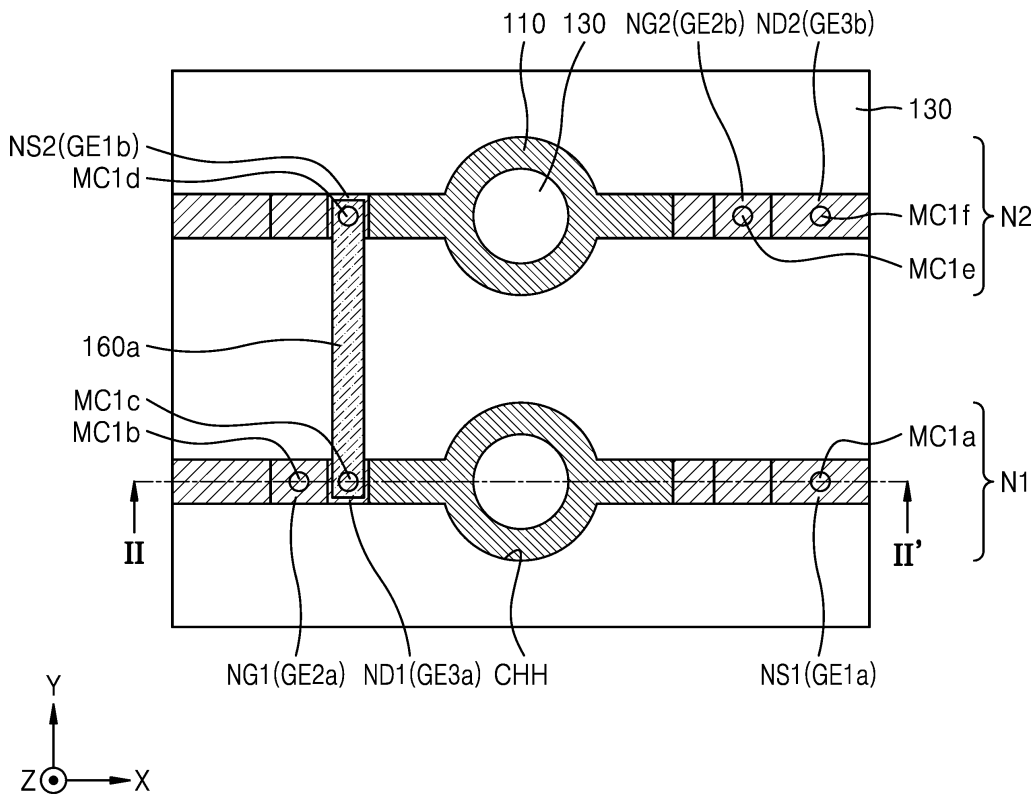
도면9b



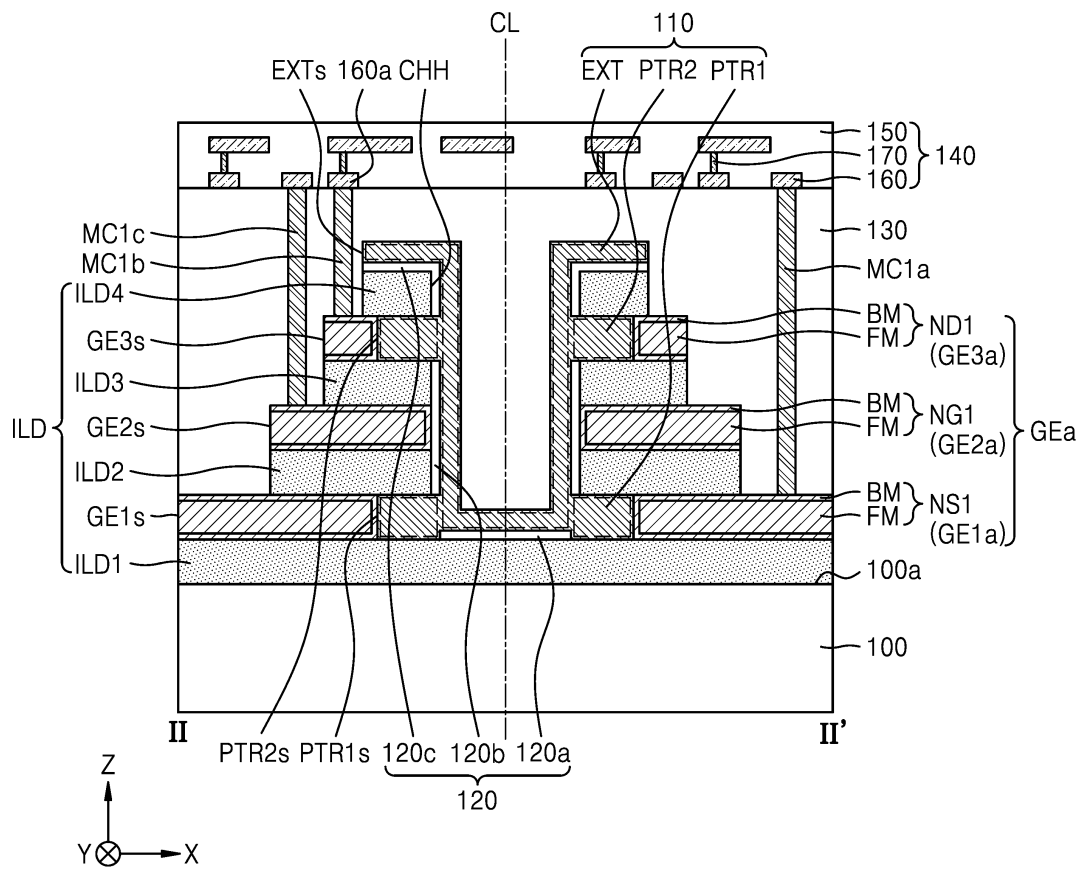
도면10



도면11



도면 12



도면13

