



(12) 发明专利申请

(10) 申请公布号 CN 118974951 A

(43) 申请公布日 2024. 11. 15

(21) 申请号 202380030034.2

(22) 申请日 2023.03.22

(30) 优先权数据

2022-061746 2022.04.01 JP

(85) PCT国际申请进入国家阶段日

2024.09.24

(86) PCT国际申请的申请数据

PCT/JP2023/011155 2023.03.22

(87) PCT国际申请的公布数据

W02023/189918 JA 2023.10.05

(71) 申请人 松下知识产权经营株式会社

地址 日本

(72) 发明人 栗秋智成 北原大祐 恒冈道朗

梶本刚志

(74) 专利代理机构 北京林达刘知识产权代理事

务所(普通合伙) 11277

专利代理师 刘新宇 张文慧

(51) Int.Cl.

H01L 31/12 (2006.01)

H03K 17/78 (2006.01)

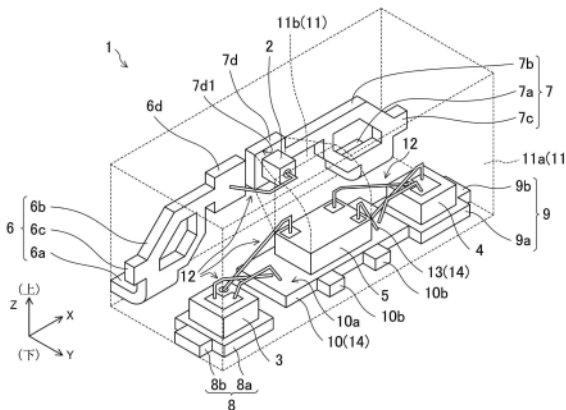
权利要求书2页 说明书16页 附图16页

(54) 发明名称

半导体继电器及包括该半导体继电器的半导体继电器模块

(57) 摘要

半导体继电器 (1) 至少包括壳体 (11)、第一输入端子 (6)、第二输入端子 (7)、第一输出端子 (8)、第二输出端子 (9)、发光元件 (2)、受光元件 (51)、第一MOSFET (3) 以及第二MOSFET (4)。在第一基体 (7d) 的第一主面 (7d1) 上布置有发光元件 (2), 在第二基体 (10) 的第二主面 (10a) 上布置有受光驱动元件 (5)。受光驱动元件 (5) 的源极电极 (5a) 与第二基体 (10) 相连接而成为相同电位。沿着第一轴观察时, 第二基体 (10) 布置在第一MOSFET (3) 与第二MOSFET (4) 之间。第一基体 (7d) 的第一主面 (7d1) 的法线与第二基体 (10) 的第二主面 (10a) 的法线交叉。



1. 一种半导体继电器,其特征在于:
所述半导体继电器至少包括:
壳体,其具有上表面及相对于所述上表面沿着第一轴位于下方的下表面;
第一输入端子和第二输入端子;
第一输出端子和第二输出端子;
发光元件,其与所述第一输入端子及所述第二输入端子电连接;
受光驱动元件,其具有接收所述发光元件的输出光的第一面、相对于所述第一面沿着所述第一轴位于下方的第二面、以及第一电极;
第一MOSFET,其具有与所述第一电极电连接的第一中间电极、与所述第一输出端子电连接的第一输出电极、以及第一栅极电极;
第二MOSFET,其具有与所述第一电极电连接的第二中间电极、与所述第二输出端子电连接的第二输出电极、以及第二栅极电极;
第一基体,其具有供布置所述发光元件的第一主面;以及
连接导体,其具有供布置所述受光驱动元件的第二主面,并且与所述第一电极相连接而成为相同电位,
沿着所述第一轴观察时,所述连接导体的至少一部分布置在所述第一MOSFET与所述第二MOSFET之间,
所述第一主面的法线与所述第二主面的法线交叉。
2. 根据权利要求1所述的半导体继电器,其特征在于:
沿着所述第一轴观察时,所述发光元件与所述受光驱动元件相互分离。
3. 根据权利要求1所述的半导体继电器,其特征在于:
所述第一主面的法线与所述第二主面的法线正交。
4. 根据权利要求1所述的半导体继电器,其特征在于:
所述第一输入端子和所述第二输入端子分别具有外部连接部位和立起部位,
所述外部连接部位以沿着所述壳体的下表面延伸的方式设置,且顶端向所述壳体的外部露出,
所述立起部位形成为与所述外部连接部位的基端相连,并与所述壳体的下表面交叉且向所述壳体的内部延伸,
在将沿着所述发光元件和所述受光驱动元件的排列方向延伸的轴设为第三轴时,所述立起部位的主面的法线沿着所述第三轴延伸。
5. 根据权利要求4所述的半导体继电器,其特征在于:
在所述立起部位形成有环状部,该环状部具有贯穿所述立起部位的通孔。
6. 根据权利要求4所述的半导体继电器,其特征在于:
所述立起部位具有向所述壳体的外部露出的部位。
7. 根据权利要求1所述的半导体继电器,其特征在于:
所述连接导体具有向所述壳体的外部露出的部位。
8. 根据权利要求1所述的半导体继电器,其特征在于:
所述连接导体包括供承载所述受光驱动元件的第二基体,
所述第二基体具有所述第二主面,并且所述第二基体布置在供承载所述第一MOSFET的

基体与供承载所述第二MOSFET的基体之间。

9. 根据权利要求1所述的半导体继电器,其特征在于:

在连接所述第一输入端子与所述发光元件的导电路径以及连接所述第二输入端子与所述发光元件的导电路径中的至少一导电路径上,串联地电连接有具有规定电阻的电阻元件或具有规定阻抗的电感元件。

10. 根据权利要求8所述的半导体继电器,其特征在于:

在将沿着所述发光元件和所述受光驱动元件的排列方向延伸的轴设为第三轴时,所述第二基体的沿着所述第三轴的宽度比所述第一输出端子的沿着所述第三轴的宽度或所述第二输出端子的沿着所述第三轴的宽度还宽。

11. 根据权利要求1所述的半导体继电器,其特征在于:

沿着所述第一轴观察时,所述第一基体位于比所述第一输入端子及所述第二输出端子更靠近所述连接导体的一侧。

12. 根据权利要求4所述的半导体继电器,其特征在于:

沿着所述第一轴观察时,所述第一输入端子及所述第二输入端子各自的所述外部连接部位位于所述第一输出端子与所述第二输出端子之间。

13. 一种半导体继电器模块,其特征在于:

所述半导体继电器模块至少包括:

权利要求1所述的半导体继电器;以及

电路基板,第一~第四布线分别形成在该电路基板上,

所述第一布线与所述半导体继电器的所述第一输入端子相连接,所述第二布线与所述半导体继电器的所述第二输入端子相连接,

所述第三布线与所述半导体继电器的所述第一输出端子相连接,所述第四布线与所述半导体继电器的所述第二输出端子相连接。

14. 根据权利要求13所述的半导体继电器模块,其特征在于:

在所述第一布线的与所述第一输入端子连接的连接部位的附近,串联地电连接有具有规定电阻的电阻元件或具有规定阻抗的电感元件,以及/或者,

在所述第二布线的与所述第二输入端子连接的连接部位的附近,串联地电连接有具有规定电阻的电阻元件或具有规定阻抗的电感元件。

半导体继电器及包括该半导体继电器的半导体继电器模块

技术领域

[0001] 本公开涉及一种半导体继电器及包括该半导体继电器的半导体继电器模块。

背景技术

[0002] 迄今为止,作为交流信号的传输单元,已知有一种半导体继电器,该半导体继电器也被称为MOSFET输出光电耦合器或光MOSFET。

[0003] 就现有的半导体继电器而言,由于输入端子、输出端子以及与它们连接的导电部件的布置方式,在内部形成短截线,即信号的分支部分,由于在该短截线中产生共振,而存在共振频率附近的插入损耗(Insertion Loss)增加,可使用频带变窄的问题。

[0004] 为了解决该问题,例如在专利文献1中,提出了在供承载受光元件的导体框架的两侧分别布置有供承载MOSFET的导体框架的构成方案。通过如此布置各框架,能够缩短短截线的长度,防止可使用频带因短截线的影响而变窄。

[0005] 专利文献1:日本公开专利公报特开2011-082916号公报

发明内容

[0006] —发明要解决的技术问题—

[0007] 然而,在专利文献1所公开的现有构成中,由于信号的输入输出间的构造产生电容耦合和电感耦合,在向输出侧传输高频信号的情况下,信号有可能通过这些耦合而向输入侧泄漏。

[0008] 在现有构成中,与信号输入用发光元件连接的输入端子的物理长度变长,与此相应,输入侧的电长度变长。需要说明的是,电长度是以电磁波在信号的传输媒介中的传播速度为基准的长度,在真空中物理长度与电长度相同,然而在一般的传输媒介中,电长度比物理长度长。

[0009] 当输入侧的电长度变长时,会在半导体继电器中发生与此相应的共振现象,输出侧的高频特性有可能劣化。

[0010] 本公开正是为解决上述问题而完成的,其目的在于:提供一种半导体继电器以及包括该半导体继电器的半导体继电器模块,其能够抑制由于输入侧的构造所引起的输出信号劣化。

[0011] —用于解决技术问题的技术方案—

[0012] 为了达成上述目的,本公开所涉及的半导体继电器的特征在于:其至少包括:壳体,其具有上表面及相对于所述上表面沿着第一轴位于下方的下表面;第一输入端子和第二输入端子;第一输出端子和第二输出端子;发光元件,其与所述第一输入端子及所述第二输入端子电连接;受光驱动元件,其具有接收所述发光元件的输出光的第一面、相对于所述第一面沿着所述第一轴位于下方的第二面、以及第一电极;第一MOSFET,其具有与所述第一电极电连接的第一中间电极、与所述第一输出端子电连接的第一输出电极、以及第一栅极电极;第二MOSFET,其具有与所述第一电极电连接的第二中间电极、与所述第二输出端子电

连接的第二输出电极、以及第二栅极电极；第一基体，其具有供布置所述发光元件的第一主面；以及连接导体，其具有供布置所述受光驱动元件的第二主面，并且与所述第一电极相连接而成为相同电位，沿着所述第一轴观察时，所述连接导体的至少一部分布置在所述第一MOSFET与所述第二MOSFET之间，所述第一主面的法线与所述第二主面的法线交叉。

[0013] 本公开所涉及的半导体继电器模块的特征在于：其至少包括：所述半导体继电器；以及电路板，第一～第四布线分别形成在该电路板上，所述第一布线与所述半导体继电器的所述第一输入端子相连接，所述第二布线与所述半导体继电器的所述第二输入端子相连接，所述第三布线与所述半导体继电器的所述第一输出端子相连接，所述第四布线与所述半导体继电器的所述第二输出端子相连接。

[0014] —发明的效果—

[0015] 根据本公开，能够降低输入输出间的电容耦合、电感耦合，能够缩短输入侧的电长度。由此能够提高输出侧的高频特性。

附图说明

[0016] 图1是第一实施方式所涉及的半导体继电器的立体图；

[0017] 图2是沿着第二轴观察到的半导体继电器的图；

[0018] 图3是承载有发光元件的第一输入端子和第二输入端子的立体图；

[0019] 图4是沿着第一轴观察到的受光驱动元件、第一MOSFET以及第二MOSFET的图；

[0020] 图5是半导体继电器的等效电路图；

[0021] 图6是半导体继电器的立体图；

[0022] 图7是比较例所涉及的半导体继电器的立体图；

[0023] 图8示出半导体继电器的输出侧传输信号的插入损耗对频率依赖性之一例；

[0024] 图9是变形例1所涉及的半导体继电器的立体图；

[0025] 图10是沿着第一轴观察到的变形例2所涉及的半导体继电器的图；

[0026] 图11是沿着第一轴观察到的变形例3所涉及的受光驱动元件、第一MOSFET以及第二MOSFET的图；

[0027] 图12是第二实施方式所涉及的半导体继电器的立体图；

[0028] 图13是说明向输入侧插入电阻前后的共振现象的差的示意图；

[0029] 图14是第三实施方式所涉及的半导体继电器模块的立体图；

[0030] 图15是沿着第二轴观察到的半导体继电器模块的图；

[0031] 图16是沿着第三轴观察到的半导体继电器模块的图。

具体实施方式

[0032] 下面，基于附图对本公开的实施方式进行说明。需要说明的是，以下对于优选实施方式的说明在本质上仅为举例说明而已，并没有限制本公开、其应用对象或其用途的意图。

[0033] (第一实施方式)

[0034] (1: 半导体继电器的构成)

[0035] 图1是示出第一实施方式所涉及的半导体继电器的立体图，图2是示出沿着第二轴观察到的半导体继电器的图。图3是示出承载有发光元件的第一输入端子和第二输入端子

的立体图,图4是示出沿着第一轴观察到的受光驱动元件、第一MOSFET (Metal Oxide Semiconductor Field Effect Transistor,金属氧化物半导体型场效应晶体管)以及第二MOSFET的图。需要说明的是,为了便于说明,在图1、图2及之后所示的各附图中,用虚线示出壳体11及构成壳体11的遮光性树脂和透光性树脂各自的轮廓。

[0036] 需要说明的是,在以后的说明中,将第一输入端子6和第二输入端子7的排列方向称为X方向。将沿X方向延伸的假想轴称为第二轴。X方向(第二轴方向)也是第一输出端子8和第二输出端子9的排列方向。将第一输入端子6和第一输出端子8的排列方向称为Y方向。将沿Y方向延伸的假想轴称为第三轴。Y方向(第三轴方向)也是第二输入端子7和第二输出端子9的排列方向。Y方向也是发光元件2和受光驱动元件5的排列方向。

[0037] 将与X方向及Y方向分别交叉的方向称为Z方向。将沿Z方向延伸的假想轴称为第一轴。X方向、Y方向以及Z方向相互正交。需要说明的是,在本申请说明书中,“正交”指的是在包含构成半导体继电器1的各部件的加工公差、制造公差、以及部件间的组装公差的情况下的正交,并不是指比较对象之间在严格意义上的正交。

[0038] 在Z方向(第一轴方向)上,有时将布置有发光元件2的一侧称为上或上方,将布置有受光驱动元件5的一侧称为下或下方。需要说明的是,本申请说明书中的“上”、“下”这些称呼仅为相对性的术语,并不表示例如沿着铅垂方向的“上”、“下”。

[0039] 如图1所示,半导体继电器1具有发光元件2、受光驱动元件5、第一MOSFET3以及第二MOSFET4。半导体继电器1包括第一输入端子6、第二输入端子7、第一输出端子8、第二输出端子9、第二基体10以及壳体11。

[0040] [1-2:发光元件、受光驱动元件以及第二基体的构成]

[0041] 发光元件2为公知的LED(Light Emitting Diode,发光二极管)元件。如图1至图3所示,发光元件2的阴极电极(未图示)经由银胶等导电粘合剂(未图示)连接固定在第一基体7d上。第一基体7d与第二输入端子7相连接。

[0042] 发光元件2的阳极电极2a经由导线12与第三基体6d电连接。第三基体6d与第一输入端子6相连接。第一输入端子6及第二输入端子7、以及第一基体7d及第三基体6d的详情后述。

[0043] 受光驱动元件5具有受光元件51和控制电路52(均参照图5)。受光元件51接收来自发光元件2的输出光,例如是将公知的光电二极管布置成阵列状而构成的。如图1至图3所示,在受光驱动元件5的上表面(第一面)上形成有源极电极5a和漏极电极5b。漏极电极5b在上表面的相互分离的位置设置有两处。需要说明的是,在受光驱动元件5的上表面上,也形成有接收受光元件51的输出光的部位即受光部,但为了方便说明,省略了其图示。

[0044] 需要说明的是,源极电极5a相当于受光元件51的阴极电极51a(以下,有时称为第一电极5a或第一电极51a),漏极电极5b相当于受光元件51的阳极电极51b。

[0045] 受光驱动元件5的下表面(第二面)经由未图示的粘合剂连接固定在第二基体10上。第二基体10是沿着第一轴观察时呈四方形的导体。将第二基体10的承载受光驱动元件5的承载面称为第二主面10a。第二主面10a的法线与第一轴平行,即沿着Z方向延伸。然而,这并不意味着该法线与第一轴在严格意义上平行。

[0046] 第二基体10具有从在Y方向上相对的两个侧面中的位于与第一输入端子6或第二输入端子7相反侧的侧面突出、且从壳体11的侧面向外部露出的部位(以下称为第一外部露

出部位10b),第一外部露出部位10b在第二基体10的所述侧面中,在沿着第二轴相互分离的位置设置有两处。然而,第一外部露出部位10b的位置、个数并不特别限定于此。

[0047] 如图1至图3所示,受光驱动元件5的源极电极5a,换言之,受光元件51的阴极电极51a(第一电极51a)经由导线13与第二基体10电连接。亦即,受光元件51的阴极电极51a的电位与第二基体10的电位相同。受光驱动元件5的两个漏极电极5b、5b中的一个经由导线12与第一MOSFET3的第一栅极电极3b电连接,另一个经由导线12与第二MOSFET4的第二栅极电极4b电连接。

[0048] [1-3:第一MOSFET及第二MOSFET的构成]

[0049] 如图1、图2、图4所示,第一MOSFET3为公知的纵型MOSFET,在上表面形成有第一栅极电极3b和第一源极电极3a(以下,有时称为第一中间电极3a),在下表面形成有第一漏极电极(未图示)。第一MOSFET3的第一漏极电极(以下,有时称为第一输出电极)经由银胶等导电粘合剂(未图示)与第一输出端子8、具体而言与第四基体8a电连接。

[0050] 第一MOSFET3的第一源极电极3a经由导线12与第二基体10电连接。亦即,第一MOSFET3的第一源极电极3a经由第二基体10和导线12与受光驱动元件5的源极电极5a电连接。需要说明的是,在图1、图3所示的例子中,为了强化连接,第一MOSFET3的第一源极电极3a与第二基体10之间通过两根导线12、12连接。

[0051] 第二MOSFET4为公知的纵型MOSFET,在上表面形成有第二栅极电极4b与第二源极电极4a(以下,有时称为第二中间电极4a),在下表面形成有第二漏极电极(未图示)。第二MOSFET4的第二漏极电极(以下,有时称为第二输出电极)经由银胶等导电粘合剂(未图示)与第二输出端子9、具体而言与第五基体9a电连接。第一输出端子8及第二输出端子9的详情后述。

[0052] 第二MOSFET4的第二源极电极4a经由导线12与第二基体10电连接。亦即,第二MOSFET4的第二源极电极4a经由第二基体10及导线12与受光驱动元件5的源极电极5a电连接。需要说明的是,在图1、图3所示的例子中,为了强化连接,第二MOSFET4的第二源极电极4a与第二基体10之间通过两根导线12、12连接。

[0053] [1-4:第一输入端子及第二输入端子的构成]

[0054] 如图1、图3所示,第一输入端子6为具有第一立起部位6b和第一外部连接部位6a的导电部件。第一输入端子6与第三基体6d形成为一体。第三基体6d、第一立起部位6b以及第一外部连接部位6a例如是通过对一张铜板进行冲裁加工或弯曲加工而得到的。然而,第一输入端子6的制造方法并没有特别限定于此。需要说明的是,在铜板的表面镀有其他金属膜,例如含镍的金属膜(未图示)。需要说明的是,金属膜的材质并没有特别限定于此。

[0055] 第三基体6d位于壳体11的内部,是沿着第三轴观察时呈四方形的板状导体。和发光元件2的阳极电极2a连接的导线12与第三基体6d相连接。进而,在第三基体6d的在X方向上相对的两个侧面中的、位于与第二输入端子7相反侧的侧面上,连接有第一立起部位6b。第三基体6d的与导线12连接的连接面的法线与第三轴平行,即沿着Y方向延伸。然而,这并不意味着该法线与第三轴在严格意义上平行。

[0056] 第一立起部位6b的一端与第一外部连接部位6a相连接,从第一外部连接部位6a沿着第一轴延伸,第一立起部位6b的另一端与第三基体6d相连接。第一立起部位6b以相对于壳体11的下表面正交的方式沿着第一轴延伸地设置。在第一立起部位6b中,有时将法线与

第三轴平行的面称为主面6b1、6b2。第一立起部位6b是厚度方向沿着第三轴延伸的板状部位。因此,第一立起部位6b的主面6b1、6b2有两个,一个主面6b1位于靠近第二基体10的位置,另一个主面6b2位于靠近壳体11的侧面的位置。

[0057] 第一立起部位6b的主面6b1、6b2的法线沿着第三轴延伸。

[0058] 沿着第三轴观察时,第一立起部位6b形成有环状部6b3。在第一立起部位6b的中途,设置有沿着第二轴突出并从壳体11的侧面向外部露出的部位(以下称为第四外部露出部位6c)。

[0059] 第一外部连接部位6a形成为:从第一立起部位6b的一端向下方延伸,在壳体11的下表面附近弯曲而沿Y方向延伸,且从壳体11的侧面及下表面露出。

[0060] 第二输入端子7是具有第二立起部位7b和第二外部连接部位7a的导电部件。第二输入端子7与第一基体7d形成为一体。第一基体7d及第二输入端子7的材质、制造方法与第三基体6d及第一输入端子6相同,因此省略说明。第一基体7d、第二立起部位7b以及第二外部连接部位7a各自的形状、相互的连接关系与第三基体6d、第一立起部位6b以及第一外部连接部位6a相同,因此省略详细的说明。第二立起部位7b具有一对主面7b1、7b2的情况也与第一立起部位6b相同。

[0061] 需要说明的是,在第二立起部位7b的中途,设置有沿着第一轴突出并从壳体11的侧面向外部露出的部位(以下称为第五外部露出部位7c),第五外部露出部位7c布置在与第四外部露出部位6c在X方向上相对的位置。需要说明的是,在之后的说明中,有时将第一立起部位6b和第二立起部位7b总称为立起部位。有时将第一外部连接部位6a与第二外部连接部位7a总称为外部连接部位。

[0062] 第一基体7d位于壳体11的内部,是沿着第三轴观察时呈四方形的板状导体。将第一基体7d的承载发光元件2的承载面称为第一主面7d1。第一主面7d1的法线与第三轴平行,即沿着Y方向延伸。然而,这并不意味着该法线与第三轴在严格意义上平行。

[0063] 第一基体7d在第一主面7d1上连接固定有发光元件2。而且,在第一基体7d的在X方向上相对的两个侧面中的、位于与第一输入端子6相反侧的侧面上连接有第二立起部位7b。第一基体7d的第一主面7d1的法线与第三轴平行,即沿着Y方向延伸。然而,这并不意味着该法线与第三轴在严格意义上平行。

[0064] [1-5:第一输出端子及第二输出端子的构成]

[0065] 如图1、图3、图4所示,第一输出端子8包括沿着第一轴观察时呈四方形的板状导体即第四基体8a。第四基体8a的下表面从壳体11的下表面露出,并成为与后述的电路板40(参照图14至图16)连接的连接端子。

[0066] 第四基体8a具有从在X方向上相对的两个侧面中的位于与第二MOSFET4或受光驱动元件5相反侧的侧面突出、且从壳体11的侧面向外部露出的部位(以下称为第二外部露出部位8b),需要说明的是,第二外部露出部位8b的个数并没有特别限定于图1、图3所示的个数。

[0067] 第二输出端子9包括沿着第一轴观察时呈四方形的板状导体即第五基体9a。第五基体9a的下表面从壳体11的下表面露出,并成为与后述的电路板40(参照图14至图16)连接的连接端子。

[0068] 第五基体9a具有从在X方向上相对的两个侧面中的位于与第一MOSFET3或受光驱

动元件5相反侧的侧面突出、且从壳体11的侧面向外部露出的部位(以下称为第三外部露出部位9b),需要说明的是,第三外部露出部位9b的个数并没有特别限定于图1、图3所示的个数。

[0069] [1-6:壳体的构成]

[0070] 如图1、图2所示,壳体11具有上表面、下表面以及四个侧面。下表面相对于上表面沿着第一轴位于下方。四个侧面分别与上表面及下表面相连,并且与第一轴平行。在X方向上相对的两个侧面的法线与第二轴交叉,在Y方向上相对的两个侧面的法线与第三轴交叉。

[0071] 壳体11具有遮光部11a和透光部11b。遮光部11a例如由含有黑色素的绝缘性环氧树脂形成。然而,并不特别限定于此,只要是遮蔽光的绝缘材料即可。透光部11b设置在受光驱动元件5与发光元件2之间,被遮光部11a封装起来。具体而言,透光部11b设置为:覆盖发光元件2和第一基体7d的第一主面7d1,并沿着第三轴延伸,进而向下方弯曲,覆盖受光驱动元件5的上表面。

[0072] 透光部11b例如由绝缘性透明硅树脂形成。然而,并不特别限定于此,只要是至少对发光元件2发出的光透明的绝缘材料即可。透光部11b构成使受光驱动元件5的受光元件51(参照图5)与发光元件2光学耦合的光耦合部。

[0073] 壳体11将第一输入端子6、第二输入端子7、第一~第三基体7d、10、6d、第一输出端子8以及第二输出端子9封装起来,并对各自的位置进行固定。置于第一基体7d上的发光元件2、置于第四基体8a上的第一MOSFET3、置于第五基体9a上的第二MOSFET4、以及置于第二基体10上的受光驱动元件5各自的位置由壳体11固定。

[0074] 第一输入端子6及第二输入端子7与第一输出端子8及第二输出端子9通过壳体11相互电绝缘。发光元件2、受光驱动元件5、第一MOSFET3以及第二MOSFET4通过壳体11相互电绝缘。亦即,本申请说明书所示的半导体继电器1是在已将输入信号与输出信号电绝缘的状态下进行输出信号的接通/切断的输入输出绝缘型半导体继电器1。

[0075] [1-7:第一~第五基体间的关系]

[0076] 如上所述,第一基体7d的第一主面7d1的法线沿着第三轴延伸。另一方面,第二基体10的第二主面10a的法线沿着第一轴延伸。亦即,第一基体7d的第一主面7d1的法线与第二基体10的第二主面10a的法线正交。需要说明的是,这两条法线也可以不必正交。交叉角度也可以在规定的范围内从90度产生偏离。沿着第一轴观察时,第一基体7d与第二基体10在Y方向上隔开间距布置。第一基体7d沿着第一轴位于第二基体10的上方。

[0077] 沿着第一轴观察时,第三基体6d与第一基体7d并列着布置。亦即,在X方向上相互隔开间距,且第三基体6d和第一基体7d布置在沿着第一轴观察时离开第二基体10的位置处。具体而言,第三基体6d和第一基体7d相对于第二基体10离开相同距离地对称布置。

[0078] 第二基体10经由导线13与受光驱动元件5的源极电极5a电连接。亦即,第二基体10与受光驱动元件5的源极电极5a以成为相同电位的方式相连接。在之后的说明中,有时将第二基体10和连接受光驱动元件5的源极电极5a(受光元件51的阴极电极51a)与第二基体10的导线13统称为连接导体14。

[0079] 第二基体10经由导线12与第一MOSFET3的第一源极电极3a(第一中间电极3a)电连接。第二基体10还经由导线12与第二MOSFET4的第二源极电极4a(第二中间电极4a)电连接。亦即,受光驱动元件5的源极电极5a与第一MOSFET3及第二MOSFET4各自的源极电极3a、4a以

成为相同电位的方式相连接。

[0080] 沿着第一轴观察时,第二基体10布置在第四基体8a与第五基体9a之间,分别与第四基体8a和第五基体9a隔开间距。换言之,沿着第一轴观察时,第二基体10布置在第一MOSFET3与第二MOSFET4之间。进一步而言,沿着第一轴观察时,第二基体10布置在第一MOSFET3的第一源极电极3a与第二MOSFET4的第二源极电极4a之间。需要说明的是,在图1、图2所示的例子中,以壳体11的下表面为基准且沿着第一轴,第二基体10位于比第四基体8a及第五基体9a更靠上方的位置。亦即,第二基体10的下表面被壳体11的遮光部11a覆盖。

[0081] [2:半导体继电器的工作情况]

[0082] 图5示出了半导体继电器的等效电路图。

[0083] 当输入信号被输入到第一输入端子6与第二输入端子7之间时,发光元件2输出规定波长的光。发光元件2所产生的光在透光部11b的内部传播,并由受光元件51接收。

[0084] 在受光元件51中,通过光电转换产生电流,控制电路52根据该电流工作。经由导线12,与发光元件2的光量相应的电压信号即驱动信号被分别施加到第一MOSFET3的第一栅极电极3b及第二MOSFET4的第二栅极电极4b。

[0085] 当驱动信号的电压超过第一MOSFET3及第二MOSFET4各自的阈值电压(threshold voltage)时,第一MOSFET3的源极(S) — 漏极(D)间及第二MOSFET4的源极(S) — 漏极(D)间分别成为接通(ON)状态。进而,经由第一MOSFET3与第二MOSFET4,第一输出端子8与第二输出端子9之间成为导通状态。由此,能够在第一输出端子8与第二输出端子9之间双向地传输高频信号。

[0086] 当在第一输入端子6与第二输入端子7之间没有输入信号输入时,发光元件2也停止发光。与此相应,在受光元件51中不再产生电流,控制电路52停止。

[0087] 其结果是,分别施加到第一MOSFET3的第一栅极电极3b及第二MOSFET4的第二栅极电极4b上的驱动信号的电压降低。当驱动信号的电压低于所述阈值电压时,第一MOSFET3的源极(S) — 漏极(D)间及第二MOSFET4的源极(S) — 漏极(D)间分别成为断开(OFF)状态。进而,第一输出端子8与第二输出端子9之间成为非导通状态。由此,在第一输出端子8与第二输出端子9之间,信号的传输中断。

[0088] [3:效果等]

[0089] 如上所述,本实施方式所涉及的半导体继电器1至少包括壳体11、第一输入端子6、第二输入端子7、第一输出端子8以及第二输出端子9。半导体继电器1还包括发光元件2、受光驱动元件5、第一MOSFET3以及第二MOSFET4。

[0090] 壳体11具有上表面和相对于上表面沿着第一轴位于下方的下表面。

[0091] 发光元件2与第一输入端子6及第二输入端子7电连接。

[0092] 受光驱动元件5具有形成在受光驱动元件5的上表面(第一面)上用于接收发光元件2的输出光的部位即受光部、及设置于受光部附近的源极电极5a(第一电极5a)。受光驱动元件5具有漏极电极5b。

[0093] 第一MOSFET3具有与受光驱动元件5的源极电极5a电连接的第一源极电极3a(第一中间电极3a)、与第一输出端子8电连接的第一漏极电极(第一输出电极)、以及第一栅极电极3b。

[0094] 第二MOSFET4具有与受光驱动元件5的源极电极5a电连接的第二源极电极4a(第二

中间电极4a)、与第二输出端子9电连接的第二漏极电极(第二输出电极)、以及第二栅极电极4b。

[0095] 半导体继电器1具有第一基体7d和连接导体14。第一基体7d具有第一主面7d1,发光元件2布置在第一主面7d1上。第一基体7d与第二输入端子7相连接。连接导体14包括第二基体10。第二基体10具有第二主面10a,受光元件51布置在第二主面10a上,第二基体10与受光驱动元件5的源极电极5a电连接,使得第二基体10的电位与源极电极5a的电位相同。

[0096] 沿着第一轴观察时,连接导体14的一部分即第二基体10布置在第一MOSFET3与第二MOSFET4之间。进一步而言,沿着第一轴观察时,第二基体10布置在第一MOSFET3的第一源极电极3a与第二MOSFET4的第二源极电极4a之间。从另一个角度来看,沿着第一轴观察时,第二基体10布置在承载第一MOSFET3的第四基体8a与承载第二MOSFET4的第五基体9a之间。需要说明的是,当然沿着第一轴观察时连接受光驱动元件5的源极电极5a与第二基体10的导线13也可以布置在第四基体8a与第五基体9a之间。

[0097] 第一基体7d的第一主面7d1的法线与第二基体10的第二主面10a的法线交叉。

[0098] 通过如此构成半导体继电器1,能够降低输入输出间的电容耦合或电感耦合,此外,能够缩短输入侧的电长度。由此,能够抑制输出侧的高频特性劣化。对此进一步进行说明。

[0099] 图6为表示本实施方式所涉及的半导体继电器的立体图,图7为表示比较例所涉及的半导体继电器的立体图。需要说明的是,在图6及图7中,图示了通往发光元件2的导电路径及寄生电容、寄生互感(parasitic mutual inductance)。为了方便起见,将图6及图7所示的寄生电容C1、C2、寄生互感M1、M2表示为集中常数。本实施方式所涉及的半导体继电器的等效电路图也可以作为存在于第一输入端子6与第一输出端子8之间、第一输入端子6与第二基体10之间等的分布常数进行图示。

[0100] 图7所示的半导体继电器20为构成与专利文献1所公开的构成相同的比较例,在以下方面与图1所示的本实施方式的半导体继电器1不同。

[0101] 首先,在输入侧,第一基体7d形成为从第一输入端子6的上端沿着第二轴延伸。第三基体6d形成为从第二输入端子7的上端沿着第二轴延伸。沿着第一轴观察时,第一基体7d与第三基体6d延伸设置到受光驱动元件5的上方。在第三基体6d的下表面连接固定有发光元件2。需要说明的是,发光元件2的阳极电极(未图示)与第一基体7d经由导线12相连接。

[0102] 通过具有这些构成,在图7所示的半导体继电器20中,受光元件51沿着第一轴布置在发光元件2的正下方。来自发光元件2的输出光向下方行进,直接入射到受光元件51。

[0103] 根据该构成方式,如上所述,能够缩短短截线的长度,能够防止可使用频带由于短截线的影响而变窄。另一方面,由于第一基体7d、第三基体6d以延伸到受光驱动元件5的上方的方式设置,所以输入侧的导电路径、即从第一输入端子6经由发光元件2与导线12到达第二输入端子7的输入信号的传输路径变长。换言之,输入侧的电长度变长。与此相应,由于第一输入端子6与第二基体10及受光驱动元件5之间的电感耦合引起的寄生互感M2变大。需要说明的是,虽然在图7中未图示,但出于同样的理由,由于第二输入端子7与第二基体10及受光驱动元件5之间的电感耦合引起的寄生互感也会变大。

[0104] 另外,沿第一轴观察时,承载有发光元件2的第三基体6d与承载有受光驱动元件5的第二基体10相对而重叠的面积变大。与此相应,由于第一基体7d与第二基体10及受光驱

动元件5之间的电容耦合引起的寄生电容C2变大。

[0105] 若如此在输入输出间寄生互感M2、寄生电容C2变大,则在第一输出端子8与第二输出端子9之间传输高频信号的情况下,输出侧的高频信号有可能通过寄生互感M2或寄生电容C2泄漏到输入侧。

[0106] 在输入侧,若电长度变长,则共振频率降低,有时会产生共振现象。在该情况下,输出侧的信号传输特性,换言之,输出侧的高频特性有可能劣化。

[0107] 另一方面,根据本实施方式,如图1、图2、图6所示,与以沿着第一轴延伸的方式设置的第二立起部位7b连续地设置有第一基体7d。第一基体7d的第一主面7d1与第二立起部位7b的一个主面7b1相连。亦即,第一基体7d的第一主面7d1的法线沿着第三轴延伸。另一方面,第二基体10的第二主面10a的法线沿着第一轴延伸,两条法线相互交叉。亦即,第一基体7d的第一主面7d1和第二基体10的第二主面10a不沿着第一轴相对。由此,能够使由于第一基体7d与第二基体10及受光驱动元件5之间的电容耦合引起的寄生电容C1比所述的寄生电容C2大幅度地降低。

[0108] 由于能够减小第一基体7d、第三基体6d的尺寸,因此能够使输入侧的电长度比图7所示的半导体继电器20短。由此,能够使由于第一输入端子6与第二基体10及受光驱动元件5之间的电感耦合引起的寄生互感M1比所述寄生互感M2降低。基于同样的理由,由于第二输入端子7与第二基体10及受光驱动元件5之间的电感耦合引起的寄生互感也能够比图7所示的半导体继电器20降低。由此,能够抑制输出侧的高频信号泄漏到输入侧,能够抑制输出侧的高频特性劣化。

[0109] 在输入侧,若电长度变长,则共振频率降低,有时会产生共振现象。在该情况下,输出侧的信号传输特性,换言之,输出侧的高频特性可能劣化。

[0110] 另一方面,根据本实施方式,与图7所示的半导体继电器20相比,输入侧的电长度也能够降低。由此,能够提高输入侧的共振频率。

[0111] 图8表示半导体继电器的输出侧传输信号的插入损耗对频率依赖性之一例。

[0112] 如图8所示,在已使本实施方式的半导体继电器1工作的情况下,与图7所示的比较例的半导体继电器20相比,插入损耗开始增加的频率向高频侧移动。亦即,可知抑制了半导体继电器1的输出侧的高频特性劣化。

[0113] 根据本实施方式,沿着第一轴观察时,连接导体14的至少一部分布置在第一MOSFET3与第二MOSFET4之间。这样一来,能够抑制在从第一输出端子8经由第一MOSFET3、第二基体10以及第二MOSFET4到达第二输出端子9的路径中形成短截线。由此,能够防止由半导体继电器1传输的输出信号的频带变窄。

[0114] 沿着第一轴观察时,发光元件2与受光元件51相互分离地布置,这样一来,通过透光部11b,能够使来自发光元件2的输出光可靠地入射到受光元件51。

[0115] 需要说明的是,优选第一基体7d的第一主面7d1的法线与第二基体10的第二主面10a的法线正交。这样一来,与比较例相比,尤其能够减小第一基体7d与第二基体10及受光驱动元件5之间的电容耦合。

[0116] 第一输入端子6和第二输入端子7分别具有外部连接部位和立起部位。外部连接部位以沿着壳体11的下表面延伸的方式设置,且顶端露出在壳体11的外部。立起部位形成为:与外部连接部位的基端相连,并与壳体11的下表面交叉,且在立起部位的主面的法线沿着

第三轴的状态下向壳体11的内部延伸。通过设置成使立起部位的主面的法线沿着第三轴延伸,能够缩短外部连接部位与第一基体7d之间的物理导电路径。亦即,能够缩短输入侧的电长度。

[0117] 通过将外部电连接的外部连接部位设置成沿着壳体11的下表面延伸,从而能够将半导体继电器1相对于例如布线进行表面安装,该布线设置于电路基板40(参照图14至图16)的上表面。通过与外部连接部位连续地以与壳体11的下表面交叉的方式设置立起部位,而能够将发光元件2布置在靠近壳体11的上表面的一侧。由此,能够确保位于靠近壳体11的下表面侧的受光元件51与发光元件2之间的距离。通过透光部11b,能够将来自发光元件2的输出光导向受光元件51。

[0118] 外部连接部位的长度方向与立起部位的长度方向交叉,且外部连接部位与立起部位的连结部位位于壳体11的内部。由此,第一输入端子6和第二输入端子7被壳体11的遮光部11a可靠地保持住。

[0119] 立起部位优选具有向壳体11的外部露出的部位。具体而言,优选的是,第一立起部位6b在其中途具有第四外部露出部位6c,第二立起部位7b在其中途具有第五外部露出部位7c。

[0120] 通常情况下,第一输入端子6、第三基体6d、第二输入端子7以及第一基体7d是对一张金属板材进行加工而得到的。另一方面,在制造多个半导体继电器1时,若在将第一输入端子6、第二输入端子7单片化之后再组装发光元件2,则效率较差。

[0121] 因此,首先,对金属板材进行加工,以第一输入端子6、第三基体6d、第二输入端子7以及第一基体7d各部件为一组,形成多组连结在一起的输入端子原型。在该状态下,发光元件2连接固定在各个第一基体7d上,进而发光元件2的阳极电极2a与第三基体6d用导线12连接在一起。在发光元件2与受光驱动元件5之间形成有光透过性树脂的透光部11b。

[0122] 在输出侧也进行相同的工序。亦即,对金属板材进行加工,以第一输出端子8、第二基体10以及第二输入端子7各部件为一组,形成多组连结在一起的输出端子原型。在该状态下,第二基体10、第四基体8a以及第五基体9a上分别连接固定有受光驱动元件5、第一MOSFET3、第二MOSFET4。进而,用导线12、13连接各部。

[0123] 在它们形成后,将输入端子原型与输出端子原型对位布置,进而通过树脂注入将各元件封装起来,形成壳体11。在形成壳体11之后,切断与金属框架的连结部分,将多个半导体继电器1分别单片化。

[0124] 第四外部露出部位6c相当于第一输入端子6与金属框架的连结部分,第五外部露出部位7c相当于第二输入端子7与金属框架的连结部分。通过以残留下第四外部露出部位6c、第五外部露出部位7c的方式形成有第一输入端子6、第二输入端子7,从而能够简便地进行半导体继电器1的组装。能够简便地制造大量的半导体继电器1。

[0125] 基于同样的理由,连接导体14,具体而言,第二基体10优选具有第一外部露出部位10b作为向壳体11的外部露出的部位。还优选的是,第四基体8a具有第二外部露出部位8b作为向壳体11的外部露出的部位,第五基体9a具有第三外部露出部位9b作为向壳体11的外部露出的部位。

[0126] 优选的是,连接导体14包括供承载受光元件51的第二基体10,第二基体10布置在供承载第一MOSFET3的第四基体8a与供承载第二MOSFET4的第五基体9a之间。更优选的是,

第二基体10布置在第一MOSFET3的第一源极电极3a与第二MOSFET4的第二源极电极4a之间。

[0127] 这样一来,能够将第一输出端子8经由第一MOSFET3、第二基体10以及第二MOSFET4到达第二输出端子9的路径沿着第二轴设置成直线状,从而能够可靠地抑制短截线的形成。由此,能够可靠地防止由半导体继电器1传输的输出信号的频带变窄。

[0128] 需要说明的是,沿着第二轴观察时,第一立起部位6b在中途形成有环状部6b3,第二立起部位7b在中途形成有环状部7b3。如图3所示,环状部6b3具有贯穿第一立起部位6b的通孔。环状部7b3具有贯穿第二立起部位7b的通孔。这样一来,能够降低自感(self inductance)或由于电感耦合引起的寄生互感。能够降低与第二基体10或受光驱动元件5之间的电容耦合。与使第一立起部位6b及第二立起部位7b的宽度分别较细的情况相比,能够确保第一输入端子6、第二输入端子7的机械强度。

[0129] <变形例1>

[0130] 图9为表示变形例1所涉及的半导体继电器的立体图。需要说明的是,为了方便说明,在图9及以后所示的各附图中,对与第一实施方式相同的部位标注相同的符号并省略详细的说明。

[0131] 图9所示的本变形例的半导体继电器30在以下所示的方面与图1所示的第一实施方式的半导体继电器1不同。

[0132] 首先,沿着第一轴观察时,第一输入端子6及第二输入端子7各自的外部连接部位即第一外部连接部位6a和第二外部连接部位7a都位于第一输出端子8与第二输出端子9之间。沿着第二轴观察时,第一立起部位6b及第二立起部位7b分别呈L字形,而非环状。

[0133] 如本变形例所示,也可以改变第一输入端子6、第二输入端子7的布置或形状。这样一来,能够使从第一输入端子6到发光元件2的导电路径、以及从发光元件2到第二输入端子7的导电路径分别比第一实施方式所示的半导体继电器1中的该导电路径短。亦即,能够使输入侧的电长度比第一实施方式所示的半导体继电器1短。

[0134] 由此,能够提高输入侧的共振频率,能够抑制共振现象发生。进而,能够抑制输出侧的高频特性劣化。

[0135] 需要说明的是,由于能够使第一立起部位6b、第二立起部位7b的长度比第一实施方式所示的长度短,因此不一定需要为了降低电感耦合、电容耦合,将它们的形状形成为第一实施方式所示的环状。

[0136] <变形例2>

[0137] 图10为沿着第一轴观察到的变形例2所涉及的半导体继电器的图,图10所示的本变形例的半导体继电器31在以下所示的方面与图1所示的第一实施方式的半导体继电器1不同。

[0138] 亦即,在第二输入端子7中,第二立起部位7b的前端沿着第三轴弯曲。与第一实施方式所示的情况相比,第一输入端子6及第二输入端子7位于沿着第三轴朝着与输出侧相反的一侧产生了偏移的位置处。换言之,沿着第一轴观察时,第一基体7d位于比第一输入端子6及第二输入端子7的一部分更靠近连接导体14的一部分即第二基体10一侧。

[0139] 由此,能够与第一实施方式的光耦合效率同样地确保发光元件2与受光元件51之间的光耦合效率,并且与第一实施方式相比能够减小寄生电容分量,能够提高高频特性。因此,根据来自发光元件2的输出光,能够在第一输出端子8与第二输出端子9之间可靠地使高

频信号通过及阻挡高频信号。

[0140] <变形例3>

[0141] 图11为沿着第一轴观察到的变形例3所涉及的受光驱动元件、第一MOSFET以及第二MOSFET的图。

[0142] 图11所示的第二基体10与图3所示的第一实施方式的第二基体10的不同点在于,该第二基体10沿着第三轴的宽度W2比第一输出端子8及第二输出端子9的沿着第三轴的宽度W1宽。

[0143] 通过如此规定第二基体10的宽度W2,能够抑制由于第二基体10的位于比壳体11的底面高的位置处的部位所引起的传输线路的特性阻抗增加,能够降低插入损耗。

[0144] (第二实施方式)

[0145] 图12为示出第二实施方式所涉及的半导体继电器的立体图。

[0146] 图12所示的本实施方式的半导体继电器32与图1所示的第一实施方式的半导体继电器1的不同点在于,在第一输入端子6的中间部分及第二输入端子7的中间部分分别插入有作为电阻元件的电子部件即芯片电阻器15。

[0147] 具体而言,第一输入端子6的第一立起部位6b在中途断开,芯片电阻器15以将断开的部分彼此连接起来的方式与第一立起部位6b串联。同样地,第二输入端子7的第二立起部位7b在中途断开,芯片电阻器15以将断开的部分彼此连接起来的方式与第二立起部位7b串联。发光元件2的阳极电极2a经由导线12与第一立起部位6b电连接。设置有第六外部露出部位6e,该第六外部露出部位6e从经由导线12与发光元件2连接的第一立起部位6b沿着第二轴呈直线状延伸,并到达壳体11的侧面。设置有第七外部露出部位7e,该第七外部露出部位7e从第一基体7d沿着第二轴向与第六外部露出部位6e相反的一侧呈直线状延伸,并到达壳体11的侧面。将第一~第七外部露出部位10b、8b、9b、6c、7c、6e、7e统称为外部露出部位。

[0148] 需要说明的是,由于是芯片电阻器15与第一立起部位6b及第二立起部位7b分别串联起来,因此第一立起部位6b及第二立起部位7b分别不是环状。省略了与第一输入端子6连接的第三基体6d。这是为了防止半导体继电器32的沿着第二轴的尺寸由于插入芯片电阻器15而变大。在能够允许该尺寸变大的范围内,也可以设置第三基体6d。

[0149] 根据本实施方式,与第一实施方式所示的构成相比,能够可靠地缩短输入侧的电长度。由此,能够提高输入侧的共振频率,能够抑制共振现象发生。进而,能够抑制输出侧的高频特性劣化。用图13作进一步说明。

[0150] 图13是说明向输入侧插入电阻前后的共振现象的差的示意图。

[0151] 在高频信号被输入到第一输入端子6与第二输入端子7之间的情况下,如图13的左侧所示,当输入侧的电长度成为规定值时,产生驻波,有时会引起共振现象。因此,为了提高输入侧的共振频率,需要缩短驻波的波长。

[0152] 因此,如本实施方式所示,在输入侧的导电路径的中途,以串联地电连接的方式插入电阻值比该导电路径的电阻值高的电阻元件。这样一来,驻波的振动在插入了电阻元件的位置大幅衰减。亦即,电阻元件的插入位置成为驻波的节点。其结果是,如图13的右侧所示,能够缩短驻波的波长,提高输入侧的共振频率。其结果是,能够抑制共振现象发生及输出侧的高频特性劣化。

[0153] 需要说明的是,如图13的右侧所示,为了缩短驻波的波长,将电阻元件插入位于驻

波的原节点与节点之间的中间点处是有效的。亦即,若在插入电阻元件之前的半导体继电器1中发生共振现象,则优选的是,不是在第一输入端子6、第二输入端子7各自的端部附近串联地插入电阻元件,而是在第一输入端子6、第二输入端子7各自的物理中间部分串联地插入电阻元件。

[0154] 不需要如图12所示的那样在第一输入端子6与第二输入端子7中都插入作为电阻元件的芯片电阻器15。只要芯片电阻器15串联在连接第一输入端子6与发光元件2的导电路径以及连接第二输入端子7与发光元件2的导电路径的至少一者中即可。

[0155] 需要说明的是,芯片电阻器15的电阻值优选高于所述导电路径的电阻值,但具体的值可以根据输入信号的频率或导电路径的电阻值等进行适当的变更。

[0156] 为了缩短输入侧的电长度,也可以采用插入电阻元件以外的方法。例如,通过将电阻器15变更为芯片电感器以作为在高频区域中能够得到阻抗高于所述导电路径的阻抗的电感元件,也能够缩短输入侧的电长度。在该情况下,也能够抑制共振现象发生及输出侧的高频特性劣化。

[0157] (第三实施方式)

[0158] 图14是示出第三实施方式所涉及的半导体继电器模块的立体图,图15是示出沿着第二轴观察到的半导体继电器模块的图,图16是示出沿着第三轴观察到的半导体继电器模块的图。

[0159] 如图14至图16所示,半导体继电器模块100至少包括半导体继电器1和电路板40。就半导体继电器1而言,由于其结构与第一实施方式所示的结构相同,所以省略对其进行详细的说明。

[0160] 电路板40是第一~第四布线41~44分别形成在由具有规定的相对介电常数的介电材料制成的介电基板40a上而得到的、所谓的印刷电路板(Printed Wiring Board)。

[0161] 第一~第四布线41~44是通过在介电基板40a的上表面上实施镀铜等而形成的。在第一~第四布线41~44各自的一端连接有导电过孔45。导电过孔45是在沿着厚度方向贯穿介电基板40a的通孔的内表面上通过镀铜等埋入导体而得到的。需要说明的是,为了简化半导体继电器模块100的制造工序,优选在形成第一~第四布线41~44时同时形成该导体。

[0162] 半导体继电器1的第一输出端子8连接到第三布线43的与连接有导电过孔45的一端相反一侧的端部(以下称为另一端),半导体继电器1的第二输出端子9连接到第四布线44的与连接有导电过孔45的一端相反一侧的端部(以下称为另一端)。在连接时,使用银胶或膏状焊料等导电粘合剂。

[0163] 在第一布线41的另一端连接有半导体继电器1的第一输入端子6。在第二布线42的另一端连接有半导体继电器1的第二输入端子7。连接时,使用银胶或膏状焊料等导电粘合剂。

[0164] 另一方面,第一布线41和第二布线42分别在另一端附近断开。在第一布线41和第二布线42中,分别以将断开的部分彼此连接起来的方式串联有作为电阻元件的芯片电阻器16。

[0165] 输入信号从与第一布线41连接的导电过孔45向第一布线41传输。输入信号从与第二布线42连接的导电过孔45向第二布线42传输。输入信号进一步被传输给半导体继电器1的第一输入端子6及第二输入端子7。在输入了规定以上的振幅的输入信号的期间,高频信

号经由半导体继电器1在连接有第一输出端子8的第三布线43与连接有第二输出端子9的第四布线44之间传输。高频信号进一步在与第三布线43连接的导电过孔45和与第四布线44连接的导电过孔45之间传输。当输入信号的振幅成为规定以下的振幅时,高频信号在第三布线43与第四布线44之间,进而在连接于第三布线43的导电过孔45与连接于第四布线44的导电过孔45之间的传输被中断。

[0166] 根据本实施方式,就半导体继电器1而言,能够降低输入输出间的电容耦合、电感耦合,还能够缩短输入侧的电长度。由此,能够抑制在第三布线43与第四布线44之间传输的输出信号的高频特性劣化。

[0167] 就本实施方式的半导体继电器模块100而言,在第一布线41和与第二输入端子7连接的第二布线42的各条布线中,在第一输入端子6和第二输入端子7的附近分别串联有芯片电阻器16。进一步而言,在第一布线41的与第一输入端子6连接的连接部位附近,作为具有规定电阻值的电阻元件,以串联地电连接的方式插入有芯片电阻器16。在第二布线42的与第二输入端子7连接的连接部位附近,作为具有规定电阻值的电阻元件,以串联地电连接的方式插入有芯片电阻器16。

[0168] 这样一来,在第二实施方式中,如用图13说明的那样,能够缩短驻波的波长,能够提高输入侧的共振频率。其结果是,能够抑制共振现象发生及输出侧的高频特性劣化。

[0169] 需要说明的是,也可以不连接与第一布线41连接的电阻元件和与第二布线42连接的电阻元件中的任一个电阻元件。在将半导体继电器1及半导体继电器模块100设计成输入侧的共振频率高于规定以上的情况下,作为电阻元件而连接芯片电阻器16并非是必需的,也可以不连接芯片电阻器16。在该情况下,第一布线41、第二布线42并不是断开的,而是从导电过孔45连续设置到第一输入端子6、第二输入端子7。此外,能够使用芯片电感器代替电阻器15。

[0170] 需要说明的是,在图14至图16中,示出了在电路基板40上仅安装有半导体继电器1的半导体继电器模块100,但也可以在电路基板40上安装其他元件。也并非一定要设置贯穿电路基板40的导电过孔45。也可以构成为:在电路基板40的上表面设置有多个与外部连接用的连接用焊盘电极(未图示),多个焊盘电极分别与第一~第四布线41~44连接。

[0171] (其他实施方式)

[0172] 也可以将第一~第三实施方式及变形例1~3所示的各构成要素适当地组合起来,作为新的实施方式。例如,在第三实施方式所示的半导体继电器模块100中,也可以将半导体继电器1的构成设为第二实施方式或变形例1~3所示的构成。

[0173] 在本申请说明书中,就第一输出端子8及第二输出端子9而言,将第四基体8a及第五基体9a各自的从壳体11露出的背面作为外部、例如图14至图16所示的与第三布线43或第四布线44连接的连接部位,但并不特别限定于此。半导体继电器1只要是表面安装型继电器即可,例如,也可以如第一输入端子6或第二输入端子7那样,在第一输出端子8及第二输出端子9上分别设置沿着壳体11的下表面且从壳体11的侧面向外部露出并突出的外部连接部位。

[0174] 第一输入端子6的第一外部连接部位6a、第二输入端子7的第二外部连接部位7a也可以不从壳体11的侧面向外部突出。亦即,外部连接部位只要至少从壳体11的下表面露出即可。这样一来,能够实现表面安装型半导体继电器1。

[0175] 也可以将控制电路52形成在与受光元件51不同的半导体芯片上。在该情况下,控制电路52优选被壳体11的遮光部11a封装起来。

[0176] —产业实用性—

[0177] 本公开的半导体继电器能够抑制输出侧的高频特性劣化,其作为高频信号的传输用继电器是有用的。

[0178] —符号说明—

[0179] 1 半导体继电器

[0180] 2 发光元件

[0181] 2a 阳极电极

[0182] 3 第一MOSFET

[0183] 3a 第一源极电极(第一中间电极)

[0184] 3b 第一栅极电极

[0185] 4 第二MOSFET

[0186] 4a 第二源极电极(第二中间电极)

[0187] 4b 第二栅极电极

[0188] 5 受光驱动元件

[0189] 5a 源极电极(第一电极)

[0190] 5b 漏极电极

[0191] 6 第一输入端子

[0192] 6a 第一外部连接部位

[0193] 6b 第一立起部位

[0194] 6c 第四外部露出部位

[0195] 6d 第三基体

[0196] 6e 第六外部露出部位

[0197] 7 第二输入端子

[0198] 7a 第二外部连接部位

[0199] 7b 第二立起部位

[0200] 7c 第五外部露出部位

[0201] 7d 第一基体

[0202] 7d1 第一主面

[0203] 7e 第七外部露出部位

[0204] 8 第一输出端子

[0205] 8a 第四基体

[0206] 8b 第二外部露出部位

[0207] 9 第二输出端子

[0208] 9a 第五基体

[0209] 9b 第三外部露出部位

[0210] 10 第二基体

[0211] 10a 第二主面

- [0212] 10b第一外部露出部位
- [0213] 11壳体
- [0214] 11a遮光部
- [0215] 11b透光部
- [0216] 12 导线
- [0217] 13 导线
- [0218] 14 连接导体
- [0219] 15 芯片电阻器(电阻元件)
- [0220] 16 芯片电阻器(电阻元件)
- [0221] 20 半导体继电器
- [0222] 30~32半导体继电器
- [0223] 40电路基板
- [0224] 40a介电基板
- [0225] 41~44第一~第四布线
- [0226] 45 导电过孔
- [0227] 51 受光元件
- [0228] 51a阴极电极(第一电极)
- [0229] 51b阳极电极
- [0230] 52控制电路
- [0231] 100半导体继电器模块

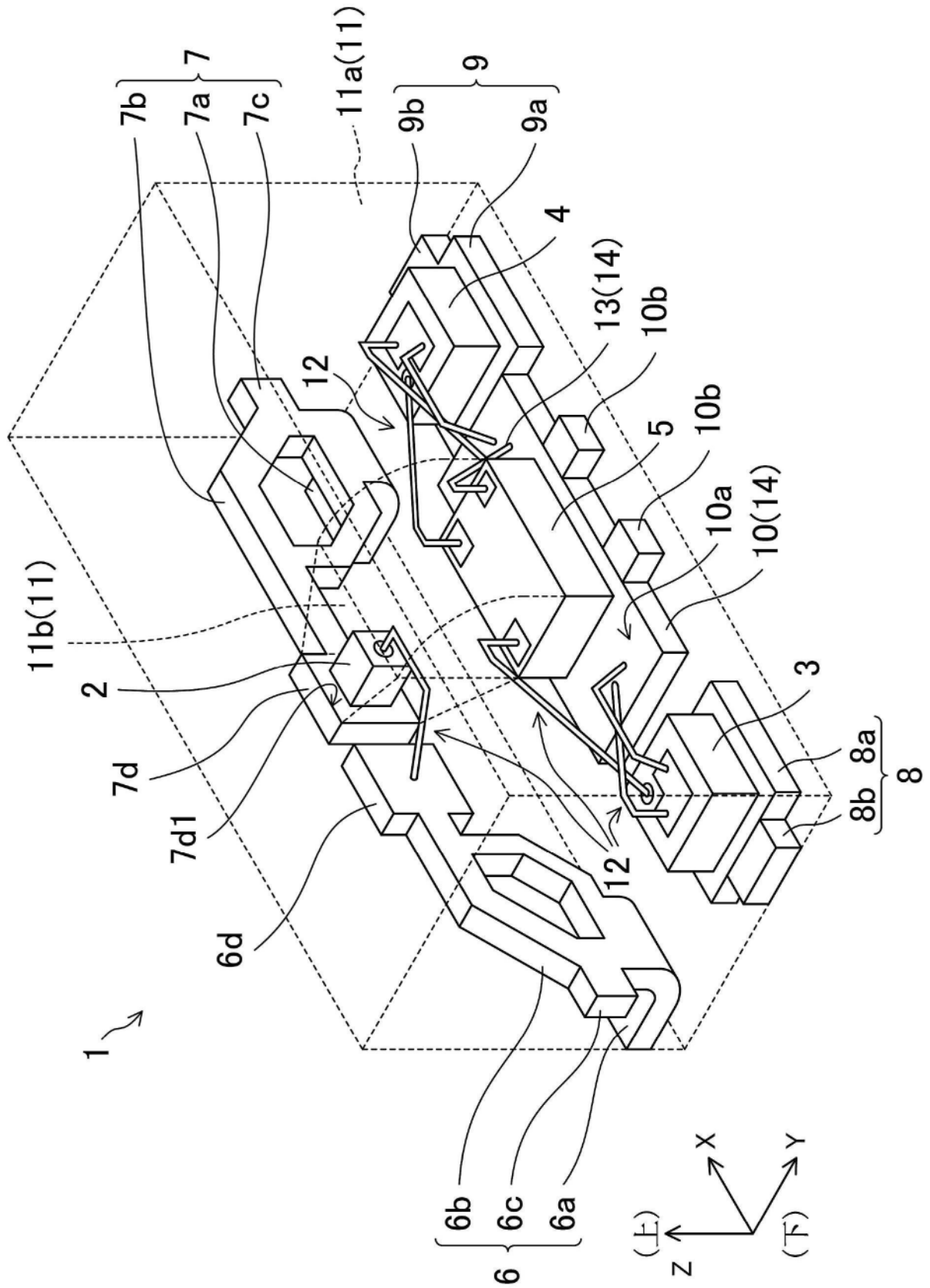


图1

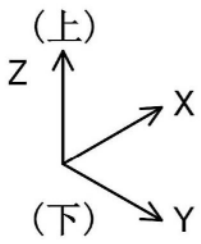
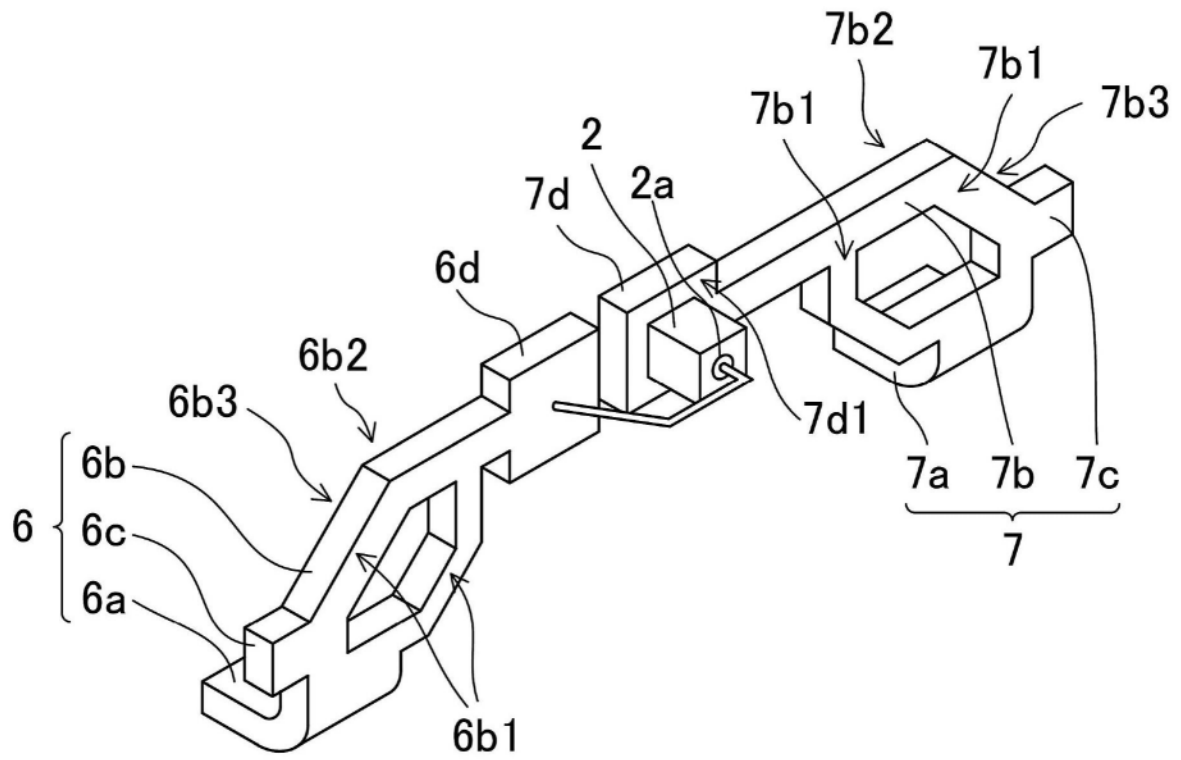


图3

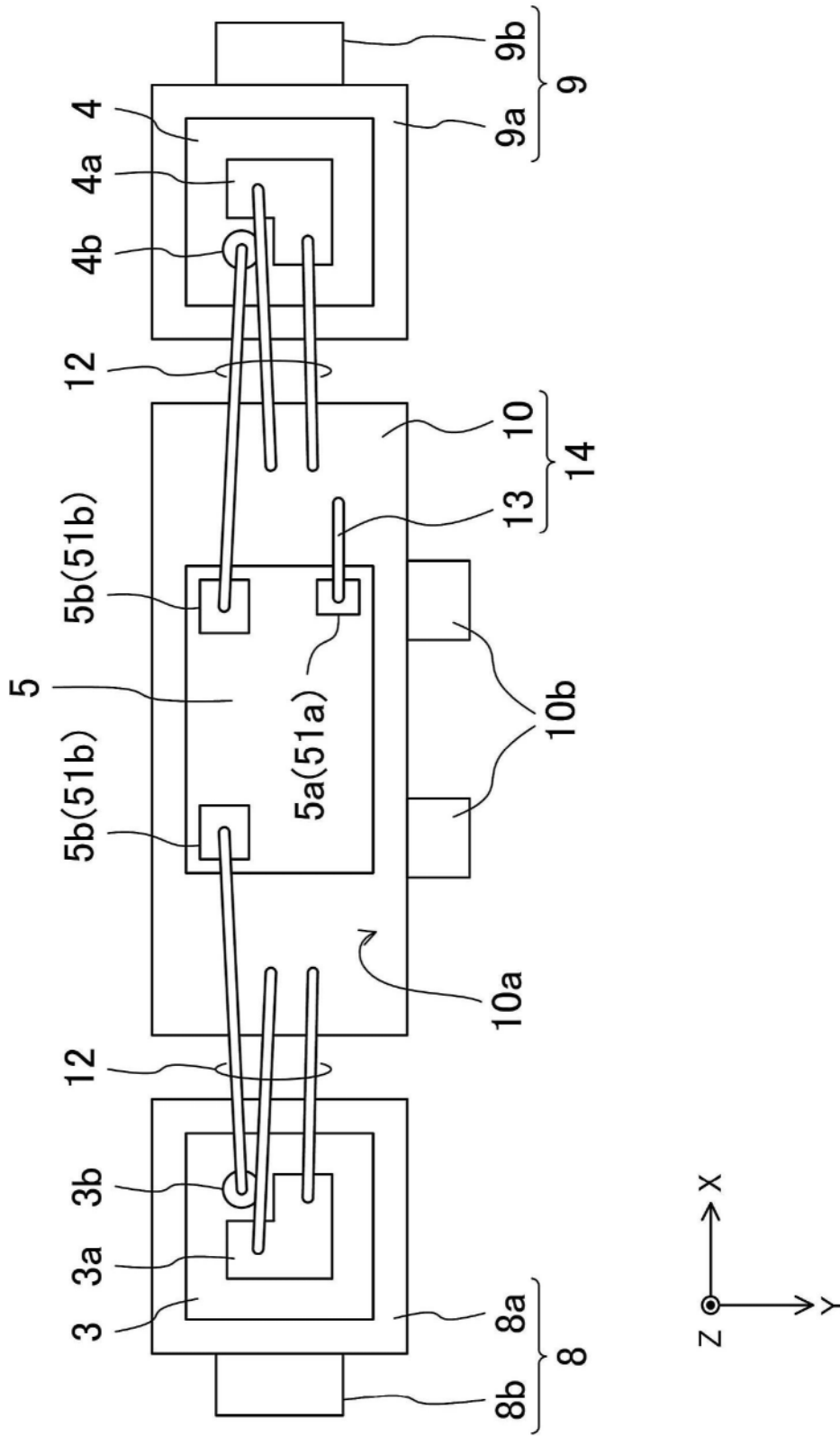


图4

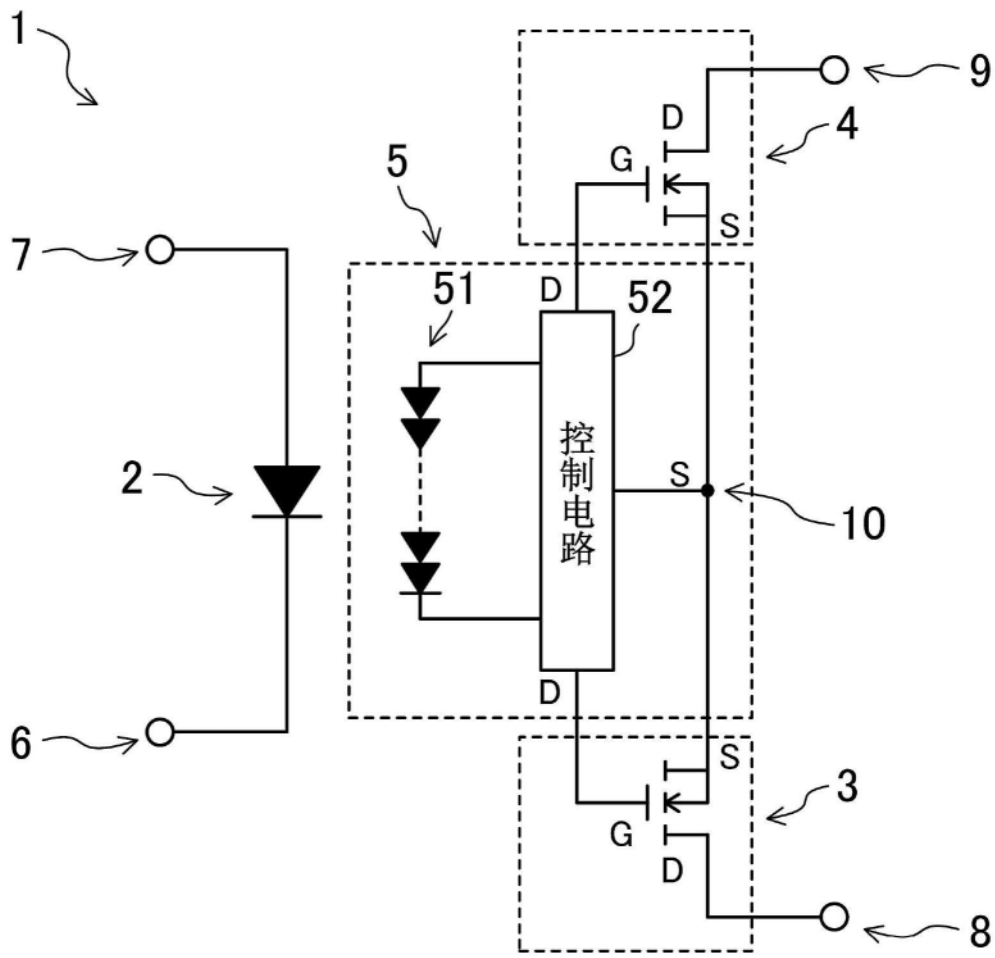


图5

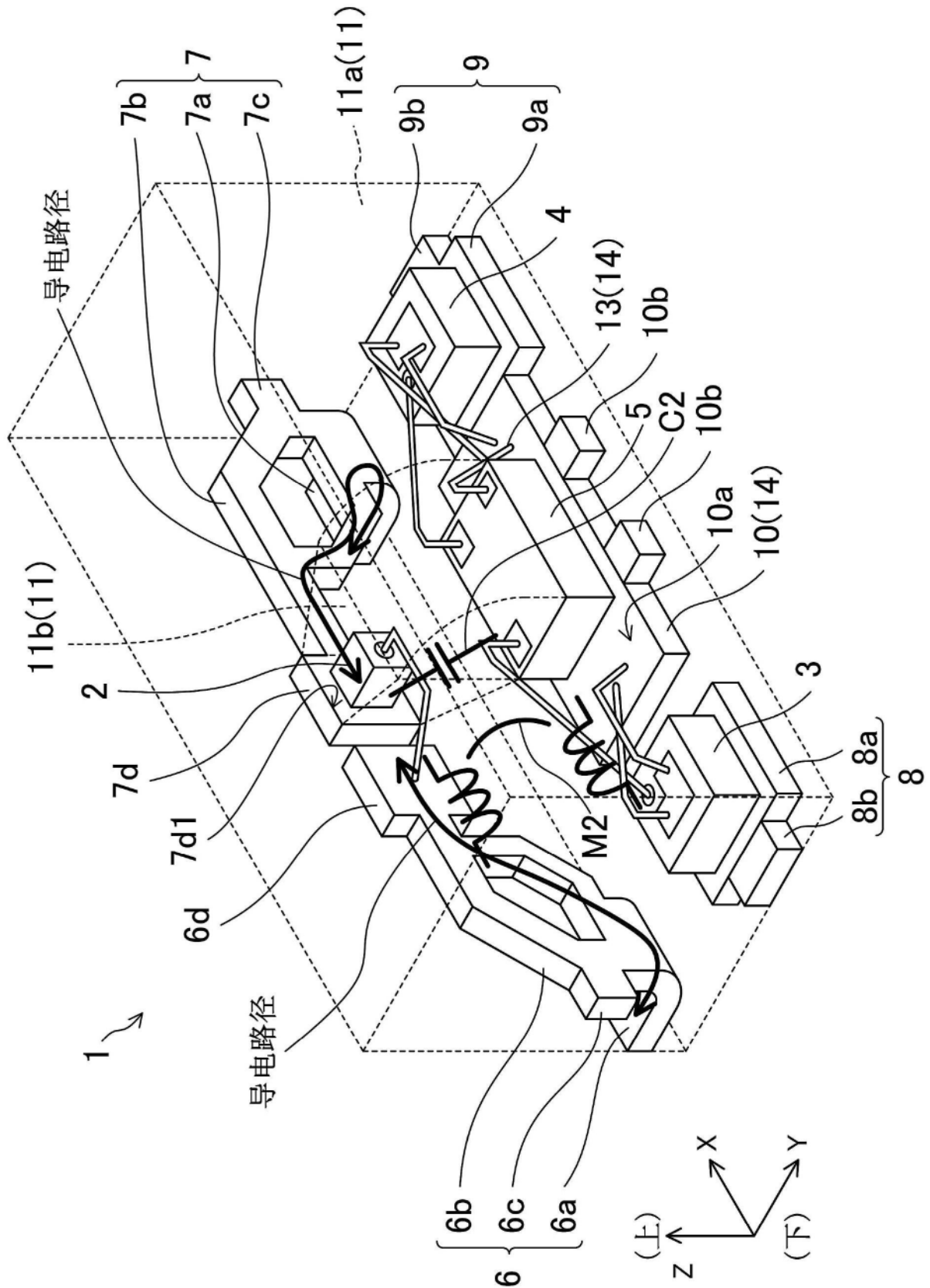


图6

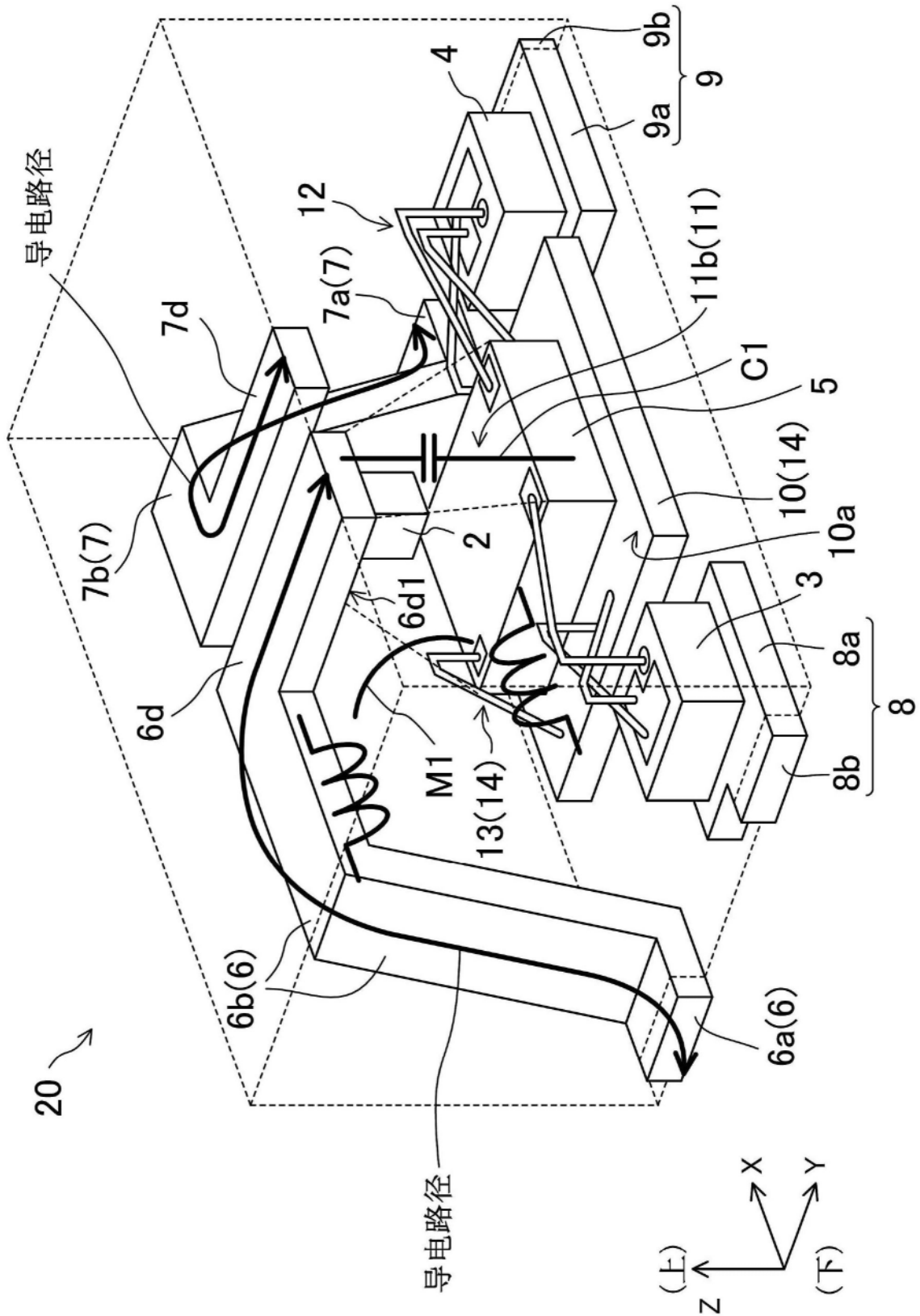


图7

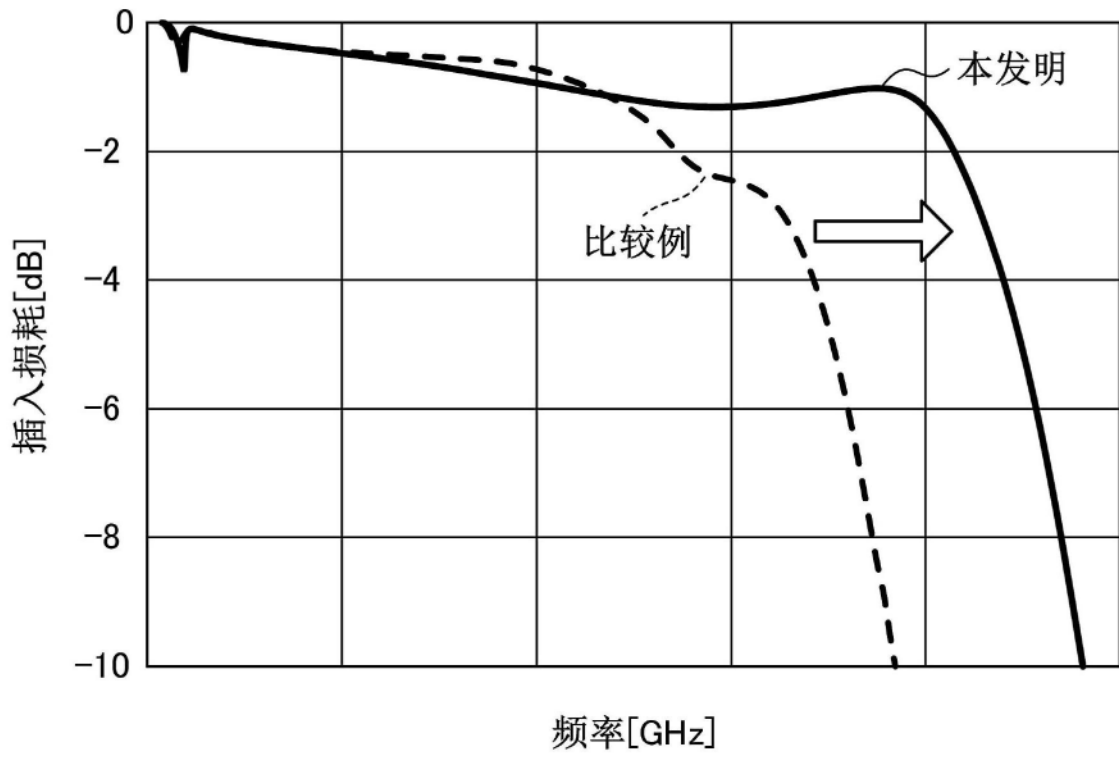


图8

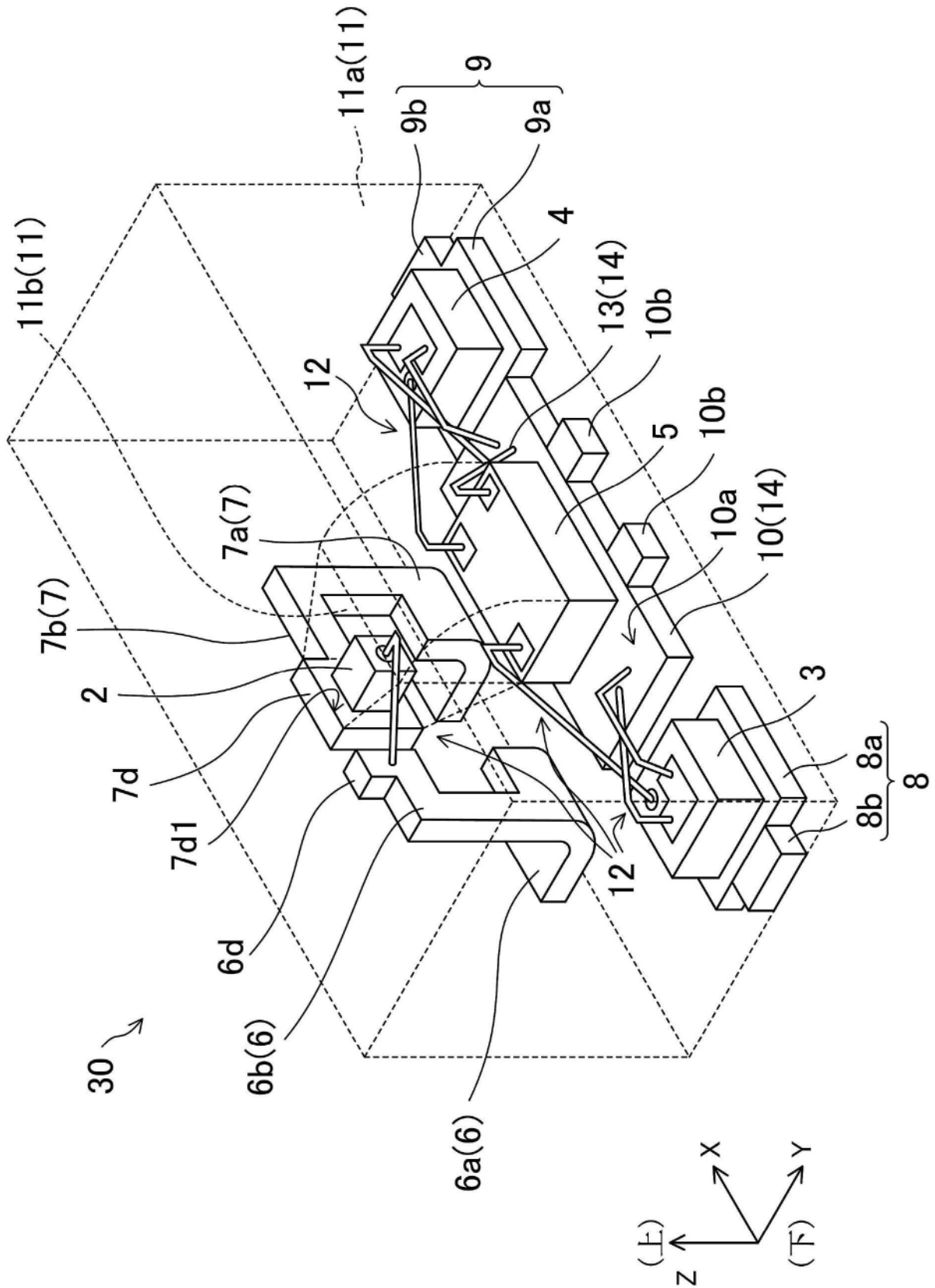


图9

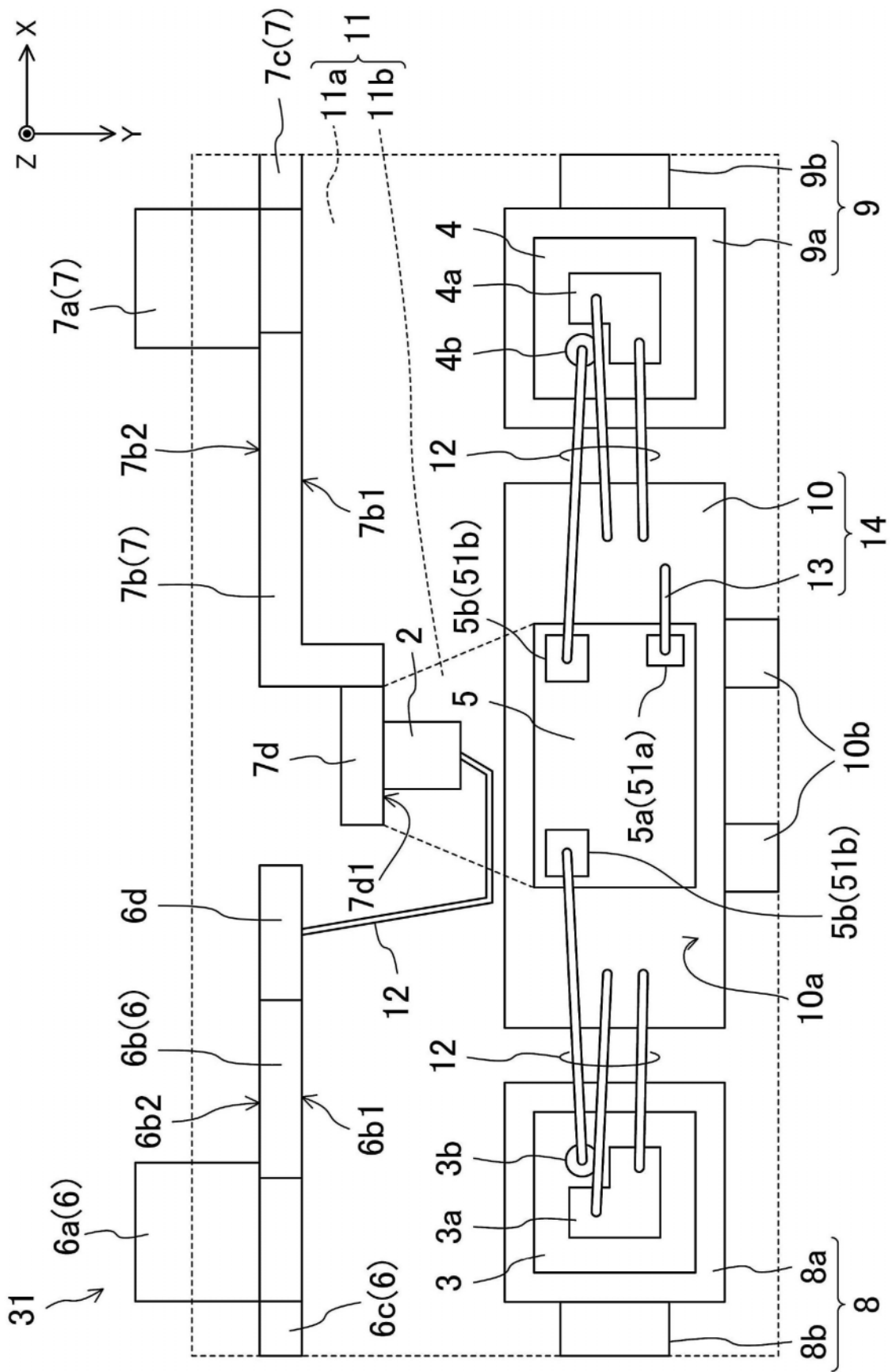


图10

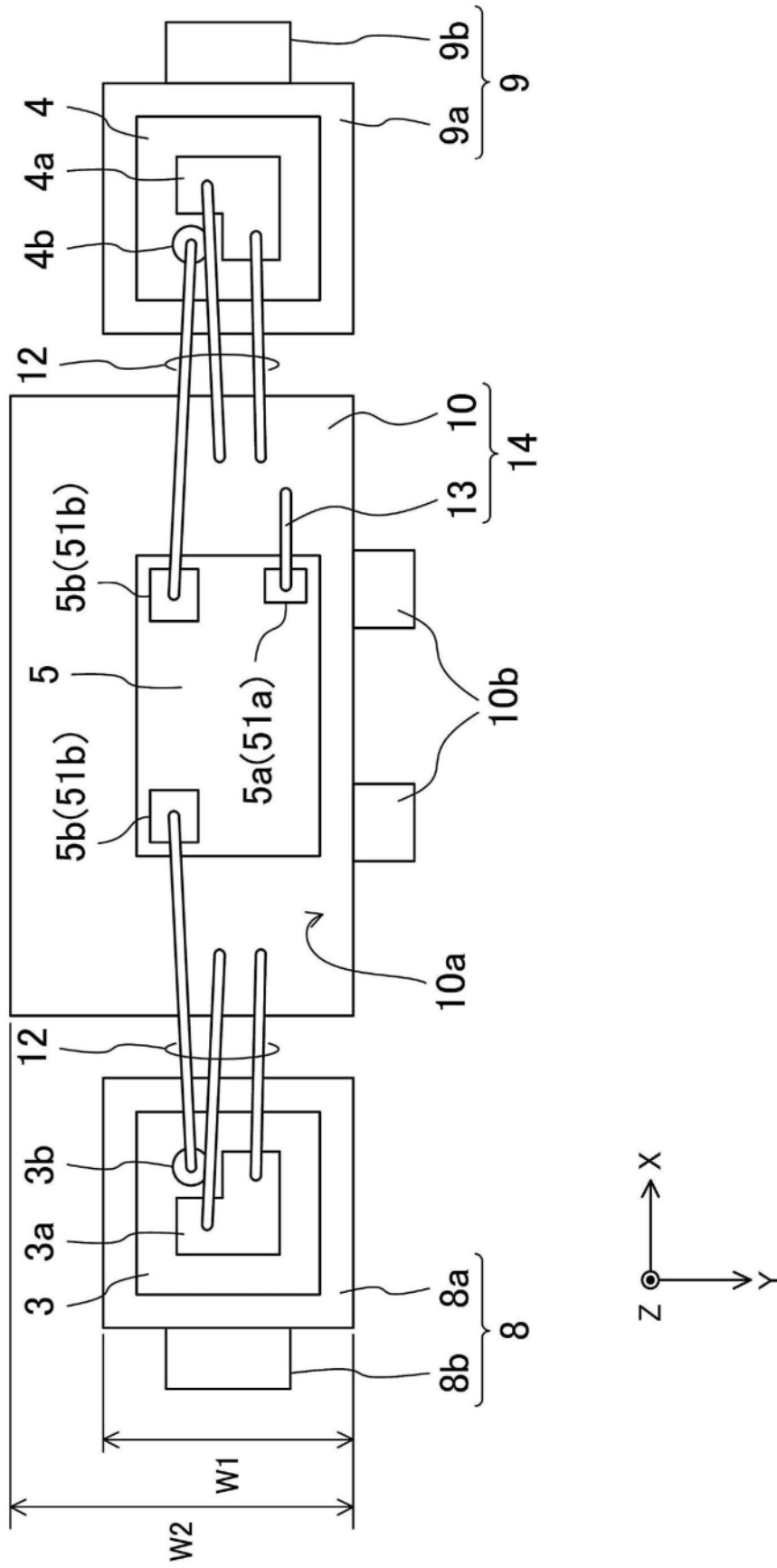


图11

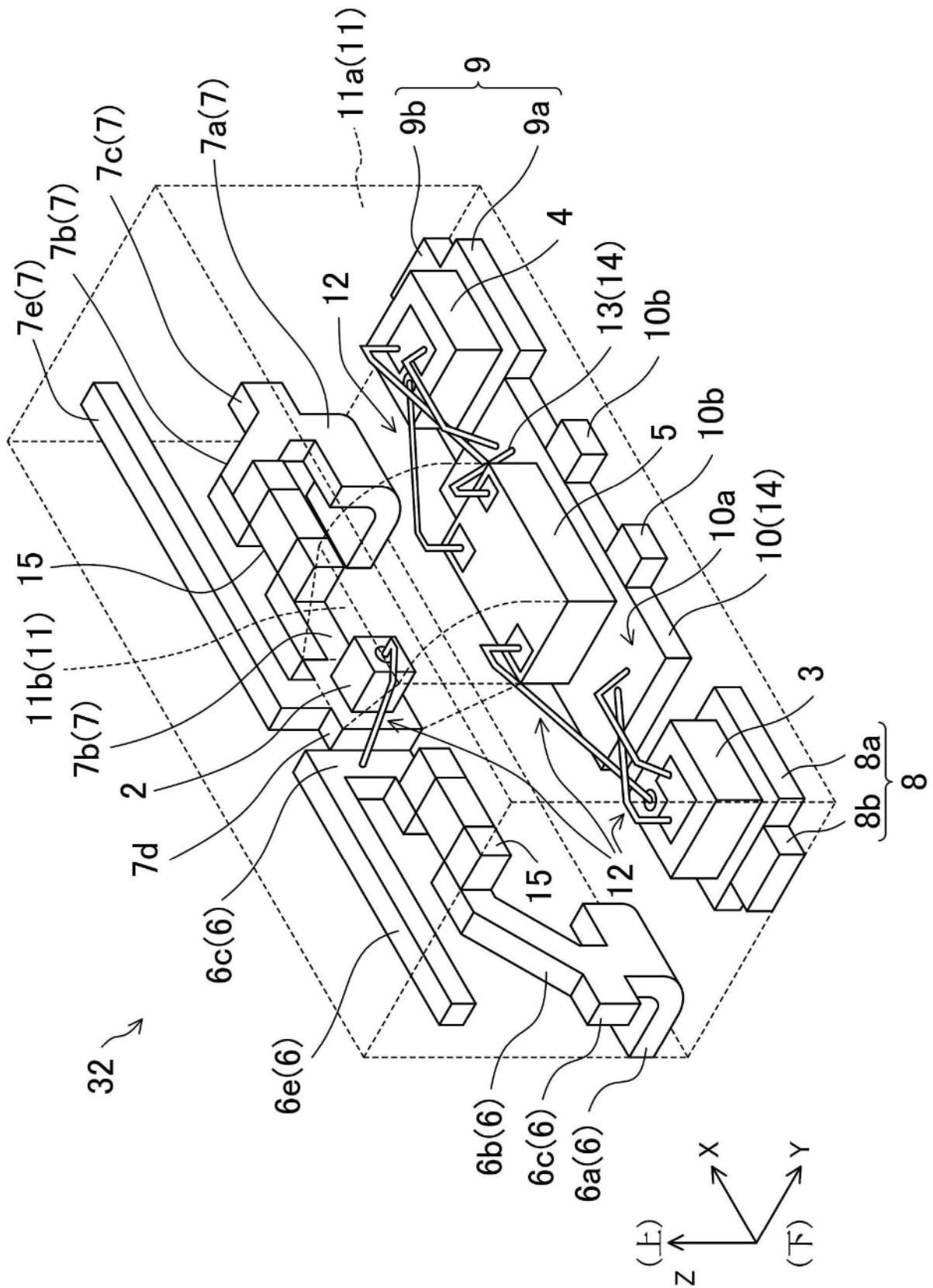


图12

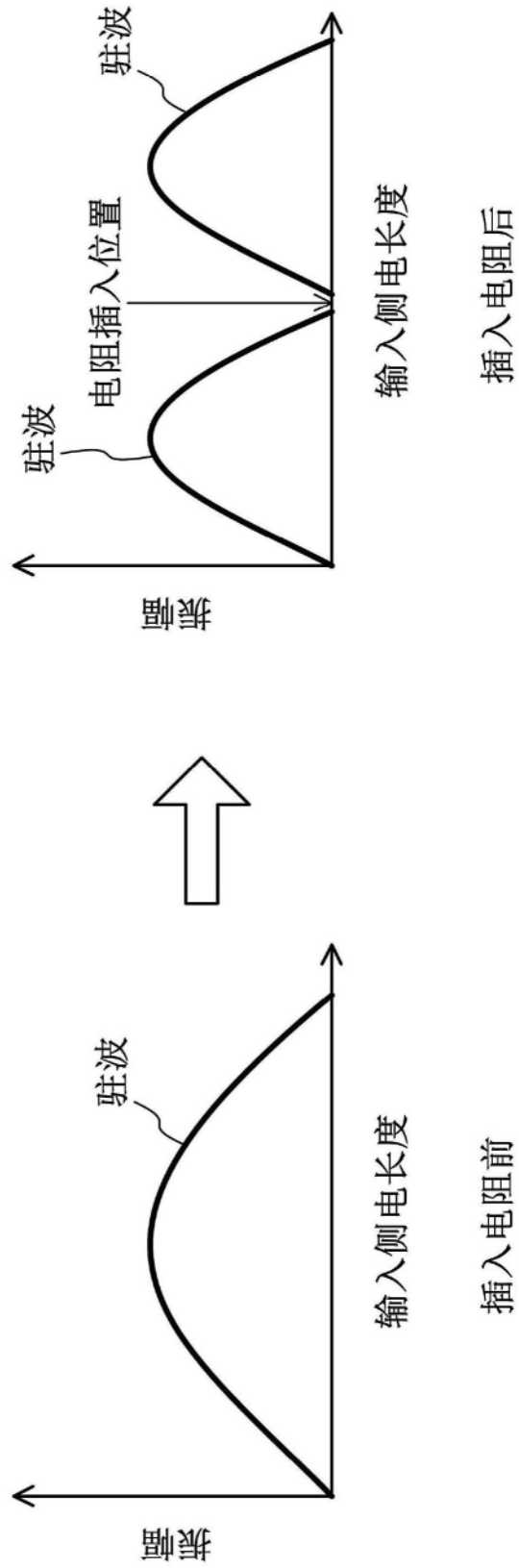


图13

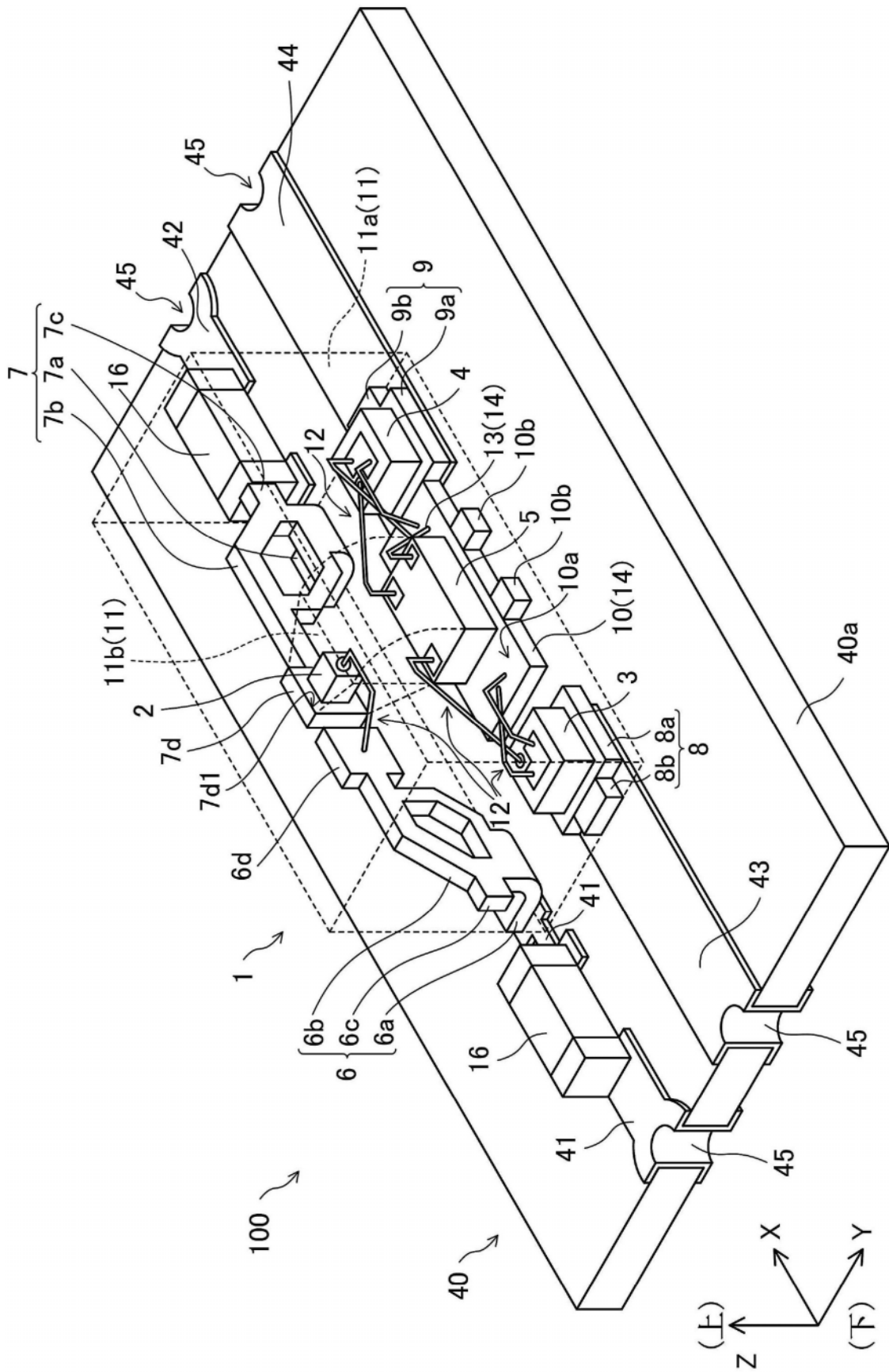


图14

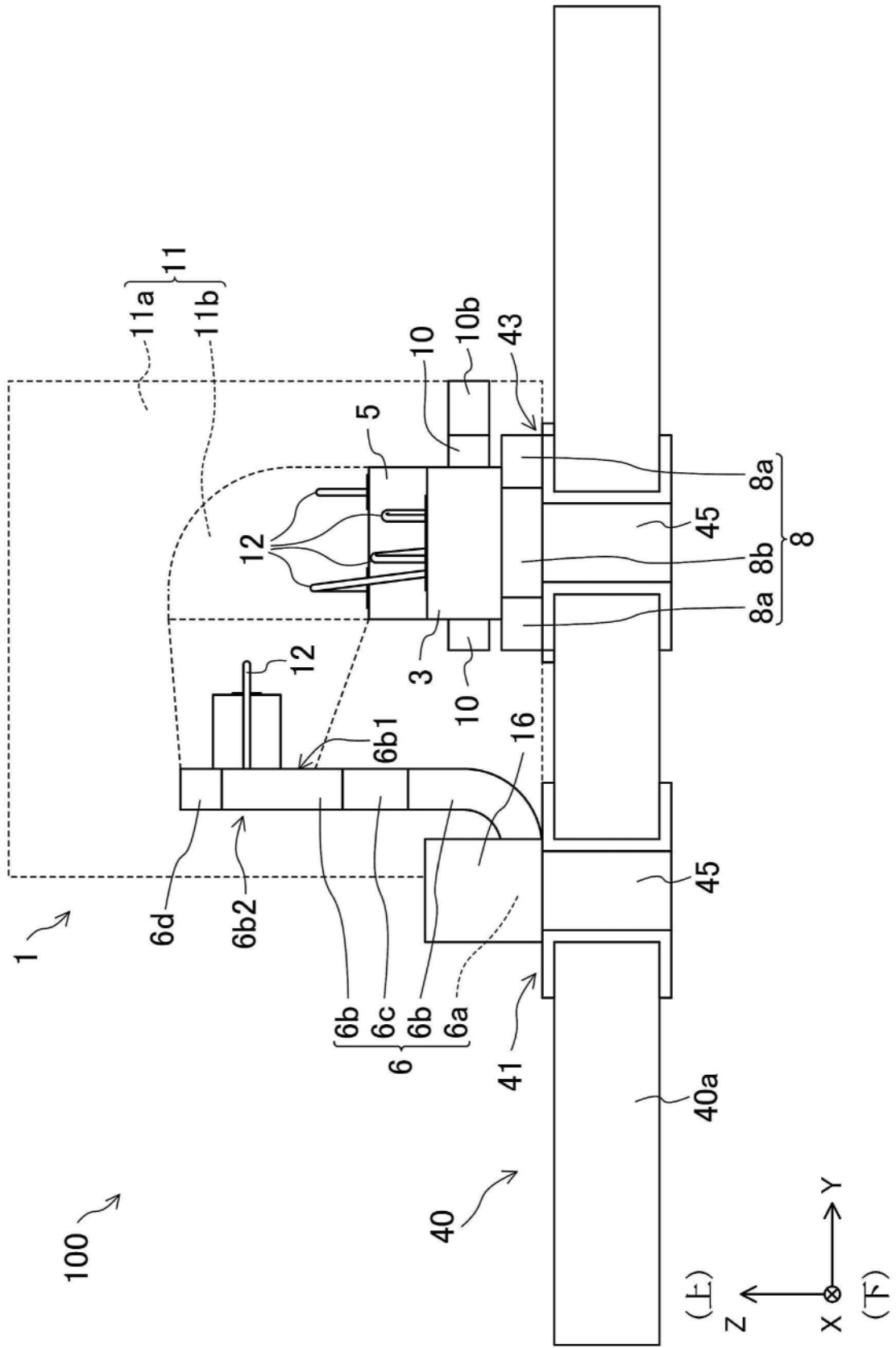


图15

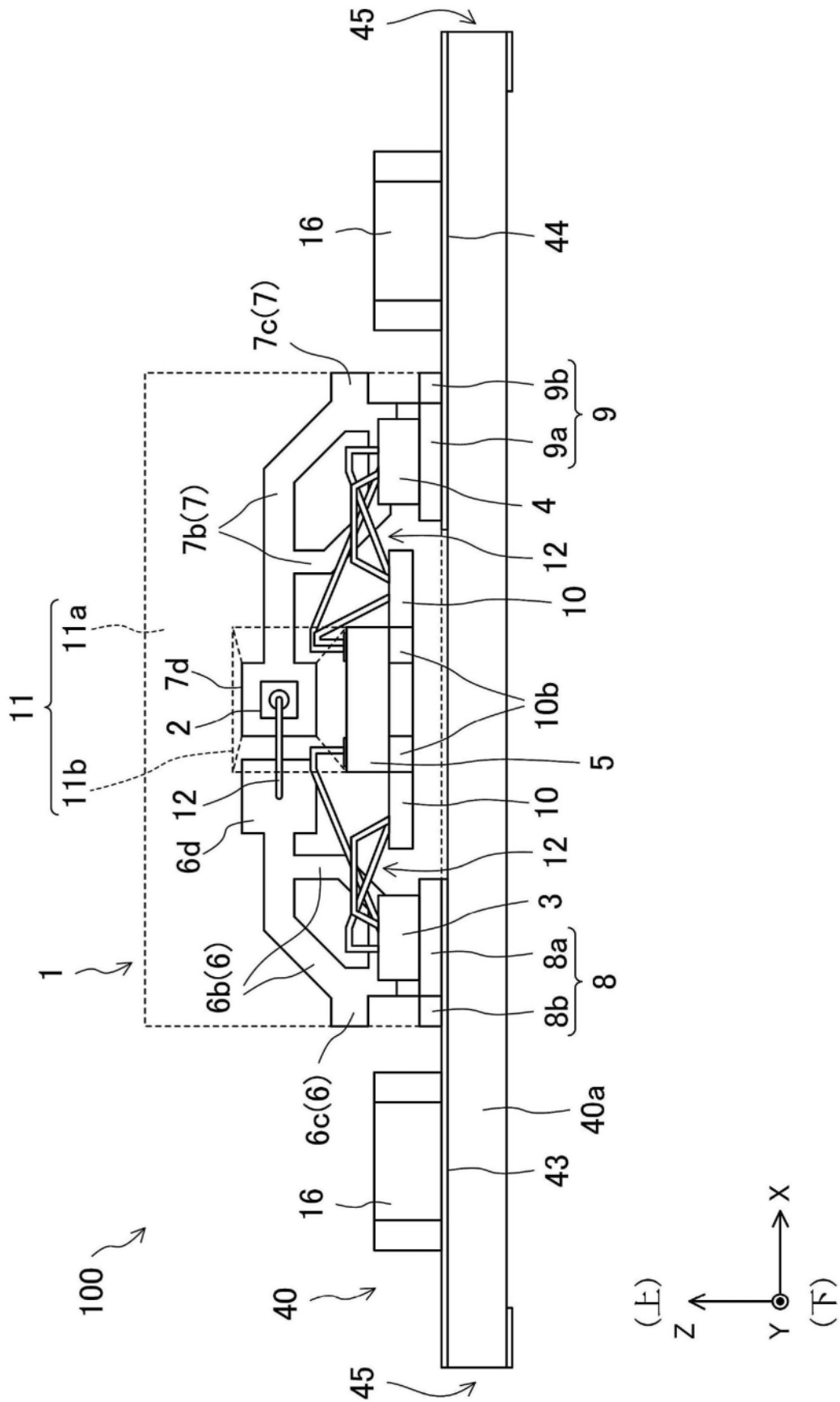


图16