



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0039801  
(43) 공개일자 2017년04월12일

- |   |   |
|---|---|
| <p>(51) 국제특허분류(Int. Cl.)<br/><i>G02F 1/1368</i> (2006.01) <i>G02F 1/1333</i> (2006.01)</p> <p>(52) CPC특허분류<br/><i>G02F 1/1368</i> (2013.01)<br/><i>G02F 2001/133397</i> (2013.01)</p> <p>(21) 출원번호 10-2015-0138611</p> <p>(22) 출원일자 2015년10월01일<br/>심사청구일자 없음</p> | <p>(71) 출원인<br/>삼성디스플레이 주식회사<br/>경기도 용인시 기흥구 삼성로 1 (농서동)</p> <p>(72) 발명자<br/>정금동<br/>경기 용인시 기흥구 삼성로 1 (농서동)<br/>김대철<br/>경기 용인시 기흥구 삼성로 1 (농서동)<br/>(뒷면에 계속)</p> <p>(74) 대리인<br/>리엔목특허법인</p> |
|---|---|

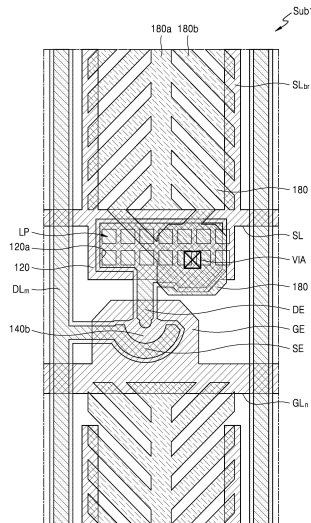
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 박막트랜지스터 어레이 기판 및 이를 포함하는 액정 표시 장치

**(57) 요약**

본 발명의 일 실시예는 베이스 기판 상에 배치된 트랜지스터 및 상기 트랜지스터와 전기적으로 연결된 스토리지 커패시터를 포함하며, 상기 트랜지스터는 게이트 전극, 상기 게이트 전극과 전기적으로 절연되며 반도체 물질을 포함하는 활성층, 및 상기 활성층 상에 서로 이격되어 배치된 제1 전극 및 제2 전극을 포함하고, 상기 스토리지 커패시터는 광 유입 통로(light inflow path)를 포함하는 하부 전극, 및 상기 제2 전극과 전기적으로 연결되며, 상기 하부 전극에 대향하도록 배치된 상부 전극을 포함하는 박막트랜지스터 어레이 기판을 개시한다.

**대표도** - 도2



(52) CPC특허분류

G09G 2300/0819 (2013.01)

G09G 2320/0247 (2013.01)

G09G 2320/0257 (2013.01)

(72) 발명자

**이성영**

경기 용인시 기흥구 삼성로 1 (농서동)

**김철호**

경기 용인시 기흥구 삼성로 1 (농서동)

**양지훈**

경기 용인시 기흥구 삼성로 1 (농서동)

**최현영**

경기 용인시 기흥구 삼성로 1 (농서동)

## 명세서

### 청구범위

#### 청구항 1

베이스 기판 상에 배치된 트랜지스터 및 상기 트랜지스터와 전기적으로 연결된 스토리지 커패시터를 포함하며, 상기 트랜지스터는,  
 게이트 전극;  
 상기 게이트 전극과 전기적으로 절연되며, 반도체 물질을 포함하는 활성층; 및  
 상기 활성층 상에 서로 이격되어 배치된 제1 전극 및 제2 전극;을 포함하고,  
 상기 스토리지 커패시터는,  
 광 유입 통로(light inflow path)를 포함하는 하부 전극; 및  
 상기 제2 전극과 전기적으로 연결되며, 상기 하부 전극에 대향하도록 배치된 상부 전극;을 포함하는, 박막트랜지스터 어레이 기판.

#### 청구항 2

제1 항에 있어서,  
 상기 하부 전극과 상기 상부 전극 사이에 배치된 유전층을 더 포함하며,  
 상기 유전층은 상기 하부 전극 상에 순차적으로 배치된 절연층 및 반도체층을 포함하는, 박막트랜지스터 어레이 기판.

#### 청구항 3

제2 항에 있어서,  
 상기 절연층은 실리콘 질화물(silicon nitride)를 포함하고, 상기 반도체층은 비정질 실리콘(amorphous silicon)을 포함하는, 박막트랜지스터 어레이 기판.

#### 청구항 4

제1 항에 있어서,  
 상기 상부 전극은,  
 도핑된 비정질 실리콘을 포함하는 제1 층; 및  
 상기 제1 층 상에 배치되며, 적어도 하나의 금속층을 포함하는 제2 층;을 포함하는, 박막트랜지스터 어레이 기판.

#### 청구항 5

제1 항에 있어서,  
 상기 광 유입 통로는 상기 하부 전극에 포함된 적어도 하나의 개구를 포함하는, 박막트랜지스터 어레이 기판.

#### 청구항 6

제1 항에 있어서,  
 상기 광 유입 통로는 상기 하부 전극에 포함된 적어도 하나의 홈을 포함하는, 박막트랜지스터 어레이 기판.

#### 청구항 7

제1 항에 있어서,

상기 활성층은 비정질 실리콘을 포함하며,

상기 제1 전극 및 상기 제2 전극은 각각 도핑된 비정질 실리콘을 포함하는 하부층, 및 상기 하부층 상에 배치되며 적어도 하나의 금속층을 포함하는 상부층을 포함하는, 박막트랜지스터 어레이 기판.

#### 청구항 8

제7 항에 있어서,

상기 제1 전극 및 상기 제2 전극은 각각 상기 활성층과 직접 접하는, 박막트랜지스터 어레이 기판.

#### 청구항 9

제1 항에 있어서,

상기 광 유입 통로(light inflow path)는, 상기 상부 전극과 평면상 중첩되며 적어도 일부가 상기 하부 전극을 구성하는 물질로 둘러싸인 빈 공간에 대응되는, 박막트랜지스터 어레이 기판.

#### 청구항 10

베이스 기판 상에 배치된 트랜지스터;

상기 트랜지스터와 전기적으로 연결된 스토리지 커패시터;

상기 트랜지스터 및 상기 스토리지 커패시터와 전기적으로 연결된 화소 전극;

상기 화소 전극 상에 배치된 액정층; 및

상기 화소 전극과 함께 상기 액정층에 전기장을 인가하는 공통 전극;을 포함하며,

상기 트랜지스터는,

게이트 전극;

상기 게이트 전극과 전기적으로 절연되며, 반도체 물질을 포함하는 활성층; 및

상기 활성층 상에 서로 이격되어 배치된 제1 전극 및 제2 전극;을 포함하고,

상기 스토리지 커패시터는,

광 유입 통로(light inflow path)를 포함하는 하부 전극; 및

상기 제2 전극과 전기적으로 연결되며, 상기 하부 전극에 대향하도록 배치된 상부 전극;을 포함하는, 액정 표시 장치.

#### 청구항 11

제10 항에 있어서,

상기 하부 전극과 상기 상부 전극 사이에 배치된 유전층을 더 포함하며,

상기 유전층은 상기 하부 전극 상에 순차적으로 배치된 절연층 및 반도체층을 포함하는, 액정 표시 장치.

#### 청구항 12

제11 항에 있어서,

상기 절연층은 실리콘 질화물(silicon nitride)을 포함하고, 상기 반도체층은 비정질 실리콘(amorphous silicon)을 포함하는, 액정 표시 장치.

#### 청구항 13

제10 항에 있어서,

상기 상부 전극은,

도핑된 비정질 실리콘을 포함하는 제1 층; 및  
 상기 제1 층 상에 배치되며, 적어도 하나의 금속층을 포함하는 제2 층;을 포함하는, 액정 표시 장치.

**청구항 14**

제10 항에 있어서,  
 상기 광 유입 통로는 상기 하부 전극에 포함된 적어도 하나의 개구를 포함하는, 액정 표시 장치.

**청구항 15**

제10 항에 있어서,  
 상기 광 유입 통로는 상기 하부 전극에 포함된 적어도 하나의 홈을 포함하는, 액정 표시 장치.

**청구항 16**

제10 항에 있어서,  
 상기 활성층은 비정질 실리콘을 포함하며,  
 상기 제1 전극 및 제2 전극은 각각 도핑된 비정질 실리콘을 포함하는 하부층, 및 상기 하부층 상에 배치되며 적어도 하나의 금속층을 포함하는 상부층을 포함하는, 액정 표시 장치.

**청구항 17**

제16 항에 있어서,  
 상기 제1 전극 및 상기 제2 전극은 각각 상기 활성층과 직접 접하는, 액정 표시 장치.

**청구항 18**

제10 항에 있어서,  
 상기 광 유입 통로(light inflow path)는, 상기 상부 전극과 평면상 중첩되며 적어도 일부가 상기 하부 전극을 구성하는 물질로 둘러싸인 빈 공간에 대응되는, 액정 표시 장치.

**청구항 19**

제10 항에 있어서,  
 상기 화소 전극은 상기 상부 전극과 전기적으로 연결되며, 상기 공통 전극은 상기 액정층을 사이에 두고 상기 화소 전극과 대향되도록 배치된, 액정 표시 장치.

**청구항 20**

제11 항에 있어서,  
 상기 베이스 기판의 상기 트랜지스터 및 상기 스토리지 커패시터가 배치된 방향의 반대 방향에 배치되어, 상기 베이스 기판 방향으로 광을 조사하는 백라이트 유닛을 더 포함하며,  
 상기 백라이트 유닛으로부터 방출된 광은, 상기 광 유입 통로를 통과하여 상기 반도체층의 적어도 일부에 입사되는, 액정 표시 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명의 실시예들은 박막트랜지스터 어레이 기판 및 이를 포함하는 액정 표시 장치에 관한 것으로, 더 상세하게는 액티브 커패시터(active capacitor)를 포함하는 박막트랜지스터 어레이 기판 및 이를 포함하는 액정 표시 장치에 관한 것이다.

**배경 기술**

- [0002] 핸드폰, PDA, 컴퓨터, 대형 TV와 같은 각종 전자기기가 발전함에 따라 이에 적용할 수 있는 평판 표시 장치에 대한 요구가 점차 증대하고 있다. 평판 표시 장치 중 액정 표시 장치(LCD; Liquid Crystal Display)는 낮은 전력 소모, 용이한 동화상 표시 및 높은 콘트라스트비 등의 장점을 갖는다.
- [0003] 액정 표시 장치는 두 장의 표시 기관 사이에 배치된 액정층을 포함하며, 액정층에 전기장을 인가하여 액정 분자의 배열 방향을 변화시켜 입사광의 편광을 변화시키며, 이를 편광자와 연동시켜 화소 별로 입사광의 투과 여부를 제어함으로써 영상을 표시한다.
- [0004] 액정 표시 장치는, 서로 교차하는 게이트선, 데이터선, 박막 트랜지스터, 및 커패시터 등이 배치된 표시 기관을 포함하며, 게이트선에 게이트 온 전압이 인가되어 박막 트랜지스터가 턴 온되면 데이터선을 통해 인가된 데이터 전압이 박막 트랜지스터를 통해 화소 전극에 충전된다. 화소 전극에 충전된 전압과 공통 전극에 인가된 공통 전압 사이에 형성된 전기장에 의해 액정층의 배열 상태가 결정되며, 데이터 전압은 프레임 별로 극성을 달리하여 인가될 수 있다.

**발명의 내용**

**해결하려는 과제**

- [0005] 화소 전극에 인가되는 전압은 액정 커패시터 및/또는 기생 커패시터에 의해 데이터 전압과 다른 값을 가질 수 있으며, 이러한 전압 차이를 킱백 전압(kickback voltage)이라 한다.
- [0006] 이러한 킱백 전압은 스토리지 커패시터, 액정 커패시터, 및/또는 기생 커패시터의 용량 변화에 의해 그 값이 변화하며, 이로 인해 화소 전극에 인가되는 전압이 달라지게 된다. 화소 전극의 전압 편차에 의한 휘도차에 의해 액정 표시 장치에서 구현되는 화상에 세로줄 형태의 얼룩, 플리커(flicker) 불량, 및 잔상이 발생하는 문제가 발생한다.
- [0007] 특히, 스토리지 커패시터가 반도체 물질을 포함하는 액티브 커패시터(active capacitor)인 경우, 전압 및 주파수에 따라 스토리지 커패시터의 용량이 바뀌게 되며, 이로 인해 킱백 전압이 달라지는 문제가 발생한다.
- [0008] 본 발명은 상기와 같은 문제점을 포함하여 여러 문제점들을 해결하기 위한 것으로서, 스토리지 커패시터의 용량 변화를 최소화함으로써 구현되는 화상에 발생할 수 있는 세로줄 형태의 얼룩, 플리커 불량, 및 잔상을 개선한 액정 표시 장치를 제공하는 것을 목적으로 한다. 그러나, 이러한 과제는 예시적인 것으로, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

**과제의 해결 수단**

- [0009] 본 발명의 일 실시예는 베이스 기관 상에 배치된 트랜지스터 및 상기 트랜지스터와 전기적으로 연결된 스토리지 커패시터를 포함하며, 상기 트랜지스터는 게이트 전극, 상기 게이트 전극과 전기적으로 절연되며 반도체 물질을 포함하는 활성층, 및 상기 활성층 상에 서로 이격되어 배치된 제1 전극 및 제2 전극을 포함하고, 상기 스토리지 커패시터는 광 유입 통로(light inflow path)를 포함하는 하부 전극, 및 상기 제2 전극과 전기적으로 연결되며, 상기 하부 전극에 대향하도록 배치된 상부 전극을 포함하는 박막트랜지스터 어레이 기관을 개시한다.
- [0010] 일 실시예에 있어서, 상기 하부 전극과 상기 상부 전극 사이에 배치된 유전층을 더 포함하며, 상기 유전층은 상기 하부 전극 상에 순차적으로 배치된 절연층 및 반도체층을 포함할 수 있다.
- [0011] 일 실시예에 있어서, 상기 절연층은 실리콘 질화물(silicon nitride)을 포함하고, 상기 반도체층은 비정질 실리콘(amorphous silicon)을 포함할 수 있다.
- [0012] 일 실시예에 있어서, 상기 상부 전극은 도핑된 비정질 실리콘을 포함하는 제1 층, 및 상기 제1 층 상에 배치되며 적어도 하나의 금속층을 포함하는 제2 층을 포함할 수 있다.
- [0013] 일 실시예에 있어서, 상기 광 유입 통로는 상기 하부 전극에 포함된 적어도 하나의 개구를 포함할 수 있다.
- [0014] 일 실시예에 있어서, 상기 광 유입 통로는 상기 하부 전극에 포함된 적어도 하나의 홈을 포함할 수 있다.
- [0015] 일 실시예에 있어서, 상기 활성층은 비정질 실리콘을 포함하며, 상기 제1 전극 및 상기 제2 전극은 각각 도핑된 비정질 실리콘을 포함하는 하부층, 및 상기 하부층 상에 배치되며 적어도 하나의 금속층을 포함하는 상부층을

포함할 수 있다.

- [0016] 일 실시예에 있어서, 상기 제1 전극 및 상기 제2 전극은 각각 상기 활성층과 직접 접할 수 있다.
- [0017] 일 실시예에 있어서, 상기 광 유입 통로(light inflow path)는, 상기 상부 전극과 평면상 중첩되며 적어도 일부가 상기 하부 전극을 구성하는 물질로 둘러싸인 빈 공간에 대응될 수 있다.
- [0018] 본 발명의 다른 실시예는, 베이스 기판 상에 배치된 트랜지스터, 상기 트랜지스터와 전기적으로 연결된 스토리지 커패시터, 상기 트랜지스터 및 상기 스토리지 커패시터와 전기적으로 연결된 화소 전극, 상기 화소 전극 상에 배치된 액정층, 및 상기 화소 전극과 함께 상기 액정층에 전기장을 인가하는 공통 전극을 포함하며, 상기 트랜지스터는 게이트 전극, 상기 게이트 전극과 전기적으로 절연되며, 반도체 물질을 포함하는 활성층, 및 상기 활성층 상에 서로 이격되어 배치된 제1 전극 및 제2 전극을 포함하고, 상기 스토리지 커패시터는 광 유입 통로(light inflow path)를 포함하는 하부 전극, 및 상기 제2 전극과 전기적으로 연결되며 상기 하부 전극에 대향하도록 배치된 상부 전극을 포함하는, 액정 표시 장치를 개시한다.
- [0019] 일 실시예에 있어서, 상기 하부 전극과 상기 상부 전극 사이에 배치된 유전층을 더 포함하며, 상기 유전층은 상기 하부 전극 상에 순차적으로 배치된 절연층 및 반도체층을 포함할 수 있다.
- [0020] 일 실시예에 있어서, 상기 절연층은 실리콘 질화물(silicon nitride)을 포함하고, 상기 반도체층은 비정질 실리콘(amorphous silicon)을 포함할 수 있다.
- [0021] 일 실시예에 있어서, 상기 상부 전극은 도핑된 비정질 실리콘을 포함하는 제1 층, 및 상기 제1 층 상에 배치되며 적어도 하나의 금속층을 포함하는 제2 층을 포함할 수 있다.
- [0022] 일 실시예에 있어서, 상기 광 유입 통로는 상기 하부 전극에 포함된 적어도 하나의 개구를 포함할 수 있다.
- [0023] 일 실시예에 있어서, 상기 광 유입 통로는 상기 하부 전극에 포함된 적어도 하나의 홈을 포함할 수 있다.
- [0024] 일 실시예에 있어서, 상기 활성층은 비정질 실리콘을 포함하며, 상기 제1 전극 및 제2 전극은 각각 도핑된 비정질 실리콘을 포함하는 하부층, 및 상기 하부층 상에 배치되며 적어도 하나의 금속층을 포함하는 상부층을 포함할 수 있다.
- [0025] 일 실시예에 있어서, 상기 제1 전극 및 상기 제2 전극은 각각 상기 활성층과 직접 접할 수 있다.
- [0026] 일 실시예에 있어서, 상기 광 유입 통로(light inflow path)는, 상기 상부 전극과 평면상 중첩되며 적어도 일부가 상기 하부 전극을 구성하는 물질로 둘러싸인 빈 공간에 대응될 수 있다.
- [0027] 일 실시예에 있어서, 상기 화소 전극은 상기 상부 전극과 전기적으로 연결되며, 상기 공통 전극은 상기 액정층을 사이에 두고 상기 화소 전극과 대향되도록 배치될 수 있다.
- [0028] 일 실시예에 있어서, 상기 베이스 기판의 상기 트랜지스터 및 상기 스토리지 커패시터가 배치된 방향의 반대 방향에 배치되어, 상기 베이스 기판 방향으로 광을 조사하는 백라이트 유닛을 더 포함하며, 상기 백라이트 유닛으로부터 방출된 광은, 상기 광 유입 통로를 통과하여 상기 반도체층의 적어도 일부에 입사될 수 있다.
- [0029] 전술한 것 외의 다른 측면, 특징, 이점이 이하의 도면, 특허청구범위 및 발명의 상세한 설명으로부터 명확해질 것이다.

**발명의 효과**

- [0030] 상기한 바와 같이 이루어진 본 발명의 일 실시예에 따르면, 스토리지 커패시터의 용량 변화를 최소화함으로써 구현되는 화상에 발생할 수 있는 세로줄 형태의 얼룩, 플리커 불량, 및 잔상을 개선한 액정 표시 장치를 제공할 수 있다.
- [0031] 또한, 스토리지 커패시터의 유전층이 반도체층을 포함함으로써 면적의 증가없이 높은 용량의 스토리지 커패시터를 구현할 수 있으며, 이를 통해 고해상도의 액정 표시 장치를 구현할 수 있다.
- [0032] 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

**도면의 간단한 설명**

- [0033] 도 1은 일 실시예에 따른 액정 표시 장치에 포함된 하나의 화소의 등가 회로도이다.

도 2는 일 실시예에 따른 박막트랜지스터 어레이 기관을 개략적으로 나타낸 평면도이다.

도 3은 도 2의 III-III 선을 따라 취한 단면도이다.

도 4는 일 실시예에 따른 박막트랜지스터 어레이 기관에 광이 유입되지 않은 경우 및 광이 유입된 경우에 박막트랜지스터 어레이 기관에 포함된 스토리지 커패시터의 전압(V)에 따른 용량(C)을 나타낸 그래프들이다.

도 5a는 다른 실시예에 따른 박막트랜지스터 어레이 기관에 포함된 스토리지 커패시터를 개략적으로 나타낸 평면도이다.

도 5b는 도 5a의  $V_b-V_b$  선을 따라 취한 단면도이다.

도 6a는 또 다른 실시예에 따른 박막트랜지스터 어레이 기관에 포함된 스토리지 커패시터를 개략적으로 나타낸 평면도이다.

도 6b는 도 6a의  $VI_b-VI_b$  선을 따라 취한 단면도이다.

도 7은 도 3의 박막트랜지스터 어레이 기관을 포함하는 액정 표시 장치를 개략적으로 나타낸 단면도이다.

### 발명을 실시하기 위한 구체적인 내용

- [0034] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.
- [0035] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다.
- [0036] 이하의 실시예에서, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0037] 이하의 실시예에서, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.
- [0038] 이하의 실시예에서, 막, 영역, 구성 요소 등의 부분이 다른 부분 위에 또는 상에 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.
- [0039] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0040] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0041] 일 실시예에 따른 액정 표시 장치는 복수 개의 화소들로 구성되며, 액정 표시 장치는 각각의 화소들은 구동하기 위한 박막트랜지스터, 커패시터, 및 배선들이 배치된 박막트랜지스터 어레이 기관, 박막트랜지스터 어레이 기관에 대향하는 상부 기관, 및 박막트랜지스터 어레이 기관과 상부 기관 사이에 배치된 액정층을 포함한다.
- [0042] 화소는 화상을 표시하는 최소 단위를 나타내며, 액정 표시 장치는 복수 개의 화소들을 통해 화상을 표시한다.
- [0043] 도 1은 일 실시예에 따른 액정 표시 장치에 포함된 하나의 화소의 등가 회로도이다.
- [0044] 일 실시예에 따른 액정 표시 장치는 화상을 표시하는 표시 영역 및 표시 영역 주변에 배치된 주변 영역을 포함한다. 상기 표시 영역에는 복수 개의 화소들이 배치되며, 복수 개의 화소들 각각은 구동 회로부 및 구동 회로부에 전기적인 신호를 인가하는 복수의 배선들에 의해 구동될 수 있다.
- [0045] 도 1을 참고하면, 상기 구동 회로부 및 복수의 배선들은 액정 표시 장치에 포함된 박막트랜지스터 어레이 기관에 배치될 수 있으며, 구동 회로부는 박막트랜지스터(Tr) 및 스토리지 커패시터( $C_{st}$ )를 포함하고 복수의 배선들은 박막트랜지스터(Tr)의 게이트 전극(GE)에 게이트 신호(Gate)를 인가하는 게이트선( $GL_m$ ) 및 박막트랜지스터(Tr)의 제1 전극(SE)에 데이터 신호(Data)를 인가하는 데이터선( $DL_m$ )을 포함할 수 있다.



- [0046] 상기 게이트선( $GL_n$ ) 및 상기 데이터선( $DL_m$ )은 서로 교차하는 방향을 따라 각각 연장될 수 있다. 액정 표시 장치는 복수 개의 게이트선( $GL_n$ ) 및 복수 개의 데이터선( $DL_m$ )을 포함하며, 게이트선( $GL_n$ ) 및 데이터선( $DL_m$ )이 교차하는 영역마다 화소가 배치될 수 있다.
- [0047] 박막트랜지스터( $Tr$ )의 게이트 전극( $GE$ )에 턴-온 신호가 인가되면, 제1 전극( $SE$ )에 인가된 데이터 신호(Data)는 제2 전극( $DE$ )에 전달되며, 제2 전극( $DE$ )은 스토리지 커패시터( $C_{st}$ )의 상부 전극(150, 도 3), 및 화소 전극(180, 도 3)과 전기적으로 연결될 수 있다. 즉, 데이터 전극( $DE$ ), 상부 전극(150) 및 화소 전극(180)은 제1 노드( $N1$ )에 연결될 수 있다.
- [0048] 상기 스토리지 커패시터( $C_{st}$ )은 상부 전극(150) 및 상부 전극(150)에 대항하는 하부 전극(120)을 포함하며, 상기 하부 전극(120)에는 커패시터선( $SL$ )에 의해 커패시터 전압( $V_{st}$ )이 인가될 수 있다.
- [0049] 액정 표시 장치는, 액정 표시 장치에 포함된 액정에 전기장을 인가하기 위하여 화소 전극(180) 이외에 공통 전압( $V_{com}$ )을 인가하는 공통 전극(190, 도 7)을 더 포함하며, 상기 화소 전극(180)과 공통 전극(190)의 중첩에 의해 액정 커패시터( $C_{lc}$ )가 형성될 수 있다. 또한, 박막트랜지스터( $Tr$ )의 게이트 전극( $GE$ ) 및 제2 전극( $DE$ )은 평면상 중첩된 영역을 포함할 수 있으며, 이에 의해 기생 커패시터( $C_{gs}$ )가 형성될 수 있다.
- [0050] 상기 기생 커패시터( $C_{gs}$ )에 의해, 데이터선( $DL_m$ )에 의해 인가되는 구현하고자 하는 화상에 대응되는 데이터 전압과 화소 전극(180)에 인가되는 전압은 서로 다른 값을 가질 수 있으며, 상기 데이터 전압과 화소 전극(180)에 인가되는 전압의 차이를 킥백 전압(kickback voltage)이라고 한다.
- [0051] 하나의 화소 내에서, 인가되는 데이터 전압에 따라 킥백 전압이 달라지거나 서로 다른 위치에 배치된 화소들이 서로 다른 킥백 전압을 갖는 경우, 구현되는 화상에 플리커(flicker) 및 얼룩 등이 발생할 수 있다.
- [0052] 일 실시예에 따른 스토리지 커패시터( $C_{st}$ )는 스토리지 커패시터( $C_{st}$ )의 하부 전극(120)과 상부 전극(150) 사이에 반도체층(140a, 도 3)이 배치되는 액티브 커패시터(active capacitor)일 수 있으며, 하부 전극(120) 및/또는 상부 전극(150)에 인가되는 전압 등에 따라 액티브 커패시터의 용량이 달라질 수 있다. 이러한 용량의 변화는 킥백 전압의 변화를 유발할 수 있다.
- [0053] 일 실시예에 따른 액정 표시 장치에 포함된 스토리지 커패시터( $C_{st}$ )는 하부 전극(120)이 광 유입 통로(LP, 도 3)를 포함하며, 이러한 구성을 통해 스토리지 커패시터( $C_{st}$ )의 용량 변화를 최소화할 수 있다. 이에 관해서는, 후술한다.
- [0054] 일 실시예에 따르면, 박막트랜지스터( $Tr$ )의 제1 전극( $SE$ ) 및 제2 전극( $DE$ )은 각각 소스 전극 및 드레인 전극일 수 있지만, 본 발명은 이에 제한되지 않는다. 다른 실시예에 따르면, 액정 표시 장치는 다른 형태(type)의 박막트랜지스터( $Tr$ )를 포함할 수 있으며, 이 경우 제1 전극 및 제2 전극은 각각 드레인 전극 및 소스 전극일 수 있다.
- [0055] 도 2는 일 실시예에 따른 박막트랜지스터 어레이 기판을 개략적으로 나타낸 평면도이고, 도 3은 도 2의 III-III 선을 따라 취한 단면도이고, 도 4는 일 실시예에 따른 박막트랜지스터 어레이 기판에 광이 유입되지 않은 경우 및 광이 유입된 경우에 박막트랜지스터 어레이 기판에 포함된 스토리지 커패시터의 전압( $V$ )에 따른 용량( $C$ )을 나타낸 그래프들이다.
- [0056] 도 2 및 도 3을 참조하면, 일 실시예에 따른 박막트랜지스터 어레이 기판(Sub1)은 베이스 기판(100) 상에 배치된 트랜지스터( $Tr$ ) 및 트랜지스터( $Tr$ )와 전기적으로 연결된 스토리지 커패시터( $C_{st}$ )를 포함하며, 트랜지스터( $Tr$ )는 게이트 전극( $GE$ ), 게이트 전극( $GE$ )과 전기적으로 절연되며 반도체 물질을 포함하는 활성층(140b), 및 활성층(140b) 상에 서로 이격되어 배치된 제1 전극( $SE$ ) 및 제2 전극( $DE$ )을 포함하고, 스토리지 커패시터( $C_{st}$ )는 광 유입 통로(LP, light inflow path)를 포함하는 하부 전극(120) 및 제2 전극( $DE$ )과 전기적으로 연결되며 하부 전극(120)에 대항하도록 배치된 상부 전극(150)을 포함할 수 있다.
- [0057] 상기 베이스 기판(100)은 유리 또는 플라스틱 등으로 구성되며, 복수의 화소 영역으로 구획될 수 있다. 상기 복수의 화소 영역은 일 방향으로 연장된 게이트선( $GL_n$ ) 및 상기 일 방향과 교차하는 방향으로 연장된 데이터선( $DL_m$ )에 의해 정의될 수 있다. 도 2에서는 서로 인접한 2개의 화소의 일부에 대응되는 영역만을 도시하였으며,

액정 표시 장치는 도 2에 도시된 화소 영역들과 동일 또는 유사한 복수의 화소 영역들을 포함하며, 이로부터 화상을 구현할 수 있다.

- [0058] 베이스 기판(100) 상의 일 영역에는 트랜지스터(Tr)가 배치되며, 상기 트랜지스터(Tr)는 게이트 전극(GE) 및 게이트 전극(GE) 상에 배치된 활성층(140b), 및 활성층(140b) 상에 서로 이격되어 배치된 제1 전극(SE) 및 제2 전극(DE)을 포함할 수 있다. 일 실시예에 따르면, 상기 제1 전극(SE) 및 제2 전극(DE)은 각각 소스 전극 및 드레인 전극일 수 있다.
- [0059] 상기 게이트 전극(GE)과 활성층(140b)의 사이에는 게이트 절연막(130b) 배치될 수 있다. 일 실시예에 따르면, 상기 활성층(140b)은 비정질 실리콘(amorphous silicon)으로 구성될 수 있으며, 게이트 절연막(130b)은 무기 물질로 구성된 단일층 또는 다중층일 수 있다. 일 실시예에 따르면, 상기 게이트 절연막(130b)은 실리콘 질화물(SiN<sub>x</sub>)로 구성된 단일층일 수 있다.
- [0060] 상기 활성층(140b) 상에는 도전성을 갖는 제1 전극(SE) 및 제2 전극(DE)이 배치되며, 제1 전극(SE) 및 제2 전극(DE)은 각각 하부층(SEa, DEa) 및 하부층(SEa, DEa) 상에 배치된 상부층(SEb, DEb)을 포함할 수 있다. 상기 활성층(140b)은 서로 이격되어 배치된 제1 전극(SE)과 제2 전극(DE) 사이에 배치된 영역을 포함하며, 제1 전극(SE)과 제2 전극(DE)을 전기적으로 연결하거나 연결하지 않는 채널로써 기능할 수 있다.
- [0061] 일 실시예에 따르면, 상기 제1 전극(SE) 및 제2 전극(DE)의 하부층(SEa, DEa)은 불순물이 도핑되어 도전성을 갖는 비정질 실리콘일 수 있으며, 예를 들면 n<sup>+</sup> 비정질 실리콘일 수 있다. 제1 전극(SE) 및 제2 전극(DE)의 하부층(SEa, DEa)은 활성층(140b)과 제1 전극(SE)/제2 전극(DE) 사이에 배치되어, 활성층(140b)과 제1 전극(SE)/제2 전극(DE) 사이의 일함수 차이를 줄이는 옴릭 콘택층(ohmic contact layer)일 수 있다. 상기 제1 전극(SE)과 제2 전극(DE)은 각각 활성층(140b)과 직접 접할 수 있다. 즉, 활성층(140b)과 하부층(SEa, DEa), 하부층(SEa, DEa)과 상부층(SEb, DEb)은 직접 접할 수 있다.
- [0062] 상기 제1 전극(SE) 및 제2 전극(DE)의 상부층(SEb, DEb)은 몰리브덴(Mo), 알루미늄(Al), 구리(Cu) 및 티타늄(Ti)을 포함하는 그룹에서 선택된 적어도 하나의 물질을 포함하는 금속층을 포함할 수 있으며, 일 실시예에 따르면, 티타늄(Ti)/구리(Cu)로 구성된 이중층 또는 티타늄(Ti) /구리(Cu) /티타늄(Ti)으로 구성된 삼중층일 수 있다.
- [0063] 상기 게이트 전극(GE)은 게이트선(GL<sub>n</sub>)으로부터 돌출된 영역일 수 있으며, 게이트선(GL<sub>n</sub>)으로부터 게이트 신호를 인가받을 수 있다. 상기 제1 전극(SE)은 데이터선(DL<sub>m</sub>)으로부터 돌출된 영역일 수 있으며, 데이터선(DL<sub>m</sub>)으로부터 데이터 신호를 인가받을 수 있다. 상기 제2 전극(DE)은 반도체 물질로 구성된 활성층(140b)을 사이에 두고 제1 전극(SE)와 이격되어 배치되며, 게이트 전극(GE)에 턴-온 신호가 인가되면 제1 전극(SE)으로부터 데이터 신호를 전달받을 수 있다.
- [0064] 베이스 기판(100) 상의 일 영역에는 스토리지 커패시터(C<sub>st</sub>)가 배치되며, 스토리지 커패시터(C<sub>st</sub>)는 하부 전극(120) 및 하부 전극(120)과 대향하는 상부 전극(150)을 포함할 수 있다. 상기 베이스 기판과 트랜지스터(Tr) 및 스토리지 커패시터(C<sub>st</sub>)의 사이에는 베이스 기판(100)을 평탄화하며 베이스 기판(100)으로부터 불순물이 유입되는 것을 차단하기 위한 버퍼층(110)이 배치될 수 있다.
- [0065] 일 실시예에 따르면, 상기 하부 전극(120)은 게이트 전극(GE)과 동일층에 배치되고 동일 물질로 구성될 수 있으며, 상기 상부 전극(150)은 트랜지스터(Tr)의 제1 전극(SE) 및 제2 전극(DE)과 동일층에 배치되고 동일 물질로 구성될 수 있다.
- [0066] 상기 상부 전극(150)은 트랜지스터(Tr)의 제2 전극(DE)과 전기적으로 연결되며, 일 실시예에 따르면, 상부 전극(150)은 제2 전극(DE)이 연장된 영역일 수 있다.
- [0067] 상기 상부 전극(150)은 불순물이 도핑되어 도전성을 갖는 비정질 실리콘을 포함하는 제1 층(151) 및 제1 층(151) 상에 배치되며 적어도 하나의 금속층을 포함하는 제2 층(152)을 포함할 수 있다. 일 실시예에 따르면, 제1 층(151)은 n<sup>+</sup> 비정질 실리콘일 수 있으며, 제2 층(152)은 몰리브덴(Mo), 알루미늄(Al), 구리(Cu) 및 티타늄(Ti)을 포함하는 그룹에서 선택된 적어도 하나의 물질을 포함하는 금속층을 포함하며, 단일층 또는 다중층일 수 있다.
- [0068] 상기 하부 전극(120)과 상부 전극(150)의 사이에는 유전층(DEL)이 배치되며, 상기 유전층(DEL)의 굴절률 및 하

부 전극(120)과 상부 전극(150)이 중첩되는 영역의 넓이에 따라 스토리지 커패시터( $C_{st}$ )의 용량이 결정될 수 있다. 즉, 상기 유전층(DEL)의 굴절률이 클수록 스토리지 커패시터( $C_{st}$ )의 용량이 커지며, 유전층(DEL)의 굴절률을 크게 구성함으로써 하부 전극(120)과 상부 전극(150)이 중첩되는 영역의 넓이를 크게하지 않더라도 스토리지 커패시터( $C_{st}$ )의 용량을 크게할 수 있다.

- [0069] 상기 스토리지 커패시터( $C_{st}$ )의 용량은 액정 표시 장치에 포함된 커패시터들의 전체 용량 중 약 15 % 이상을 차지할 수 있으며, 킨백 전압은 약 2.5 V 이하일 수 있다.
- [0070] 일 실시예에 따르면, 상기 유전층(DEL)은 하부 전극(120) 상에 순차적으로 배치된 절연층(130a) 및 반도체층(140a)를 포함할 수 있다. 상기 절연층(130a)은 무기 물질로 구성된 단일층 또는 다중층일 수 있으며, 일 실시예에 따르면, 상기 게이트 절연막(130b)은 실리콘 질화물( $SiN_x$ )로 구성된 단일층일 수 있다. 상기 반도체층(140a)은 비정질 실리콘(amorphous silicon)으로 구성될 수 있다.
- [0071] 상기 절연층(130a) 및 반도체층(140a)은 각각 트랜지스터(Tr)의 게이트 절연막(130b) 및 활성층(140b)이 연장된 일 영역일 수 있다.
- [0072] 상기 반도체층(140a)을 구성하는 비정질 실리콘의 굴절률은 약 3.5 이상이며, 약 2.0 이하의 굴절률을 갖는 무기 절연 물질보다 훨씬 높은 굴절률을 갖는다. 따라서, 스토리지 커패시터( $C_{st}$ )는 높은 굴절률을 갖는 반도체층(140a)을 포함하는 유전층(DEL)을 포함하므로, 소정의 공간 내에서 높은 용량을 가질 수 있다.
- [0073] 그러나, 스토리지 커패시터( $C_{st}$ )가의 반도체층(140a)을 포함하는 유전층(DEL)을 포함하는 경우, 전압 및 주파수에 따라 용량이 달라지는 특성이 있다. 도 4의 상측에 도시된 그래프를 참조하면, 하부 전극(120)과 상부 전극(150)에 인가되는 전압차의 값이 달라짐에 따라 스토리지 커패시터( $C_{st}$ )의 용량이 달라짐을 확인할 수 있다. 상기 그래프는 광이 반도체층(140a)에 유입되지 않는 경우, 즉 광이 존재하지 않는 환경에서 측정된 스토리지 커패시터( $C_{st}$ )의 용량은 나타낸다. 그래프에 도시된 바와 같이 상기 전압차에 따른 용량의 변화는 주파수에 따라 달라질 수 있다.
- [0074] 이러한 스토리지 커패시터( $C_{st}$ )의 용량 변화는 킨백 전압의 변화를 유발하며, 따라서, 화소 전극(180)의 전압과 인가되는 데이터 전압의 차이가 달라지는 문제가 발생한다. 그러나, 도 4의 하측에 도시된 그래프를 참조하면, 반도체층(140a)에 광이 유입되는 경우 100 Hz 이하의 주파수에서 전압차에 따른 용량의 변화가 현저히 줄어드는 것을 확인할 수 있다. 이러한 현상은, 반도체층(140a)에 유입된 광에 의해 반도체층 내에 캐리어(carrier)가 발생되며, 이로 인해 반도체층(140a)에 인가되는 전압이 음(negative)인 경우 반도체층(140a) 내에 공핍층(depletion layer)이 완전히 형성되지 않기 때문일 수 있다. 이로 인해, 음의 전압차에서의 용량 저하가 감소되며, 전체적으로 전압차에 따른 용량 변화가 줄어들게 된다.
- [0075] 백라이트 유닛(도 7, BLU) 등으로부터 박막트랜지스터 어레이 기판(Sub1)에 조사된 광은, 베이스 기판(100)과 반도체층(140a) 사이에 배치된 스토리지 커패시터( $C_{st}$ )이 하부 전극(120)에 의해 반도체층(140a)에 거의 입사되지 않을 수 있다.
- [0076] 그러나, 일 실시예에 따르면, 상기 스토리지 커패시터( $C_{st}$ )의 하부 전극(120)은 반도체층(140a)으로 광을 유입시키기 위한 광 유입 통로(LP, light inflow path)를 포함할 수 있다. 상기 광 유입 통로(LP)는 상부 전극(150)과 평면상 중첩되며 적어도 일부가 하부 전극(120)을 구성하는 물질로 둘러싸인 빈 공간에 대응될 수 있다. 즉, 광 유입 통로(LP)에는 하부 전극(120)을 구성하는 물질이 배치되지 않으므로, 광 유입 통로(LP)를 통해 백라이트 유닛(BLU) 등으로부터 조사된 광은 반도체층(140a)에 입사될 수 있다.
- [0077] 일 실시예에 따르면, 상기 광 유입 통로(LP)는 하부 전극(120)에 포함된 적어도 하나의 개구(120a)를 포함할 수 있다. 상기 개구(120a)는 상부 전극(150)의 하부, 즉 상부 전극(150)과 평면상 중첩되는 영역에 배치될 수 있다. 도 2에서는, 상기 개구(120a)의 수가 복수 개이며, 개구(120a)의 형태가 사각 형태인 것을 도시하였지만, 개구(120a)의 형태 및 갯수는 이에 한정되지 않는다.
- [0078] 상기 하부 전극(120)은 일 방향으로 연장된 커패시터선(SL)으로부터 돌출된 일 영역일 수 있으며, 커패시터선(SL)으로부터 하부 전극(120)에 커패시터 전압( $V_{st}$ )이 인가될 수 있다. 상기 커패시터선(SL)은 게이트선( $GL_n$ )과 동일층에 배치되며 게이트선( $GL_n$ )과 동일한 방향을 따라 연장될 수 있다. 상기 베이스 기판(100) 상에는 상기

커패시터선(SL)으로부터 상기 일 방향과 교차하는 방향을 따라 화소 전극(180)이 배치된 영역을 통과하도록 연장된 가지부(SL<sub>br</sub>)가 배치될 수 있으며, 가지부(SL<sub>br</sub>)의 적어도 일부는 화소 전극(180)의 적어도 일부와 평면상 중첩되도록 배치되어 커패시터를 형성할 수 있다. 상기 커패시터는 스토리지 커패시터(C<sub>st</sub>)의 일부를 구성할 수 있으며, 이를 통해 스토리지 커패시터(C<sub>st</sub>)의 용량을 증가시킬 수 있다.

- [0079] 상기 베이스 기관(100) 상에는 트랜지스터(Tr) 및 스토리지 커패시터(C<sub>st</sub>)를 덮는 비아 절연막(160)이 배치될 수 있으며, 비아 절연막(160)에 의해 트랜지스터(Tr) 및 스토리지 커패시터(C<sub>st</sub>)에 의한 단차를 평탄화될 수 있다.
- [0080] 상기 비아 절연막(160)은 스토리지 커패시터(C<sub>st</sub>)의 상부 전극(150)의 일부를 노출하는 비아홀(VIA)을 포함할 수 있다. 비아 절연막(160) 상에는 화소 전극(180)이 배치되며, 화소 전극(180)은 비아홀(VIA)을 통해 상기 상부 전극(150)과 연결될 수 있다. 화소 전극(180)은 액정 표시 장치에 포함된 복수 개의 화소들 각각에 독립되도록 배치될 수 있다.
- [0081] 도 2에는 화소 전극(180)이 중심 가지부(180a) 및 중심 가지부(180a)로부터 연장된 미세 가지부(180b)를 포함하는 것으로 도시되어 있으나, 본 발명은 이에 제한되지 않으며 화소 전극(180)은 사각 평판 형태, 십자 형태 등 다양한 형태로 구성될 수 있다.
- [0082] 일 실시예에 따르면, 스토리지 커패시터(C<sub>st</sub>)의 하부 전극(120)은 반도체층(140a)에 광을 조사하기 위한 광 유입 통로(LP)를 포함하며, 이를 통해 하부 전극(120) 및 상부 전극(150)에 인가되는 전압차 등에 따른 스토리지 커패시터(C<sub>st</sub>)의 용량 변화를 최소화할 수 있다.
- [0083] 즉, 상기 스토리지 커패시터(C<sub>st</sub>)의 용량 변화에 따른 킥백 전압의 변화를 최소화함으로써, 액정 표시 장치에 의해 구현되는 화상에 발생할 수 있는 세로줄 형태의 얼룩, 플리커(flicker) 불량, 및 잔상 등의 문제점을 개선할 수 있다.
- [0084] 도 5a는 다른 실시예에 따른 박막트랜지스터 어레이 기관에 포함된 스토리지 커패시터를 개략적으로 나타낸 평면도이고, 도 5b는 도 5a의 V<sub>b</sub>-V<sub>b</sub> 선을 따라 취한 단면도이다. 도 5a 및 도 5b는 도 3의 박막트랜지스터 어레이 기관에 포함된 스토리지 커패시터(C<sub>st</sub>)의 변형예를 나타낸 것이다.
- [0085] 일 실시예에 따르면, 베이스 기관(200) 상에는 버퍼층(210)이 배치되고, 버퍼층(210) 상에는 하부 전극(220) 및 상부 전극(250)을 포함하는 스토리지 커패시터(C<sub>st</sub>)가 배치될 수 있다.
- [0086] 상기 하부 전극(220)과 상부 전극(250) 사이에는 실리콘 질화물(SiN<sub>x</sub>)로 이루어진 절연층(230a) 및 절연층(230a) 상에 배치되며 비정질 실리콘(amorphous silicon)으로 이루어진 반도체층(240a)을 포함하는 유전층(DE L)이 배치될 수 있다.
- [0087] 상기 반도체층(240a)은 약 3.5 이상의 높은 굴절률을 가지며, 따라서 높은 용량을 갖는 스토리지 커패시터(C<sub>st</sub>)를 구현할 수 있다.
- [0088] 상기 상부 전극(250)은 n<sup>+</sup> 비정질 실리콘으로 이루어진 제1 층(251) 및 제1 층(251) 상에 배치되며 적어도 하나의 금속층을 포함하는 제2 층(252)을 포함할 수 있다.
- [0089] 상기 하부 전극(220)은 베이스 기관(200)으로부터 입사된 광을 반도체층(240a)에 입사시키기 위한, 광 유입 통로(LP)를 포함할 수 있다. 상기 광 유입 통로(LP)는 하부 전극(220)에 포함된 적어도 하나의 홈(220a)을 포함할 수 있으며, 상기 홈(220a)은 상부 전극(250)의 하부, 즉 상부 전극(250)과 평면상 중첩되는 영역에 배치될 수 있다. 일 실시예에 따르면, 상기 홈(220a)은 복수 개이며 하부 전극(220)의 일 가장자리로부터 사각 형태로 파인 형태일 수 있으나, 본 발명은 이에 제한되지 않는다.
- [0090] 상기 홈(220a)은 하부 전극(220)과 상부 전극(250)을 연결하는 방향과 실질적으로 수직인 방향을 따라 하부 전극(220)에 형성된 것일 수 있으며, 따라서 도 5a에 도시된 바와 같이 평면에서 봤을 때, 핑거(finger) 형태를 가질 수 있다.
- [0091] 상기 홈(220a)은 하부 전극(220)을 구성하는 물질로 둘러싸인 빈 공간에 대응될 수 있으며, 백라이트 유닛(BLU, 도 7) 등으로부터 조사된 광이 홈(220a)을 통과하여 반도체층(240a)에 입사될 수 있다.

- [0092] 도 6a는 또 다른 실시예에 따른 박막트랜지스터 어레이 기판에 포함된 스토리지 커패시터를 개략적으로 나타낸 평면도이고, 도 6b는 도 6a의 VI<sub>b</sub>-VI<sub>b</sub> 선을 따라 취한 단면도이다.
- [0093] 도 6a 및 도 6b는 도 3의 박막트랜지스터 어레이 기판에 포함된 스토리지 커패시터(C<sub>st</sub>)의 변형예를 나타낸 것이다.
- [0094] 일 실시예에 따르면, 베이스 기판(300) 상에는 버퍼층(310)이 배치되고, 버퍼층(310) 상에는 하부 전극(320) 및 상부 전극(350)을 포함하는 스토리지 커패시터(C<sub>st</sub>)가 배치될 수 있다.
- [0095] 상기 하부 전극(320)과 상부 전극(350) 사이에는 실리콘 질화물(SiN<sub>x</sub>)로 이루어진 절연층(330a) 및 절연층(330a) 상에 배치되며 비정질 실리콘(amorphous silicon)으로 이루어진 반도체층(340a)을 포함하는 유전층(DE L)이 배치될 수 있다.
- [0096] 상기 반도체층(340a)은 약 3.5 이상의 높은 굴절률을 가지며, 따라서 높은 용량을 갖는 스토리지 커패시터(C<sub>st</sub>)를 구현할 수 있다.
- [0097] 상기 상부 전극(350)은 n<sup>+</sup> 비정질 실리콘으로 이루어진 제1 층(351) 및 제1 층(351) 상에 배치되며 적어도 하나의 금속층을 포함하는 제2 층(352)을 포함할 수 있다.
- [0098] 상기 하부 전극(320)은 베이스 기판(300)으로부터 입사된 광을 반도체층(340a)에 입사시키기 위한, 광 유입 통로(LP)를 포함할 수 있다. 상기 광 유입 통로(LP)는 하부 전극(320)에 포함된 적어도 하나의 개구(320a)를 포함할 수 있으며, 상기 개구(320a)는 상부 전극(350)의 하부, 즉 상부 전극(350)과 평면상 중첩되는 영역에 배치될 수 있다. 일 실시예에 따르면, 상기 개구(320a)는 복수 개이며, 각각의 개구(320a)는 원 형태를 가질 수 있다.
- [0099] 상기 개구(320a)는 하부 전극(320)을 구성하는 물질로 둘러싸인 빈 공간에 대응될 수 있으며, 백라이트 유닛(BLU, 도 7) 등으로부터 조사된 광이 개구(320a)를 통과하여 반도체층(340a)에 입사될 수 있다.
- [0100] 도 7은 도 2의 박막트랜지스터 어레이 기판을 포함하는 액정 표시 장치를 개략적으로 나타낸 단면도이다.
- [0101] 도 7을 참조하면, 일 실시예에 따른 액정 표시 장치는, 도 2 및 도 3의 박막트랜지스터 어레이 기판(Sub1) 및 박막트랜지스터 어레이 기판(Sub1) 상에 배치된 액정층(LC) 및 박막트랜지스터 어레이 기판(Sub)과 함께 액정층(LC)을 밀봉하는 상부 기판(Sub2)을 포함할 수 있다.
- [0102] 상기 액정 표시 장치는 베이스 기판(100) 상에 배치된 트랜지스터(Tr), 트랜지스터(Tr)와 전기적으로 연결된 스토리지 커패시터(C<sub>st</sub>), 트랜지스터(Tr) 및 스토리지 커패시터(C<sub>st</sub>)와 전기적으로 연결된 화소 전극(180), 화소 전극(180) 상에 배치된 액정층(LC) 및 화소 전극(180)과 함께 액정층(LC)에 전기장을 인가하는 공통 전극(190)을 포함할 수 있다.
- [0103] 일 실시예에 따르면, 상기 공통 전극(190)은 액정층(LC)을 사이에 두고 화소 전극(180)과 대향되도록 배치될 수 있다. 즉, 공통 전극(190)은 상부 기판(Sub2)의 화소 전극(180)에 대향하는 면 상에 배치될 수 있다. 이 경우, 화소 전극(180)과 공통 전극(190)에 인가된 서로 다른 전압에 의해 수직(vertical) 방향으로 전기장이 형성되고, 이에 따라 액정층(LC)에 포함된 액정들이 정렬될 수 있다.
- [0104] 그러나, 본 발명은 이에 제한되지 않으며, 상기 공통 전극(190)은 박막트랜지스터 어레이 기판(Sub1)에 화소 전극(180)과 절연되도록 배치될 수 있다. 이 경우, 공통 전극(190) 및 화소 전극(180) 사이에 수평(horizontal) 방향으로 전기장이 형성되고, 이에 따라 액정층(LC)에 포함된 액정들이 정렬될 수 있다. 즉, 화소 전극(180) 및 공통 전극(190)은 액정 표시 장치를 구동하는 모드에 따라 다양한 형태로 배치될 수 있다.
- [0105] 도시하진 않았지만, 액정 표시 장치는 액정층(LC)의 상부 및 하부에는 액정층(LC)에 전기장이 인가되지 않은 상태에서 액정층(LC)에 포함된 액정 물질의 정렬 방향을 결정하는 배향막(미도시)이 배치될 수 있다.
- [0106] 상기 액정 표시 장치는 상부 기판(Sub2) 방향으로 화상을 구현하며, 베이스 기판(100)의 트랜지스터(Tr) 및 스토리지 커패시터(C<sub>st</sub>)가 배치된 방향의 반대 방향에 배치되어, 베이스 기판(100) 방향으로 광을 조사하는 백라이트 유닛(BLU)을 더 포함할 수 있다. 백라이트 유닛(BLU)으로부터 방출된 광은 스토리지 커패시터(C<sub>st</sub>)의 하부 전극(120)에 포함된 광 유입 통로(LP)를 통과하여 반도체층(140a)의 적어도 일부에 입사될 수 있다.
- [0107] 상기 트랜지스터(Tr)는 게이트 전극(GE), 게이트 전극(GE)과 전기적으로 절연되며 반도체 물질을 포함하는 활성

층(140b), 활성층(140b) 상에 서로 이격되어 배치된 제1 전극(SE) 및 제2 전극(DE)을 포함하고, 스토리지 커패시터(C<sub>st</sub>)는 광 유입 통로(LP)를 포함하는 하부 전극(120) 및 제2 전극(DE)과 전기적으로 연결되며 하부 전극(120)에 대향하도록 배치된 상부 전극(150)을 포함할 수 있다.

[0108] 상기 박막트랜지스터 어레이 기관(Sub1)에 포함된 구성들에 관해서는 도 2 및 도 3에 관한 설명에서 상세히 기재하였으므로, 여기에서는 생략하도록 한다.

[0109] 도 7에서는, 박막트랜지스터 어레이 기관(Sub1)에 포함된 스토리지 커패시터(C<sub>st</sub>)가 도 2 및 도 3의 형태를 갖는 것을 예시하였지만, 상기 스토리지 커패시터(C<sub>st</sub>)는 도 5a 또는 도 6a의 형태를 갖을 수도 있다.

[0110] 상기한 바와 같이 이루어진 본 발명의 일 실시예에 따른 박막트랜지스터 어레이 기관(Sub1) 및 이를 포함하는 액정 표시 장치는, 스토리지 커패시터(C<sub>st</sub>)의 유전층(DEL)에 반도체층(140a, 240a, 340a)을 배치함으로써 면적의 증가없이 높은 용량의 스토리지 커패시터(C<sub>st</sub>)를 구현할 수 있으며, 이를 통해 고해상도의 액정 표시 장치를 구현할 수 있다.

[0111] 또한, 스토리지 커패시터(C<sub>st</sub>)의 하부 전극(120, 220, 320)에 광 유입 통로(LP)를 포함시킴으로써 스토리지 커패시터(C<sub>st</sub>)의 용량 변화를 최소화하여 구현되는 화상에 발생할 수 있는 세로줄 형태의 얼룩, 플리커 불량, 및 잔상을 개선할 수 있다.

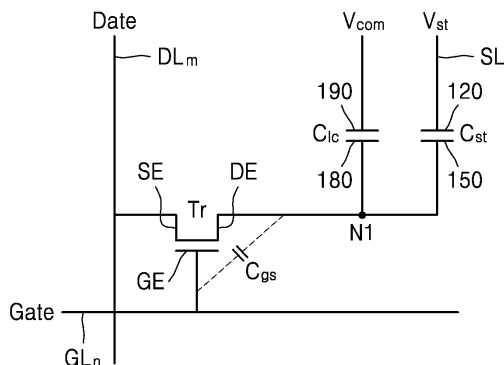
[0112] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

**부호의 설명**

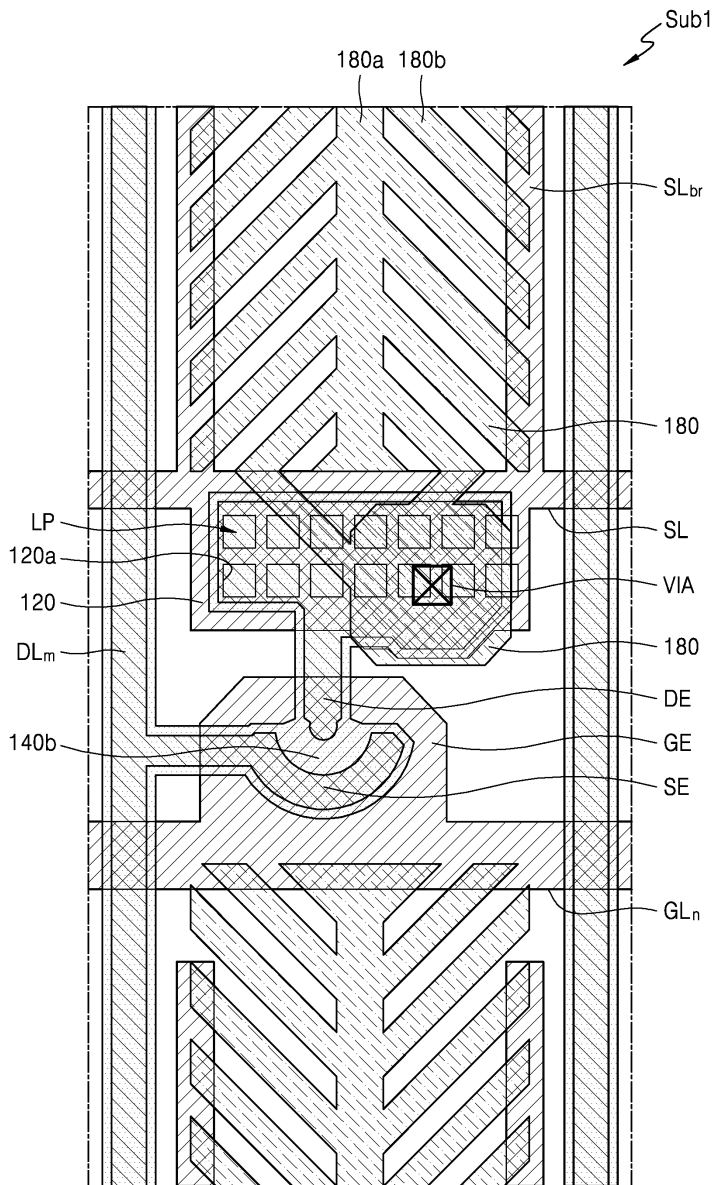
- [0113] Sub1: 박막트랜지스터 어레이 기관
- Sub2: 상부 기관 BLU: 백라이트 유닛
- LP: 광 유입 통로 100, 200, 300: 베이스 기관
- 110, 210, 310: 버퍼층 120, 220, 320: 하부 전극
- 120a, 320a: 개구 220a: 홈
- 130a, 230a, 330a: 절연층 130b: 게이트 절연막
- 140a, 240a, 340a: 반도체층 140b: 활성층
- 150, 250, 350: 상부 전극 151, 251, 351: 제1 층
- 152, 252, 352: 제2 층 160: 비아 절연막
- 180: 화소 전극 190: 공통 전극

**도면**

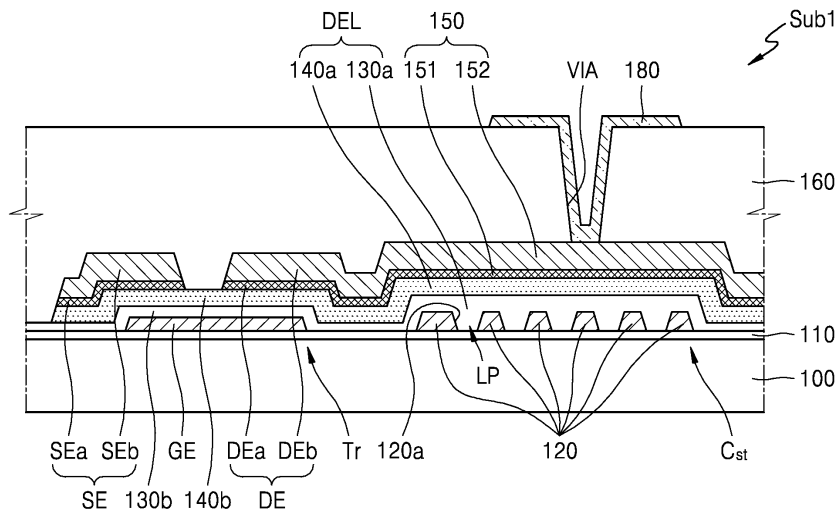
**도면1**



도면2

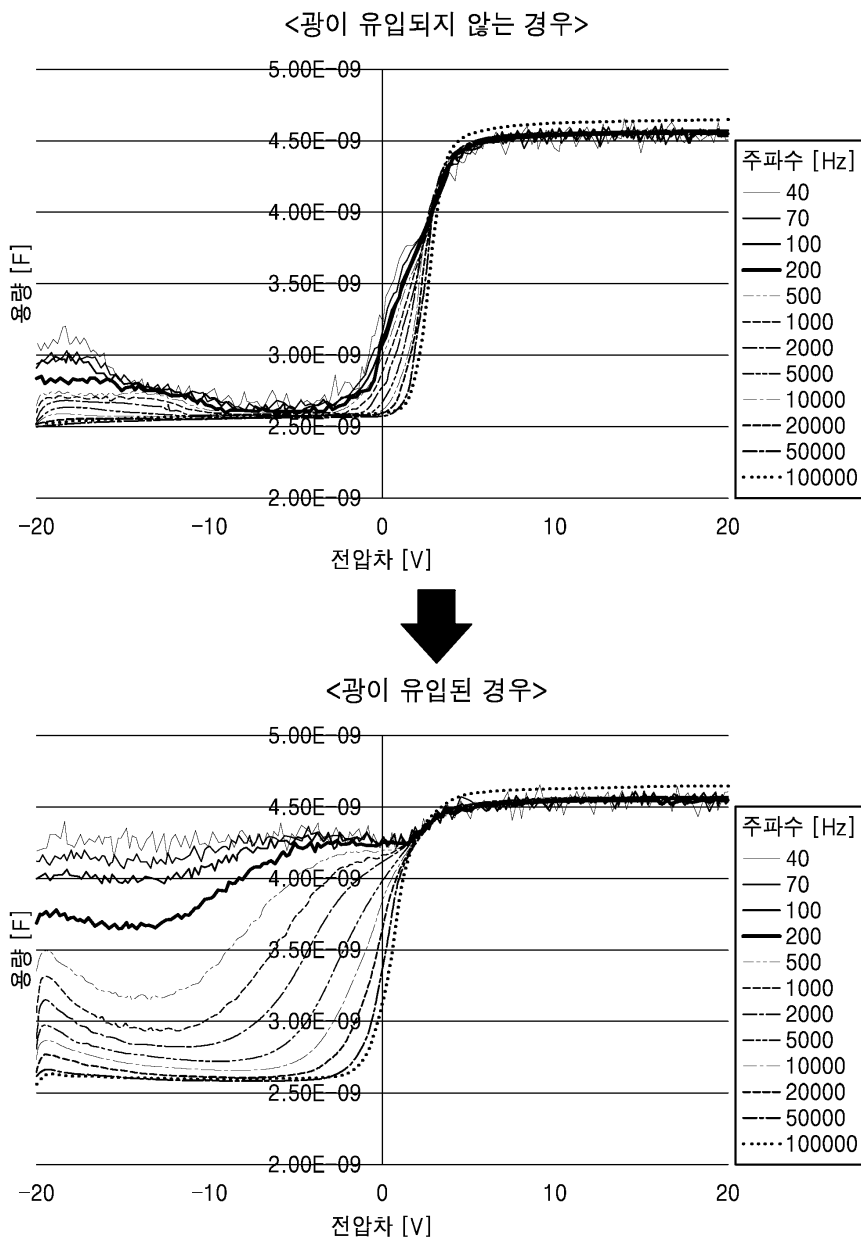


도면3

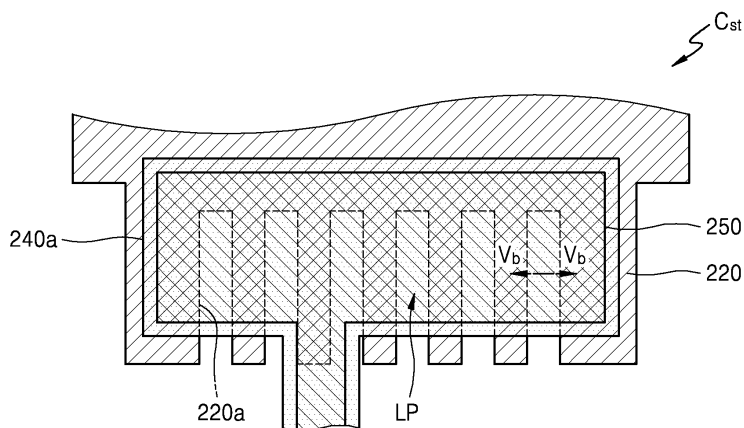




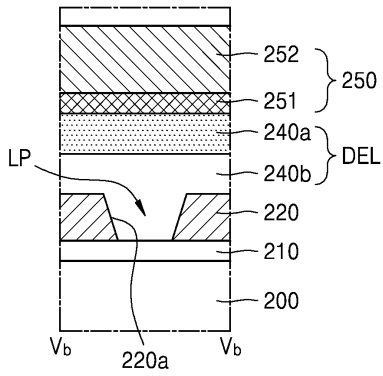
도면4



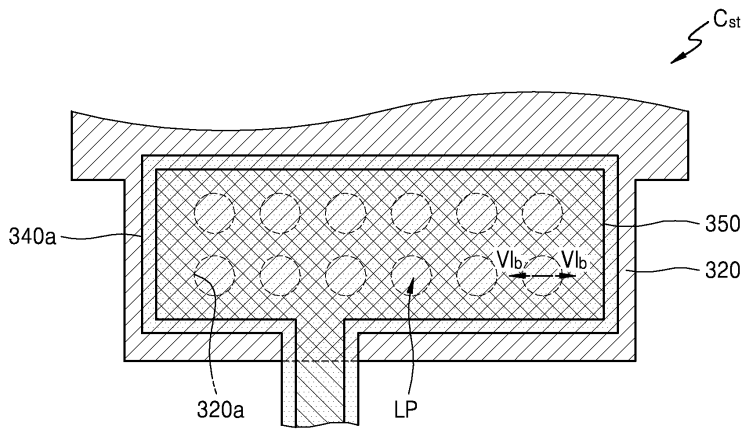
도면5a



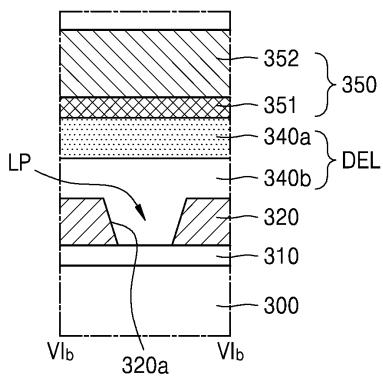
도면5b



도면6a



도면6b



도면7

