

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 97100722

※ 申請日期： 97.1.8 ※IPC 分類：H01L 21/8 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置之製造方法及製造裝置以及記憶媒體

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商東京威力科創股份有限公司

TOKYO ELECTRON LIMITED

代表人：(中文/英文)

佐藤 潔

SATO, KIYOSHI

住居所或營業所地址：(中文/英文)

日本國東京都港區赤坂五丁目3番6號

3-6, AKASAKA 5-CHOME, MINATO-KU, TOKYO 107-8481, JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 4 人)

姓 名：(中文/英文)

1. 佐古 卓司

SAKO, TAKUJI

2. 柏木 勇作

KASHIWAGI, YUSAKU

3. 戶島 宏至

TOSHIMA, HIROYUKI

4. 前川 薫

MAEKAWA, KAORU

國 籍：(中文/英文)

1. 日本 JAPAN

2. 日本 JAPAN

3. 日本 JAPAN

4. 日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2007年02月02日；特願2007-024212

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種製造具有含銅金屬膜之半導體裝置之方法及製造裝置，以及記憶用於執行上述方法之程式之記憶媒體。

【先前技術】

近來，對應於半導體裝置之高速化、佈線圖案之微細化及高積體化之要求，需要提高佈線之導電性，對應此要求，作為佈線材料，在導電性上優於鋁(Al)及鎢(W)的銅(Cu)受到矚目。

但，由於Cu容易氧化而形成易脆的氧化銅，其密合性及機械強度容易降低。而且，Cu易擴散，易產生因其擴散至層間絕緣膜中而引起佈線間之傳導。因此，先前為提高Cu佈線周圍之阻障性以消除Cu之氧化及擴散之問題，故在Cu佈線之側壁及底部形成Ta或Ta₂N₅等阻障金屬膜，在其上面形成兼作蝕刻終止層之SiN、SiCN、及SiC等介電膜。

但，近來，基於半導體裝置之微細化及高速化之觀點，趨向為降低佈線間之電容，因而使用低介電係數化之層間絕緣膜，然而上述SiN、SiCN、及SiC等由於其相對介電係數大(SiN=7、SiCN=4.5、SiC=3.5)，因此需要介電係數更小的阻障介電膜。再者，為充分發揮阻障性，此等膜需要大於30 nm之大的膜厚，因而亦有不能充分因應裝置小型化之問題。

作為解決該問題之技術，提出有如下之技術，即：將在

表面露出含銅金屬膜狀態之半導體基板配置在反應室內，實施藉由電漿去除含銅金屬膜表面氧化膜之前處理，然後，向含銅金屬膜之表面導入Si，之後，藉由電漿氮化含銅金屬膜之導入Si部分，而在銅佈線表面形成CuSiN膜(專利文獻1)。根據該技術可僅在Cu表面形成阻障膜，可使介電阻障膜薄膜化。而且，即使在其上形成包含SiC膜等之蝕刻終止層，亦可減小其總膜厚，可使Cu佈線表面之介電膜之介電係數降低。

但，該技術亦有如下之缺點。即，由於該技術在前處理步驟與氮化處理步驟使用電漿，故層間絕緣膜會因電漿中主體之離子而受到損傷。特別係在使用低介電係數膜(Low-k膜)作為層間絕緣膜之情形時，因膜的構造被破壞，曝露於大氣而吸附水分，對於Cu佈線之阻障性、介電係數及洩漏電流會上升。而且，在形成上層之層間絕緣膜時，其密合性會降低。

[專利文獻1]日本特開2006-237257號公報

【發明內容】

[發明所欲解決之問題]

本發明係鑒於上述情事所完成者，其目的在於提供一種半導體裝置之製造方法及製造裝置，其在採用向含銅金屬膜之表面導入Si，並將該部分氮化而形成CuSiN阻障層之技術時，不易產生對層間絕緣膜之損傷及因曝露於大氣而引起之水分吸附。

此外，本發明之目的在於提供一種記憶媒體，其係記憶

執行上述半導體裝置製造方法之程式者。

[解決問題之技術手段]

為解決上述問題，本發明之第1觀點，係提供一種半導體裝置之製造方法，其特徵在於具有：基板準備步驟，其係準備在表面露出含銅金屬膜狀態之半導體基板者；清潔化處理步驟，其係藉由自由基或熱化學之方法清潔化處理前述含銅金屬膜之表面者；Si導入步驟，其係向前述含銅金屬膜之表面導入Si者；及氮化步驟，其係藉由自由基氮化前述含銅金屬膜之導入Si部分者；且該製造方法係不破壞真空而連續進行前述清潔化處理步驟、前述Si導入步驟及前述氮化步驟者。

本發明之第2觀點，係提供一種半導體裝置之製造方法，其特徵在於具有：基板準備步驟，其係準備在表面露出含銅金屬膜狀態之半導體基板者；清潔化處理步驟，其係藉由自由基或熱化學之方法清潔化處理前述含銅金屬膜之表面者；Si導入步驟，其係向前述含銅金屬膜之表面導入Si者；氮化步驟，其係藉由自由基氮化前述含銅金屬膜之導入Si部分者；及介電膜形成步驟，其係在藉由前述氮化步驟所形成之氮化膜上形成介電膜者；且該製造方法係不破壞真空而連續進行前述清潔化處理步驟、前述Si導入步驟、前述氮化步驟及前述介電膜形成步驟者。

在上述第1及第2觀點中，前述清潔化步驟可藉由H₂氣、N₂氣、Ar氣及NH₃氣中1種以上之處理氣體之自由基來進行。此時，前述清潔化步驟，可藉由從包含複數槽孔之平

面天線所輻射之微波使前述處理氣體電漿化所形成之自由基，或藉由使前述處理氣體接觸高溫催化劑所產生之自由基來進行。再者，作為實施前述清潔化步驟之熱化學之方法，可使用一面加熱半導體基板一面向前述含銅金屬膜之表面供給還原氣體者。

此外，在上述第1及第2觀點中，前述氮化步驟可使用含N氣體之自由基來進行。此時，前述氮化步驟，可藉由從包含複數槽孔之平面天線所輻射之微波使前述處理氣體電漿化所形成之自由基，或藉由使前述處理氣體接觸高溫催化劑所產生之自由基來進行。

此外，在上述第1及第2觀點中，前述一連串之步驟可在同一反應室內實施。

再者，在上述第1及第2觀點中，前述清潔化步驟與前述Si導入步驟可在第1反應室進行，其他步驟可在第2反應室進行；另外，在上述第2觀點中，前述清潔化步驟與前述Si導入步驟可在第1反應室進行，前述氮化步驟與前述介電膜形成步驟可在第2反應室進行。

再者，在上述第2觀點中，前述清潔化步驟、前述Si導入步驟及前述氮化步驟可在第1反應室進行，前述介電膜形成步驟可在第2反應室進行。此時，前述第1反應室具有產生自由基之功能，其既可係藉由從包含複數槽孔之平面天線所輻射之微波，使用於清潔化步驟之氣體及用於氮化步驟之氣體電漿化而產生自由基者；亦可係藉由使用於清潔化步驟之氣體及用於氮化步驟之氣體，接觸高溫催化劑

而產生自由基者。

再者，在上述第1及第2觀點中，前述各步驟亦可分別在各別之反應室進行。

本發明之第3觀點係提供一種半導體裝置之製造裝置，其特徵在於具有：清潔化處理機構，其係在真空中藉由自由基或熱化學之方法，清潔化處理在表面露出含銅金屬膜狀態之半導體基板之前述含銅金屬膜之表面者；Si導入機構，其係在真空中向前述含銅金屬膜之表面導入Si者；及氮化機構，其係在真空中藉由自由基使前述含銅金屬膜之導入Si部分氮化者；且該製造裝置係不破壞真空而連續進行前述清潔化處理、前述Si導入及前述氮化者。

本發明之第4觀點係提供一種半導體裝置之製造裝置，其特徵在於具有：清潔化處理機構，其係在真空中藉由自由基或熱化學之方法清潔化處理在表面露出含銅金屬膜狀態之半導體基板之前述含銅金屬膜之表面者；Si導入機構，其係在真空中向前述含銅金屬膜之表面導入Si者；氮化機構，其係在真空中藉由自由基使前述含銅金屬膜之導入Si部分氮化者；及介電膜形成機構，其係在真空中在藉由前述氮化所形成之氮化膜上形成介電膜者；且該製造裝置係不破壞真空而連續進行前述清潔化處理、前述Si導入、前述氮化及前述介電膜之形成者。

在上述之第3及第4觀點中，作為藉由前述自由基進行清潔化之機構及藉由前述自由基進行氮化之機構，可使用具有：微波產生機構、包含複數槽孔之平面天線，及將在前

述微波產生機構所產生之微波傳輸至前述平面天線之微波傳輸機構；且藉由從前述平面天線所輻射之微波使處理氣體電漿化而產生自由基者；或可使用具有在高溫加熱後與處理氣體接觸之催化劑，並在處理氣體接觸前述催化劑時產生自由基者。另外，作為藉由前述熱化學方法之清潔化機構，可使用具有加熱半導體基板之組件，及向前述含銅金屬膜之表面供給還原氣體之組件者。

此外，在上述之第3及第4觀點中，可為具備藉由前述各機構實施處理之單一反應室者。而且，在上述第4觀點中，可具備：包含前述清潔化機構、前述Si導入機構、及前述氮化機構之第1反應室，包含前述介電膜形成機構之第2反應室，及在前述第1反應室與前述第2反應室之間不破壞真空而搬運半導體基板之搬運機構。在此等之中，作為前述清潔化機構及前述氮化機構，可為：具備微波產生機構，包含複數槽孔之平面天線，及將在前述微波產生機構所產生之微波傳輸至前述平面天線之微波傳輸機構，並將藉由前述平面天線所輻射之微波引導至前述反應室或前述第1反應室，使處理氣體電漿化而產生自由基者；或為設置在前述反應室或前述第1反應室內，具有在高溫加熱後與處理氣體接觸之催化劑，並在處理氣體接觸前述催化劑時在前述反應室或前述第1反應室內產生自由基者。

在上述第3觀點中，可構成為具備：包含前述清潔化處理機構、及前述Si導入機構之第1反應室，包含前述氮化機構之第2反應室，以及在前述第1反應室與前述第2反應

室之間不破壞真空而搬運半導體基板之搬運機構。而且，在上述第4觀點中，可構成為具備：包含前述清潔化處理機構、及前述Si導入機構之第1反應室，包含前述氮化機構、及前述介電膜形成機構之第2反應室，以及在前述第1反應室與前述第2反應室之間不破壞真空而搬運半導體基板之搬運機構。

再者，在上述第3及第4觀點中，可為具備：各自包含前述各機構之複數之反應室，及在此等反應室之間不破壞真空而搬運半導體基板之搬運機構。

本發明之第5觀點，係提供一種記憶媒體，其特徵在於其係記憶在電腦上動作、且控制處理裝置之程式者，前述控制程式係在執行時，使電腦控制前述處理裝置，以便進行上述第1或第2觀點之半導體裝置之製造方法者。

[發明之效果]

根據本發明，因為係藉由自由基或熱化學方法進行含銅金屬膜表面之清潔化處理，並藉由自由基進行Si導入部分之氮化處理，故不易產生因電漿中之離子而引起之損傷；此外，因為係不破壞真空而連續進行清潔化步驟、Si導入步驟、及氮化步驟，故在層間絕緣膜不易產生因水份吸附而引起之問題。

【實施方式】

以下，參照附圖就本發明之實施形態進行具體說明。

圖1係用於說明本發明之半導體裝置製造方法之步驟之流程圖，圖2係上述各步驟之剖面圖，圖3係模式化表示在

本發明中CuSiN膜形成過程之說明圖。

首先，準備具有如下構造之半導體基板(步驟1)，其係在Si基體1上形成有第1層間絕緣膜2、Cu擴散阻障膜之介電膜3、及第2層間絕緣膜4；在第1及第2層間絕緣膜2、4中，以使其表面露出之狀態埋入Cu佈線5；在Cu佈線5之側壁與對應於Cu佈線5之第1及第2層間絕緣膜2、4部分之底部，各自形成有阻障金屬膜6者。作為層間絕緣膜2、4使用典型的Low-k膜。另外，實際上之佈線層層積約10層左右，但為方便，圖中表示2層之情形。

其次，在真空環境中，藉由自由基或熱化學之方法清潔化處理露出之Cu佈線5之表面，去除形成於其表面之自然氧化膜等(步驟2、圖2之(a))。藉此，與先前之以離子為主體之電漿處理比較，可進行對於第2層間絕緣膜4損傷小的處理。

在藉由自由基進行處理時，作為清潔化處理之氣體可使用H₂氣、N₂氣、Ar氣及NH₃氣中1種以上之處理氣體。作為用於產生自由基之方法，可舉出藉由用包含複數槽孔之平面天線、例如RLSA(Radial Line Slot Antenna：輻射狀槽孔型天線)向反應室導入微波，形成高密度且低電子溫度微波電漿(RLSA微波電漿)而產生自由基者，或使處理氣體接觸加熱之高融點催化劑，藉由催化反應而產生自由基者。

作為藉由熱化學方法之處理，可舉出在反應室內一面加熱半導體基板，一面供給氫或有機酸等還原氣體而進行還

原處理者。作為有機酸可使用蟻酸、醋酸、及酪酸等羧酸，宜使用無水醋酸等無水羧酸。

繼上述清潔化處理步驟之後，不破壞真空，進行向Cu佈線5之表面導入Si之處理(步驟3、圖2之(b))。該處理係藉由向Si基體1供給 SiH_4 氣、 Si_2H_6 氣、 SiH_2Cl_2 氣、 $\text{Si}(\text{CH}_3)_4$ 氣、 $\text{SiH}(\text{CH}_3)_3$ 氣、 $\text{SiH}_2(\text{CH}_3)_2$ 氣、及 $\text{SiH}_3(\text{CH}_3)$ 氣等含有Si之氣體來進行，如圖3(a)所示，藉由擴散向包含Cu佈線5表面之結晶粒界區域導入Si，如圖2(b)、及圖3(b)所示，薄化形成該Si與Cu反應之反應層7。此時之基板溫度，例如設定為 $100\sim 400^\circ\text{C}$ 。

繼上述Si導入步驟之後，不破壞真空，藉由自由基氮化處理來進行Si導入部分之氮化處理(步驟4)。藉此，如圖2(c)所示，氮化Cu佈線5表面之反應層7，得到形成有包含CuSiN阻障層8之半導體裝置。藉由如此之自由基氮化處理，與先前之藉由以離子為主體之電漿處理之氮化比較，可進行對於第2層間絕緣膜4損傷小的氮化處理。藉由如此之氮化處理，如圖3(c)所示，由於在包含Cu佈線5表面之結晶粒界之區域擴散之Si，會更集中於接近表面的區域而形成CuSiN，故可薄化形成阻障層8。

該自由基氮化處理，使用含N氣體作為處理氣體，作為含N氣體，可使用單獨之 N_2 氣、 N_2 氣與Ar氣、 N_2 氣與 H_2 氣、及 NH_3 氣等。作為用於產生自由基之方法，與步驟2之清潔化處理相同，可舉出藉由用包含複數槽孔之平面天線、例如RLSA(Radial Line Slot Antenna：輻射狀槽孔型

天線)向反應室導入微波，形成高密度且低電子溫度微波電漿而產生自由基者，或使處理氣體接觸加熱之高融點催化劑，藉由催化反應而產生自由基者。

在藉由該氮化處理而形成阻障層8之後，視需要形成作為蝕刻終止層或擴散防止膜之介電膜9。作為該介電膜9，可使用SiN、SiCN及SiC。此時，由於已有阻障層8，故不需要該介電膜9發揮阻障功能，或即使需要亦只是輔助阻障層8之程度即可，因此，可減薄其膜厚，便不會產生非期望之高介電係數。此時之介電膜9之形成，係在氮化處理後不破壞真空而進行。此時之膜形成按通常之方法進行即可，可採用CVD或PVD等適當之方法。

如此，藉由用自由基或熱化學之方法進行清潔化處理，及藉由用自由基氮化處理進行氮化處理，可減少對於第2層間絕緣膜4之損傷，而且，藉由不破壞真空而連續進行清潔化處理步驟、Si導入步驟、氮化處理步驟，及視需要進行之介電膜形成步驟，可抑制因構成第2層間絕緣膜4之Low-k膜吸附水分，使得對於Cu佈線之阻障性、介電係數、及洩漏電流上升，可在形成上層之層間絕緣膜時防止其密合性降低。

繼之，就實際實施本發明時之具體實施形態進行說明。

[第1實施形態]

此處，就清潔化處理步驟、Si導入步驟、氮化處理步驟，及視需要進行之介電膜形成步驟，全部使用RLSA微波電漿處理裝置進行之情形進行說明。

圖4係用於實施第1實施形態之半導體裝置之製造方法的RLSA微波電漿處理裝置之概略剖面圖。如圖4所示，該RLSA微波電漿處理裝置10具有：大致圓筒形狀之反應室11，其係可收容、真空保持半導體基板者；承載器(susceptor)12，其係設置在反應室11底部、載置半導體基板S者；氣體導入部13，其係形成為環狀、設置在反應室11側壁之用於導入處理氣體者；平面天線14，其以面對反應室11上部開口部之方式設置，係形成有多數之微波穿透孔14a者；微波產生部15，其係產生微波者；微波傳輸機構16，其係將微波產生部15產生之微波引導至平面天線14者；及處理氣體供給部17，其係向氣體導入部13供給處理氣體者。

在平面天線14之下方，設置有包含介電質之微波穿透板21，在平面天線14之上設有屏蔽構件22。微波傳輸機構16具有：波導管31，其係從微波產生部15引導微波於水平方向延伸者；同軸波導管32，其係包含從平面天線14向上方延伸之內導體33及外導體34者；及模式轉換機構35，其係設置於波導管31與同軸波導管32之間者。

在反應室11之底部連接有排氣管23，在排氣管23連接有用於反應室11內排氣之包含閥門及真空泵等之排氣機構24。另外，在反應室11之側壁設置有可搬入、搬出半導體基板S之搬出入口25，該出入口25係藉由閘閥G可開、閉者。此外，在承載器12內埋設有加熱器18。

處理氣體供給部17具有：清潔化處理氣體供給源36，其

係供給用於實施清潔化處理步驟之如上述之清潔化處理氣體者；含Si氣體供給源37，其係供給用於實施Si導入步驟之含Si氣體者；含N氣體供給源38，其係供給用於實施氮化處理步驟之含N氣體者；及介電膜形成氣體供給源39，其係供給用於實施介電膜形成步驟之介電膜形成氣體者。從此等清潔化處理氣體供給源36、含Si氣體供給源37、含N氣體供給源38、及介電膜形成氣體供給源39分別連接有氣體供給管路41、42、43、44，此等連接至共同之氣體供給管路40後，連接於上述氣體導入部13。此外，在氣體供給管路41、42、43、44中介安裝有開關閥門45及質量流量控制器等流量控制器(未圖示)。

該RLSA微波電漿處理裝置10具有包含控制各構成部之微處理機(電腦)之製程控制器50，為各構成部連接於該製程控制器50而受其控制之構成。另外，在製程控制器50連接有使用者介面51，其包含操作者為管理RLSA微波電漿處理裝置10而進行命令輸入操作等之鍵盤，及使電漿處理裝置之工作狀況可視化而進行顯示之顯示器等。

此外，在製程控制器50連接有記憶部52，其係儲存用於藉由製程控制50之控制，實現在RLSA微波電漿處理裝置10所執行之各種處理之控制程式；及用於使RLSA微波電漿處理裝置10之各構成部，因應處理條件執行處理之程式、即處理程式者。處理程式儲存於記憶部52中之記憶媒體。記憶媒體既可為硬碟或半導體記憶體，亦可為CDROM、DVD、及快閃記憶體等可移動者。另外，亦可

從其他裝置，例如經由專用線路來傳輸適宜的處理程式。

然後，因應需要，藉由依照來自使用者介面51之指令等從記憶部52讀出任意之處理程式而使製程控制器50予以執行，在製程控制器50之控制下，在RLSA微波電漿處理裝置10進行期望之處理。

繼之，就在上述構成之RLSA微波電漿處理裝置10所進行之本實施形態之方法進行說明。

首先，將半導體基板S搬入反應室11內，載置於承載器12上，對在半導體基板S表面露出之Cu佈線表面進行清潔化處理。

具體而言，其係一面藉由排氣機構24將反應室11內真空排氣，一面從氣體供給部17經由氣體導入部13，向反應室11內供給如上述之 H_2 氣、 N_2 氣、Ar氣及 NH_3 氣等之清潔化處理氣體，然後使反應室11內維持特定之壓力，並將在微波產生部15產生之微波，經由微波傳輸機構16以特定之模式引導至平面天線14，並通過平面天線14之微波穿透孔14a及微波穿透板21均勻地供給至反應室11內，藉由該微波使清潔化處理氣體電漿化後，藉由該電漿實施以自由基為主體之清潔化處理，去除Cu佈線表面之自然氧化膜等。進行該處理時之反應室11內之壓力，例如設為0.13 Pa~1333 Pa(1 mTorr~10 Torr)，基板溫度例如設為100~400℃。

該RLSA微波方式之電漿處理，由於係形成以低電子溫度、高密度之自由基為主體之電漿，故可幾乎不對層間絕

緣膜造成損傷而進行高速處理。

在該清潔化處理結束後，一面繼續進行真空排氣，一面從未圖示之清除氣體供給源向反應室11內供給清除氣體，例如Ar氣，清除殘留在反應室11內之氣體。

繼之，不破壞反應室11內之真空，將來自氣體供給部17之氣體切換為如上述之 SiH_4 氣、 Si_2H_6 氣、 SiH_2Cl_2 氣、 $\text{Si}(\text{CH}_3)_4$ 氣、 $\text{SiH}(\text{CH}_3)_3$ 氣、 $\text{SiH}_2(\text{CH}_3)_2$ 氣、及 $\text{SiH}_3(\text{CH}_3)$ 氣等含有Si之氣體，進行Si導入處理。在進行該Si導入處理時，不需特別形成電漿，但亦可根據氣體之不同，形成微波電漿以促進分解。進行該Si導入處理時之反應室11內之壓力，例如設為 $1.3\sim 1333\text{ Pa}$ ($10\text{ mTorr}\sim 10\text{ Torr}$)，基板溫度例如設為 $100\sim 400^\circ\text{C}$ 。藉由該處理，如上所述在Cu佈線表面形成CuSi膜。

在該Si導入處理結束後，一面繼續進行真空排氣，一面從未圖示之清除氣體供給源向反應室11內供給清除氣體，例如Ar氣，清除殘留在反應室11內之氣體。另外，亦可只進行真空排氣。

繼之，不破壞反應室11內之真空，將來自氣體供給部17之氣體切換為如上述之單獨之 N_2 氣、 N_2 氣與Ar氣、 N_2 氣與 H_2 氣、及 NH_3 氣等含N氣體，將在微波產生部15產生之微波，經由微波傳輸機構16以特定之模式引導至平面天線14，並通過平面天線14之微波穿透孔14a及微波穿透板21均勻地供給至反應室11內，藉由該微波使含N氣體電漿化後，實施以自由基為主體之自由基氮化處理，使形成於Cu

佈線表面之CuSi膜氮化而形成CuSiN膜。進行該氮化處理時之反應室11內之壓力，例如設為1.3~1333 Pa(10 mTorr~10 Torr)，基板溫度例如設為100~400℃。

在該處理中，與清潔化處理之情形相同，由於係採用RLSA微波方式之電漿處理，形成以低電子溫度、高密度之自由基為主體之電漿，故可幾乎不對層間絕緣膜造成損傷而進行高速處理。

藉由該處理，可得到在Cu佈線表面形成有包含CuSiN之阻障膜之半導體裝置，如上所述，亦可根據需要繼續在阻障膜之上，形成用於蝕刻終止層及擴散防止膜之介電膜。該介電膜之形成，係不破壞反應室11內之真空，將來自氣體供給部17之氣體切換為介電膜形成氣體，藉由CVD法在阻障膜上堆疊SiN、SiCN、及SiC等之介電膜而形成。此時，宜使用 $\text{Si}(\text{CH}_3)_4$ 、 $\text{SiH}(\text{CH}_3)_3$ 、 $\text{SiH}_2(\text{CH}_3)_2$ 、 $\text{SiH}_3(\text{CH}_3)$ 、Dimethyl Phenyl Silane(二甲基苯基矽烷)等氣體，基板溫度宜設為例如100~400℃。

如此，本實施形態中，因為係以保持一個反應室內之真空不變，進行清潔化處理步驟、Si導入步驟、氮化處理步驟、及介電膜形成步驟，故可幾乎完全防止水分吸附於包含Low-k膜之層間絕緣膜。而且，如上所述，因為係以藉由RLSA微波電漿產生之自由基處理進行清潔化處理及氮化處理，故與先前之以離子為主體之電漿處理比較，其對層間絕緣膜之損傷小。

[第2實施形態]

此處，就全部使用催化劑處理裝置進行清潔化處理步驟、Si導入步驟、氮化處理步驟、及根據需要進行的介電膜形成步驟之情形進行說明。

圖5係用於實施第2實施形態之半導體裝置之製造方法的催化劑處理裝置之概略剖面圖。如圖5所示，該催化劑處理裝置60具有大致圓筒形狀之反應室61，其係可收容、真空保持半導體基板者，在反應室61底部設置有承載器62。在承載器62內埋設有加熱半導體基板S之加熱器63。

在反應室61內之上部設置有中空圓盤狀之噴淋頭65，其係以與承載器62相對之方式設置，用於向反應室61內導入處理氣體者。噴淋頭65其上面中央具有氣體導入口66，其下面具有多數之氣體噴出孔67。

上述之噴淋頭65連接於供給處理氣體之處理氣體供給部68。處理氣體供給部68具有：清潔化處理氣體供給源70，其係供給用於實施清潔化處理步驟之如上述之清潔化處理氣體者；含Si氣體供給源71，其係供給用於實施Si導入步驟之含Si氣體者；含N氣體供給源72，其係供給用於實施氮化處理步驟之含N氣體者；及介電膜形成氣體供給源73，其係供給用於實施介電膜形成步驟之介電膜形成氣體者。在此等清潔化處理氣體供給源70、含Si氣體供給源71、含N氣體供給源72、及介電膜形成氣體供給源73，分別連接有氣體供給管路74、75、76、77，此等連接至共同之氣體供應管路69後，連接於上述之噴淋頭65之氣體導入口66。此外，在氣體供給管路74、75、76、77中介安裝有

開關閥門78及質量流量控制器等流量控制器(未圖示)。

在反應室61之底部連接有排氣管81，在排氣管81連接有用於反應室61內排氣之包含閥門及真空泵等之排氣機構82。另外，在反應室61之側壁設置有可搬入、搬出半導體基板S之搬出入口83，該搬出入口83係藉由閘閥G可開、閉者。

在反應室61內之承載器62與噴淋頭65之間，設置有導電性之高融點材料，例如包含鎢之催化劑金屬絲87。該催化劑金屬絲87之一端連接有供電線88，在該供電線88設有可變直流電源89，藉由從該可變直流電源89向催化劑金屬絲87供電，可將催化劑金屬絲87加熱至1400℃以上之特定溫度。另一方面，將催化劑金屬絲87之另一端接地。此外，催化劑金屬絲87之材料不限於鎢，可舉出可加熱至1400℃以上高溫之其他高融點金屬，例如，鉭、鉬、釩、鉑、及鈦等。且此等鎢等高融點金屬亦可不是單體。

然後，在將催化劑金屬絲87加熱至特定高溫之狀態，向反應室61內導入處理氣體，藉由使其接觸催化劑金屬絲87，使處理氣體藉由接觸分解反應受激成為自由基，而藉由該自由基進行清潔化處理及氮化處理。

該催化劑處理裝置60具有包含控制各構成部之微處理機(電腦)之製程控制器90，為各構成部連接於該製程控制器90而受其控制之構成。在製程控制器90連接有使用者介面91及記憶部92。此等製程控制器90、使用者介面91、及記憶部92之構成，與第1實施形態之製程控制器50、使用者

介面51、及記憶部52相同。

其次，就在上述構成之催化劑處理裝置60所進行之本實施形態之方法進行說明。

首先，將半導體基板S搬入反應室61內，載置於承載器62上，對於半導體基板S表面露出之Cu佈線表面進行清潔化處理。

具體而言，其係一面藉由排氣機構82將反應室61內真空排氣，一面從處理氣體供給部68經由噴淋頭65，向反應室61內供給如上述之 H_2 氣、 N_2 氣、Ar氣及 NH_3 氣等清潔化處理氣體，然後使反應室61內維持特定之壓力，並藉由加熱器63將承載器62上之半導體基板S加熱至特定之溫度。

另一方面，從可變直流電源89向催化劑金屬絲87供電，控制加熱至特定之高溫，該特定之高溫宜為 $1400\sim 2000^{\circ}C$ 。在如此將催化劑金屬絲87加熱成高溫之狀態，若如上述導入清潔化處理氣體，則清潔化處理氣體接觸催化劑金屬絲87，藉由接觸反應受激而產生自由基，藉由使產生之自由基接觸半導體基板S之Cu佈線表面，而藉由接觸分解反應去除Cu佈線表面之自然氧化膜等。該處理例如可將催化劑金屬絲之溫度設為 $1000\sim 2000^{\circ}C$ 、基板溫度設為 $100\sim 400^{\circ}C$ ，藉由流通清潔化處理氣體來進行。

該裝置可藉由極簡便之構成產生高密度之自由基，可實現低成本之處理裝置。且由於如上述進行使用自由基之處理，故可幾乎不對層間絕緣膜造成損傷而進行高速處理。

在該清潔化處理結束後，一面繼續進行真空排氣，一面

從未圖示之清除氣體供給源向反應室61內供給清除氣體，例如Ar氣，清除殘留在反應室61內之氣體。

繼之，不破壞反應室61內之真空，將來自處理氣體供給部68之氣體切換為如上述之 SiH_4 氣、 Si_2H_6 氣、 SiH_2Cl_2 氣、 $\text{Si}(\text{CH}_3)_4$ 氣、 $\text{SiH}(\text{CH}_3)_3$ 氣、 $\text{SiH}_2(\text{CH}_3)_2$ 氣、及 $\text{SiH}_3(\text{CH}_3)$ 氣等含有Si之氣體，將承載器62加熱至特定溫度後進行Si導入處理。在進行該Si導入處理時，不需特別形成自由基，但亦可根據氣體之不同，加熱催化劑金屬絲87而使其自由基化。進行該Si導入處理時之反應室61內之壓力，例如設為1.3~1333 Pa(10 mTorr~10 Torr)，基板溫度例如設為100~400℃。藉由該處理，如上所述在Cu佈線表面形成CuSi膜。

在該Si導入處理結束後，一面繼續進行真空排氣，一面從未圖示之清除氣體供給源向反應室61內供給清除氣體，例如Ar氣，清除殘留在反應室61內之氣體。另外，亦可只進行真空排氣。

繼之，不破壞反應室61內之真空，將來自氣體供給部68之氣體切換為如上述之單獨之 N_2 氣、 N_2 氣與Ar氣、 H_2 氣與Ar氣、及 NH_3 氣等含N氣體，維持反應室61內為特定壓力，藉由加熱器63將承載器62上之半導體基板S加熱至特定之溫度。另一方面，從可變直流電源89向催化劑金屬絲87供電，控制加熱至特定之高溫，該特定之高溫宜為1400~2000℃。如此在將催化劑金屬絲87加熱成高溫之狀態，藉由向反應室61導入含氮氣體，使含N氣體接觸催化

劑金屬絲87，藉由接觸反應受激而產生含N自由基，藉由該含N自由基實施自由基氮化處理，使在Cu佈線表面形成之CuSi膜氮化而形成CuSiN膜。該氮化處理，例如可將催化劑金屬絲之溫度設為1000~2000℃、基板溫度設為100~400℃，藉由流通含N氣體來進行。

該處理與清潔化處理時相同，藉由極簡便構成之裝置產生高密度之自由基，可實現低成本之處理裝置。且由於如上述進行使用自由基之處理，故可幾乎不對層間絕緣膜造成損傷而進行高速處理。

藉由該處理，可得到在Cu佈線表面形成有包含CuSiN之阻障膜之半導體裝置，但如上所述，亦可根據需要繼續在阻障膜之上，形成用於蝕刻終止層及擴散防止膜之介電膜。該介電膜之形成，係不破壞反應室61內之真空，並將來自氣體供給部68之氣體切換為介電膜形成氣體，藉由CVD法在阻障膜上堆積SiN、SiCN、及SiC等介電膜而形成者。此時，不需特別加熱催化劑金屬絲87，但亦可根據氣體之不同加熱催化劑金屬絲87而產生自由基。

如此，本實施形態中，因為係以保持一個反應室內之真空不變，進行清潔化處理步驟、Si導入步驟、氮化處理步驟、及介電膜形成步驟，故可幾乎完全防止水分吸附於包含Low-k膜之層間絕緣膜。而且，如上所述，因為係使用藉由氣體接觸加熱之催化劑金屬絲87而產生之自由基來進行清潔化處理及氮化處理，故與先前之以離子為主體之電漿處理比較，對層間絕緣膜之損傷小。

[第3實施形態]

上述第1及第2實施形態，係顯示在單一之反應室進行清潔化處理步驟、Si導入步驟、氮化處理步驟、及介電膜形成步驟之情形，但由於在同一反應室進行此等處理時，氣體供給系統變得複雜，存在因各步驟間之氣體清除等而引起生產率降低之虞。為消除該問題，本實施形態中，具備複數之處理反應室，藉由可在此等複數之處理反應室間不破壞真空地搬運裝置，實施此等步驟。

圖6係用於實施第3實施形態之半導體裝置製造方法之多反應室型處理裝置之概略構造之水平剖面圖。該處理裝置200具備4個處理單元101、102、103、及104，此等之各單元101~104係分別對應於呈六角形之搬運室105之4個邊而設置者。而搬運室105之另外2個邊分別設置有真空預抽室(loadlock)106、107。在此等真空預抽室106、107之與搬運室105之相反側設置有搬出室108，在搬出室108之與真空預抽室106、107之相反側，設置有3個晶舟109、110、111，其係安裝可收容半導體基板S(半導體晶圓)之載具C者。

處理單元101~104及真空預抽室106、107，如圖6所示，係經由閘閥G連接於搬運室105之各邊，此等藉由打開其對應之閘閥G而與搬運室105連通，藉由關閉其對應之閘閥G而與搬運室105遮斷。此外，在真空預抽室106、107之與搬出室108連接之部分，亦設置有閘閥G，真空預抽室106、107藉由打開對應之閘閥G而與搬出室108連通，藉

由關閉對應之閘閥G而與搬入、搬出室108遮斷。

在搬運室105內，設置有向處理單元101~104及真空預抽室106、107搬入、搬出半導體基板S之搬運裝置112。該晶圓搬運裝置112配置於搬運室105之大致中央，在其可旋轉及伸縮之旋轉·伸縮部113之前端具有2個保持半導體基板S的托板114a、114b，該2個托板114a、114b係以相互朝向相反方向之方式安裝在旋轉·伸縮部113。此外，該搬運室105內保持為特定之真空度。

在用於安裝搬出室108之載具C之3個晶舟109、110、111上分別設有未圖示之擋板(shutter)，將收容有半導體基板S或空的載具C直接安裝於上述晶舟109、110、及111，在安裝上之後擋板落下，成為既可防止外氣入侵又與搬出室108連通之狀態。另外，搬出室108之側面設有對準室115，在此處進行半導體基板S之對準。

在搬出室108內設置有搬運裝置116，其係向載具C搬入、搬出半導體基板S及向真空預抽室106、107搬入、搬出半導體基板S者。該搬運裝置116具有多關節臂構造，可沿載具C之排列方向在導軌118上行走，在其前端之手部117上載置半導體基板S而進行搬運。

該處理裝置200具有製程控制器130，其係包含控制各構成部、即各處理單元、搬運系統，及氣體供給系統等之微處理機(電腦)者，各構成部係連接於該製程控制器130而受其控制之構成。製程控制器130連接有使用者介面131及記憶部132。該等製程控制器130、使用者介面131及記憶部

132之構成，與第1實施形態之製程控制器50、使用者介面51及記憶部52之構成相同。

本實施形態中，清潔化處理步驟、Si導入步驟、氮化處理步驟、及介電膜形成步驟之一部分在處理單元101~104中之任一處理單元進行，其餘步驟在其他1或2個以上之處理單元進行。

具體而言，可進行如下之組合：

(1)清潔化處理步驟、Si導入步驟、及氮化處理步驟在1個處理單元進行，介電膜形成步驟在其他處理單元進行；

(2)清潔化處理步驟及Si導入步驟在1個處理單元進行，氮化處理步驟及介電膜形成步驟在其他處理單元進行；

(3)清潔化處理步驟、Si導入步驟、氮化處理步驟、及介電膜形成步驟全部在不同之處理單元進行；

當然亦可進行其他方式的組合。

上述組合(1)之情形，進行清潔化處理步驟、Si導入步驟、及氮化處理步驟之處理單元，可使用從上述第1實施形態之RLSA微波電漿處理裝置10中除去介電膜形成氣體供給源39，或從上述第2實施形態之催化劑處理裝置60中除去介電膜形成氣體供給源73者，並以上述程序進行清潔化處理步驟、Si導入步驟、及氮化處理步驟。

作為進行介電膜形成步驟之處理單元，例如可使用如圖7之構成者。該處理單元具有大致圓筒形狀之反應室141，其係收容、真空保持半導體基板者，在反應室141之底部設置有承載器142。在承載器142內埋設有加熱半導體基板

S之加熱器143。

在反應室141內之上部設置有中空圓盤狀之噴淋頭145，其係以與承載器142相對之方式設置，用於向反應室141內導入介電膜形成氣體者。噴淋頭145其上面中央具有氣體導入口146，其下面具有多數之氣體噴出孔147。

上述之噴淋頭145之氣體導入口146連接有氣體供給配管148，氣體供給配管148之另一端設置有介電膜形成氣體供給源150。此外，在氣體供給配管148中介安裝有開關閥門149及質量流量控制器等流量控制器(未圖示)。

在反應室141之底部連接有排氣管151，在排氣管151連接有用於反應室141內排氣之包含閥門及真空泵等之排氣機構152。另外，在反應室141之側壁設置有可搬入、搬出半導體基板S之搬出入口153，該搬出入口153係藉由閘閥G可開、閉者。

在如此構成之處理單元，首先，將半導體基板S搬入反應室141內，載置於承載器142上，該半導體基板S係經過氮化處理步驟而在Cu佈線表面形成有包含CuSiN之阻障膜者。在此狀態，一面藉由排氣機構152將反應室141內真空排氣，一面從介電膜形成氣體供給源150經由噴淋頭145，向反應室141內供給介電膜形成氣體，然後使反應室141內維持特定之壓力，並藉由加熱器143將承載器142上之半導體基板S加熱至特定之溫度。藉此，藉由CVD法在阻障膜之上形成介電膜。進行該處理時之反應室141內之壓力，例如設為1.3~1333 Pa(10 mTorr~10 Torr)，基板溫度例如

設為 100~400℃。

上述組合(2)之情形，進行清潔化處理步驟及Si導入步驟之處理單元，可使用從上述第1實施形態之RLSA微波電漿處理裝置10中除去含N氣體供給源38及介電膜形成氣體供給源39，或從上述第2實施形態之催化劑處理裝置60中除去含N氣體供給源72及介電膜形成氣體供給源73者，並以上述之程序進行清潔化處理步驟、及Si導入步驟。

此外，除此等可藉由自由基進行處理之裝置外，亦可使用藉由圖8所示之熱化學之方法進行清潔化處理之處理單元，來進行清潔化處理步驟及Si導入步驟。

該處理單元具有大致圓筒形狀之反應室161，其係可收容、真空保持半導體基板者，在反應室161之底部設置有承載器162。在承載器162內埋設有加熱半導體基板S之加熱器163。

在反應室161內之上部設置有中空圓盤狀之噴淋頭165，其係以與承載器162相對之方式設置，用於向反應室161內導入處理氣體者。噴淋頭165其上面中央具有氣體導入口166，其下面具有多數之氣體噴出孔167。

在上述之噴淋頭165連接有供給處理氣體之處理氣體供給部170。處理氣體供給部170具有：還原氣體供給源171，其係供給用於實施清潔化處理步驟之如上述之氫或有機酸等之還原氣體者；含Si氣體供給源172，其係供給用於實施Si導入步驟之含Si氣體者。在此等還原氣體供給源171、及含Si氣體供給源172，分別連接有氣體供給管路

173、174，此等連接至共同之氣體供給管路168後，再連接於上述之噴淋頭165之氣體導入口166。此外，在氣體供給管路173、174中介安裝有開關閥門175及質量流量控制器等流量控制器(未圖示)。

在反應室161之底部連接有排氣管176，在排氣管176連接有用於反應室161內排氣之包含閥門及真空泵等之排氣機構177。另外，在反應室161之側壁設置有可搬入、搬出半導體基板S之搬入、搬出口178，該搬入、搬出口178係藉由閘閥G可開、閉者。

在如此構成之處理單元，首先，將半導體基板S搬入反應室161內，載置於承載器162上。在此狀態，一面藉由排氣機構177將反應室161內真空排氣，一面從處理氣體供給部170之還原氣體供給源171經由噴淋頭165，向反應室161內供給還原氣體，然後使反應室161內維持特定之壓力，並藉由加熱器163將承載器162上之半導體基板S加熱至特定之溫度。藉此，使在半導體基板S之Cu佈線表面所形成之自然氧化膜藉由還原氣體還原後被去除。進行該處理時之反應室161內之壓力，例如設為1.3~1333 Pa(10 mTorr~10 Torr)，基板溫度例如設為100~400℃。

此外，上述(2)中作為進行氮化處理步驟及介電膜形成步驟之處理單元，係使用可進行自由基氮化者。即，可使用從上述第1實施形態之RLSA微波電漿處理裝置10除去清潔化處理氣體供給源36及含Si氣體供給源37，或使用從上述第2實施形態之催化劑處理裝置60除去清潔化處理氣體

供給源70及含Si氣體供給源71者，並以上述程序進行氮化處理步驟及介電膜形成步驟。

在對上述(3)之每一步驟各別設置處理單元時，作為進行清潔化處理步驟之處理單元，可使用圖4所示之RLSA微波電漿處理裝置10、及圖5所示之催化劑處理裝置60，使用此等進行藉由自由基之清潔化處理。

另外，亦可使用藉由熱化學之方法進行清潔化處理之處理單元，其係使用如圖8所示之氫氣及有機酸等還原氣體來進行者。

作為進行Si導入步驟之處理單元，可使用從圖8所示之處理單元中除去還原氣體供給源171者進行處理。

作為進行氮化處理步驟之處理單元，可使用圖4所示之RLSA微波電漿處理裝置10、及圖5所示之催化劑處理裝置60，藉由此等進行自由基氮化處理。

另外，此時，介電膜形成步驟亦可藉由上述圖7所示之裝置進行。

在使用圖6之處理裝置進行上述處理時，首先，藉由搬運裝置116從載具C取出一片半導體基板S，將其載置於真空預抽室106或107之載置臺上。然後，將收容有半導體基板S之真空預抽室內抽為真空後，藉由搬運裝置112將半導體基板從該真空預抽室搬運至保持為真空之搬運室105，進一步將其搬入處理單元101~104中進行最初處理之處理單元。在此處之處理結束後，為實施後續之處理步驟，藉由搬運裝置112將半導體基板S從先前之處理單元取出，經

由搬運室105運往下一處理單元。

如此，在本實施形態，係使用圖6之處理裝置藉由複數之處理單元來實施上述之一連串處理步驟，因為上述之複數處理單元連接於搬運室105，在處理單元間之半導體基板S之搬運，可藉由搬運裝置112不破壞真空地進行，故可充分地抑制水分吸附於包含Low-k膜之層間絕緣膜。

此外，本發明不限定於上述之實施形態，可進行種種變形。例如，上述之實施形態中，在藉由自由基進行Cu佈線表面之清潔化處理及Si導入步驟後之氮化處理步驟時，係使用RLSA微波電漿處理裝置、催化劑處理裝置，但並不限定於此，只要是可藉由自由基進行此等處理者即可適用。另外，關於熱化學之方法亦不限定於上述之實施形態，可採用其他的方法。再者，關於實施Si導入步驟及介電膜形成步驟之裝置，上述實施形態亦僅為例示，當可使用其他的裝置。

【圖式簡單說明】

圖1係用於說明本發明之半導體裝置製造方法之步驟的流程圖。

圖2(a)~(d)係用於說明本發明之半導體裝置製造方法之步驟的步驟剖面圖。

圖3(a)~(c)係本發明中CuSiN膜形成過程之模式圖。

圖4係用於實施本發明第1實施形態之半導體裝置製造方法之RLSA微波電漿處理裝置之概略剖面圖。

圖5係用於實施本發明第2實施形態之半導體裝置製造方法之催化劑處理裝置之概略剖面圖。

圖6係用於實施本發明第3實施形態之半導體裝置製造方法之多反應室型處理裝置之概略構造之水平剖面圖。

圖7係可適用於圖6之處理裝置進行介電膜形成步驟之處理單元之剖面圖。

圖8係實施清潔化處理步驟及Si導入步驟之處理單元之剖面圖，該處理單元係可適用於圖6之可藉由熱化學之方法進行清潔化處理者。

【主要元件符號說明】

1	Si基體
2、4	層間絕緣膜
3	介電膜
5	Cu佈線
6	阻障金屬層
7	反應層
8	阻障層
9	介電膜
10	RLSA微波處理裝置
50、90、130	製程控制器
52、92、132	記憶部(記憶媒體)
60	催化劑處理裝置
101~104	處理單元
105	搬運室
112	搬運裝置
200	處理裝置
S	半導體基板

五、中文發明摘要：

本發明提供一種半導體裝置之製造方法，該方法在採用向含銅金屬膜之表面導入Si，並將該部分氮化而形成CuSiN阻障層之技術時，不易產生對層間絕緣膜之損傷及因曝露於大氣而引起之水分吸附。

其解決方法係藉由如下步驟，即：準備在表面露出含銅金屬膜狀態之半導體基板，藉由自由基或熱化學之方法清潔化處理含銅金屬膜之表面，向含銅金屬膜之表面導入Si，及藉由自由基氮化含銅金屬膜之導入Si部分來製造半導體裝置時，不破壞真空而連續進行清潔化處理步驟、Si導入步驟及氮化步驟。

六、英文發明摘要：

十、申請專利範圍：

1. 一種半導體裝置之製造方法，其特徵在於具有：

基板準備步驟，其係準備在表面露出含銅金屬膜狀態之半導體基板者；

清潔化處理步驟，其係藉由自由基或熱化學之方法清潔化處理前述含銅金屬膜之表面者；

Si導入步驟，其係向前述含銅金屬膜之表面導入Si者；及

氮化步驟，其係藉由自由基氮化前述含銅金屬膜之導入Si部分者；且

該製造方法係不破壞真空而連續進行前述清潔化處理步驟、前述Si導入步驟及前述氮化步驟者。

2. 一種半導體裝置之製造方法，其特徵在於具有：

基板準備步驟，其係準備在表面露出含銅金屬膜狀態之半導體基板者；

清潔化處理步驟，其係藉由自由基或熱化學之方法清潔化處理前述含銅金屬膜之表面者；

Si導入步驟，其係向前述含銅金屬膜之表面導入Si者；

氮化步驟，其係藉由自由基氮化前述含銅金屬膜之導入Si部分者；及

介電膜形成步驟，其係在藉由前述氮化步驟所形成之氮化膜上形成介電膜者；且

該製造方法係不破壞真空而連續進行前述清潔化處理

步驟、前述Si導入步驟、前述氮化步驟及前述介電膜形成步驟者。

3. 如請求項1或2之半導體裝置之製造方法，其中前述清潔化步驟，係藉由 H_2 氣、 N_2 氣、Ar氣及 NH_3 氣中1種以上之處理氣體之自由基而進行。
4. 如請求項3之半導體裝置之製造方法，其中前述清潔化步驟係藉由自由基進行，該自由基係藉由從包含複數槽孔之平面天線所輻射之微波使前述處理氣體電漿化所形成者。
5. 如請求項3之半導體裝置之製造方法，其中前述清潔化步驟係藉由自由基進行，該自由基係藉由使前述處理氣體接觸高溫催化劑所產生者。
6. 如請求項1或2之半導體裝置之製造方法，其中實施前述清潔化步驟之熱化學之方法，係藉由一面加熱半導體基板一面向前述含銅金屬膜之表面供給還原氣體而進行。
7. 如請求項1或2之半導體裝置之製造方法，其中前述氮化步驟係使用含N氣體之自由基進行。
8. 如請求項7之半導體裝置之製造方法，其中前述氮化步驟係藉由自由基進行，該自由基係藉由從包含複數槽孔之平面天線所輻射之微波使前述處理氣體電漿化所形成者。
9. 如請求項7之半導體裝置之製造方法，其中前述氮化步驟係藉由自由基進行，該自由基係藉由使前述處理氣體接觸高溫催化劑所產生者。

10. 如請求項1或2之半導體裝置之製造方法，其中前述一連串之步驟在同一反應室內實施。
11. 如請求項1或2之半導體裝置之製造方法，其中前述清潔化步驟與前述Si導入步驟在第1反應室進行，其他步驟在第2反應室進行。
12. 如請求項2之半導體裝置之製造方法，其中前述清潔化步驟與前述Si導入步驟在第1反應室進行，前述氮化步驟與前述介電膜形成步驟在第2反應室進行。
13. 如請求項2之半導體裝置之製造方法，其中前述清潔化步驟、前述Si導入步驟及前述氮化步驟在第1反應室進行，前述介電膜形成步驟在第2反應室進行。
14. 如請求項13之半導體裝置之製造方法，其中前述第1反應室具有產生自由基之功能，其係藉由從包含複數槽孔之平面天線所輻射之微波使用於清潔化步驟之氣體及用於氮化步驟之氣體電漿化而產生自由基者。
15. 如請求項13之半導體裝置之製造方法，其中前述第1反應室具有產生自由基之功能，其係藉由使用於清潔化步驟之氣體及用於氮化步驟之氣體接觸高溫催化劑而產生自由基者。
16. 如請求項1或2之半導體裝置之製造方法，其中前述各步驟分別在各別之反應室進行。
17. 一種半導體裝置之製造裝置，其特徵在於具有：
清潔化處理機構，其係在真空中藉由自由基或熱化學之方法，清潔化處理在表面露出含銅金屬膜狀態之半導

體基板之前述含銅金屬膜表面者；

Si導入機構，其係在真空中向前述含銅金屬膜之表面導入Si者；及

氮化機構，其係在真空中藉由自由基使前述含銅金屬膜之導入Si部分氮化者；且

該製造裝置係不破壞真空而連續進行前述清潔化處理、前述Si導入及前述氮化者。

18. 一種半導體裝置之製造裝置，其特徵在於具有：

清潔化處理機構，其係在真空中藉由自由基或熱化學之方法，清潔化處理在表面露出含銅金屬膜狀態之半導體基板之前述含銅金屬膜表面者；

Si導入機構，其係在真空中向前述含銅金屬膜之表面導入Si者；

氮化機構，其係在真空中藉由自由基使前述含銅金屬膜之導入Si部分氮化者；及

介電膜形成機構，其係在真空中在藉由前述氮化所形成之氮化膜上形成介電膜者；且

該製造裝置係不破壞真空而連續進行前述清潔化處理、前述Si導入、前述氮化及前述介電膜之形成者。

19. 如請求項17或18之半導體裝置之製造裝置，其中前述藉由自由基進行清潔化之機構及前述藉由自由基進行氮化之機構，具有：微波產生機構、包含複數槽孔之平面天線，及將在前述微波產生機構產生之微波傳輸至前述平面天線之微波傳輸機構；且係藉由從前述平面天線所輻

射之微波使處理氣體電漿化而產生自由基者。

20. 如請求項17或18之半導體裝置之製造裝置，其中前述藉由自由基進行清潔化之機構及前述藉由自由基進行氮化之機構，具有在加熱至高溫後與處理氣體接觸之催化劑，且係在處理氣體接觸前述催化劑時產生自由基者。
21. 如請求項17或18之半導體裝置之製造裝置，其中藉由前述熱化學方法進行清潔化之機構，具有加熱半導體基板之機構，及向前述含銅金屬膜之表面供給還原氣體之機構。
22. 如請求項17或18之半導體裝置之製造裝置，其具備藉由前述各機構實施處理之單一反應室。
23. 如請求項18之半導體裝置之製造裝置，其具備：
 - 包含前述清潔化處理機構、前述Si導入機構、及前述氮化機構之第1反應室；
 - 包含前述介電膜形成機構之第2反應室；及
 - 在前述第1反應室與前述第2反應室之間不破壞真空而搬運半導體基板之搬運機構。
24. 如請求項22之半導體裝置之製造裝置，其中前述清潔化機構及前述氮化機構，具備：微波產生機構、包含複數槽孔之平面天線，及將在前述微波產生機構所產生之微波傳輸至前述平面天線之微波傳輸機構；且係將藉由前述平面天線所輻射之微波引導至前述反應室或前述第1反應室，使處理氣體電漿化而產生自由基者。
25. 如請求項23之半導體裝置之製造裝置，其中前述清潔化

機構及前述氮化機構，具備：微波產生機構、包含複數槽孔之平面天線，及將在前述微波產生機構所產生之微波傳輸至前述平面天線之微波傳輸機構；且係將藉由前述平面天線所輻射之微波引導至前述反應室或前述第1反應室，使處理氣體電漿化而產生自由基者。

26. 如請求項22之半導體裝置之製造裝置，其中前述清潔化機構及前述氮化機構，設置於前述反應室或前述第1反應室內，具有在高溫加熱後與處理氣體接觸之催化劑，在處理氣體接觸前述催化劑時在前述反應室或前述第1反應室內產生自由基。

27. 如請求項23之半導體裝置之製造裝置，其中前述清潔化機構及前述氮化機構，設置於前述反應室或前述第1反應室內，具有在高溫加熱後與處理氣體接觸之催化劑，在處理氣體接觸前述催化劑時在前述反應室或前述第1反應室內產生自由基。

28. 如請求項17之半導體裝置之製造裝置，其具備：

包含前述清潔化處理機構與前述Si導入機構之第1反應室；

包含前述氮化機構之第2反應室；及

在前述第1反應室與前述第2反應室之間不破壞真空而搬運半導體基板之搬運機構。

29. 如請求項18之半導體裝置之製造裝置，其具備：

包含前述清潔化處理機構與前述Si導入機構之第1反應室；

包含前述氮化機構與前述介電膜形成機構之第2反應室；及

在前述第1反應室與前述第2反應室之間不破壞真空地搬運半導體基板之搬運機構。

30. 如請求項17或18之半導體裝置之製造裝置，其具備分別包含前述各機構之複數反應室，及在該等反應室之間不破壞真空而搬運半導體基板之搬運機構。

31. 一種記憶媒體，其特徵在於：其係記憶在電腦上動作、且控制處理裝置之程式者，前述控制程式係在執行時，使電腦控制前述處理裝置，以執行請求項1至16中任一項之半導體裝置之製造方法。

十一、圖式：

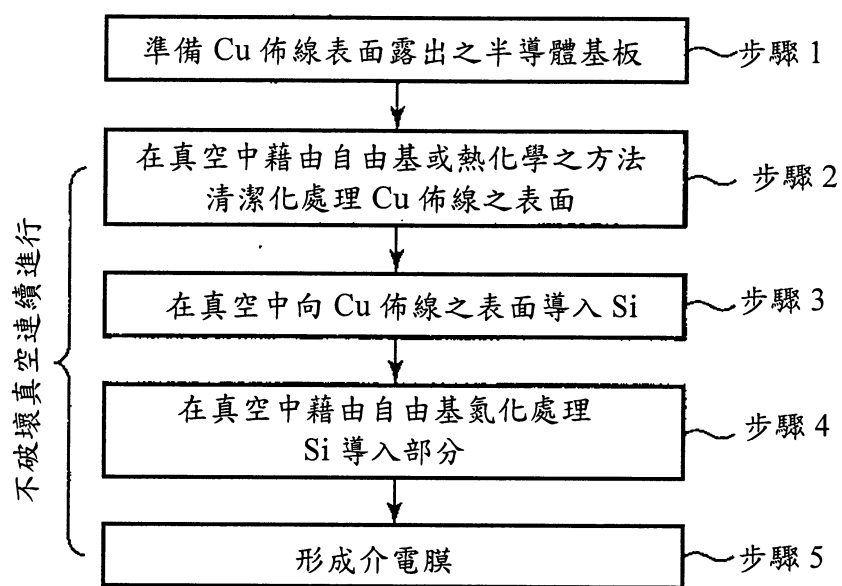


圖 1

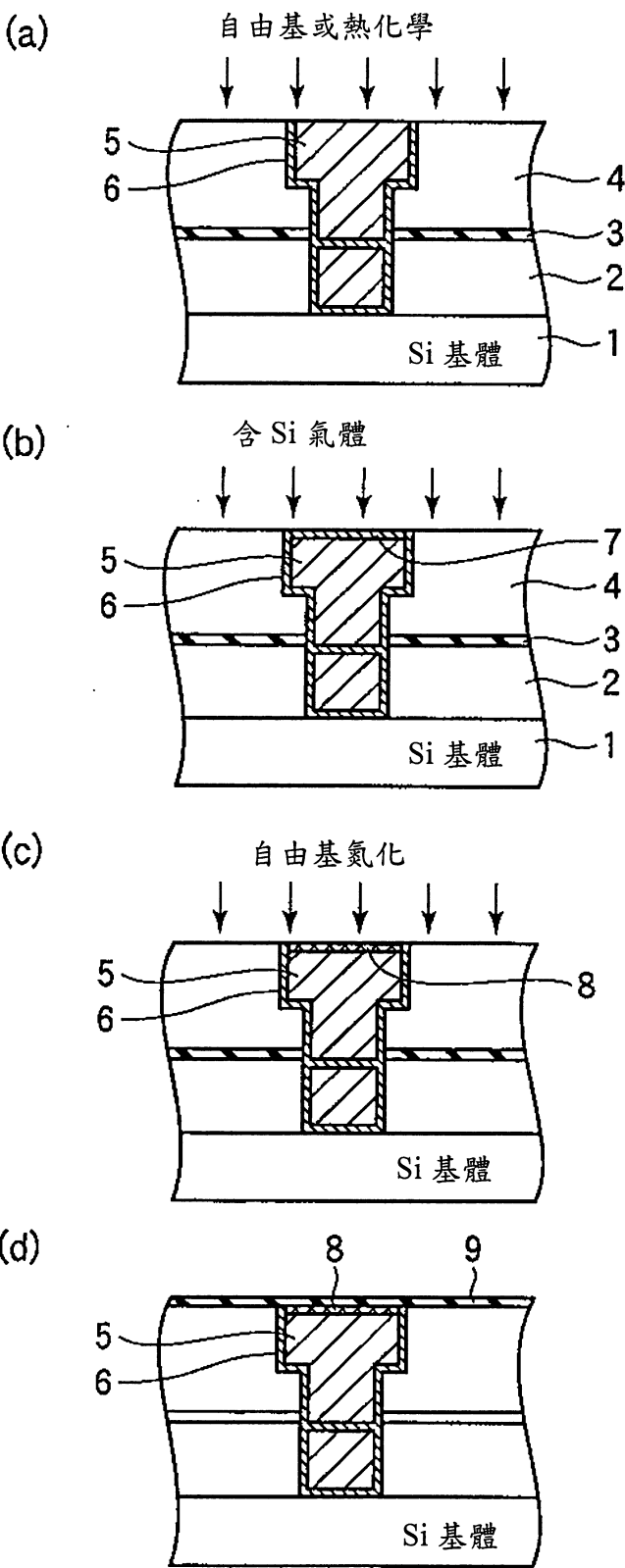


圖 2

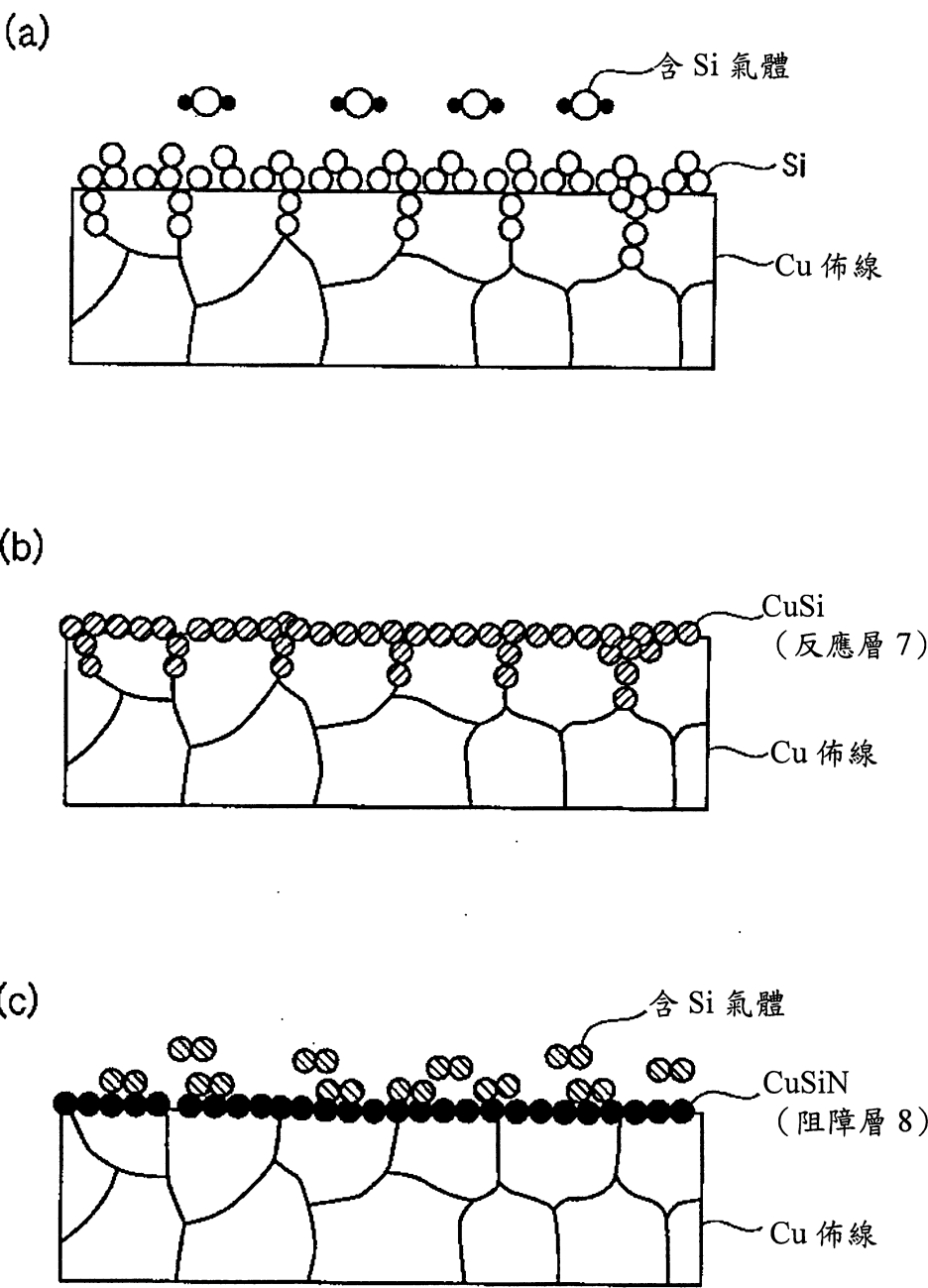


圖 3

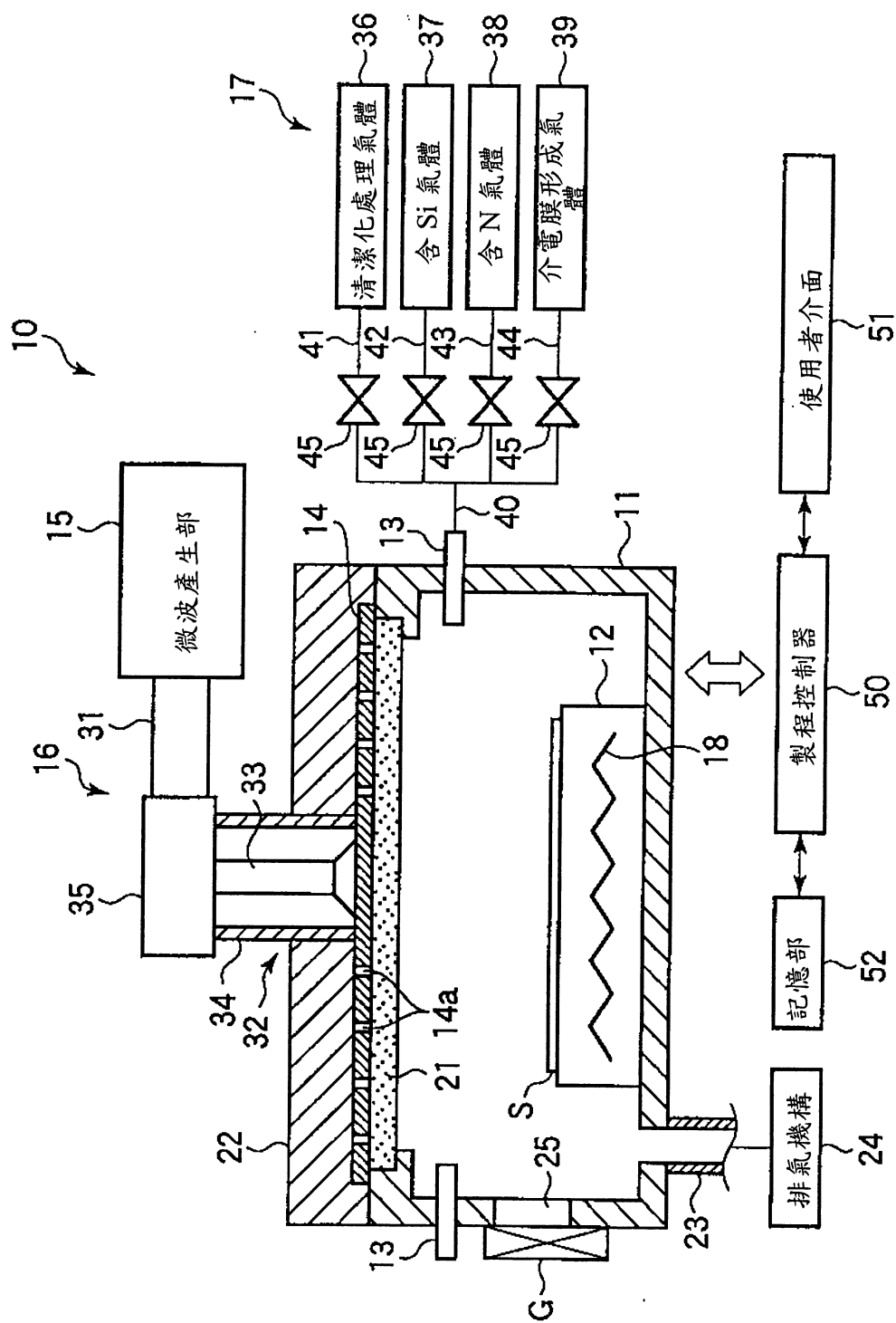


圖 4

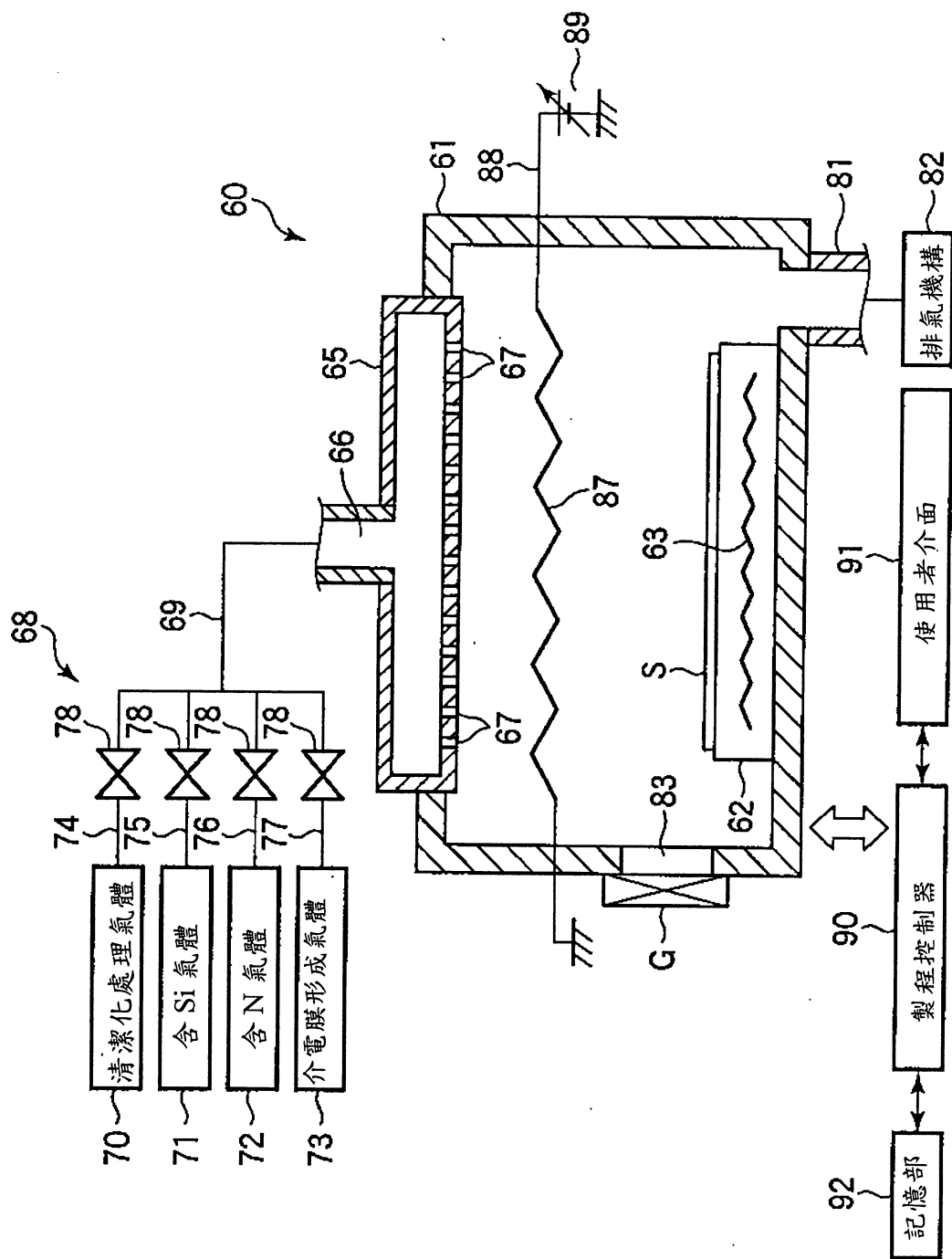


圖 5

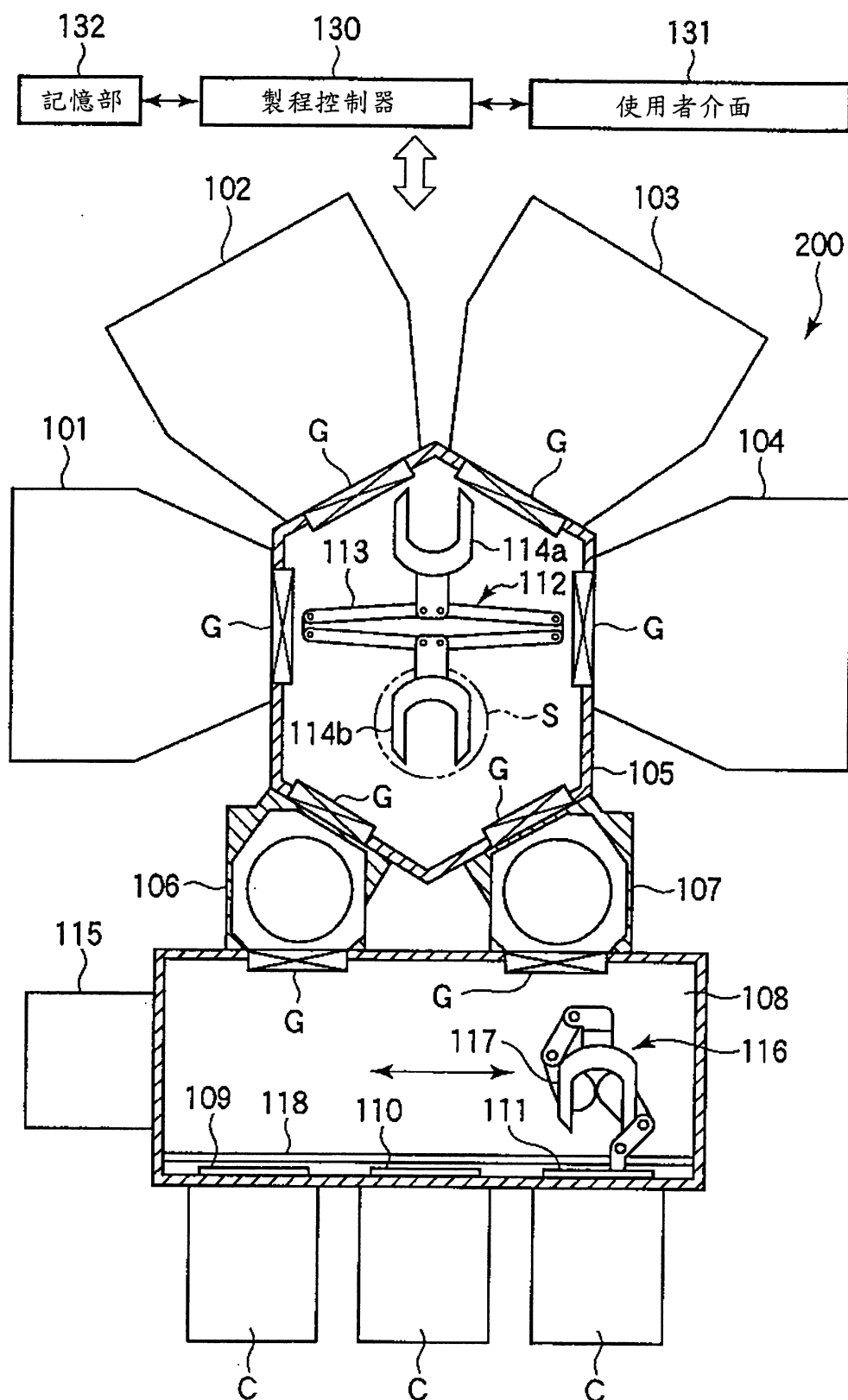


圖 6

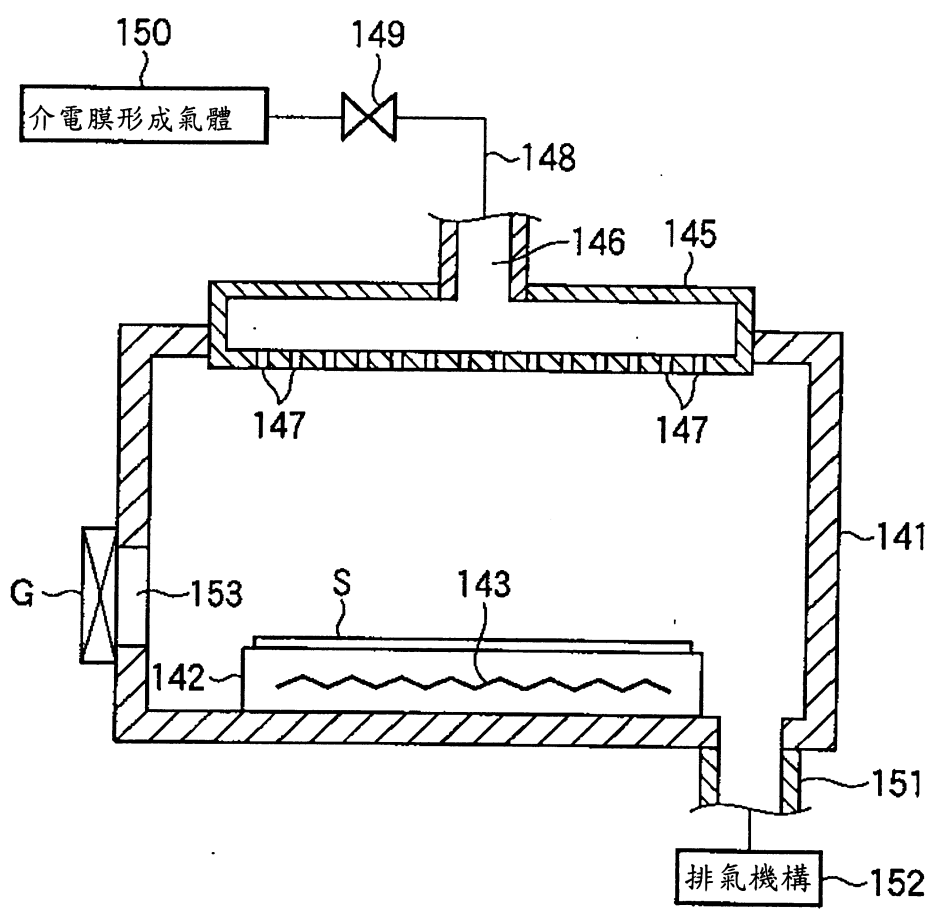


圖 7

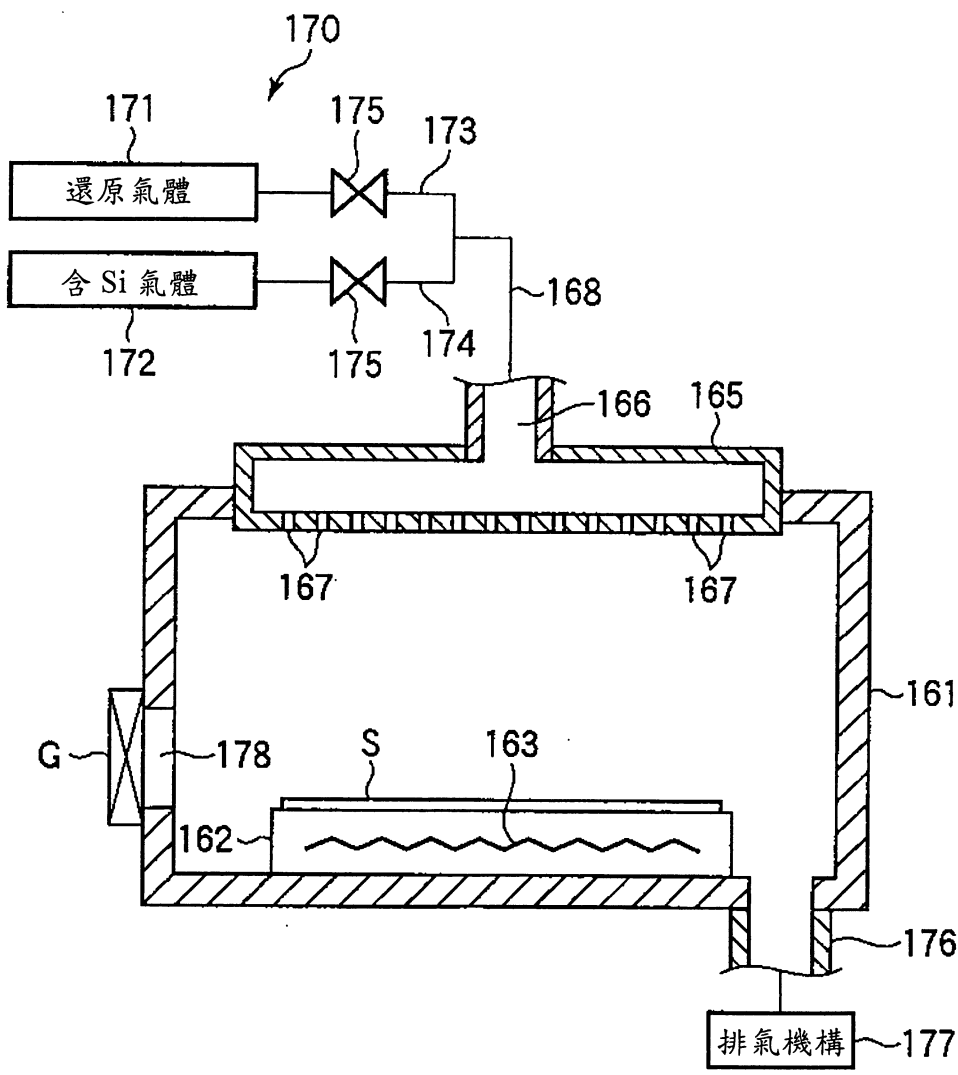


圖 8

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)