



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0050737
(43) 공개일자 2022년04월25일

- | | |
|--|--|
| <p>(51) 국제특허분류(Int. Cl.)
G01R 31/317 (2006.01)</p> <p>(52) CPC특허분류
G01R 31/31703 (2013.01)
G01R 31/31715 (2013.01)</p> <p>(21) 출원번호 10-2021-0061308</p> <p>(22) 출원일자 2021년05월12일
심사청구일자 2021년05월12일</p> <p>(30) 우선권주장
63/092,743 2020년10월16일 미국(US)
(뒷면에 계속)</p> | <p>(71) 출원인
타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8</p> <p>(72) 발명자
허 준
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8</p> <p>루 인롱
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
(뒷면에 계속)</p> <p>(74) 대리인
김태홍, 김진희</p> |
|--|--|

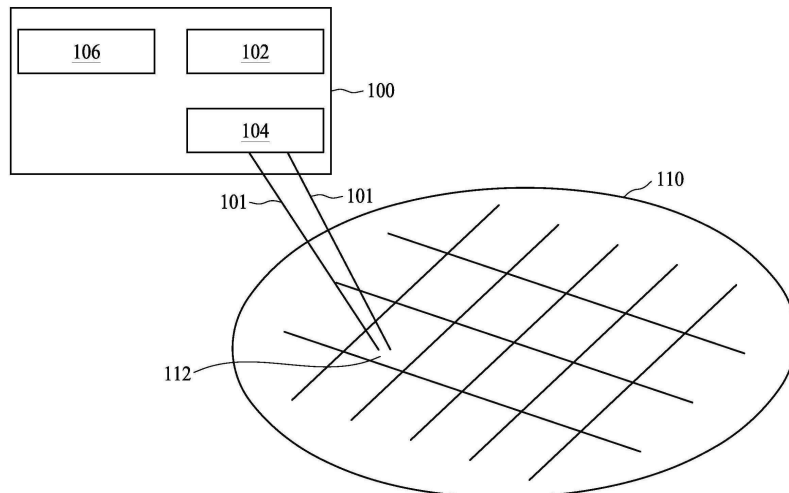
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **웨이퍼 레벨 테스트를 위한 방법 및 디바이스**

(57) 요약

본 개시 내용은 반도체 디바이스를 테스트하기 위한 방법 및 시스템을 제공한다. 상기 방법은 입력 단자 및 출력 단자를 갖는 DUT(device under test)를 제공하는 단계; 제1 기간 동안 상기 DUT의 입력 단자에 제1 전압 레벨을 갖는 전압을 인가하는 단계; 상기 제1 기간 이후의 제2 기간 동안 상기 DUT의 입력 단자에 스트레스 신호를 인가하는 단계; 상기 DUT의 출력 단자에서 상기 스트레스 신호에 응답하여 출력 신호를 획득하는 단계; 및 상기 출력 신호를 상기 스트레스 신호와 비교하는 단계를 포함한다. 상기 스트레스 신호는 각각 램프-업 스테이지 및 램프-다운 스테이지를 갖는 복수의 시퀀스를 포함한다. 상기 스트레스 신호는 제2 전압 레벨과 제3 전압 레벨을 갖는다.

대표도



(52) CPC특허분류

H01L 21/823814 (2013.01)

H01L 21/823864 (2013.01)

H01L 21/823871 (2013.01)

(72) 발명자

린 유-팅

중화민국, 타이완, 신추, 신추 사이언스 파크, 리
-신 로드 6, 넘버 8

린 웨이-쑤

중화민국, 타이완, 신추, 신추 사이언스 파크, 리
-신 로드 6, 넘버 8

쿠오 융-리양

중화민국, 타이완, 신추, 신추 사이언스 파크, 리
-신 로드 6, 넘버 8

(30) 우선권주장

63/115,280 2020년11월18일 미국(US)

17/198,764 2021년03월11일 미국(US)

명세서

청구범위

청구항 1

방법에 있어서,

입력 단자 및 출력 단자를 가지는 DUT(Device Under Test)를 제공하는 단계;

제1 기간 동안 상기 DUT의 입력 단자에 제1 전압 레벨을 가지는 전압을 인가하는 단계;

제1 기간 이후의 제2 기간 동안 상기 DUT의 입력 단자에 스트레스(stress) 신호를 인가하는 단계 - 상기 스트레스 신호는 복수의 시퀀스를 포함하며, 상기 시퀀스의 각각은 램프-업(ramp-up) 스테이지 및 램프-다운(ramp-down) 스테이지를 가지며, 상기 스트레스 신호는 제2 전압 레벨 및 제3 전압 레벨을 가짐 -;

상기 DUT의 출력 단자에서 상기 스트레스 신호에 응답하여 출력 신호를 획득하는 단계; 및

상기 출력 신호를 상기 스트레스 신호와 비교하는 단계

를 포함하는 방법.

청구항 2

제1항에 있어서, 상기 출력 신호와 상기 스트레스 신호 간의 비교 결과에 기초하여 상기 DUT가 비정상적인(abnormal) 구조를 갖는지 여부를 결정하는 단계를 더 포함하는 방법.

청구항 3

제2항에 있어서, 상기 DUT는 동일한 시간 영역에서 상기 출력 신호가 상기 스트레스 신호와 논리적으로 상이한 경우에 비정상적인 구조를 갖는 것으로 결정되는 것인 방법.

청구항 4

제1항에 있어서, 상기 DUT는,

상기 DUT의 입력 단자에 연결되는 소스, 게이트, 및 상기 DUT의 출력 단자에 연결되는 드레인을 가지는 PMOS; 및

접지에 연결되는 소스, 상기 PMOS의 상기 게이트에 연결되는 게이트, 및 상기 DUT의 출력 단자에 연결되는 드레인을 가지는 NMOS

를 포함하는 방법.

청구항 5

방법에 있어서,

입력 단자 및 출력 단자를 가지는 DUT를 제공하는 단계;

상기 DUT의 입력 단자에 스트레스 신호를 인가하는 단계;

상기 DUT의 출력 단자에서 상기 스트레스 신호에 응답하여 출력 신호를 획득하는 단계 - 상기 출력 신호는 복수의 시퀀스를 포함하며, 상기 시퀀스의 각각은 램프-업 스테이지 및 램프-다운 스테이지를 가지며, 상기 출력 신호는 제1 전압 레벨 및 제2 전압 레벨을 가짐 -;

상기 출력 신호를 상기 스트레스 신호와 비교하는 단계; 및

상기 출력 신호와 상기 스트레스 신호 간의 비교 결과에 기초하여 상기 DUT가 비정상적인 구조를 갖는지 여부를 결정하는 단계

를 포함하는 방법.

청구항 6

반도체 디바이스로서,
 스트레스 신호를 수신하도록 구성된 제1 입력 단자;
 상기 스트레스 신호에 응답하여 출력 신호를 생성하도록 구성된 출력 단자;
 기판;
 상기 기판 상에 배치된 게이트; 및
 상기 기판 상에 그리고 상기 게이트 옆에 배치된 콘택 - 상기 콘택은 상기 제1 입력 단자 또는 상기 출력 단자에 전기적으로 연결되고, 상기 게이트와 상기 콘택 사이의 거리가 3 나노미터(nm) 미만임을 포함하는 반도체 디바이스.

청구항 7

제6항에 있어서, 상기 기판 내에 그리고 상기 콘택 아래에 배치된 에피택시를 더 포함하고, 상기 기판 상의 게이트의 투사(projection) 라인과 상기 기판 상의 에피택시의 투사 라인 사이의 최소 거리는 1 nm 미만인 반도체 디바이스.

청구항 8

제6항에 있어서,
 상기 기판 상에 그리고 상기 게이트와 상기 콘택 사이에 배치된 스페이서; 및
 상기 게이트와 상기 기판 사이에 배치된 게이트 유전체를 더 포함하는 반도체 디바이스.

청구항 9

제6항에 있어서, 상기 스트레스 신호에 응답하는 상기 출력 신호는 복수의 시퀀스를 포함하고, 상기 시퀀스의 각각은 램프-업 스테이지 및 램프-다운 스테이지를 가지며, 상기 출력 신호는 제1 전압 레벨 및 제2 전압 레벨을 가지는 것인 반도체 디바이스.

청구항 10

제9항에 있어서, 상기 반도체 디바이스의 상기 제1 입력 단자는 또한, 상기 스트레스 신호를 수신하기 전에 제3 전압 레벨을 가지는 전압을 수신하도록 구성되는 것인 반도체 디바이스.

발명의 설명

기술 분야

[0001] 우선권 주장 및 상호 참조

[0002] 본 출원은 2018년 8월 16일자로 출원된, 이전에 출원된 가출원 제62/719,044호, 2019년 7월 25일자로 출원된, 이전에 출원된 출원 제16/522,551호(이는 그 전체가 참고로 통합됨), 2020년 10월 16일자로 출원된, 이전에 출원된 가출원 제63/092,743호, 및 2020년 11월 18일자로 출원된, 이전에 출원된 가출원 제63/115,280호의 이익을 주장한다.

배경 기술

[0003] 반도체 제조에서, 웨이퍼는 일반적으로 집적 회로를 형성하기 위해 수많은 프로세스를 거친다. 다양한 조건 및 웨이퍼 수용 하에서 집적 회로의 성능과 신뢰성을 결정하기 위해 다양한 웨이퍼 레벨 테스트가 수행된다. 웨이퍼 수준의 신뢰성 테스트는 집적 회로를 제조하는 동안에 생성된 결함과 연관된 조기 고장 가능성을 검출하는데 이용된다. 일반적으로, 신뢰성 테스트는 파워 온/오프 사이클링 및 정상 작동 조건을 초과하는 전압 인가와 같은 다양한 기술을 사용하여 집적 회로를 스트레싱(stressing)하는 것을 포함한다. 그러나, 현재의 테스트 기술

은 테스트 중 예상치 못한 손상이나 집적 회로의 성능 저하로 인해 잘못된 신뢰성 평가를 제공할 수 있다. 따라서, 테스트를 위한 보다 효과적인 스트레스 방법을 개발하는 것이 바람직하다.

발명의 내용

도면의 간단한 설명

[0004]

본 개시 내용의 양태는 첨부 도면과 함께 읽혀질 때 이하의 상세한 설명으로부터 가장 잘 이해된다. 업계의 표준 관행에 따르면, 다양한 피처가 동일한 축척으로 그려지지 않는다는 점에 주목해야 한다. 실제로, 논의의 명확성을 위해 다양한 피처의 치수를 임의로 증가시키거나 감소시킬 수 있다.

도 1은 본 개시 내용의 일부 실시예에 따른 반도체 디바이스를 테스트하기 위한 시스템의 개략도이다.

도 2a는 본 개시 내용의 일부 실시예에 따라 웨이퍼를 테스트하기 위한 복수의 스텝 파워 신호의 예시이다.

도 2b는 본 개시 내용의 일부 실시예에 따른 시퀀스의 복수 스텝의 램프-업 및 램프-다운 스테이지의 예시이다.

도 3a는 종래의 동적 전압 스트레스 테스트 방법에서 웨이퍼를 테스트하기 위한 단일 스텝 파워 신호의 예시이다.

도 3b는 종래의 상승 전압 스트레스 테스트 방법에서 웨이퍼를 테스트하기 위한 단일 스텝 파워 신호의 예시이다.

도 4는 본 개시 내용의 일부 실시예에 따라 웨이퍼를 테스트하기 위한 복수의 스텝 파워 신호의 예시이다.

도 5는 본 개시 내용의 일부 실시예에 따라 웨이퍼를 테스트하기 위한 복수의 스텝 파워 신호의 예시이다.

도 6은 본 개시 내용의 일부 실시예에 따라 웨이퍼를 테스트하기 위한 복수의 스텝 파워 신호의 예시이다.

도 7은 본 개시 내용의 일부 실시예에 따른 방법을 예시하는 흐름도이다.

도 8은 본 개시 내용의 일부 실시예에 따른 방법을 예시하는 흐름도이다.

도 9는 본 개시 내용의 일부 실시예에 따른 인버터 회로의 예시이다.

도 10은 도 9의 실시예에 따른 입력 및 출력 신호의 파형을 나타내는 타이밍 차트이다.

도 11a는 본 개시 내용의 일부 실시예에 따른 반도체 구조물을 예시한다.

도 11b는 본 개시 내용의 일부 실시예에 따른 반도체 구조물을 예시한다.

발명을 실시하기 위한 구체적인 내용

[0005]

본 개시 내용은, 제공된 주제의 상이한 피처를 구현하기 위한 많은 상이한 실시예, 또는 예를 제공한다. 본 개시 내용을 단순화하기 위해, 컴포넌트 및 배열(arrangement)의 특정한 예가 하기에서 설명된다. 이들은, 물론, 예에 불과하며 제한하도록 의도되는 것은 아니다. 예를 들면, 후속하는 설명에서 제2 피처 위에 또는 제2 피처 상에 제1 피처를 형성하는 것은, 제1 및 제2 피처가 직접 접촉하여 형성되는 실시예를 포함할 수도 있고, 또한 제1 및 제2 피처가 직접 접촉하지 않을 수도 있도록 제1 피처와 제2 피처 사이에 추가적인 피처가 형성될 수도 있는 실시예를 포함할 수도 있다. 또한, 본 개시 내용은 다양한 예에서 참조 부호 및/또는 문자를 반복할 수 있다. 이러한 반복은 간략화 및 명확화를 위한 것이고, 자체로, 논의되는 다양한 실시예들 및/또는 구성들 사이의 관계를 지정하지 않는다.

[0006]

본 개시 내용의 실시예들이 아래에서 상세히 논의된다. 그러나, 본 개시 내용은 매우 다양한 특정 맥락에서 구현될 수 있는 많은 적용가능한 발명 개념을 제공한다는 것을 이해해야 한다. 논의된 특정 실시예는 단지 예시적인 것이며 본 개시 내용의 범위를 제한하지 않는다.

[0007]

추가로, 공간적으로 상대적인 용어, 예를 들어, "아래", "하", "하부", "위", "상부", "좌", "우" 등은 본원에서 설명의 용이함을 위해, 도면에 예시된 바와 같이 하나의 요소 또는 피처와 다른 요소(들) 또는 피처(들)과의 관계를 설명하기 위해 사용될 수 있다. 공간적으로 상대적인 용어들은 도면들에 도시된 배향에 추가로 사용 또는 동작 시에 디바이스의 상이한 배향들을 포함하는 것으로 의도된다. 장치는 다른 방식으로 배향(90도 또는 다른 배향으로 회전)될 수 있고, 본원에서 사용되는 공간적으로 상대적인 기술어도 그에 따라 마찬가지로 해석될 수 있다. 또한, 요소가 다른 요소에 "연결된" 또는 "커플링된" 것으로 언급될 때, 다른 요소에 직접 연결되

거나 커플링될 수 있거나 중간 요소가 존재할 수 있음을 이해해야 한다.

- [0008] 일부 종래의 전압 스트레스 테스트에서, 웨이퍼 레벨 테스트를 위한 스크린 레이트(즉, 전체 디바이스 수로 나눈 고장 카운트(fail count))는 개선될 필요가 있다. 집적 회로(IC) 내의 반도체 디바이스의 토글(toggle) 상태(즉, “0” 상태 또는 “1” 상태)를 빠르게 변경하면 웨이퍼 레벨 테스트를 위한 스크린 레이트를 향상시킬 수 있음이 밝혀졌다. 본 개시 내용의 일부 실시예들에 따르면, 신호 생성기는, 복수의 시퀀스를 갖는 스트레스 신호를 포함하는 순환 교류 전압 스트레스(cyclic alternating voltage stress; CAVS)를 제공할 수 있으며, 이는 전압 레벨로 하여금 어떤 기간에서 고전압 레벨과 저전압 레벨 사이에서 교대로 변동하게 한다. 집적 회로(IC) 내의 반도체 디바이스의 토글 상태(즉, “0” 상태 또는 “1” 상태)는, 복수의 램프-업 및 램프-다운 스테이지 동안에 CAVS에 의해 더 쉽게 변경될 수 있다. 그 이유는 전계 효과가 국부적으로 변할아 나타나기 때문이다. 결과적으로, 스트레스 신호는 반도체 디바이스의 일부로 하여금 고장 카운트로서 쇼트 모드가 되게 할 수 있다. IC 내의 반도체 디바이스의 스왑(swap) 레이트는 복수의 램프-업 및 램프-다운 스테이지로 인해 증가될 수 있다. 따라서, 웨이퍼 레벨 테스트를 위한 스크린 레이트가 향상될 수 있다.
- [0009] 도 1은 본 개시 내용의 일부 실시예에 따른 반도체 디바이스를 테스트하기 위한 시스템(100)의 개략도이다. 도 2a는 본 개시 내용의 일부 실시예에 따라 웨이퍼를 테스트하기 위한 복수의 스텝 파워 신호의 예시이다.
- [0010] 도 1 및 도 2a를 참조하면, 시스템(100)은 웨이퍼(110) 상에 형성된 집적 회로(IC)를 테스트하도록 구성된다. 웨이퍼(110)는 DUT(Device Under Test)로 지칭될 수 있다. 웨이퍼(110)는 실리콘, 게르마늄, 또는 다이아몬드와 같은 기본 반도체를 포함할 수 있다. 웨이퍼(110)는 그 위에 형성된 하나 이상의 IC(112)(또는 칩)를 포함할 수 있다. 인접한 IC(112) 사이에 스크라이브 라인이 제공되어, IC가 후속 프로세싱에서 분리될 수 있다.
- [0011] 일부 실시예에서, 시스템(100)은 자동 테스트 장비(automatic test equipment; ATE)일 수 있다. 시스템(100)은 테스트를 위한 적절한 운영 및 기능 환경을 제공하는 하드웨어 및 소프트웨어 컴포넌트를 포함할 수 있다. 일부 실시예에서, 시스템(100)은, 신호 생성기(102), 커플러(104), 및 모듈(106)을 포함한다.
- [0012] 신호 생성기(102)는 순환 교류 전압 스트레스(CAVS)를 생성하도록 구성된다. CAVS는 제1 기간(210) 동안에 제1 전압 레벨(200)의 신호 그리고 제1 기간(210) 이후의 제2 기간(212) 동안에 스트레스 신호(220)를 포함한다. 데이터 신호 및 클럭 신호와 같은 다른 전기 신호가 DUT에 제공될 수 있지만 명확성과 단순성을 위해 도시되어 있지 않음을 이해해야 한다.
- [0013] 일부 실시예에서, 제1 기간(210) 동안, 접지(즉, 0V)로부터 제1 전압 레벨(200)로 상승하는 단일 스텝 신호가 생성된다. 제1 전압 레벨(200)은 IC(112)의 공칭 전압 또는 고전압(예를 들어, 공칭 전압보다 5~10% 더 높음)일 수 있다. IC(112)는 파워 사이클링 테스트를 위해 공칭 전압으로 활성화될 수 있다. 일부 실시예에서, 접지로부터 제1 전압 레벨(200)까지 상승하는 지속 기간은 전압 슬루율(slew rate)에 기초하여 밀리초 레벨에 있을 수 있다.
- [0014] 일부 실시예에서, 제2 기간(212) 동안, 스트레스 신호(220)가 생성된다. 스트레스 신호(220)는 DUT에 과부하를 가하고 제조 프로세스와 연관된 고장을 유도하도록 기능한다. 스트레스 신호(220)는 복수의 시퀀스(221A, 221B)를 포함할 수 있다. 시퀀스(221A 및 221B)의 각각은 램프-업 스테이지(2231) 및 램프-다운 스테이지(2232)를 포함한다. 시퀀스(221A, 221B)의 각각은 제2 전압 레벨(222)과 제3 전압 레벨(224) 사이의 전압 변화를 포함한다. 램프-업 스테이지(2231) 또는 램프-다운 스테이지(2232)의 범위는 제한되지 않는다. 일부 실시예에서, 램프-업 스테이지(2231) 또는 램프-다운 스테이지(2232)의 범위는 약 0.1 V/밀리초(ms) 내지 약 0.3 V/ms이다. 램프-업 스테이지(2231)는 전압을 제1 전압 레벨(200)로부터 제2 전압 레벨(222)로 상승시키고, 램프-다운 스테이지(2232)는 전압을 제2 전압 레벨(222)로부터 제3 전압 레벨(224)로 감소시킨다.
- [0015] 스트레스 신호는 테스트 요구사항 및/또는 이력 데이터에 따라 변할 수 있음을 이해해야 한다. 예를 들어, 스트레스 신호는 DPPM(defect parts-per-million)에 의존할 수 있다. 일부 산업에서는, 결함 허용 오차가 더 낮을 수 있으며, 예를 들어 자동차 또는 휴대폰 산업에서는, 스트레스 신호의 시퀀스가 증가될 수 있다. 제2 전압 레벨(222)은 제1 전압 레벨(200)보다 더 높다. 제2 전압 레벨(222)의 값은 제한되지 않는다. 일부 실시예에서, 제2 전압 레벨(222)은 제1 전압 레벨(200)보다 약 1.3 배, 약 1.58 배, 약 2.0 배, 또는 약 3.0 배 더 높을 수 있다. 제2 전압 레벨(222)은 테스트 전압(또는 스트레스 전압)으로 작용한다. 제3 전압 레벨(224)의 값은 제한되지 않는다. 제3 전압 레벨(224)은 제2 전압 레벨(222)보다 더 낮다. 일부 실시예에서, 제3 전압 레벨(224)은 제1 전압 레벨(200)과 동일하거나 더 낮을 수 있다. 일부 실시예에서, 제2 전압 레벨(222)과 제3 전압 레벨(224) 사이의 전압 차이는, 제1 전압 레벨(200)과 제2 전압 레벨(222) 사이의 전압 차이보다 더 크다. 일부 실

시에에서, 제3 전압 레벨(224)은 제1 전압 레벨(200)의 약 0.7 배일 수 있다. 일부 실시예에서, 제3 전압 레벨(224)은 제2 전압 레벨(222)의 약 0.9 배일 수 있다. 제3 전압 레벨(224)의 지속 기간은 대기 시간 및 체크 알람 시간을 포함할 수 있다. 제3 전압 레벨(224)의 지속 기간은 제한되지 않으며, 전압 스트레스에 의해 야기된 자기 발열 효과를 억제하기 위해 냉각 시간으로 취급될 수 있다. 일부 실시예에서, 제3 전압 레벨(224)의 지속 기간은 수백 ms 이내 또는 이를 초과하여 약 6~10 일 수 있다.

[0016] 도 2b는 본 개시 내용의 일부 실시예에 따른 시퀀스의 복수의 스텝의 램프-업 및 램프-다운 스테이지의 예시이다. 도 2b를 참조하면, 일부 실시예에서, 램프-업 스테이지(2321') 및 램프-다운 스테이지(2322')는 복수의 스텝을 포함한다. 복수의 스텝을 통해, 현재의 오버슈트를 피할 수 있다. 램프-업 스테이지(2321') 및 램프-다운 스테이지(2322')의 스텝의 수는 제한되지 않음에 유의해야 한다..

[0017] 다시 도 1 및 도 2a를 참조하면, 커플러(104)는 신호 생성기(102)를 IC(112)에 커플링하도록 구성된다. 일부 실시예에서, 커플러(104)는 복수의 프로브(101)에 의해 IC에 커플링될 수 있다. 프로브(101)는 프로브 헤드 또는 프로브 패키지(미도시)의 일부일 수 있다. 프로브(101)는 IC(112) 상에 배치된 테스트 패드 및/또는 본딩 패드에 전기적으로 커플링될 수 있다. 테스트 패드 및/또는 본딩 패드는, IC의 상호연결 구조물(예들 들어, 배선)에 대한 전기적 연결을 제공한다. 예를 들어, 프로브들 중 일부는, IC(112)의 공급 단자(예들 들어, Vdd) 및 접지 단자(예들 들어, Vss)와 연관된 패드에 커플링될 수 있다. 다른 프로브는 IC(112)의 입/출력(I/O) 단자(예들 들어, 데이터 신호)와 연관된 패드에 커플링될 수 있다. 이와 같이, 시스템(100)은, 웨이퍼 레벨 테스트 동안에 IC(112)에 전기 신호(예들 들어, 스트레스 신호)를 인가하고 IC(112)로부터 응답 신호를 획득하도록 동작 가능하다.

[0018] 모듈(106)은 스트레스 신호(220)가 IC(112)에 인가된 후 IC(112)가 테스트 기준을 따르는지 여부를 결정하도록 구성된다. 응답 신호는 특정 IC(112)에 결합이 있는지 여부를 결정하기 위해 테스트 기준과 관련하여 모듈(106)에 의해 평가될 수 있다.

[0019] 도 3a는 기존의 동적 전압 스트레스 테스트 방법에서 웨이퍼를 테스트하기 위한 단일 스텝 파워 신호의 예시이다. 도 3b는 기존의 상승된 전압 스트레스 테스트 방법에서 웨이퍼를 테스트하기 위한 단일 스텝 파워 신호의 예시이다.

[0020] 도 3a를 참조하면, 동적 전압 스트레스(DVS) 테스트의 스트레스 신호(312)는 단일 테스트 기간(310)에서 인가된다. 스트레스 신호(312)는 접지(313)로부터 테스트 전압(311)으로 상승하는 램프-업 스테이지 및 테스트 전압(311)으로부터 접지(313)로 하강하는 램프-다운 스테이지를 포함하는 단일 시퀀스 신호로 구성된다. DVS 테스트는 단일 시퀀스 신호를 이용하여 상기 DUT를 패턴 설정 상태로 파워 온시키고 동일한 기간에 테스트 전압(311)에서 상기 DUT를 테스트한다. 테스트 전압(311)은 테스트 기간(310) 동안에 정상 동작 전압을 초과한다. DVS 테스트에서, 테스트 전압(311)의 전압 레벨이 상승하면, 웨이퍼 레벨 테스트를 위한 스크린 레이트(즉, 전체 디바이스 수로 나눈 고장 카운트)가 증가될 수 있음을 알 수 있다. 그러나, 테스트 전압(311)은 패턴 설정과 결합 테스트 모두에 동시에 사용되며, 따라서 패턴 설정에 대한 요구로 인해 테스트 전압(311)의 전압 변화량은 제한된다. 즉, 패턴 설정에 대한 요구로 인해 테스트 전압(311)이 증가되지 않을 수 있다. 따라서, DVS 테스트의 스크린 레이트가 제한된다.

[0021] DVS 테스트의 문제점을 완화하기 위해, EVS 테스트가 도입되었다. 도 3b를 참조하면, EVS 테스트에서, 스트레스 신호(328)는 각각 제1 기간(320) 및 제2 기간(322)에 인가되는 단일 스텝 신호(321) 및 단일 시퀀스 신호(324)를 포함한다. 제1 기간(320)에서, 접지(323)로부터 정상 동작 전압(325)으로 상승하는 단일 스텝 신호(321)가 인가된다. 제1 기간(320) 바로 다음의 제2 기간(322)에서, 정상 동작 전압(325)으로부터 테스트 전압(327)으로 상승하는 단일 시퀀스 신호(324)가 인가된다. EVS 테스트에서, 테스트 전압(327)의 전압 레벨을 증가시키는 대신에, 웨이퍼 레벨 테스트를 위한 스크린 레이트는, 제2 기간(322) 동안 테스트 전압(327)의 지속기간을 증가시킴으로써 증가될 수 있음을 알 수 있다. 그러나, 더 높은 스크린 레이트를 획득하기 위해, 제2 기간(322)은 DVS 테스트의 테스트 기간(310)(도 3a에 도시됨)보다 훨씬 더 길 수 있다. 예를 들어, EVS 테스트의 제2 기간(322)은 DVS 테스트의 테스트 기간(310)보다 10 배 더 길 수 있다. 또한, EVS 테스트의 스크린 레이트는 단지 DVS 테스트와 동일하거나 심지어 이 보다 덜 바람직할 수 있다.

[0022] 상기 언급된 우려는 본 개시 내용에 따라 완화될 수 있다.

[0023] 본 개시 내용의 일부 실시예에 따르면, 전압 레벨 또는 테스트 전압의 기간을 증가시키는 대신에, 스트레스 신호(220)의 전압 변화량을 증가시킴으로써 웨이퍼 레벨 테스트를 위한 스크린 레이트를 증가시킬 수 있다. 다시

도 1 및 도 2a를 참조하면, 본 개시 내용의 일부 실시예에서, 신호 생성기(102)는, 복수의 시퀀스(221A 및 221B)를 갖는 스트레스 신호(220)를 포함하는 CAVS를 제공하며, 이는 전압 레벨로 하여금 제2 기간(212)에서 제2 전압 레벨(222)과 제3 전압 레벨(224) 사이에서 변동하게 한다. 따라서, 웨이퍼(110)는 제2 기간(212) 동안에 전압 변화의 다중 반복을 겪는다.

[0024] 전술한 바와 같이, 예를 들어, 스트레스 신호(220)는 2 개의 시퀀스(221A 및 221B)를 포함하고, 각 시퀀스(221A 및 221B)는 램프-업 스테이지(2231) 및 램프-다운 스테이지(2232)를 포함한다. 일부 실시예에서, 신호 생성기(102)는, IC(112)의 전압을 제1 전압 레벨(200)(즉, IC의 공칭 전압)로부터 제2 전압 레벨(222)(즉, 테스트 전압)로 증가시킴으로써 IC(112)를 활성화하는 시퀀스(221A)를 제공한다. 램프-업 스테이지(2231)가 적용될 때, IC(112) 내의 적어도 하나의 반도체 디바이스의 상태(즉, “0” 상태 또는 “1” 상태)가 변경되거나 토글될 수 있다. 다음으로, 신호 생성기(102)는 램프-업 스테이지(2231) 이후에 전압을 감소시킴으로써 IC(112)를 활성화하는 시퀀스(221A)를 지속한다. 램프-다운 스테이지(2232)는, IC(112)의 전압을 제2 전압 레벨(222)로부터 제3 전압 레벨(224)로 감소시킨다. 램프-다운 스테이지(2232)가 적용될 때, IC(112) 내의 적어도 하나의 반도체 디바이스의 상태는 변경되거나 토글될 수 있다.

[0025] 시퀀스(221A) 이후에, 신호 생성기(102)는 IC(112)를 활성화하는 시퀀스(221B)를 제공한다. 신호 생성기(102)는, IC(112)의 전압을 제3 전압 레벨(224)로부터 제2 전압 레벨(222)로 증가시킴으로써 IC(112)를 활성화하는 시퀀스(221B)를 제공한다. 다음으로, 신호 생성기(102)는 IC(112)의 전압을 제2 전압 레벨(222)로부터 접지 또는 제1 전압 레벨(200)로 감소시킴으로써 IC(112)를 활성화하는 시퀀스(221B)를 지속한다. 시퀀스(221A)에서와 같이, IC(112) 내의 반도체 디바이스의 상태는, 시퀀스(221B) 동안에 램프-업 스테이지(2321) 및 램프-다운 스테이지(2232)에 의해 변경되거나 토글될 수 있다.

[0026] 요약하면, 본 개시 내용의 일부 실시예에 따르면, 제2 기간(212) 동안에, 스트레스 신호(220)는 복수의 램프-업 스테이지(2231) 및 램프-다운 스테이지(2232)를 포함할 수 있다. IC(112) 내의 반도체 디바이스의 상태는, 램프-업 스테이지(2231) 및 램프-다운 스테이지(2232) 동안에 CAVS에 의해 더 쉽게 변경되거나 토글될 수 있음이 밝혀졌다. 그 이유는 전계 효과가 국부적으로 번갈아 나타나기 때문이다. 그 결과, 램프-업 스테이지(2231)와 램프-다운 스테이지(2232)의 전압 차이는, IC(112) 내의 반도체 디바이스들 중 일부로 하여금 고장 카운트로서 쇼트 모드가 되게 할 수 있다. IC(112) 내의 반도체 디바이스의 스왑(swap) 레이트는 복수의 램프-업 및 램프-다운 스테이지로 인해 증가될 수 있다. 따라서, 웨이퍼 레벨 테스트를 위한 스크린 레이트는, 제2 전압 레벨(222)과 제3 전압 레벨(224) 사이에서 IC(112)의 전압의 변동을 야기하는 복수의 시퀀스(221A 및 221B)로 증가될 수 있다.

[0027] 또한, 본 개시 내용의 일부 실시예에 따르면, IC(112) 내의 반도체 디바이스들의 스왑 레이트는, 램프-업 스테이지(2321)의 양을 제1 전압 레벨(200)로부터 제2 전압 레벨(222)로 증가시킴으로써, 또는 램프-다운 전압(2232)의 양을 제2 전압 레벨(222)로부터 제3 전압 레벨(224)로 증가시킴으로써 더 증가될 수 있다. 즉, 램프-업 스테이지(2231) 동안에 또는 램프-다운 스테이지(2232) 동안에 발생하는 전압의 변화를 증가시킴으로써, 웨이퍼 레벨 테스트를 위한 스크린 레이트가 더 증가될 수 있다. 스왑 레이트를 증가시키기 위해, 0/1 상태 조합을 커버하는 임의의 테스트 알고리즘이 제한되지 않음을 이해해야 한다. 예를 들어, MBIST(Memory built-in self-test) 테스트는, 하나의 CKB(체크보드)와 하나의 역 CKB 테스트 패턴을 사용할 수 있다. 논리 테스트 패턴은 여러 체인 테스트의 조합을 고려할 수 있다.

[0028] DVS 테스트와 비교하여, 본 개시 내용의 테스트는 램프-업 스테이지(2231) 및 램프-다운 스테이지(2232) 동안에 더 큰 전압 차이로 인해 증가된 스크린 레이트를 제공한다. 본 개시 내용에서, 테스트 전압(222)은 패턴 설정 전압[즉, 제1 전압 레벨(200)]과 분리된다. 따라서, 본 개시 내용의 테스트 전압(222)은 DVS 테스트의 테스트 전압(311)(도 3a에 도시됨)보다 더 높을 수 있다. 따라서, 스크린 레이트가 증가될 수 있다.

[0029] EVS 테스트와 비교할 때, 본 개시 내용의 복수의 램프-업 및 램프-다운 스테이지는 IC(112) 내의 반도체 디바이스의 스왑 레이트를 증가시킬 수 있으므로, 연장된 기간(322)(도 3b에 도시됨)이 본 개시 내용에서 감소될 수 있다. 따라서, 본 개시 내용에서의 제2 기간(212)의 지속 기간이 감소될 수 있고, 기존의 EVS 테스트에서의 시간 소모적인 문제가 완화될 수 있다.

[0030] CAVS의 애플리케이션은 본 개시 내용의 제한이 아님을 유의해야 한다. 일부 실시예에서, CAVS는 실온 범위(약 25°C 내지 약 27°C) 또는 약 0°C 내지 약 -40°C의 온도 범위, 또는 0°C 내지 약 125°C의 온도 범위에서 칩 프로그래밍 흐름, 최종 테스트 흐름, 또는 웨이퍼 수용 테스트 흐름에 적용될 수 있다.

- [0031] 도 4는 본 개시 내용의 일부 실시예에 따라 웨이퍼를 테스트하기 위한 복수의 스텝 파워 신호의 예시이다. 신호 생성기(102)(도 1에 도시됨)는 제1 기간(210)에 후속하는 제2 기간(412) 동안에 스트레스 신호(420)를 포함하는 CAVS를 생성하도록 구성된다. 제1 기간(210)은 도 2a에서 설명되며, 여기서는 간결함을 위해 생략되어 있다.
- [0032] 일부 실시예에서, 제2 기간(412) 동안에, 스트레스 신호(420)가 생성된다. 스트레스 신호(420)는 복수의 시퀀스(421A, 421B, 421C, 421D)를 포함할 수 있다. 각각의 시퀀스(421A, 421B, 421C, 및 421D)는 램프-업 스테이지(4231) 및 램프-다운 스테이지(4232)를 포함한다. 각각의 시퀀스(421A, 421B, 421C, 및 421D)는 제2 전압 레벨(422)과 제3 전압 레벨(424) 사이에서 변동된다. 램프-업 스테이지(4231) 또는 램프-다운 스테이지(4232)의 범위는 제한되지 않는다. 일부 실시예에서, 램프-업 스테이지(4231) 또는 램프-다운 스테이지(4232)의 범위는 약 0.1 V/ms 내지 약 0.3 V/ms이다. 전압은 제1 전압 레벨(200)로부터 제2 전압 레벨(422)로 증가된 후, 제2 전압 레벨(422)에서 제3 전압 레벨(424)로 감소된 다음, 제3 전압 레벨(424)로부터 제2 전압 레벨(422)로 증가되고, 최종적으로 제2 전압 레벨(422)로부터 접지 또는 제1 전압 레벨(200)로 감소된다. 제2 전압 레벨(422) 및 제3 전압 레벨(424)은 도 2a에서 각각 제2 전압 레벨(222) 및 제3 전압 레벨(224)과 동일할 수 있다는 점에 유의해야 한다.
- [0033] 제2 전압 레벨(422)은 제1 전압 레벨(200)보다 높다. 제2 전압 레벨(422)의 값은 제한되지 않는다. 일부 실시예에서, 제2 전압 레벨(422)은 제1 전압 레벨(200)보다 약 1.3 배, 약 1.58 배, 약 2.0 배, 또는 약 3.0 배 더 높을 수 있다. 제2 전압 레벨(422)은 테스트 전압으로 작용한다. 제3 전압 레벨(424)의 값은 제한되지 않는다. 제3 전압 레벨(424)은 제2 전압 레벨(422)보다 낮다. 일부 실시예에서, 제3 전압 레벨(424)은 제1 전압 레벨(200) 이하일 수 있다. 일부 실시예에서, 제2 전압 레벨(422)과 제3 전압 레벨(424) 사이의 전압 차이는 제1 전압 레벨(200)과 제2 전압 레벨(422) 사이의 전압 차이보다 크다. 일부 실시예에서, 제3 전압 레벨(424)은 제1 전압 레벨(200)의 약 0.7 배일 수 있다. 일부 실시예에서, 제3 전압 레벨(224)은 제2 전압 레벨(422)의 약 0.9 배일 수 있다.
- [0034] 전술한 바와 같이, 본 개시 내용의 일부 실시예에 따르면, 웨이퍼-레벨 테스트를 위한 스크린 레이트는 스트레스 신호(420)의 전압 변화량을 증가시킴으로써 증가될 수 있다. 일부 실시예에서, 신호 생성기(102)는 제2 기간(412) 동안 제2 전압 레벨(422)과 제3 전압 레벨(424) 사이에서 변동하는 복수의 시퀀스(421A, 421B, 421C, 및 421D)를 스트레스 신호(420)에 제공할 수 있다.
- [0035] 예를 들어, 스트레스 신호(420)는 4 개의 시퀀스(421A, 421B, 421C, 및 421D)를 포함하고 각각의 시퀀스(421A, 421B, 421C, 및 421D)는 램프-업 스테이지(4221) 및 램프-다운 스테이지(4222)를 포함한다. 일부 실시예에서, 신호 생성기(102)는 IC(112)의 전압을 제1 전압 레벨(200)로부터 제2 전압 레벨(422)로 증가시킴으로써 IC(112)(도 1에 도시됨)를 활성화하는 시퀀스(421A)를 제공한다. 램프-업 스테이지(4221)가 적용될 때, IC(112) 내의 적어도 하나의 반도체 디바이스의 상태가 변경되거나 토글될 수 있다. 다음으로, 신호 생성기(102)는 램프-업 스테이지(4231) 이후의 전압을 감소시킴으로써 IC(112)를 활성화하는 시퀀스(421A)를 지속한다. IC(112)의 전압은 제2 전압 레벨(422)로부터 제3 전압 레벨(424)로 감소된다. 램프-다운 스테이지(4232)가 적용될 때, IC(112) 내의 적어도 하나의 반도체 디바이스의 상태는 변경되거나 토글될 수 있다.
- [0036] 시퀀스(421A) 이후에, 신호 생성기(102)는 시퀀스(421B)를 제공하여 IC(112)를 활성화시킨다. 신호 생성기(102)는, IC(112)의 전압을 제3 전압 레벨(424)로부터 제2 전압 레벨(422)로 증가시킴으로써 IC(112)를 활성화하는 시퀀스(421B)를 제공한다. 다음으로, 신호 생성기(102)는, IC(112)의 전압을 제2 전압 레벨(422)로부터 제3 전압 레벨(424)로 감소시킴으로써 IC(112)를 활성화하는 시퀀스(421B)를 지속한다. 시퀀스(421A)에서와 같이, IC(112) 내의 반도체 디바이스의 상태는 시퀀스(421B) 동안에 램프-업 스테이지(4231) 및 램프-다운 스테이지(4232)에 의해 변경되거나 토글될 수 있다. 시퀀스(421B)의 램프-다운 스테이지(4232)는 IC(112)의 전압을 제2 전압 레벨(422)로부터 제3 전압 레벨(424)보다 낮은 다른 전압으로 감소시킬 수 있다는 것을 이해해야 한다. 시퀀스(421B) 이후에, 신호 생성기(102)는 유사한 방식으로 IC(112)를 활성화하는 시퀀스(421C)를 제공하고, 그 설명은 간결함을 위해 여기서 생략된다.
- [0037] 시퀀스(421C) 이후에, 신호 생성기(102)는 IC(112)를 활성화하는 시퀀스(421D)를 제공한다. 신호 생성기(102)는, IC(112)의 전압을 제3 전압 레벨(424)로부터 제2 전압 레벨(422)로 증가시킴으로써 IC(112)를 활성화하는 시퀀스(421D)를 제공한다. 다음으로, 신호 생성기(102)는, IC(112)의 전압을 제2 전압 레벨(422)로부터 접지 또는 제1 전압 레벨(200)로 감소시킴으로써 IC(112)를 활성화하는 시퀀스(421D)를 지속한다. 시퀀스(421A 및 421B)에서와 같이, IC(112) 내의 반도체 디바이스의 상태는, 시퀀스(421D) 동안에 램프-업 스테이지(4231) 및 램프-다운 스테이지(4232)에 의해 변경되거나 토글될 수 있다.

- [0038] 요약하면, 본 개시 내용의 일부 실시예에 따르면, 제2 기간(412) 동안에, 스트레스 신호(420)는 복수의 램프-업 스테이지(4231) 및 램프-다운 스테이지(4232)를 포함할 수 있다. IC(112) 내의 반도체 디바이스의 상태는 램프-업 스테이지(4221) 및 램프-다운 스테이지(4222) 동안에 CAVS에 의해 더 쉽게 변경되거나 토글될 수 있음이 밝혀졌다. 그 이유는 전계 효과가 국부적으로 번갈아 나타나기 때문이다. 그 결과, 램프-업 스테이지(4221)와 램프-다운 스테이지(4232)의 전압 차이는, IC(112) 내의 반도체 디바이스의 일부로 하여금 고장 카운트로서 쇼트 모드가 되게 할 수 있다. 현재의 CAVS를 사용함으로써, IC(112) 내의 반도체 디바이스들의 스왑 레이트는 복수의 램프-업 및 램프-다운 스테이지로 인해 증가될 수 있다. 따라서, 웨이퍼-레벨 테스트를 위한 스크린 레이트는 제2 전압 레벨(422)과 제3 전압 레벨(424) 사이에서 IC(112)의 전압 변동을 야기하는 복수의 시퀀스(421A, 421B, 421C, 및 421D)로 증가될 수 있다. CAVS는 쇼트 모드 장애에 대해 더 높은 결함 범위를 가질 수 있지만, 쇼트 모드 장애에만 국한되지 않는다.
- [0039] 또한, 본 개시 내용의 일부 실시예에 따르면, IC(112) 내의 반도체 디바이스들의 스왑 레이트는, 램프-업 스테이지(4231)의 양을 제1 전압 레벨(200)로부터 제2 전압 레벨(422)로 증가시킴으로써, 또는 램프-다운 전압(4232)의 양을 제2 전압 레벨(422)로부터 제3 전압 레벨(424)로 감소시킴으로써 더 증가될 수 있다. 다시 말해서, 웨이퍼-레벨 테스트를 위한 스크린 레이트는, 램프-업 스테이지(4221) 동안 또는 램프-다운 스테이지(4222) 동안에 발생하는 전압의 변화를 증가시킴으로써 더 증가될 수 있다.
- [0040] 도 5는 본 개시 내용의 일부 실시예에 따라 웨이퍼를 테스트하기 위한 복수의 스텝 파워 신호의 예시이다. 신호 생성기(102)(도 1에 도시됨)는 제1 기간(210)에 후속하는 제2 기간(512) 동안에 스트레스 신호(520)를 생성하도록 구성된다. 제1 기간(210)은 도 2a에서 설명되고, 여기서는 간결함을 위해 생략되어 있다.
- [0041] 도 2a에서의 스트레스 신호(220)와 스트레스 신호(520) 사이의 차이는, 스트레스 신호(520)가 스트레스 신호(220)에 비해 제2 전압 레벨(522)에서 더 긴 지속 기간을 가질 수 있다는 것이다. 스트레스 신호(520)는 제2 전압 레벨(522)에서 더 긴 지속 기간을 갖는 시퀀스(521A) 및 제2 전압 레벨(522)에서 더 짧은 지속 기간을 갖는 시퀀스(521B)를 가질 수 있다. 스트레스 신호(520)는 제2 전압 레벨(522)에서 더 짧은 지속 기간을 갖는 하나 이상의 시퀀스(521B)를 가질 수 있다는 점에 유의해야 한다. 일부 실시예에서, 시퀀스(521B)의 지속 기간은 도 2a의 시퀀스(221A, 221B)의 지속 기간과 유사하다.
- [0042] 도 6은 본 개시 내용의 일부 실시예에 따라 웨이퍼를 테스트하기 위한 복수의 스텝 파워 신호의 예시이다. 신호 생성기(102)(도 1에 도시됨)는 제1 기간(610) 동안에 제1 전압 레벨(600)의 신호를 생성하고 제1 기간(610)에 후속하는 제2 기간(612) 동안에 스트레스 신호(620)를 생성하도록 구성된다. 스트레스 신호(620)는 복수의 시퀀스(621A, 621B, 및 621C)를 포함할 수 있다. 시퀀스(621A, 621B, 및 621C)는 도 4의 시퀀스(421A, 421B, 및 421D)와 유사하며, 여기서는 간결함을 위해 생략되어 있다.
- [0043] 도 6의 신호와 도 2a의 신호 사이의 차이는, 제1 전압 레벨(600)이 제1 전압(200)보다 높다는 것이다. 제1 전압 레벨(600)의 값은 제한되지 않는다. 일부 실시예에서, 제1 전압 레벨(600)은 제1 전압 레벨(200)의 약 1.1 배 내지 약 1.3 배일 수 있다.
- [0044] 도 7은 본 개시 내용의 일부 실시예에 따른 방법을 예시하는 흐름도이다. 웨이퍼-레벨 테스트의 방법(700)은 동작들(712, 714, 716 및 718)을 포함할 수 있다. 동작(712)에서, 상부에 IC가 형성된 웨이퍼가 제공된다. 동작(714)에서, IC는 제1 기간 동안에 IC의 전압을 제1 전압 레벨로 상승시킴으로써 활성화된다. 동작(716)에서, 스트레스 신호가 IC에 인가된다. 스트레스 신호는 제1 기간 이후의 제2 기간 동안에 복수의 램프-업 스테이지 및 램프-다운 스테이지의 시퀀스를 포함한다. 이 시퀀스는 IC의 전압으로 하여금 제2 전압 레벨과 제3 전압 레벨 사이에서 변동하게 한다. 동작(718)에서, 스트레스 신호를 인가한 후 IC가 테스트 기준을 따르는지 여부가 결정된다. 이러한 동작에 대한 상세한 설명은 도 1, 도 2a, 및 도 4에 도시된 동작에 대한 설명과 유사하므로, 간결성을 위해 생략되어 있다.
- [0045] 도 8은 본 개시 내용의 일부 실시예에 따른 방법을 예시하는 흐름도이다. 웨이퍼-레벨 테스트의 방법(800)은 동작들(812, 814, 816, 및 818)을 포함할 수 있다. 동작(812)에서, 상부에 IC가 형성된 웨이퍼가 제공된다. 동작(814)에서, IC는 제1 기간 동안 IC의 전압을 제1 전압 레벨로 상승시킴으로써 활성화된다. 동작(816)에서, IC에 스트레스 신호가 인가된다. 스트레스 신호는 제1 기간 이후의 제2 기간 동안에 복수의 램프-업 스테이지 및 복수의 램프-다운 스테이지를 포함한다. 램프-업 스테이지와 램프-다운 스테이지가 교대로 적용된다. 동작(818)에서, 스트레스 신호를 인가한 후 IC가 테스트 기준을 따르는지 여부가 결정된다. 이러한 동작에 대한 상세한 설명은 도 1, 도 2a, 및 도 4에 도시된 동작들에 대한 설명과 유사하므로, 간결성을 위해 생략되어 있다.

- [0046] 요약하면, 본 개시 내용의 일부 실시예들에 따르면, IC 내의 반도체 디바이스들의 토글 상태(즉, “0” 상태 또는 “1” 상태)는, 복수의 램프-업 및 램프-다운 스테이지 동안에 CAVS에 의해 더 쉽게 변경되거나 토글될 수 있다. 그 이유는 전체 효과가 국부적으로 변할아 나타나기 때문이다. 결과적으로, 램프-업 스테이지와 램프-다운 스테이지의 전압 차이는 IC 내의 반도체 디바이스들의 일부로 하여금 고장 카운트로서 쇼트 모드가 되게 한다. 현재의 CAVS를 사용함으로써, 복수의 램프-업 및 램프-다운 스테이지로 인해 IC 내의 반도체 디바이스들의 스왑 레이트가 증가될 수 있다. 따라서, 웨이퍼-레벨 테스트를 위한 스크린 레이트(즉, 전체 디바이스 수로 나눈 고장 카운트)가 증가될 수 있다. 또한, 본 개시 내용의 일부 실시예들에 따르면, 웨이퍼-레벨 테스트를 위한 스크린 레이트는 램프-업 스테이지 또는 램프-다운 스테이지의 더 큰 전압 차이로 더 증가될 수 있다.
- [0047] 도 9는 본 개시 내용의 일부 실시예에 따른 인버터 회로(900)의 예시이다. 일부 실시예에서, 인버터 회로(900)는 IC(112)에 포함될 수 있다. 도 9를 참조하면, 인버터 회로(900)는 PMOS(901) 및 NMOS(903)를 포함한다. PMOS(901)는 소스, 게이트, 및 드레인을 갖는다. PMOS(901)의 소스는 입력 단자(Vin)(또한 파워 단자로도 지칭될 수 있음)에 연결되고 입력 신호(예를 들어, CAVS)를 수신하도록 구성된다. 일부 실시예에서, PMOS(901)의 게이트는 다른 입력 단자(Vin1)에 연결된다. 일부 실시예에서, PMOS(901)의 드레인, 출력 단자(Vout)에 연결되고 입력 신호에 응답하여 출력 신호를 출력하도록 구성된다. NMOS(903)는 소스, 드레인, 및 게이트를 가진다. NMOS(903)의 드레인은 PMOS(901)의 드레인에 전기적으로 연결된다. NMOS(903)의 소스는 접지에 연결된다. NMOS(903)의 게이트는 PMOS(901)의 게이트에 전기적으로 연결된다.
- [0048] 일부 실시예에서, 입력 신호(예를 들어, 스트레스 신호)에 응답하는 출력 신호는, 인버터 회로(900)가 정상적으로 동작하는지 여부를 결정하기 위해 출력 단자(Vout)에서 모니터링된다. 예를 들어, 전압 스트레스 테스트 동안에, 인버터 회로(900)의 입력 단자(Vin1)[PMOS(901) 및 NMOS(903)의 각각의 게이트]는 접지에 연결될 수 있고, 스트레스 신호(예를 들어, CAVS)가 인버터 회로(900)의 입력 단자(Vin)[예를 들어, PMOS(901)의 소스]에 인가된다. 인버터 회로(900)가 정상적으로 동작하는 경우에, 출력 단자(Vout)에서의 출력 신호는, 입력 단자(Vin)의 스트레스 신호를 실질적으로 뒤따르는데, 그 이유는 PMOS(901) 및 NMOS(903)의 각각의 게이트가 접지에 연결되어 있기 때문이다. 예를 들어, 인버터 회로(900)의 출력 신호는 스트레스 신호와 논리적으로 동일할 수 있다. 인버터 회로(900)가 비정상적으로 동작하는 경우, 인버터 회로(900)의 출력 신호는 스트레스 신호와 부분적으로 또는 완전히 상이할 수 있다. 예를 들어, 출력 신호는 입력 단자(Vin)에 인가된 스트레스 신호를 뒤따르지 않는다.
- [0049] 도 10은 본 개시의 일부 실시예에 따라, 도 9에 도시된 바와 같이 인버터 회로(900)의 입력 단자(Vin)에 인가되는 입력 신호(1002) 및 인버터 회로(900)의 출력 단자(Vout)에서 획득되는 출력 신호(1004)의 타이밍도를 도시한다. 일부 실시예에서, 입력 신호(1002)는 도 2a에 도시된 신호와 동일하거나 이와 유사하며, 입력 신호(1002)에 대한 설명들 중 일부는 간략화를 위해 여기서 생략된다. 다른 실시예에서, 도 2b, 3a, 3b, 4, 5 및 6 중 어느 하나에 도시된 신호는 인버터 회로(900)에 대한 입력 신호(1002)로서 사용될 수 있다.
- [0050] 도 10에 도시된 바와 같이, 입력 신호(1002)의 제1 기간(210) 및 제2 기간(212)에 응답하여, 출력 신호(1004)는 대응하여 제1 기간(1010) 및 제2 기간(1012)을 포함한다. 일부 실시예에서, 출력 신호(1004)는 제1 기간(210) 동안에 입력 신호(1002)의 제1 전압 레벨(200)에 응답하여 제1 기간(1010) 동안 제1 전압 레벨(1020)로 상승하며, 이는 입력 신호(1002)와 논리적으로 동일하도록 모니터링된다. 제1 기간(1010) 이후의 제2 기간(1012) 동안에, 출력 신호(1004)는 입력 신호(1002)와 부분적으로 상이하다. 예를 들어, 입력 신호(1002)와 출력 신호(1004) 사이의 논리적 차이는, 입력 신호(1002)의 스트레스 신호(220)의 상승 에지(예를 들어, 시퀀스 221A)에서 발생한다. 입력 신호(1002)의 스트레스 신호(220)의 시퀀스(221A)에 응답하여, 출력 신호(1004)는 제1 전압 레벨(1020)로부터 더 낮은 전압 레벨(1026)로 램프 다운된다. 낮은 전압 레벨(1026)의 지속 기간 후에, 출력 신호(1004)는 제2 전압 레벨(1022)로 램프 업된다. 제2 전압 레벨(1022)은 입력 신호(1002)의 제2 전압 레벨(222)과 논리적으로 동일하다. 제1 펄스(221A)의 램프-다운 스테이지에 응답하여, 출력 신호(1004)는 제3 전압 레벨(1024)로 램프 다운된다. 제3 전압 레벨(1024)은 입력 신호(1002)의 제3 전압 레벨(224)과 논리적으로 동일하다. 그 후, 출력 신호(1004)는 제2 기간의 나머지에서 입력 신호(1002)와 논리적으로 동일하다.
- [0051] 일부 실시예에서, 도 10에 도시된 바와 같은, 입력 신호(1002)와 출력 신호(1004) 사이의 논리적 차이는, 인버터 회로(900)의 비정상적인 디바이스 구조(또는 부자연스러운 누설 또는 손상)를 나타낼 수 있다. 이러한 비정상적인 디바이스 구조(또는 부자연스러운 누설 또는 손상)는 IC에 인가된 스트레스 신호로 인해 나타날 수 있다. 일부 실시예에서, 입력 신호(1002)와 출력 신호(1004) 사이의 논리적 차이는, 프로세스 편차 또는 불충분한 마진에 의해 야기된 반도체 구조체(예를 들어, PMOS(901) 또는 NMOS(903)의 게이트와 드레인 사이의 누설 또는 손상을 나타낼 수 있다. 게이트, 소스, 드레인, 콘택, 층간 유전체(ILD), 핀, 금속 게이트, 에피택시(EPI)

등을 포함하되 이에 국한되지 않는 비정상적인 디바이스 구조체는, 입력 신호(1002)와 출력 신호(1004) 사이의 논리적 차이를 모니터링함으로써 검출될 수 있다. 부자연스러운 손상은 반도체 디바이스의 금속 게이트의 프로파일 왜곡, 반도체 디바이스의 콘택 왜곡, 반도체 디바이스의 유전체의 불순물을 포함할 수 있다. 일부 실시예에서, 도 10에 도시된 바와 같은 입력 신호(1002)(예를 들어, 스트레스 신호)는, 출력 신호에 기초하여 논리 회로에 결합이 있는지 확인하기 위해 임의의 다른 논리 회로에 적용될 수 있다.

[0052] 도 11a는 본 개시 내용의 일부 실시예에 따른 반도체 구조체(11A)를 예시한다. 일부 실시예에서, 반도체 구조체(11A)는 트랜지스터의 일부이다. 예를 들어, 반도체 구조체(11A)는 도 9에 도시된 바와 같이 PMOS(901) 또는 NMOS(903)의 일부일 수 있다. 반도체 구조체(11A)는, 기판(110a), 게이트(110b), 게이트 유전체(110c), 스페이서(110d), 콘택(110e), 및 에피택시(110f)를 포함한다.

[0053] 도 9의 회로를 참조하면, 에피택시(110f)는 PMOS(901) 또는 NMOS(903)의 소스일 수 있다. 일부 실시예에서, 에피택시(110f)는 PMOS(901) 또는 NMOS(903)의 드레인일 수 있다. 일부 실시예에서, 콘택(110e)은 입력 단자(Vin)에 연결된 PMOS(901)의 소스 콘택일 수 있다. 일부 실시예에서, 콘택(110e)은 출력 단자(Vout)에 연결된 PMOS(901)의 드레인 콘택일 수 있다. 일부 실시예에서, 콘택(110e)은 PMOS(901)의 드레인에 연결된 NMOS(903)의 드레인 콘택일 수 있다. 일부 실시예에서, 콘택(110e)은 접지에 연결된 NMOS(903)의 소스 콘택일 수 있다. 게이트(110b)는 다른 입력 단자(Vin1)에 연결된 PMOS(901) 또는 NMOS(903)의 게이트일 수 있다.

[0054] 게이트 유전체(110c)는 기판(110a) 상에 배치된다. 게이트(110b)는 게이트 유전체(110c) 상에 배치된다. 스페이서(110d)는 기판(110a) 상에 배치된다. 스페이서(110d)는 게이트(110b) 옆에 배치된다. 스페이서(110d)는 게이트(110b) 및 게이트 유전체(110c)와 접촉할 수 있다. 콘택(110e)은 기판(110a) 상에 배치된다. 콘택(110e)은 스페이서(110d) 옆에 배치된다. 콘택(110e)은 스페이서(110d)와 물리적으로 이격되어 있다. 예를 들어, 콘택(110e)과 스페이서(110d) 사이에 갭이 있다. 일부 실시예에서, 콘택(110e)과 게이트(110b) 사이의 거리(D1)는 3 nm 미만이다..

[0055] 트랜지스터의 콘택과 게이트 사이의 거리가 3nm 미만이면, 기존 기술을 사용하여 해당 트랜지스터에 대한 전압 스트레스 테스트를 수행하기가 어렵다. 반도체 디바이스의 크기가 점점 작아지므로, 이러한 종류의 구조를 테스트하기가 어렵다. 전압 스트레스 테스트를 수행한 결과의 이스케이프(escape) 결합률은, 본 개시 내용의 방법을 사용함으로써 더 낮아질 것이다. 즉, 본 개시 내용의 방법으로, 콘택과 게이트 사이의 거리가 3nm 미만인 트랜지스터를 테스트하는 것이 더 정확하고 신뢰적일 수 있다. 일부 실시예에서, 도 2a에 도시된 바와 같은 스트레스 신호를 사용하고, 도 9에 도시된 바와 같이 출력 신호를 모니터링함으로써, 전압 스트레스 테스트는 게이트 대 콘택 간격이 3nm 미만인 임의의 트랜지스터에 대해 수행될 수 있다.

[0056] 도 11b는 본 개시 내용의 일부 실시예에 따른 반도체 구조물(11B)을 예시한다. 일부 실시예에서, 반도체 구조물(11B)은 트랜지스터의 일부이다. 예를 들어, 반도체 구조물(11B)은 도 9에 도시된 바와 같이 PMOS(901) 또는 NMOS(903)의 일부일 수 있다. 반도체 구조물(11B)은 기판(111a), 게이트(111b), 게이트 유전체(111c), 스페이서(111d), 콘택(111e) 및 에피택시(111f)를 포함한다.

[0057] 도 9의 회로를 참조하면, 에피택시(111f)는 PMOS(901) 또는 NMOS(903)의 소스일 수 있다. 일부 실시예에서, 에피택시(111f)는 PMOS(901) 또는 NMOS(903)의 드레인일 수 있다. 일부 실시예에서, 콘택(111e)은 입력 단자(Vin)에 연결된 PMOS(901)의 소스 콘택일 수 있다. 일부 실시예에서, 콘택(111e)은 출력 단자(Vout)에 연결된 PMOS(901)의 드레인 콘택일 수 있다. 일부 실시예에서, 콘택(111e)은 PMOS(901)의 드레인에 연결된 NMOS(903)의 드레인 콘택일 수 있다. 일부 실시예에서, 콘택(111e)은 접지에 연결된 NMOS(903)의 소스 콘택일 수 있다. 게이트(111b)는 다른 입력 단자(Vin1)에 연결된 PMOS(901) 또는 NMOS(903)의 게이트일 수 있다..

[0058] 기판(111a)은 표면(111s)을 갖는다. 게이트 유전체(111c)는 기판(111a)의 표면(111s) 상에 배치된다. 게이트(111b)는 게이트 유전체(111c) 상에 배치된다. 스페이서(111d)는 기판(111a)의 표면(111s) 상에 배치된다. 스페이서(111d)는 게이트(111b) 옆에 배치된다. 스페이서(111d)는 게이트(111b) 및 게이트 유전체(111c)와 접촉할 수 있다. 콘택(111e)은 기판(111a) 상에 배치된다. 콘택(111e)은 스페이서(111d) 옆에 배치된다. 콘택(111e)은 스페이서(111d)와 물리적으로 이격되어 있다. 예를 들어, 콘택(111e)과 스페이서(111d) 사이에 갭이 있다. 에피택시(111f)는 기판(111a) 내에 배치된다. 에피택시(111f)가 콘택 아래에 있다. 일부 실시예에서, 기판(111a)의 표면(111s) 상의 게이트(111b)의 투사 라인과 기판(111a)의 표면(111s) 상의 에피택시(111f)의 투사 라인 사이의 최소 거리(D2)는 1 nm 미만이다..

[0059] 기판 상의 게이트의 투사 라인과 기판 상의 에피택시의 투사 라인 사이의 최소 거리가 1nm 미만이면, 기존 기술

을 사용하여 상기 트랜지스터에 대한 전압 스트레스 테스트를 수행하기가 어렵다. 반도체 디바이스의 크기가 점점 작아지므로, 이러한 종류의 구조물을 테스트하기가 어렵다. 기존 기술을 사용하여 전압 스트레스 테스트를 수행한 결과의 이스케이프 결함률은, 본 개시 내용의 방법을 사용함으로써 더 낮아질 것이다. 즉, 본 개시 내용의 방법으로 기판 상의 게이트의 투사 라인과 1 nm 미만의 기판 상의 에피택시의 투사 라인을 갖는 트랜지스터를 테스트하는 것이 더 정확하고 신뢰적일 수 있다. 도 2a에 도시된 바와 같이 스트레스 신호를 사용하고 도 9 및 도 10에 도시된 바와 같이 출력 신호를 모니터링함으로써, 전압 스트레스 테스트는, 게이트 대 에피택시 간격이 1 nm 미만인 임의의 트랜지스터에 대해 수행될 수 있다.

[0060] 일부 실시예에 따르면, 방법이 제공된다. 이 방법은, 입력 단자 및 출력 단자를 가지는 DUT(Device Under Test)를 제공하는 단계; 제1 기간 동안 상기 DUT의 입력 단자에 제1 전압 레벨을 가지는 전압을 인가하는 단계; 제1 기간 이후의 제2 기간 동안 상기 DUT의 입력 단자에 스트레스 신호를 인가하는 단계; 상기 DUT의 출력 단자에서 상기 스트레스 신호에 응답하여 출력 신호를 획득하는 단계; 및 상기 출력 신호를 상기 스트레스 신호와 비교하는 단계를 포함한다. 상기 스트레스 신호는 복수의 시퀀스를 포함하며, 상기 시퀀스의 각각은 램프-업 스테이지 및 램프-다운 스테이지를 가진다. 상기 스트레스 신호는 제2 전압 레벨 및 제3 전압 레벨을 가진다.

[0061] 다른 실시예에 따르면, 방법이 제공된다. 이 방법은, 입력 단자 및 출력 단자를 가지는 DUT를 제공하는 단계; 상기 DUT의 입력 단자에 스트레스 신호를 인가하는 단계; 상기 DUT의 출력 단자에서 상기 스트레스 신호에 응답하여 출력 신호를 획득하는 단계; 상기 출력 신호를 상기 스트레스 신호와 비교하는 단계; 및 상기 출력 신호와 상기 스트레스 신호 간의 비교 결과에 기초하여 상기 DUT가 비정상적인 구조를 갖는지 여부를 결정하는 단계를 포함한다. 상기 출력 신호는 복수의 시퀀스를 포함하며, 상기 시퀀스의 각각은 램프-업 스테이지 및 램프-다운 스테이지를 가진다. 상기 출력 신호는 제1 전압 레벨 및 제2 전압 레벨을 가진다.

[0062] 다른 실시예에 따르면, 반도체 디바이스가 제공된다. 반도체 디바이스는, 스트레스 신호를 수신하도록 구성된 제1 입력 단자 및 상기 스트레스 신호에 응답하여 출력 신호를 생성하도록 구성된 출력 단자를 포함한다. 반도체 디바이스는 기판, 게이트, 및 콘택을 더 포함한다. 게이트는 기판 상에 배치된다. 콘택은 기판 상에 그리고 상기 게이트 옆에 배치된다. 콘택은 제1 입력 단자 또는 출력 단자에 전기적으로 연결된다. 게이트와 콘택 사이의 거리는 3 나노미터(nm) 미만이다.

[0063] 전술한 내용은, 기술 분야의 숙련된 자가 본 개시의 양태를 더 잘 이해할 수도 있도록 여러 가지 실시형태의 피처를 개략적으로 나타낸다. 기술 분야의 숙련된 자는, 그들이 동일한 목적을 실행하기 위해 및/또는 본원에서 소개되는 실시형태의 동일한 이점을 달성하기 위해 다른 프로세스 및 구조물을 설계 또는 수정하기 위한 기초로서 본 개시를 쉽게 사용할 수도 있다는 것을 인식해야 한다. 기술 분야의 숙련된 자는 또한, 그러한 등가적 구성이 본 개시의 취지와 범위를 벗어나지 않는다는 것, 및 그들이 본 개시의 취지와 범위를 벗어나지 않으면서 본원에서 다양한 변경, 대체, 수정을 가할 수도 있다는 것을 인식해야 한다.

[0064] <부 기>

[0065] 1. 방법에 있어서,

[0066] 입력 단자 및 출력 단자를 가지는 DUT(Device Under Test)를 제공하는 단계;

[0067] 제1 기간 동안 상기 DUT의 입력 단자에 제1 전압 레벨을 가지는 전압을 인가하는 단계;

[0068] 제1 기간 이후의 제2 기간 동안 상기 DUT의 입력 단자에 스트레스(stress) 신호를 인가하는 단계 - 상기 스트레스 신호는 복수의 시퀀스를 포함하며, 상기 시퀀스의 각각은 램프-업(ramp-up) 스테이지 및 램프-다운(ramp-down) 스테이지를 가지며, 상기 스트레스 신호는 제2 전압 레벨 및 제3 전압 레벨을 가짐 -;

[0069] 상기 DUT의 출력 단자에서 상기 스트레스 신호에 응답하여 출력 신호를 획득하는 단계; 및

[0070] 상기 출력 신호를 상기 스트레스 신호와 비교하는 단계

[0071] 를 포함하는 방법.

[0072] 2. 제1항에 있어서, 상기 출력 신호와 상기 스트레스 신호 간의 비교 결과에 기초하여 상기 DUT가 비정상적인(abnormal) 구조를 갖는지 여부를 결정하는 단계를 더 포함하는 방법.

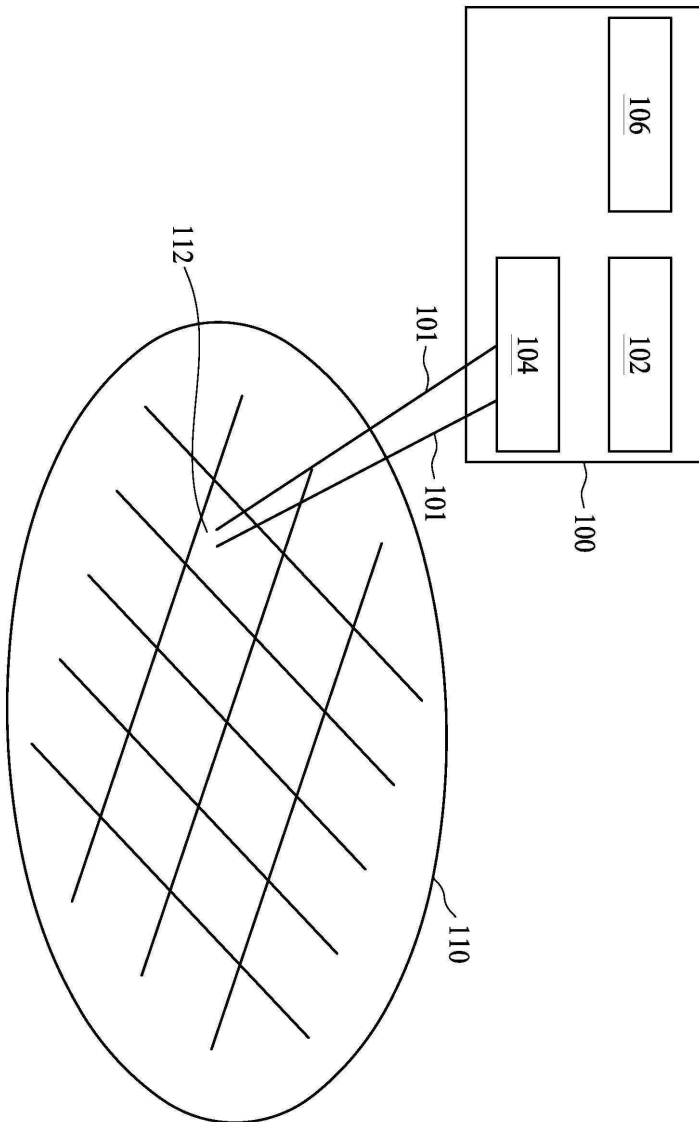
[0073] 3. 제2항에 있어서, 상기 DUT는 동일한 시간 영역에서 상기 출력 신호가 상기 스트레스 신호와 논리적으로 상이한 경우에 비정상적인 구조를 갖는 것으로 결정되는 것인 방법.

- [0074] 4. 제3항에 있어서, 상기 출력 신호는 상기 동일한 시간 영역에서 부분적으로 상기 스트레스 신호와 논리적으로 상이한 것인 방법.
- [0075] 5. 제3항에 있어서, 상기 출력 신호는 상기 동일한 시간 영역에서 완전히(fully) 상기 스트레스 신호와 논리적으로 상이한 것인 방법.
- [0076] 6. 제1항에 있어서, 상기 제2 전압 레벨은 상기 제1 전압 레벨보다 1.3 배 내지 3.0 배 더 높은 것인 방법.
- [0077] 7. 제1항에 있어서, 상기 제3 전압 레벨은 상기 제1 전압 레벨의 0.7 배 내지 상기 제2 전압 레벨의 0.9 배인 것인 방법.
- [0078] 8. 제1항에 있어서, 상기 DUT는,
- [0079] 상기 DUT의 입력 단자에 연결되는 소스, 게이트, 및 상기 DUT의 출력 단자에 연결되는 드레인을 가지는 PMOS; 및
- [0080] 접지에 연결되는 소스, 상기 PMOS의 상기 게이트에 연결되는 게이트, 및 상기 DUT의 출력 단자에 연결되는 드레인을 가지는 NMOS
- [0081] 를 포함하는 방법.
- [0082] 9. 방법에 있어서,
- [0083] 입력 단자 및 출력 단자를 가지는 DUT를 제공하는 단계;
- [0084] 상기 DUT의 입력 단자에 스트레스 신호를 인가하는 단계;
- [0085] 상기 DUT의 출력 단자에서 상기 스트레스 신호에 응답하여 출력 신호를 획득하는 단계 - 상기 출력 신호는 복수의 시퀀스를 포함하며, 상기 시퀀스의 각각은 램프-업 스테이지 및 램프-다운 스테이지를 가지며, 상기 출력 신호는 제1 전압 레벨 및 제2 전압 레벨을 가짐 -;
- [0086] 상기 출력 신호를 상기 스트레스 신호와 비교하는 단계; 및
- [0087] 상기 출력 신호와 상기 스트레스 신호 간의 비교 결과에 기초하여 상기 DUT가 비정상적인 구조를 갖는지 여부를 결정하는 단계
- [0088] 를 포함하는 방법.
- [0089] 10. 제9항에 있어서, 상기 스트레스 신호를 인가하기 전에 상기 DUT의 입력 단자에 제3 전압 레벨을 갖는 전압을 인가하는 단계를 더 포함하는 방법.
- [0090] 11. 제10항에 있어서, 상기 제1 전압 레벨은 상기 제3 전압 레벨보다 약 1.3 배 내지 약 3.0 배 더 높은 것인 방법.
- [0091] 12. 제10항에 있어서, 상기 제2 전압 레벨은 상기 제3 전압 레벨의 약 0.7 배 내지 상기 제1 전압 레벨의 약 0.9 배인 것인 방법.
- [0092] 13. 제9항에 있어서, 상기 DUT는 동일한 시간 영역에서 상기 출력 신호가 상기 스트레스 신호와 논리적으로 상이한 경우에 비정상인 구조를 갖는 것으로서 결정되는 것인 방법.
- [0093] 14. 제9항에 있어서, 상기 DUT는,
- [0094] 상기 DUT의 입력 단자에 연결되는 소스, 게이트, 및 상기 DUT의 출력 단자에 연결되는 드레인을 가지는 PMOS; 및
- [0095] 접지에 연결되는 소스, 상기 PMOS의 상기 게이트에 연결되는 게이트, 및 상기 DUT의 출력 단자에 연결되는 드레인을 가지는 NMOS
- [0096] 를 포함하는 방법.
- [0097] 15. 반도체 디바이스로서,
- [0098] 스트레스 신호를 수신하도록 구성된 제1 입력 단자;
- [0099] 상기 스트레스 신호에 응답하여 출력 신호를 생성하도록 구성된 출력 단자;

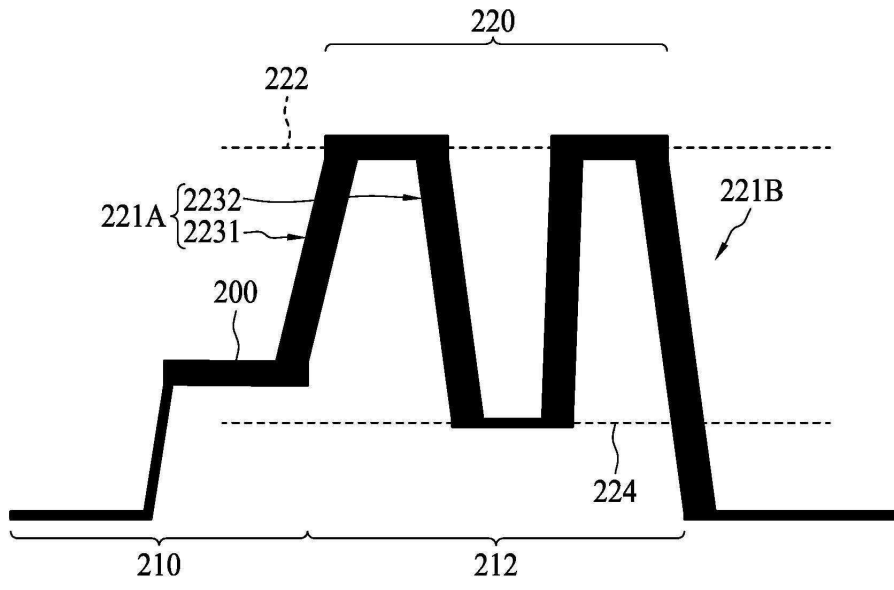
- [0100] 기관;
- [0101] 상기 기관 상에 배치된 게이트; 및
- [0102] 상기 기관 상에 그리고 상기 게이트 옆에 배치된 콘택 - 상기 콘택은 상기 제1 입력 단자 또는 상기 출력 단자에 전기적으로 연결되고, 상기 게이트와 상기 콘택 사이의 거리가 3 나노미터(nm) 미만임 -
- [0103] 을 포함하는 반도체 디바이스.
- [0104] 16. 제15항에 있어서, 상기 기관 내에 그리고 상기 콘택 아래에 배치된 에피택시를 더 포함하고, 상기 기관 상의 게이트의 투사(projection) 라인과 상기 기관 상의 에피택시의 투사 라인 사이의 최소 거리는 1 nm 미만인 반도체 디바이스.
- [0105] 17. 제15항에 있어서,
- [0106] 상기 기관 상에 그리고 상기 게이트와 상기 콘택 사이에 배치된 스페이서; 및
- [0107] 상기 게이트와 상기 기관 사이에 배치된 게이트 유전체
- [0108] 를 더 포함하는 반도체 디바이스.
- [0109] 18. 제15항에 있어서, 상기 스트레스 신호에 응답하는 상기 출력 신호는 복수의 시퀀스를 포함하고, 상기 시퀀스의 각각은 램프-업 스테이지 및 램프-다운 스테이지를 가지며, 상기 출력 신호는 제1 전압 레벨 및 제2 전압 레벨을 가지는 것인 반도체 디바이스.
- [0110] 19. 제18항에 있어서, 상기 반도체 디바이스의 상기 제1 입력 단자는 또한, 상기 스트레스 신호를 수신하기 전에 제3 전압 레벨을 가지는 전압을 수신하도록 구성되는 것인 반도체 디바이스.
- [0111] 20. 제19항에 있어서, 상기 콘택은 상기 반도체 디바이스의 드레인 또는 소스에 전기적으로 연결되는 것인 반도체 디바이스.

도면

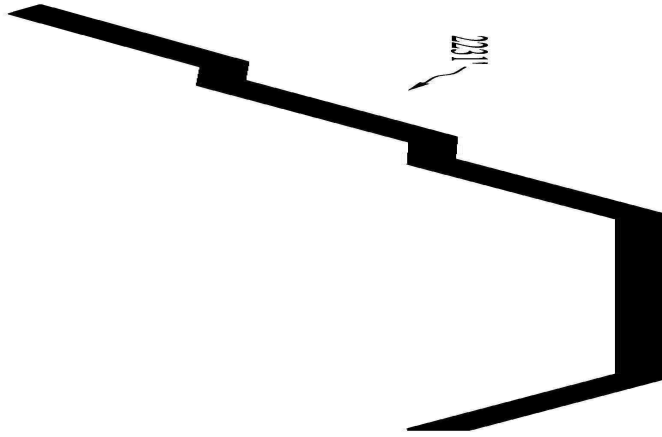
도면1



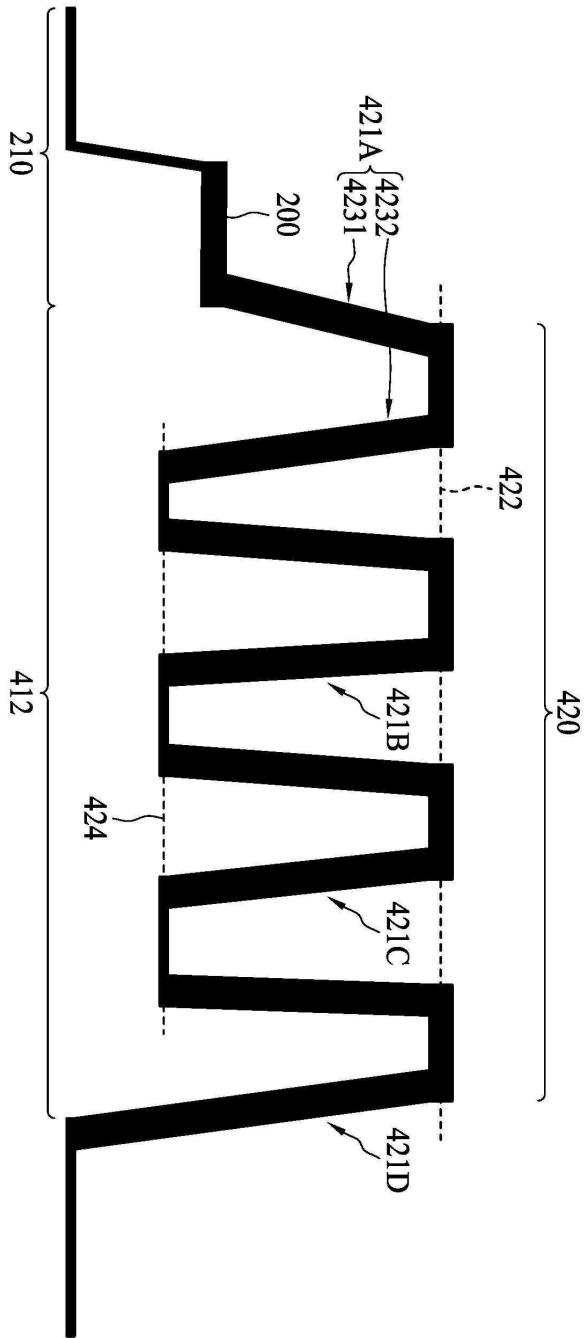
도면2a



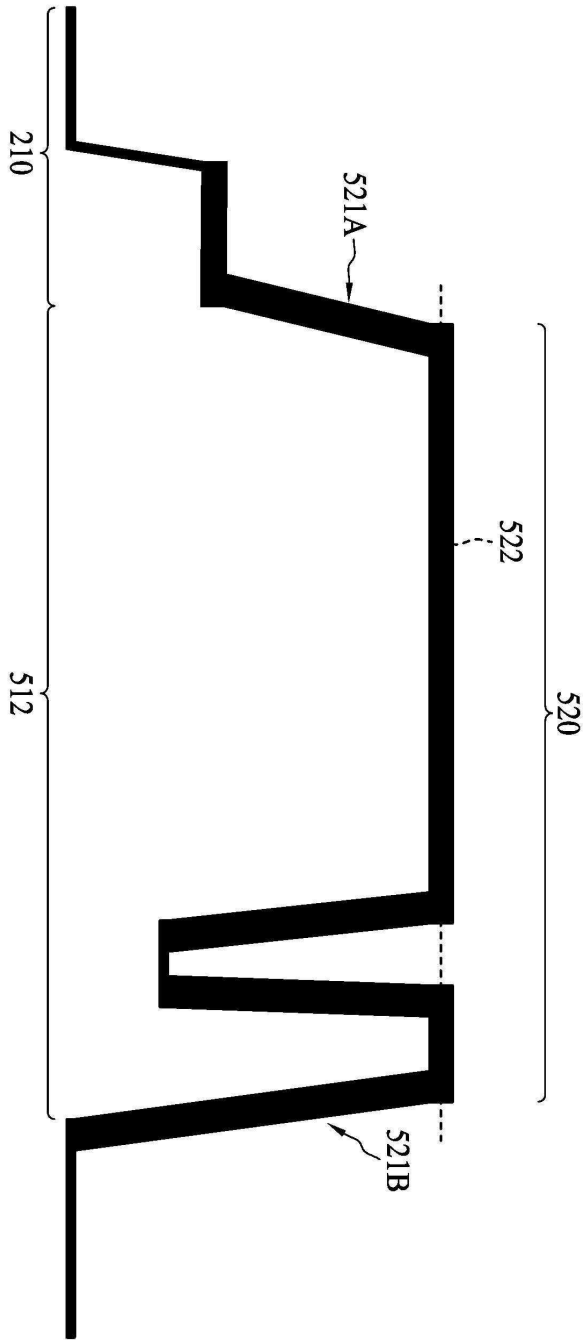
도면 3b



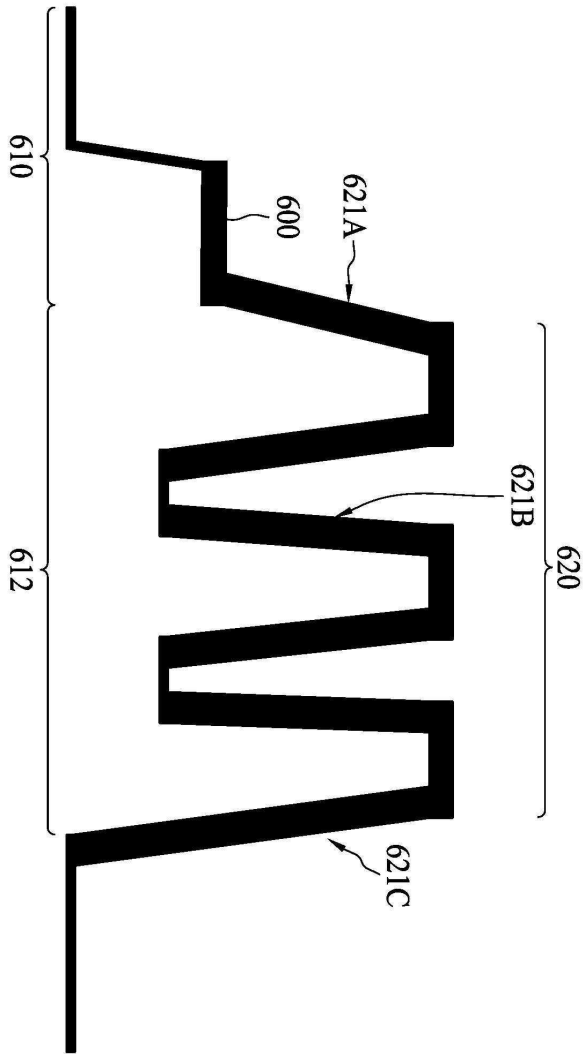
도면4



도면5

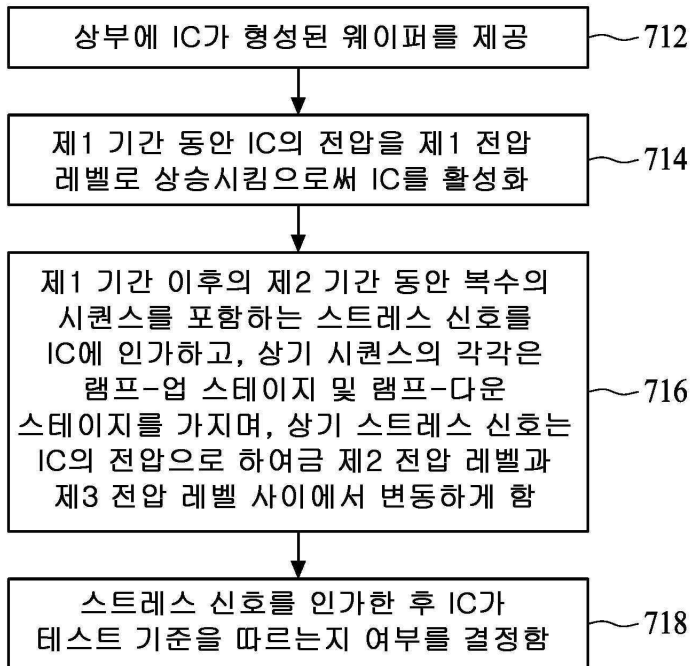


도면6



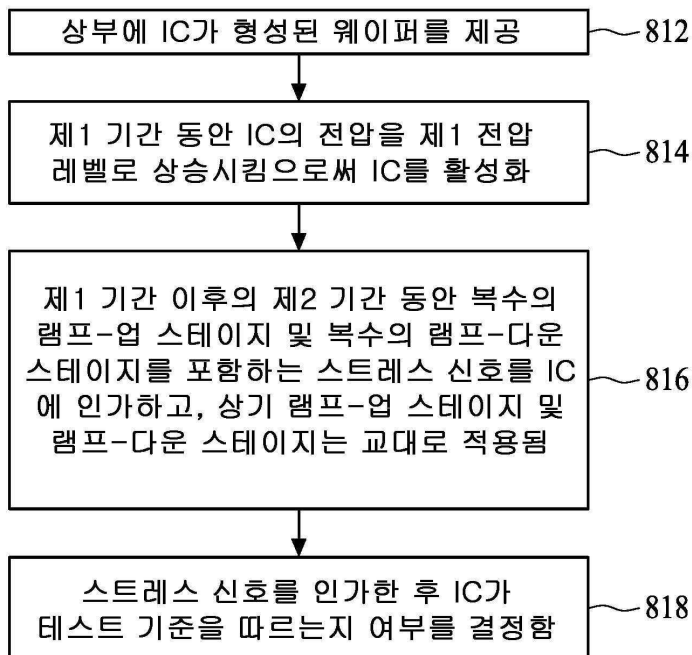
도면7

700



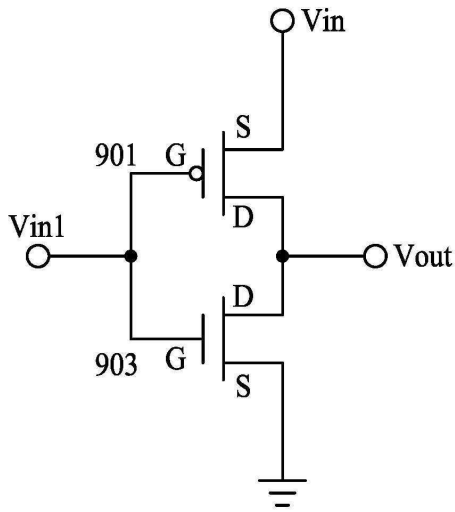
도면8

800

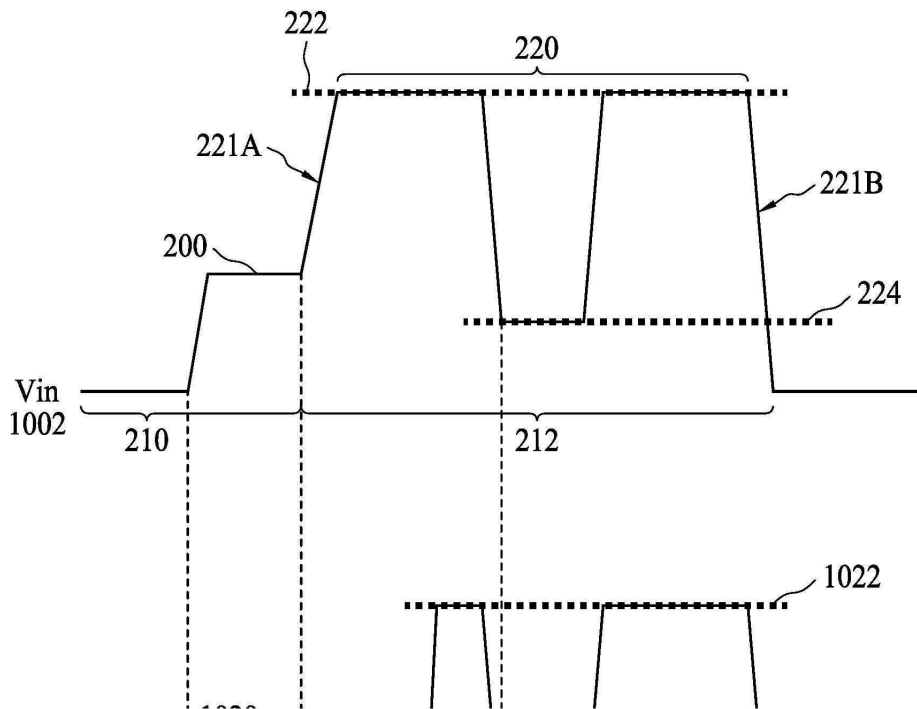


도면9

900

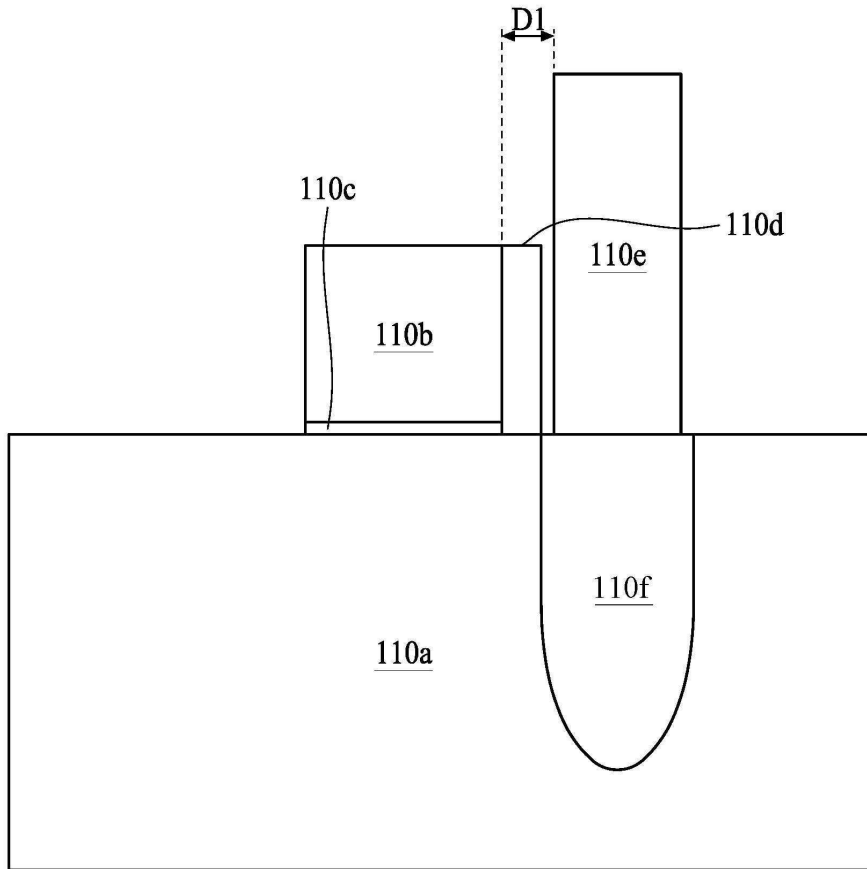


도면10



도면11a

11A



도면11b

11B

