

## 公生本

申請日期：91

5 3

案號：91109288

類別：HolL 27/15

(以上各欄由本局填註)

## 發明專利說明書

536818

一、 發明名稱	中 文	一種單層多晶矽可電抹除可程式唯讀記憶體
	英 文	SINGLE-POLY EEPROM
二、 發明人	姓 名 (中文)	1. 徐清祥 2. 楊青松 3. 沈士傑
	姓 名 (英文)	1. Hsu, Ching-Hsiang 2. Yang, Ching-Sung 3. Shen, Shih-Jye
	國 籍	1. 中華民國 2. 中華民國 3. 中華民國
	住、居 所	1. 新竹市建中路一00之二十八號 2. 彰化縣溪湖鎮光平里五鄰大溪路二段四二五巷五號 3. 新竹市新光路八十一號十二樓
三、 申請人	姓 名 (名稱) (中文)	1. 力旺電子股份有限公司
	姓 名 (名稱) (英文)	1. eMemory Technology Inc.
	國 籍	1. 中華民國
	住、居 所 (事務所)	1. 新竹市水利路八十一號八樓之三
	代表人 姓 名 (中文)	1. 黃崇仁
代表人 姓 名 (英文)	1. Huang, Chong-Jen	



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

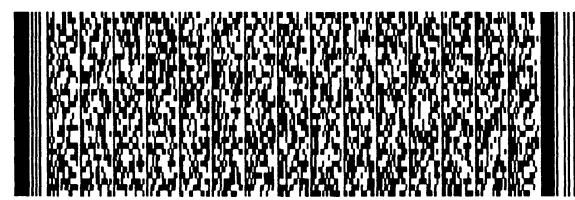
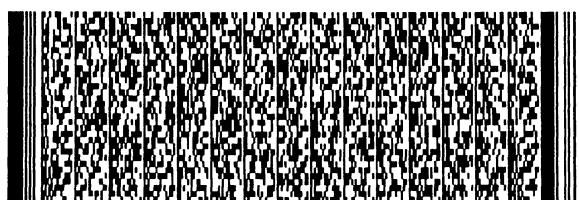
## 五、發明說明 (1)

## 發明之領域

本發明係關於一種半導體記憶裝置及其操作方法，特別關於一種單層多晶矽 (single-poly) 可電抹除可程式唯讀記憶體 (Electrically Erasable Programmable Read Only Memory，以下簡稱為 EEPROM)，其具有低耗電、高寫入/抹除效率、可重複寫入以及高密度等諸多優點。本發明之單層多晶矽 EEPROM 特別可相容於標準 CMOS 製程。此外，本發明之單層多晶矽 EEPROM 係利用通道熱電子注入 (channel hot electron injection, CHEI) 機制進行寫入操作，而具有一抹除閘極 (erase gate)，可利用邊緣福樂諾漢 (edge FN) 機制進行快速抹除操作。

## 背景說明

EEPROM 或快閃 EEPROM (flash EEPROM) 屬於非揮發性記憶體，其具有切斷電源仍能保有記憶體內容之優點，以及具有可重複讀入資料之功能，加上傳輸快速，所以應用層面非常廣泛。在許多的資訊、通訊及消費性電子產品中均已將非揮發性記憶體當成必要元件。而隨著小體積可攜式電子產品例如個人數位助理 (personal digital assistant, PDA) 或行動電話的需求日益增加，同時包含有 EEPROM 及邏輯電路之嵌入式晶片 (embedded chip) 或系統整合晶片 (system on a chip, SOC) 的需求也隨之提

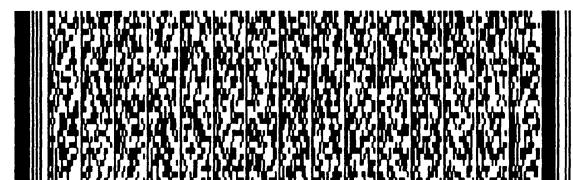
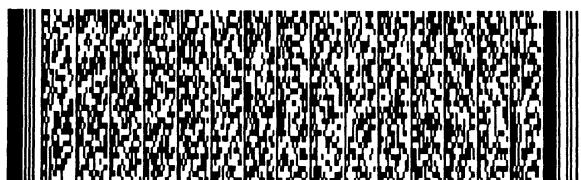


## 五、發明說明 (2)

昇。為此，EEPROM將來勢必朝著CMOS製程相容、低耗電、高寫入效率、低成本以及高密度之方向發展，才能符合日後產品的需求。

圖一為習知EEPROM單元10之剖面示意圖。如圖一所示，習知EEPROM單元10包含有一NMOS結構28以及一PMOS結構30，兩者藉由一絕緣場氧化層24隔開。NMOS結構28係形成於一P型基底12上，包含有一第一浮置閘(floating gate)32、一N源極摻雜區14及一N汲極摻雜區16。PMOS結構30係形成於一N型離子井18上，包含有一第二浮置閘34、一P源極摻雜區20及一P汲極摻雜區22。此外，在緊鄰P源極摻雜區20一側植入有一重摻雜(heavily doped)N型通道阻擋區(channel stop region)38，此N型通道阻擋區38係位於第二浮置閘34之下方。第一浮置閘極32及第二浮置閘極34並藉由一浮置閘導線36相連接，使第一浮置閘32及第二浮置閘34維持相同電位。當第一浮置閘32因應於一控制閘電壓而產生相對應的電位時，第二浮置閘34將由於浮置閘導線36的連接而具有與第一浮置閘32相同的電位，並藉以吸引經由P源極摻雜區20及N型通道阻擋區38之空乏區所產生之加速電子而將電子拘束於第二浮置閘34中。

習知EEPROM單元10具有如下之缺點。首先，習知EEPROM單元10由一PMOS電晶體30及一NMOS電晶體28所構



## 五、發明說明 (3)

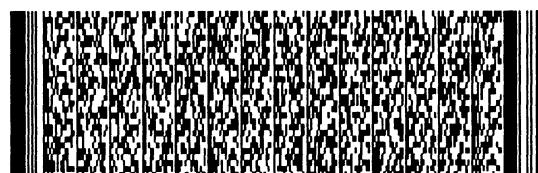
成，所佔晶片單位面積較大；其次，習知 EEPROM單元 10需要額外的 N型通道阻擋區 38；再者，習知 EEPROM單元 10須以浮置閘導線 36將第一浮置閘 32及第二浮置閘 34電連接；此外，在 NMOS結構 28以及 PMOS結構 30之間需要有場氧化層 24隔離。由上可知，習知 EEPROM單元 10消耗晶片面積過大，加上結構複雜，增加製程成本及困難度。

## 發明概述

據此，本發明之主要目的在於提供一種高密度且低耗電之單層多晶矽 EEPROM結構。

本發明之另一目的在於提供一種省電高密度單層多晶矽 EEPROM結構及其操作方法，同時其製作方法可與傳統 CMOS製程相容。

在本發明之最佳實施例中，揭露了一種單層多晶矽可電抹除可程式唯讀記憶體，包含有一第一 PMOS電晶體及一第二 PMOS電晶體串接該第一 PMOS電晶體，其中該第一 PMOS電晶體及該第二 PMOS電晶體係形成於一P型基底之一N型井上，該第一 PMOS電晶體包含有一浮置閘、一第一 P<sup>+</sup>汲極摻雜區及一第一 P<sup>+</sup>源極摻雜區，該第二 PMOS電晶體包含有一閘極以及一第二 P<sup>+</sup>汲極摻雜區，而該第一 PMOS電晶體之該第一 P<sup>+</sup>源極摻雜區同時用來作為該第二 PMOS電晶體之一汲



## 五、發明說明 (4)

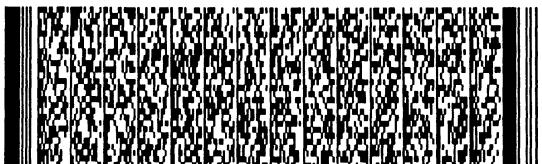
極；及一抹除閘極 (erase gate)形成於該P型基底中，並鄰接該浮置閘。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下。

## 發明之詳細說明

以下即藉由圖二至圖五以及表一說明本發明之較佳實施例。

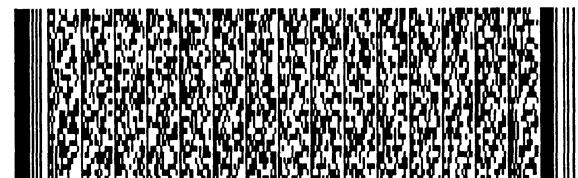
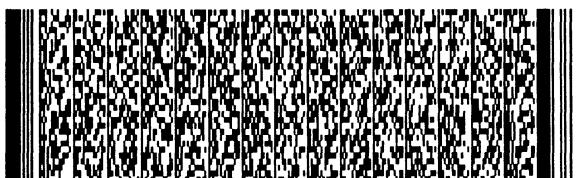
首先請參閱圖二，圖二為依據本發明較佳實施例之單層多晶矽 EEPROM佈局的部分上視圖。如圖二所示，在本發明之較佳實施例中，單層多晶矽 EEPROM單元 100a包含有一第一 PMOS電晶體 101及一第二 PMOS電晶體 102串接於第一 PMOS電晶體 101。第一 PMOS電晶體 101及第二 PMOS電晶體 102係形成於一P型基底 200之一N型井 110上(如虛線所示區域)。第一 PMOS電晶體 101包含有一浮置閘 122、一P級極摻雜區 132及一P摻雜區 134。第二 PMOS電晶體 102包含有一閘極 124、一P摻雜區以及一P源極摻雜區 136，而第一 PMOS電晶體 101之P摻雜區 134同時用來作為第二 PMOS電晶體 102之汲極。本發明之浮置閘 122係由單層多晶矽所形成，其上方並未，也不需要，形成有控制電極。P級極摻



## 五、發明說明 (5)

雜區 132係經由一接觸插塞 150a與一位元線（圖二中未顯示）電連接，P源極摻雜區 136係電連接一源極線（source line）142。在本發明之較佳實施例中，源極線 142係為一P摻雜區，與P源極摻雜區 136於同一離子佈植步驟中形成。圖二中另顯示有一結構類似於 EEPROM單元 100a之 EEPROM單元 100b及一 EEPROM單元 100c，其中 EEPROM單元 100b具有一接觸插塞 150b與接觸插塞 150a電連接於同一條位元線（圖二中未顯示），而 EEPROM單元 100c具有一接觸插塞 150c電連接於相鄰之另一位元線（圖二中未顯示）。

仍然參閱圖二，本發明之單層多晶矽 EEPROM單元 100另包含有一抹除閘極（erase gate）120形成於P型基底 200中，並鄰接浮置閘 122。在本發明之較佳實施例中，抹除閘極 120係為一N摻雜區。抹除閘極 120經由一接觸插塞 160外接一抹除閘極電壓（erase gate voltage,  $V_{EG}$ ）。本發明單層多晶矽 EEPROM單元 100之抹除操作係利用抹除閘極 120與浮置閘 122之間的 edge FN效應來進行，其詳細之操作程序容後說明。需注意的是，在本發明之較佳實施例中，抹除閘極 120的植入係在浮置閘 122定義完成之後進行，因此，本質上在浮置閘 122下方並不會有抹除閘極 120與之重疊。若有，亦是由於抹除閘極 120在植入後因為熱製程所產生輕微擴散所導致。此外，由於浮置閘 122必須鄰接抹除閘極 120，因此浮置閘 122需跨越N型井 110及P型基底 200，延伸至抹除閘極 120。此外，在浮置閘 122及閘

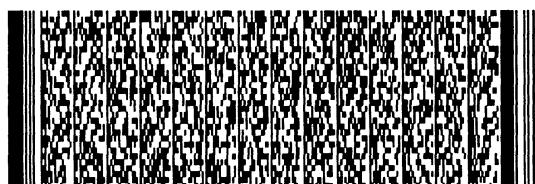
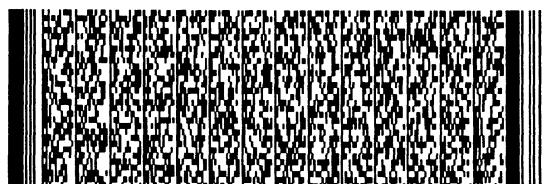


## 五、發明說明 (7)

壓 (word line voltage,  $V_{WL}$ )，其 P 源極摻雜區 136 係施以一源極線電壓 (source line voltage,  $V_{SL}$ )。此外，P 型基底 200 則施以一 P 型井電壓 (P-Well voltage,  $V_{PW}$ )。

接著，茲根據表 1 所示，說明本發明 EEPROM 之操作方法。見表 1 第一列，當執行一編碼或程式化操作時 (以寫入資料 "1" 為例)，字元線電壓  $V_{WL}$  為一低準位電壓，例如輸入  $V_{WL} = 0V$ 。位元線電壓  $V_{BL}$  為一準位與字元線電壓  $V_{WL}$  相同之電壓，亦即  $V_{BL} = 0V$ 。未被選擇之字元線則施以一準位與源極線電壓  $V_{SL}$  相同之電壓，亦即  $V_{WL(un-selected)} = 5-7V$ 。未被選擇之位元線則施以一準位與源極線電壓  $V_{S}$  相同之電壓，亦即  $V_{BL(un-selected)} = 5-7V$ 。浮置閘 122 保持懸浮狀態。源極線電壓  $V_{SL}$  為一高準位電壓，例如輸入  $V_{SL} = 5-7V$ 。N 型井電壓  $V_{NW}$  亦為一準位相對高於字元線電壓之電壓，例如輸入  $V_{NW} = 5-7V$ 。P 型井電壓  $V_{PW}$  為一準位與字元線電壓  $V_{WL}$  相同之電壓，亦即  $V_{PW} = 0V$ 。抹除閘極電壓  $V_{EG}$  為一準位與字元線電壓  $V_{WL}$  相同之電壓，亦即  $V_{EG} = 0V$ 。見表 1 第二列，若以寫入資料 "0" 為例，選擇到與為選擇到之位元線電壓  $V_{BL}$  皆為一準位高於字元線電壓  $V_{WL}$  之電壓，例如輸入  $V_{BL} = 5-7V$ ，其它條件同上。

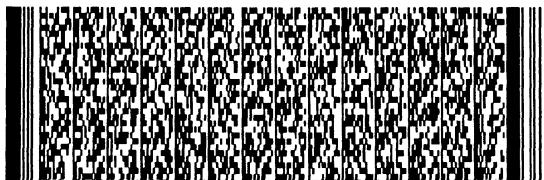
請參閱圖四，圖四表示寫入 "1" 之操作實例示意圖。如圖四所示，以下面之操作條件為例：字元線電壓  $V_{WL} = 0V$ ，位元線電壓  $V_{BL} = 0V$ ，浮置閘 122 保持懸浮狀態，源極



## 五、發明說明 (8)

線電壓  $V_{SL} = 5V$ , N型井電壓  $V_{NW} = 5V$ , P型井電壓  $V_{PW} = 0V$ , 抹除閘極電壓  $V_{EG} = 0V$ 。在上述之操作條件下，由於浮置閘 122可藉由電容耦合效應獲得一低電壓，例如  $-1\sim-2V$ ，而將浮置閘 122下方之P型通道打開，熱電子即可經由打開之P型通道，隧穿過浮置閘氧化層 122a，並被捕陷於於浮置閘 122中。請參閱圖五，圖五為第二PMOS電晶體 102在不同的汲極對N型井 110偏壓 ( $V_d = V_{BL} - V_{NW}$ )條件下所獲得的閘極電壓對閘極電流圖。如圖五所示，在偏壓  $V_d$ 為  $-5V$ 條件下，浮置閘 122藉由電容耦合效應獲得約  $-1\sim-2V$ 低電壓，此時，第二PMOS電晶體 102的通道剛剛開啟，而閘極電流已接近最大值。換句話說，在本發明之操作模式下，閘極電流對汲極電流的比值 ( $I_g/I_d$ )較大，因此在程式化時可獲致較佳之效能。

見表 1第三列，當執行一讀取操作時，選擇到之字元線電壓  $V_{WL}$ 為一低準位電壓，例如輸入電壓為  $0V$ ，未選擇到之字元線電壓  $V_{WL}$ 為一較高準位電壓，例如輸入電壓為  $3.3V$ 。選擇到之位元線電壓  $V_{BL}$ 為一低準位電壓，例如輸入電壓為  $1.8V$ ，未選擇到之位元線電壓  $V_{BL}$ 同未選擇到之字元線電壓  $V_{WL}$ 為一較高準位電壓，例如輸入電壓為  $3.3V$ 。源極線電壓  $V_{SL}$ 、N型井電壓  $V_{NW}$ 及抹除閘極電壓  $V_{EG}$ 皆同未選擇到之字元線電壓  $V_{WL}$ 為一較高準位電壓，例如輸入電壓為  $3.3V$ 。P型井電壓  $V_{PW}$ 為一準位與選擇到之字元線電壓  $V_{WL}$ 相同之電壓，亦即  $V_{PW} = 0V$ 。

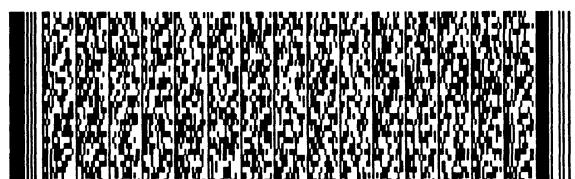
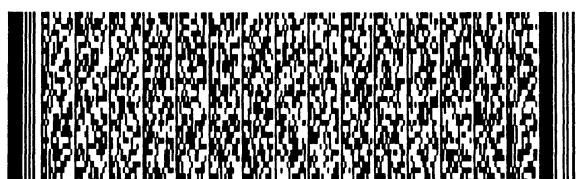


## 五、發明說明 (9)

見表 1 第四列，當執行一抹除 (Erase) 操作時，字元線電壓  $V_{WL}$  為一低準位電壓，例如輸入電壓為 0V。位元線電壓  $V_{BL}$  為一低準位電壓，例如輸入電壓為 0V。源極線電壓  $V_{SL}$ 、N型井電壓  $V_{NW}$  及 P型井電壓  $V_{PW}$  為一低準位電壓，例如輸入電壓為 0~-5V。抹除閘極電壓  $V_E$  則輸入一高準位電壓，例如輸入電壓為 5~7V。

此外，本發明之另一特徵在於抹除動作初期，由於浮置閘極中之電子致使位元線之電壓  $V_B$  藉由通道傳至整個通道區，而使浮置閘極中的電子易於由抹除閘極抹除，而當抹除動作持續一段時間後，浮置閘極內的電子減少而通道消失，抹除動作隨之減緩，該記憶元件即不再有大量電子被拉出，進而避免過度抹除 (over-erase) 現象。

圖六顯示本發明之第二較佳實施例。如圖六所示，本發明除了圖二所示之陣列架構之外，亦可為圖六所示之陣列架構。在此稱圖二所示之架構為架構 I，而圖六中之陣列架構為架構 II。架構 I 適用於 page/sector 的抹除動作，而架構 II 則適用於 Byte/Byte 的抹除操作。相較於圖六之架構 II，可明顯看出，架構 I 的抹除閘極 (N 區域) 是由四個浮置閘極共有，抹除閘極的走向為與位元線平行，而架構 II 的抹除閘極則與兩個浮置閘極共用，且此兩個浮置閘極分屬不同的位元線，因此可以採用 Byte-by-Byte 方式進

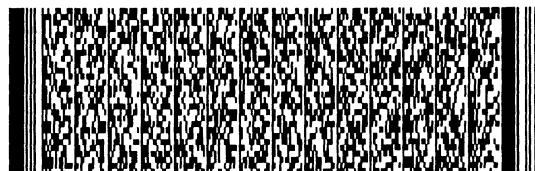
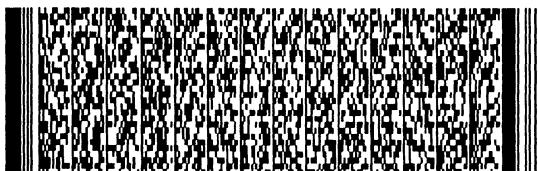


## 五、發明說明 (10)

行抹除。

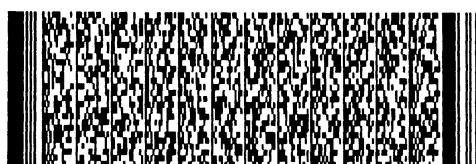
據上所述，與習知技藝相較，本發明可以在低電壓下操作，且由於本發明之獨特設計使得第二PMOS電晶體在通道剛剛開啟時，閘極電流 $I_g$ 已接近最大值，在本發明之操作模式下，閘極電流對汲極電流的比值( $I_g/I_d$ )較大，因此具有省電省能之優點，並在程式化時可獲致較佳之效能，而節省程式化的時間。此外，利用抹除閘極的設計，使得記憶體可以有效率地抹除操作。且，由於本發明運用兩PMOS電晶體串接，大幅減少晶片的使用面積，使得本發明可運用於高密度記憶體領域。再者，本發明結構簡單，可與傳統之CMOS製程相容，更降低了製作成本。種種優點均顯示本發明完全符合專利法所規定之產業利用性、新穎性及進步性等法定要件，爰依專利法提出申請，敬請詳查並賜准本案專利。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所作之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



## 圖式簡單說明

101	第一 PMOS電晶體	102	第二 PMOS電晶體
110	N型 井	120	抹除 閘極
122	浮置 閘	124	閘極
132	P 极 極 摻 雜 區	134	P 摻 雜 區
136	P 源 極 摻 雜 區	150a	接 觸 插 塞
150b	接 觸 插 塞	150c	接 觸 插 塞
160	接 觸 插 塞	162	介 電 層
170	位 元 線 200P型 基 底	124a	閘 氧 化 層
122a	浮置 閘 氧 化 層		

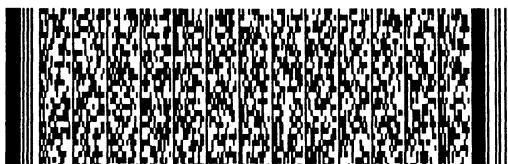


## 四、中文發明摘要 (發明之名稱：一種單層多晶矽可電抹除可程式唯讀記憶體)

一種單層多晶矽可電抹除可程式唯讀記憶體，包含有一第一 PMOS 電晶體及一第二 PMOS 電晶體串接該第一 PMOS 電晶體，其中該第一 PMOS 電晶體及該第二 PMOS 電晶體係形成於一 P型基底之一 N型井上，該第一 PMOS 電晶體包含有一浮置閘、一第一 P<sup>+</sup>級極摻雜區及一第一 P<sup>+</sup>源極摻雜區，該第二 PMOS 電晶體包含有一閘極以及一第二 P<sup>+</sup>源極摻雜區，而該第一 PMOS 電晶體之該第一 P<sup>+</sup>源極摻雜區同時用來作為該第二 PMOS 電晶體之一汲極；及一抹除閘極 (erase gate) 形成於該 P型基底中，並鄰接該浮置閘。

## 英文發明摘要 (發明之名稱：SINGLE-POLY EEPROM)

A single-poly EEPROM is disclosed. The single-poly EEPROM includes a first PMOS transistor that is serially connected to a second PMOS transistor. The first and second PMOS transistors are both formed on an N-well of a P-type substrate. The first PMOS transistor includes a floating gate, a first P<sup>+</sup> doped drain region and a first P<sup>+</sup> doped source region. The second PMOS transistor includes a gate and second P<sup>+</sup> doped source region. The first P<sup>+</sup> doped drain



四、中文發明摘要 (發明之名稱：一種單層多晶矽可電抹除可程式唯讀記憶體)

英文發明摘要 (發明之名稱：SINGLE-POLY EEPROM)

region of the first PMOS transistor serves as a drain of the second PMOS transistor. An erase gate abutting upon the floating gate for erasing the single-poly EEPROM is provided in the P-type substrate.



## 六、申請專利範圍

1. 一種單層多晶矽可電抹除可程式唯讀記憶體，包含有：

一第一 PMOS 電晶體及一第二 PMOS 電晶體串接該第一 PMOS 電晶體，其中該第一 PMOS 電晶體及該第二 PMOS 電晶體係形成於一 P型基底之一 N型井上，該第一 PMOS 電晶體包含有一浮置閘、一第一 P級極摻雜區及一第一 P源極摻雜區，該第二 PMOS 電晶體包含有一閘極以及一第二 P源極摻雜區，而該第一 PMOS 電晶體之該第一 P源極摻雜區同時用來作為該第二 PMOS 電晶體之一汲極；及

一抹除閘極 (erase gate) 形成於該 P型基底中，並鄰接該浮置閘。

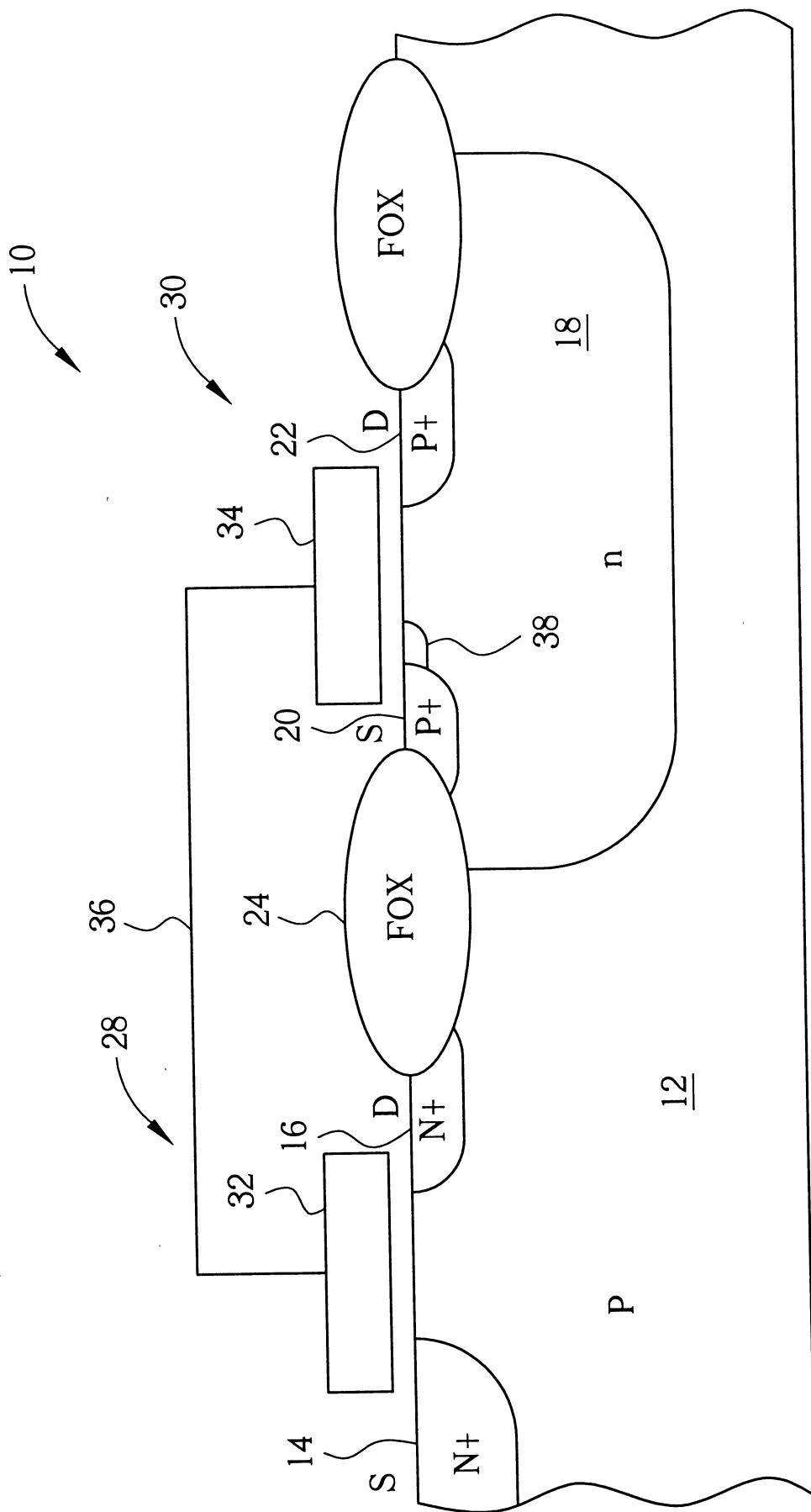
2. 如申請專利範圍第 1項所述之可電抹除可程式唯讀記憶體，其中該抹除閘極係為一 N型摻雜區，形成於該浮置閘下方。

3. 如申請專利範圍第 2項所述之可電抹除可程式唯讀記憶體，其中該 N型摻雜區與該浮置閘本質上並不重疊。

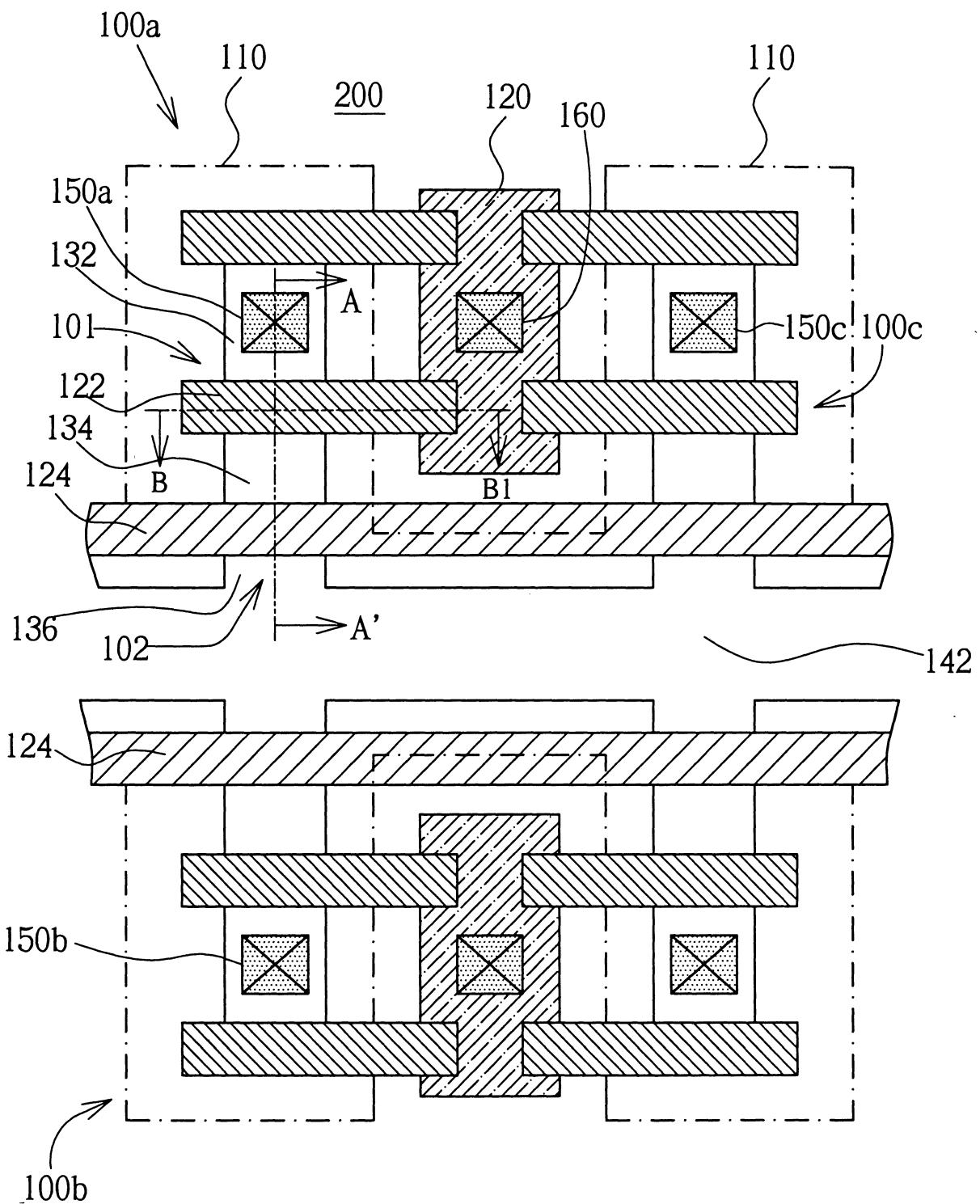
4. 如申請專利範圍第 2項所述之可電抹除可程式唯讀記憶體，其中該抹除閘極與該浮置閘之間設有一浮置閘氧化層。

5. 如申請專利範圍第 1項所述之可電抹除可程式唯讀記

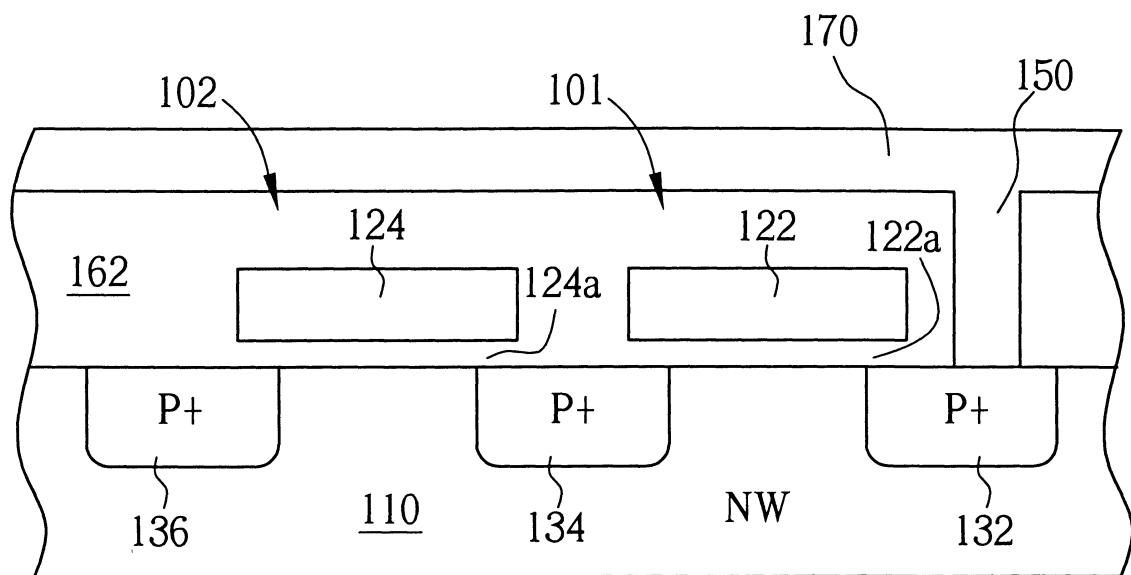




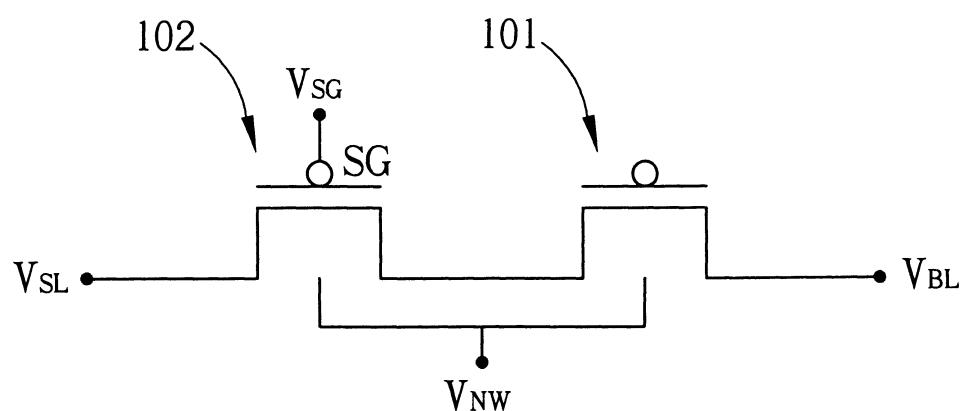
圖一



圖二

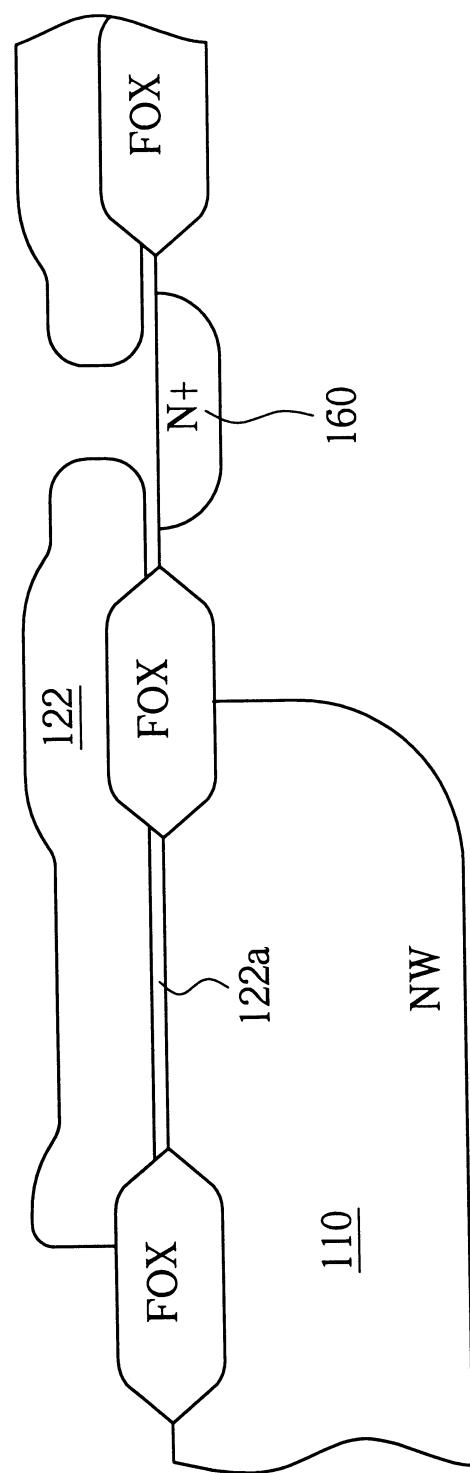


圖三A

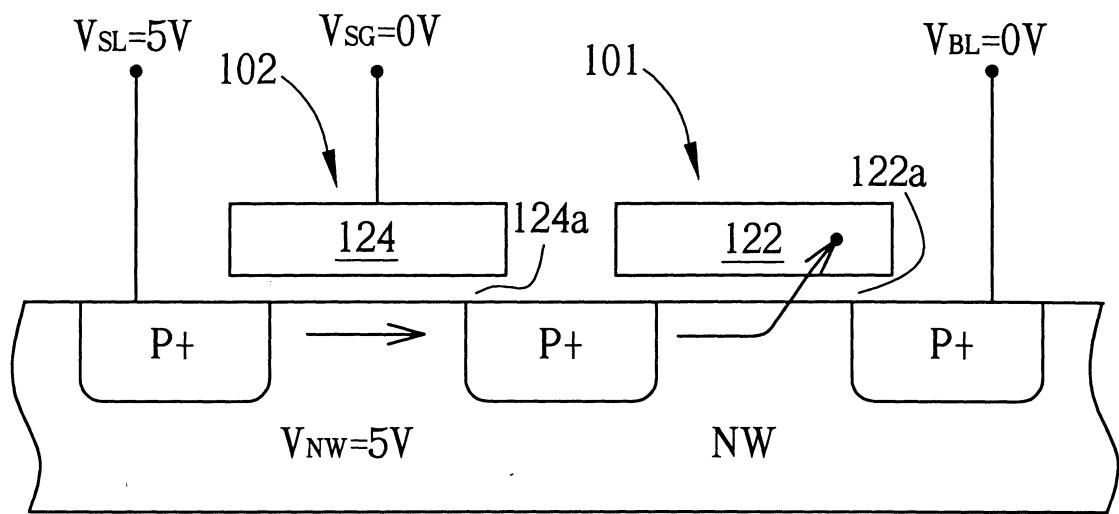


圖三B

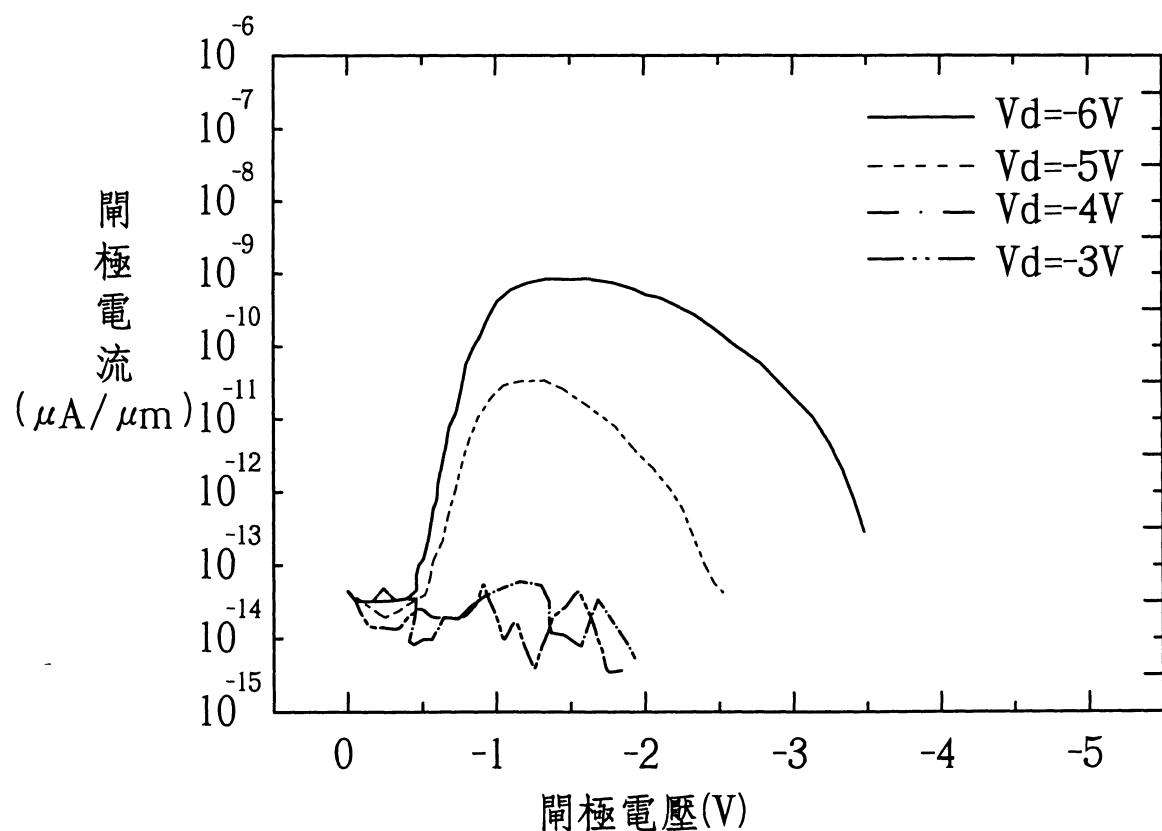
536818



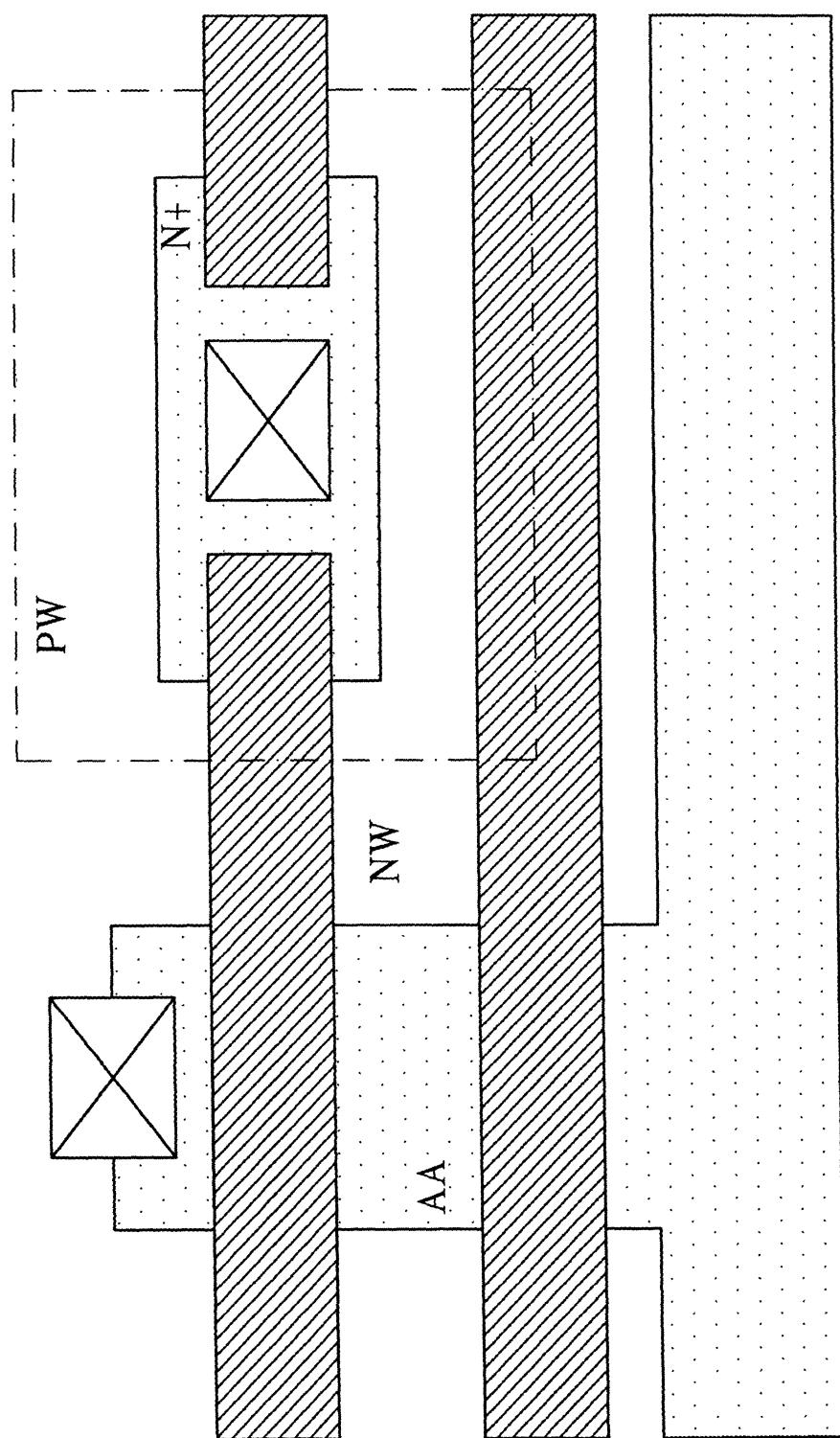
圖三C



圖四



圖五



圖六

## 五、發明說明 (6)

極 124之間並不需要有導線相連，來維持相同電位者。

請參閱圖三 A 及圖三 C，圖三 A 為圖二中沿切線 AA' 之剖面放大示意圖，圖三 C 為圖二中沿切線 BB' 之剖面放大示意圖。如圖三 A 所示，第一 PMOS 電晶體 101 係串接於第二 PMOS 電晶體 102。第一 PMOS 電晶體 101 包含有浮置閘 122、P 极極摻雜區 132、P 源極摻雜區 134 及一浮置閘氧化層 122a 設於浮置閘 122 下方。第二 PMOS 電晶體 102 包含有閘極 124、閘氧化層 124a 及 P 源極摻雜區 136，並經由 P 源極摻雜區 134 與第一 PMOS 電晶體 101 串聯。P 极極摻雜區 132 經由接觸插塞 150 與一位元線 170 電連接，接觸插塞 150 係形成於一介電層 162 中，例如 BPSG、PSG、二氧化矽或其它類似介電材質，而位元線 170 係形成於介電層 160 上。本發明之浮置閘氧化層 122a 及閘氧化層 124a 可與邏輯電路中之閘極氧化層厚度相同，抑或視需要而增加厚度。不論何者，本發明之 EEPROM 結構均可相容於標準 CMOS 半導體製程。

請參閱圖三 B 及圖三 A，圖三 B 為圖三 A 中 EEPROM 單元之對應電路圖。如圖三 B 所示，操作時，第一 PMOS 電晶體 101 之 P 源極摻雜區 134 係施以一位元線電壓 (bit line voltage,  $V_{BL}$ )，浮置閘 122 不施以任何電壓，亦即維持浮置狀態。N 型井 110 係施以一 N 型井電壓 (N-Well voltage,  $V_{NW}$ )。第二 PMOS 電晶體 102 在操作時當作一選擇電晶體，其閘極 124，或可稱作選擇閘極 (select gate, SG)，係施以一選擇閘極電壓 (select gate voltage,  $V_{SG}$ ) 或字元線電



## 圖式簡單說明

## 圖式之簡單說明

圖一為習知 EEPROM單元之剖面示意圖。

圖二為依據本發明較佳實施例之單層多晶矽 EEPROM佈局的部分上視圖。

圖三 A為圖二中沿切線 AA'之剖面放大示意圖。

圖三 B為圖三 A中 EEPROM單元之對應電路圖。

圖三 C為圖二中沿切線 BB'之剖面放大示意圖。

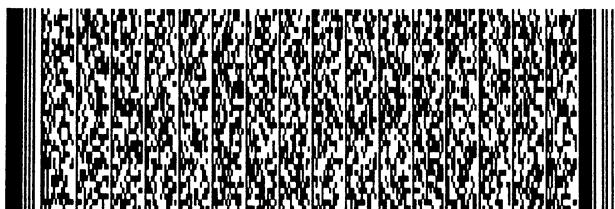
圖四表示寫入 "1"之操作實例示意圖。

圖五為第二 PMOS電晶體在不同的汲極對 N型井偏壓條件下所獲得的閘極電壓對閘極電流圖。

圖六為依據本發明第二實施例之單層多晶矽 EEPROM佈局的部分上視圖。

## 圖式之符號說明

10	EEPROM單元	12	P型基底
14	N源極摻雜區	16	N汲極摻雜區
18	N型離子井	20	P源極摻雜區
22	P汲極摻雜區	24	場氧化層
28	NMOS電晶體	30	PMOS電晶體
32	第一浮置閘	34	第二浮置閘
36	浮置閘導線	38	N型通道阻擋區
100a	單層多晶矽 EEPROM單元	100c	EEPROM單元
100b	EEPROM單元		



**六、申請專利範圍**

憶體，其中在一預定汲極偏壓  $V_d$  下，該浮置閘可藉由一電容耦合效應獲得一低電壓，導致該第二 PMOS 電晶體之一 P 型通道開啟，而產生一接近最大值之閘極電流。

6. 如申請專利範圍第 5 項所述之可電抹除可程式唯讀記憶體，其中該預定偏壓約為 -5。

7. 如申請專利範圍第 1 項所述之可電抹除可程式唯讀記憶體，其中該浮置閘上方並無設置一控制閘極。

8. 如申請專利範圍第 1 項所述之可電抹除可程式唯讀記憶體，其中當操作該可電抹除可程式唯讀記憶體時，一預定之抹除閘極偏壓與一預定之第一汲極摻雜區電壓將可使該浮置閘之電子藉由隧穿方式自該抹除閘極拉出。

9. 如申請專利範圍第 8 項所述之可電抹除可程式唯讀記憶體，其可以使該可電抹除可程式唯讀記憶體在抹除動作時避免過度抹除之現象發生。

10. 如申請專利範圍第 8 項所述之可電抹除可程式唯讀記憶體，其中該預定之抹除閘極偏壓為正偏壓，而該預定之第一汲極摻雜區電壓為負偏壓。

