

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.  
H01L 27/10 (2006.01)



# [12] 发明专利说明书

专利号 ZL 03147604. X

[45] 授权公告日 2006 年 9 月 20 日

[11] 授权公告号 CN 1276510C

[22] 申请日 2003.7.14 [21] 申请号 03147604. X

[30] 优先权

[32] 2002. 7. 12 [33] DE [31] 10231646. 5

[71] 专利权人 因芬尼昂技术股份公司

地址 联邦德国慕尼黑

[72] 发明人 J·蒂翰伊

审查员 白 燕

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 程天正 张志醒

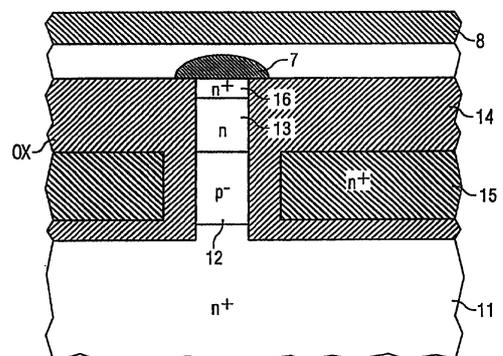
权利要求书 2 页 说明书 9 页 附图 4 页

[54] 发明名称

非挥发记忆胞元

[57] 摘要

一种记忆胞元，用以永久储存资料，具有一内存材料(7)，其可呈现一第一高电阻状态与一第二低电阻状态，以及一加热装置(13)，用于以不同速率加热该内存材料至一预定的温度，此内存材料(7)，其根据加热速率在冷却后具有高电阻或是低电阻，而加热装置(13)具有一开关装置(10)与一加热组件(20, 24)，直接邻近于该内存材料(7)；其中开关装置(10)具有一场效应晶体管(10)，而其漏极区是被提供作为一加热组件。



1. 一种记忆胞元，用以永久储存资料，具有：  
一内存材料，其可呈现一第一高电阻状态与一第二低电阻状态；以  
5 及  
一加热装置，用于以不同速率加热该内存材料至一预定的温度，  
该内存材料，其根据加热速率在冷却后具有一高电阻或是一低电  
阻，该加热装置具有一开关装置，与内存材料相接触，  
该开关装置具有一场效应晶体管，该场效应晶体管的漏极区提供一  
10 加热组件。
2. 如权利要求 1 所述的记忆胞元，其中该漏极区包含一高度掺杂接  
触制造区，用以制造与该内存材料的一接触。
3. 如权利要求 1 或 2 所述的记忆胞元，其中该场效应晶体管被铅直  
地建构在一基质中以及被一具有低热传导的绝缘材料所包围。
- 15 4. 如权利要求 3 所述的记忆胞元，其中该绝缘材料具有一硅化合物。
5. 如权利要求 4 所述的记忆胞元，其中该硅化合物是二氧化硅或一  
氮化硅。
6. 一种记忆胞元，用以永久储存资料，具有：  
一内存材料，其可呈现一第一高电阻状态与一第二低电阻状态；  
20 一加热装置，用于以不同速率加热该内存材料，  
该内存材料，其根据加热速率在冷却后具有一高电阻或是一低电  
阻，该加热装置具有一开关装置与一加热组件，而该加热组件与该内存材  
料相接触，其中  
该加热组件具有一二极管或一二极管链。
- 25 7. 如权利要求 6 所述的记忆胞元，其中该二极管或该二极管链是经  
由一半导体材料所形成，其在预定温度表现出机能。
8. 如权利要求 6 或 7 所述的记忆胞元，其中该开关装置是经由一晶  
体管而被形成。
9. 如权利要求 8 所述的记忆胞元，其中该晶体管是该场效应晶体管

或是一双极性晶体管。

10. 如权利要求 6 或 7 所述的记忆胞元，其中该开关装置具有一该场效应晶体管，该二极管或该二极管链通过在该场效应晶体管的漏极区(13)上的一层序列而形成。

5        11. 如权利要求 10 所述的记忆胞元，其中是将一热电阻器排列在该二极管的该层序列或该二极管链与该场效应晶体管的该漏极区之间。

12. 如权利要求 11 所述的记忆胞元，其中该热电阻器是一高度传导半导体层。

10       13. 如权利要求 12 所述的记忆胞元，其中该高度传导半导体层是一高掺杂半导体层。

14. 如权利要求 6 所述的记忆胞元，其中该二极管或是该二极管链具有一个或多个齐纳二极管。

## 非挥发记忆胞元

5            技术领域

本案是关于非挥发记忆胞元，用以永久储存资料，特别是，本案关于记忆胞元，其中资料的储存经由一“欧沃尼克 (ovonic)”内存材料，特别是一种欧沃尼克 (ovonic) 固体内存。

10           背景技术

“欧沃尼克 (ovonic)”内存材料可呈现一种高电阻状态与一种低电阻状态，此内存材料通常是一种可呈现在两种状态格式的合金：在一种低电阻的多晶结构与在高电阻的非结晶结构。为了将内存材料引入两种状态中的一种，其必须被熔化而后再被冷却，以便使其被固态化成两种状态格式中的一种。

15           假使此内存材料被以高的能量供应，很快速的加热直至熔化，内存材料的结晶结构即被破坏，在冷却时被固体化成非结晶状态。假使内存材料在一较低能量供应的较长的加热步骤中更慢的被熔化，然后其在冷却时会呈现一种多晶状态。此内存材料在非结晶状态时具有一高电阻，而在多晶状态时

20           则具有一较低的电阻。2002年3月的美国电机电子工程师学会月刊《IEEE Spectrum》中，第20至21页的“再生内存可将快闪加入阴影 (Reborn Memory May Put Flash in Shade)”揭露一种以具有此类“欧沃尼克 (ovonic)”内存材料的帮助的记忆胞元的建构，所显示的记忆胞元包含具有一双极性晶体管的一加热装置与一加热电阻器。此加热电阻器是以邻近内存材料的方式被提

25           供，内存材料与加热电阻器与双极性晶体管的发射极连串的连接在一起。依据不管是读或写将被影响，一特定的电压在未被连接至加热电阻器的内存材料的终端与双极性晶体管的集电极之间产生，通过内存材料与加热电阻器的电流可经由双极性晶体管的基极输入而被控制。当记忆胞元以此方式形成时，会被写入至一写入电压，此写入电压在读出所需要的读出电压上并且以

特定的电压施用。双极性晶体管的活化是由于一控制讯号被施用至基极输入的帮助，且经由双极性晶体管的活化，电流流经存储元件、加热电阻器与双极性晶体管。此电流加热该加热电阻器也因而内存材料被相邻的提供至加热电阻器。加热是由在基极输入的控制讯号来控制，内存材料是以缓慢的或迅速的方式被加热至融化。在冷却或是再凝固之后，此内存材料呈现出一高电阻非晶体或低电阻多晶状态。

由于一个经由字符线而被提供至双极性晶体管基极的控制讯号的帮助的读出期间，透过记忆胞元的活化，一不同的电压偶然碰上整个记忆胞元，其可依据内存材料的状态而被测量。

至于此类的记忆胞元的整体架构，加热电阻器被排列非常接近双极性晶体管，以至于此双极性晶体管也被加热至一个大的范围。因为常使用的内存材料的熔点，例如，一合金包含锗与碲化铋(antimon tellurium)，非常接近 600°C，其亦必须将加热电阻器加热至此温度范围。然而，因为一习用的双极性晶体管的机能仅在 150°C 至 200°C 的最大限度内被保证，双极性晶体管的过度加热，可能使其机能因而失效。

### 发明内容

因此，本案的目的是提供一种在前言所述及型式的记忆胞元的记忆胞元排列，将可避免晶体管过度加热与破坏的缺失。

本案的第一方面是提供一记忆胞元以一“欧沃尼克(ovonic)”内存材料来永久储存资料，此内存材料可呈现一第一高电阻状态与一第二低电阻状态；一加热装置，是用于以不同速率加热该内存材料至一预定的温度，而内存材料根据加热速率在冷却之后具有高电阻或是低电阻，该加热装置具有一开关装置，与内存材料相接触，该开关装置具有一场效应(field effect)晶体管，该场效应晶体管的漏极区(drain region)提供一加热组件。

此类的记忆胞元所具有的优点为加热区实质上与场效应晶体管的活化区分开，比根据习用的记忆胞元的实例为佳，再者，并不需要去提供一个加热组件在一型式，例如，一加热电阻器，因此，此类的记忆胞元可被简单化。既然，事实上在一场效应晶体管的整个电压差发生在漏极区，此漏极区可同

时被用来当作一加热电阻器。

此外，本案可进一步提供一漏极区，其包含一高度的掺杂接触制造区，用以制造与内存材料的接触。

而且，本案亦可提供一场效应晶体管被铅直的建构在一基质中与被一具有低热传导的绝缘材料所包围。在此种方式，根据本案是可能将记忆胞元也排列在一数组排列中。此绝缘材料可确保在场效应晶体管的漏极区所产生的热不会发散至邻近胞元的内存材料，或者是只发散至一降低的范围。该绝缘材料可具有一硅化合物，特别是一二氧化硅或是氮化硅。

本案另一方面是提供一记忆胞元以一内存材料来永久储存资料。一加热装置，是用于以不同速率加热该内存材料至一预定的温度，而内存材料根据加热速率在冷却之后具有高电阻或是低电阻，在此种状况下，该加热装置具有一开关装置与一加热组件，直接邻近于该内存材料，该加热组件是设计为一二极管或一二极管链，特别是，此二极管可以设计为一在逆方向操作的齐纳二极管。

此齐纳二极管或是二极管链所具有的优点为加热区甚至更远离开关装置的活化区，齐纳二极管或是二极管链被挑选，以至于产生遍及齐纳二极管或是二极管链的最大的电压差，而不是遍及开关组件，例如，一晶体管，以便使二极管大部分的功率被转换成热。因此，二极管即当成一内存材料的加热组件。

较佳地，此二极管是经由一半导体材料所形成，其在预定温度表现出机能。特别是，齐纳二极管可由一碳化硅而被形成，由碳化硅所制成的二极管的优点为其甚至在高温时，例如温度高于600°C，仍具功能。因此，二极管在一适当的状况下可被用来作为一加热组件，由于二极管可被一尺寸切割，如此电压的大部分被中断通过，因此在通过齐纳二极管时，消耗最大的功率。

本案亦可提供一具有场效应晶体管的开关装置，以及二极管或是二极管链由一在场效应晶体管的漏极区的一层序列而被形成。根据本案的记忆胞元可由此方式在一简单的状态而产生，较佳地，此场效应晶体管的漏极区与二极管或是二极管链可经由一高度传导半导体层而分开，特别是，一高度掺

杂半导体层,以在场效应晶体管与二极管之间形成一热电阻器而作为一加热组件。由此方式,其可避免加热组件,例如二极管,过度加热晶体管的活化区,也因而避免该晶体管的破坏或减损。

#### 5 附图说明

本案较佳实施例将由以下所提及伴随的图标做更详尽的说明:

图 1A: 显示一习用的非挥发记忆胞元的架构;

图 1B: 显示依照图 1A 的习用的非挥发记忆胞元的电路图;

图 2: 显示根据本案较佳实施例的非挥发记忆胞元的电路图;

10 图 3: 如图 2 所示根据本案的记忆胞元建构期间的剖面图;

图 4A: 显示根据本案另一实施例的记忆胞元的的电路图;

图 4B: 显示根据本案另一实施例的记忆胞元的的电路图; 以及

图 5: 如图 4 所示根据本案的记忆胞元的剖面图。

#### 具体实施方式

15 图 1A 显示一习用的非挥发记忆胞元的剖面图。非挥发记忆胞元具有一由发射极区 2 开始形成的选择晶体管 1、基极区 3 与集电极区 4。被连接至发射极区 2 的是一电阻组件 5,是当作一加热电阻器而操作并且被一绝缘层 6 所包围。“欧沃尼克”内存材料 7 是位于与双极性晶体管 1 的发射极 2 相隔很远的电阻组件 5 的末端,信息被储存于其中。一接触制造层 8 被连接至内存材料 7,以便与记忆胞元接触。“欧沃尼克”内存材料 7 为一种由硫硒碲玻璃(chalcogenides)群组而来的材料,其中硫硒碲玻璃(chalcogenides)通常是由合金所形成。典型的硫硒碲玻璃(chalcogenides)具有的材料如锗、锑、碲、硫等,特别是三元的合金锗-锑-碲作为此记忆胞元的建构。

20 此资料是被储存在内存材料 7,在内存材料 7 中被转换成两种不同的状态形式。内存材料 7 可被呈现出多晶体与非晶体形式,此内存材料在其多晶体形式时,本质上具有低电阻,而在非晶体状态时,本质上具有高电阻。在电阻上的差异是如此重要,因而可被用来达到资料储存的目的。

此“欧沃尼克(ovonic)”内存材料 7 的不同状态可经由一程序而完成,

其中内存材料7被瞬间熔化,在冷却与再凝固时,呈现多晶体或是非晶体形式。不论是呈现多晶体或是非晶体形式,实质上是起因于加热或是熔化的操作性质。假使此内存材料被缓慢加热至其熔点,或者是加热至写入的温度,然后内存材料凝固成一非晶体状态,亦即高电阻。相反的,假使此内存材料被非常快速的加热至其熔点,然后内存材料凝固成一多晶体形式,于是具有比在非晶体形式较低的电阻。

图2B显示根据此方式所建构的记忆胞元的电路图。记忆胞元经由一字符线(word line, WL)与一位线(bit line, BL)而被寻址,字符线WL被连接至双极性晶体管1,一pnp晶体管,的基底区。双极性晶体管1的集电极区4被连接至加热电阻器5的一底部终端。加热电阻器5的一第二终端被连接至内存材料7的一第一终端衬垫,因此,此加热电阻器5具有关于内存材料的一低的热电阻。内存材料的一第二终端衬垫则被连接至该位线BL。

为了写入至记忆胞元,一写入电压被提供至该位线。此写入电压大的足以提供一充足的功率供应至加热电阻器以达到内存材料的熔点。之后,一控制讯号经由字符线WL被施用至双极性晶体管1的基底区3,此控制讯号决定何种信息被储存在内存材料7。一控制讯号被挑选以储存一第一信息,如此其会引起一低的且相对较长的电流流经内存材料与加热电阻器5。然而,在此例中,控制讯号被挑选,如此电流大的足以瞬间使内存材料达到或高于其熔点。

为了储存一信息的逆项目(inverse item),关于一控制讯号,经由一字符线WL被施用至双极性晶体管1的基底输入端3,该控制讯号造成一流经加热电阻器5与内存材料7的一个较大的电流,以至于内存材料7被较快速的加热至熔点。因此,内存材料7在冷却时凝固成一非晶体形式,也因此得到高电阻。

内存材料然后经由一步骤可被读取,首先字符线WL被活化并且双极性晶体管1被打开。在此方式,依据储存在内存材料7中的信息的电流是经由字符线BL、内存材料7、加热电阻器5与双极性晶体管1而流动。因此,信息的读出可被以电流流经位线而执行。

本案的一第一实施例是用以提供以一加大的场效应晶体管的漏极区来

取代加热电阻器 5。根据图 2 的电流图是显示此类的记忆胞元的电路，图 3 显示一根据本案的记忆胞元建构期间的剖面图。

5 开关晶体管经由包含硅的一场效应晶体管 10 所形成，此场效应晶体管 10 为一种 n-信道晶体管以及形成一 n-掺杂来源区 11、一 p-掺杂闸极层 12 与一 n-掺杂漏极区 13。该场效应晶体管 10 是被铅直地建构在一基质之中以及藉由一氧化物层 14，较佳为一氧化硅层，而与其周围的事物电与热绝缘。在氧化硅层 14，闸极 15 被排列成可引起在闸极区 12 中的电荷载体的分离的方式，而此闸极 15 较佳是由多晶硅所形成。

10 来源区 11 与漏极区 13 较佳是 n-掺杂，而闸极区 12 较佳则是 p-掺杂。相对于习用的场效应晶体管，漏极区 13 是被放大，因此引起一 LDD 场效应晶体管(大量掺杂的漏极场效应晶体管)。在一 LDD 场效应晶体管中，在操作期间，由于电阻大部分的电压实质上被掺杂在漏极区内，以至于，如果发生一电流，在漏极区内功率会被转换成热，此热可被用来加热内存材料 7。

15 因此，根据本案，已不再需要提供一分开的加热电阻器 5，而是以一放大的漏极区 13 取代，其在写入内存胞元的过程期间内被掺杂大部分的写入电压。为了在内存材料 7 与硅之间能够做较佳的接触，在漏极区 13 与内存材料 7 之间提供一高度掺杂的 n+型式接触制造层 16。

一 p-信道场效应晶体管也能够被使用来取代 n-信道场效应晶体管，此无须多言。

20 设计使用氧化硅技术或是除了硅以外的半导体材料，也是在本案范围内。

图 4A、图 5 与图 4B 显示本案另一个实施例。图 4A 显示一电路图，其中加热组件被设计成可被在逆向操作的齐纳二极管 20 的型式。此齐纳二极管 20 具有在反向偏移操作时有一实质上的电流独立电压差 (current-independent voltage drop) 越过其终端的效应。在此种方式中，当场效应晶体管 10 被活化时，大部分的电压被呈现遍及在齐纳二极管 20。

25 齐纳二极管 20 被排列直接邻近内存材料 7，因为齐纳二极管 20 占用差不多是此电流路径的整个功率，因此，齐纳二极管 20 被加热至一最大的范围并且可以被使用来加热内存材料 7。为了尽可能保证齐纳二极管 20 不会

加热场效应晶体管 10, 也因此提供一易传导、高度掺杂半导体材料的形式的一热电阻器 21, 而此热电阻器 21 是位于齐纳二极管 20 与场效应二极管 10 之间。此热电阻器 21 具有尽可能不传递齐纳二极管 20 的高温至场效应二极管 10 或者是只传递在一少量范围的任务。因此, 热电阻器 21 应以一具有非常好的传导性的材料来制造, 以使其由于电流而尽可能较少被加热, 并且具有一低的热电阻。非常高度 n+-掺杂的硅是非常适合作为热电阻器。

齐纳二极管 20 较佳是以一半导体材料来制造, 以使齐纳二极管甚至在非常高温仍然是可作用, 齐纳二极管 20 更好是能够禁得起温度, 在齐纳二极管 20 没有丧失其功能下, 使内存材料 7 可被写入。例如, 碳化硅可想到是一适合的材料。已被由碳化硅材料所制成的齐纳二极管 20 可禁得起 600 °C 以上的温度也因此可以作为内存材料 7 的加热组件。齐纳二极管 20, 同样地, 其材料可为如钻石、氮化镓或者是具有大频带间隙以在 400 °C 至 600 °C 以上的高温时仍有半导体功能的半导体材料。

图 5 显示此类的记忆胞元的建构的剖面图。场效应晶体管 20 实质上是类似于图 3 所显示的场效应晶体管, 热电阻器 21 是由一高度掺杂的硅材料所形成, 较佳是一种 n-掺杂硅材料。热电阻器 21 的区域大小被挑选, 因而此区域具有一最低可能电阻以使在此区域的电压差下降, 另一方面, 是为了在场效应晶体管 10 与齐纳二极管 20 之间形成一充分的热阻隔。

齐纳二极管是由一 p-掺杂碳化硅层 22 与一 n-掺杂碳化硅层 23 所形成, 经由层 23 与 24 所形成的齐纳二极管是被排列在直接邻近内存材料 7 处。

在操作期间, 亦即是, 当写入至记忆胞元时, 大部分的电压然后被掺杂遍及齐纳二极管 20, 因此而加热齐纳二极管, 快速或者是缓慢加热内存材料 7 也因而被影响, 其经由闸极 15 所控制。

图 4B 显示本案另一较佳实施例, 其中一复数组习用的二极管 24 被提供做为加热组件。此等的二极管 24 以正向连接以及具有这些二极管的特有的电压差, 其依据半导体材料的掺杂或着是其频宽间隙。二极管 24 被系列的连接并且被以尽可能紧密的邻近于内存材料 7 的方式排列。此二极管 24 也以在热电阻器区 21 上的 pn 层而排列并且可被建构成与图 5 中的齐纳二

极管的类似状态。

5

## 附图标记说明

1. 双极性晶体管
2. 发射极
- 5 3. 基底
4. 集电极
5. 加热电阻器
6. 绝缘层
7. 内存材料
- 10 8. 接触制造区
- WL 字符线
- BL 位线
10. 场效应晶体管
11. 来源区
- 15 12. 栅极区
13. 漏极区
14. 氧化层
15. 栅极
16. 接触制造区
- 20 20. 齐纳二极管
21. 热电阻器
22. p-掺杂碳化硅层
23. n-掺杂碳化硅层
24. 二极管

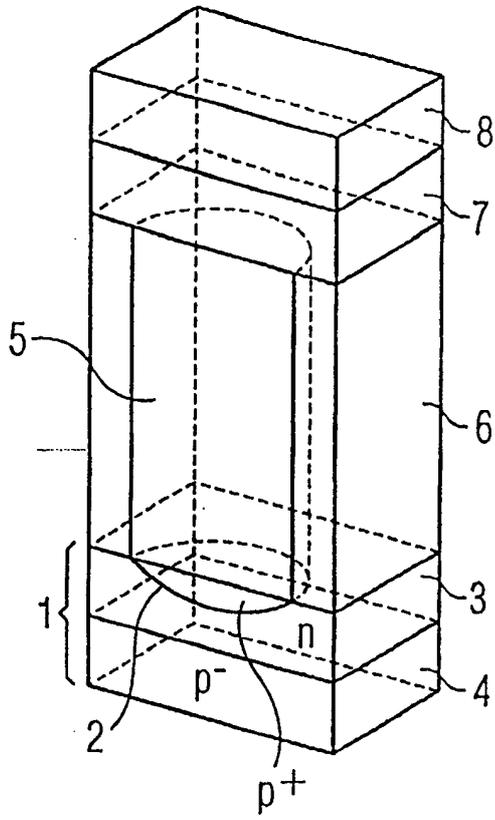


图 1A

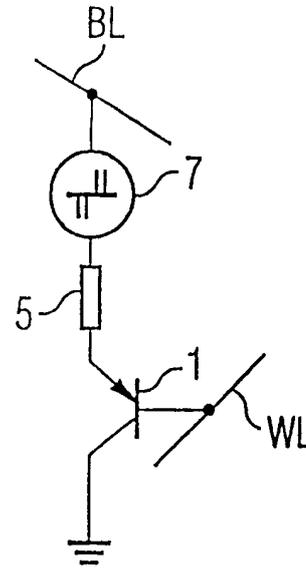


图 1B

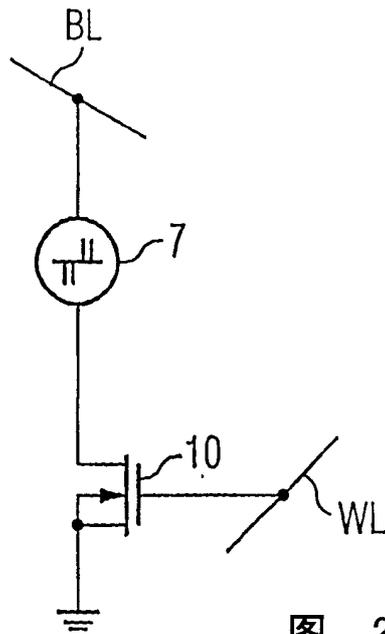


图 2

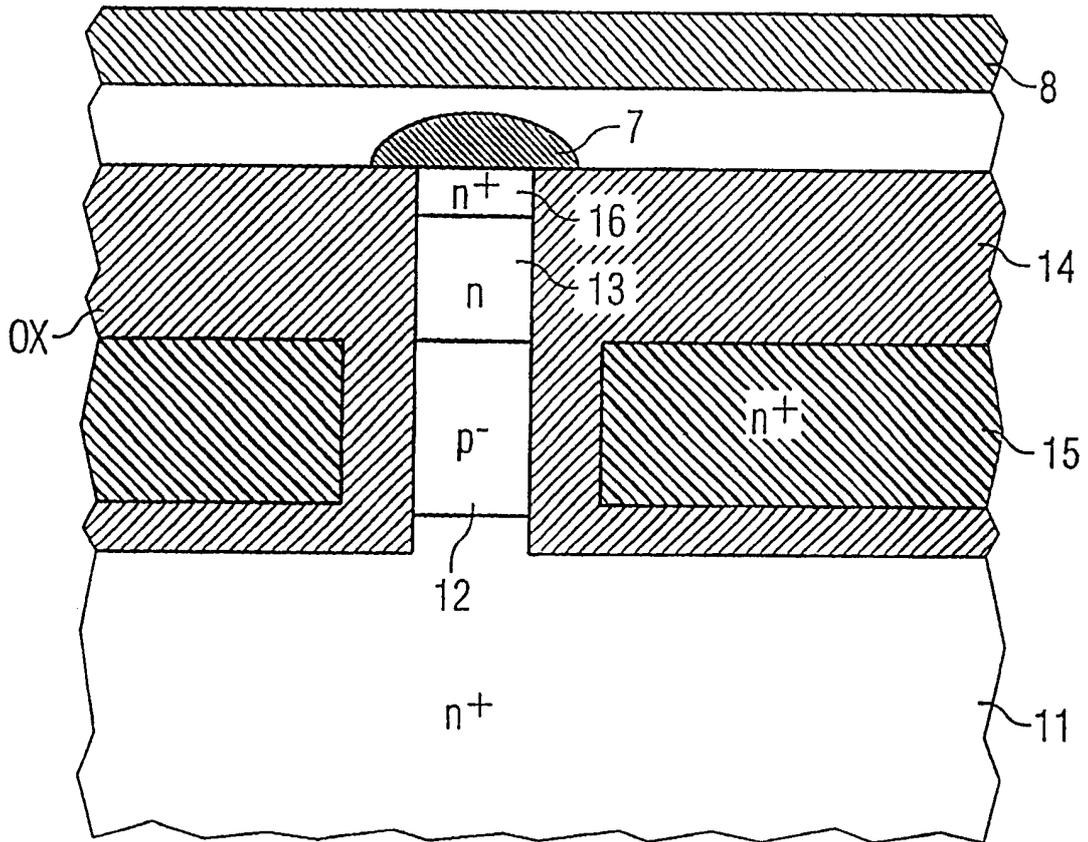


图 3

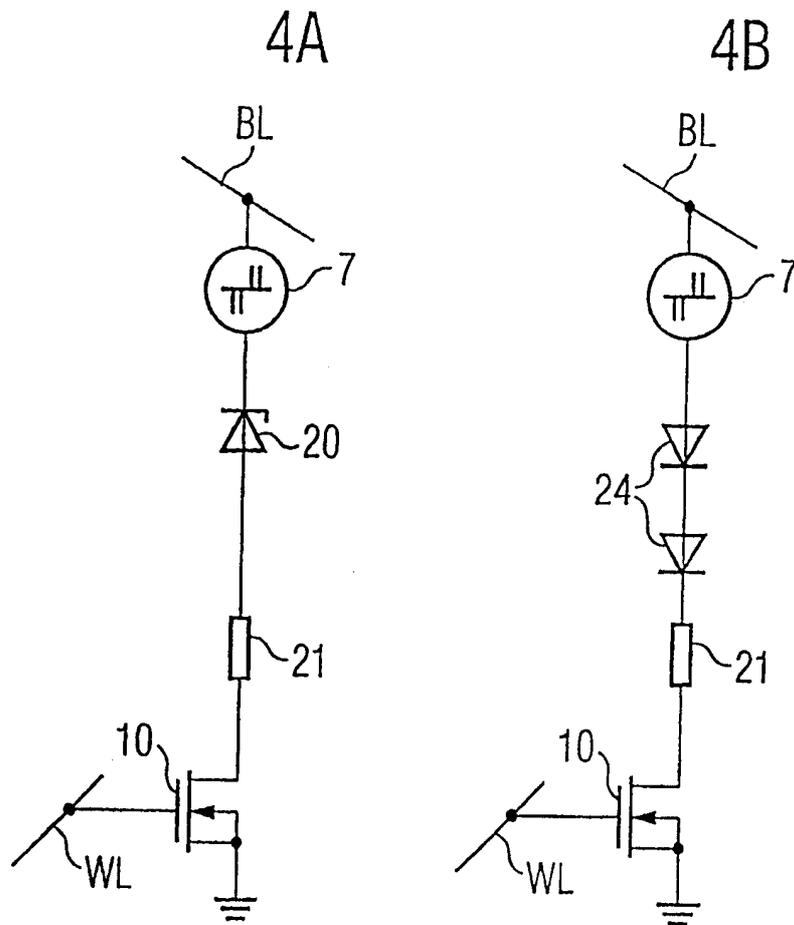


图 4A

图 4B

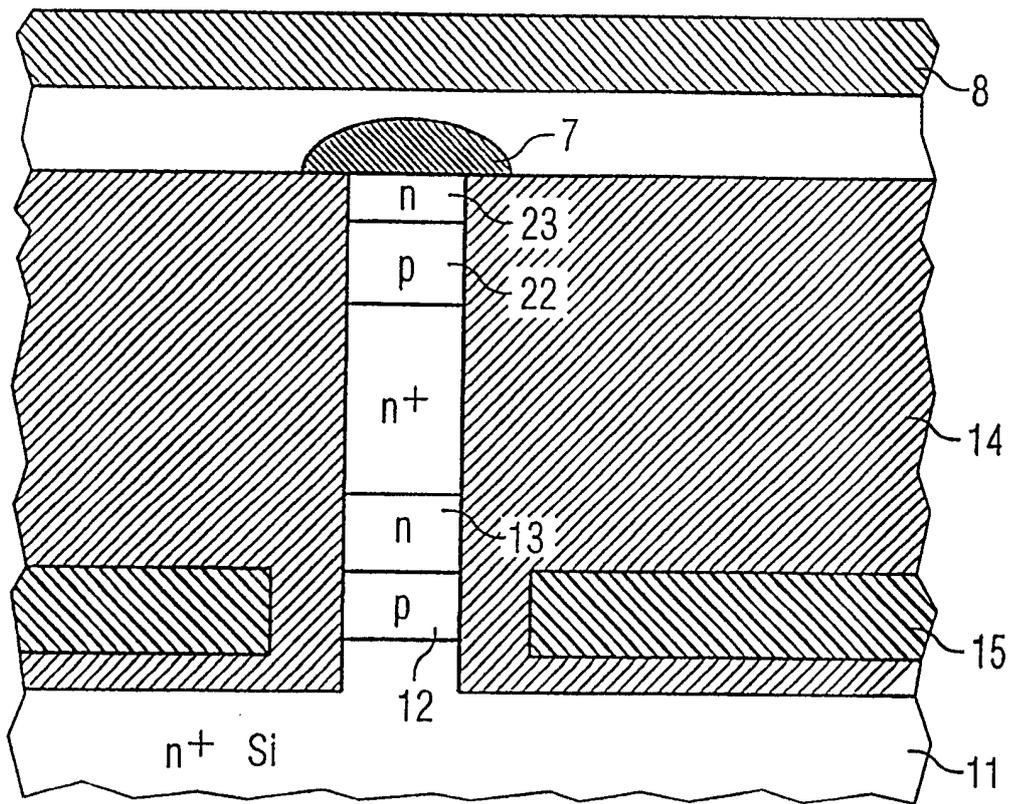


图 5