



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

217512

(11)

(B1)

(51) Int. Cl.³

G 06 F 9/28

(22) Přihlášeno 25 02 81
(21) (PV 1337-81)

(40) Zveřejněno 26 03 82

(45) Vydáno 15 02 85

(75)
Autor vynálezu

LOUTOCKÝ DUŠAN ing., KUBÍN PAVEL ing., PRAHA

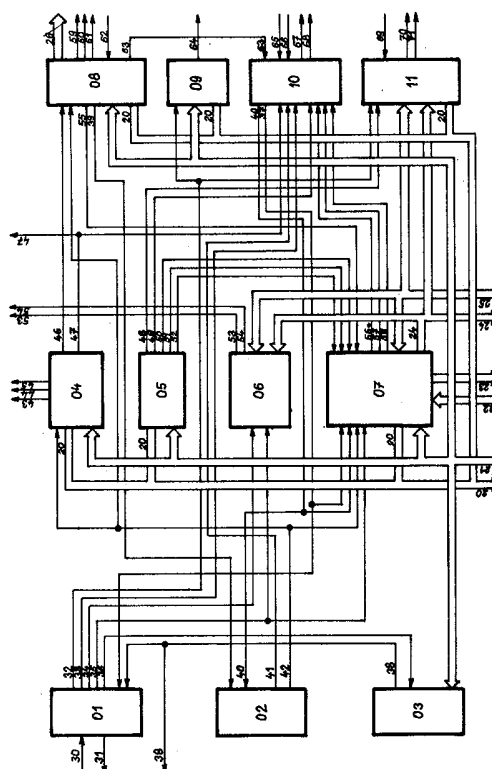
(54) Zapojení paralelní datové cesty

Oborem použití jsou elektronické číslicové počítače, vnější paměti, řídicí jednotky magnetických diskových pamětí, univerzální kanály.

Technickým problémem jsou obvody provádějící přenos dat s vysokou rychlostí přenosu paralelně k činnosti řídicího mikroprogramového řadiče.

Předmětem vynálezu je sestava a vzájemné zapojení obvodů paralelní datové cesty, které umožňují realizovat připojení vnějších zařízení s vysokou rychlostí přenosu dat k řídicím modulům řízeným mikroprogramovým řadičem.

Další možné obory pro využití jsou elektronické číslicové počítače, řídicí jednotky magnetických diskových pamětí, přenosové jednotky číslicových počítačů.



Vynález se týká paralelní datové cesty řídicích modulů pro připojení přidavných zařízení s vysokou rychlostí přenosu dat k číslicovému počítači.

Při řešení řídicích modulů pro připojení přidavných zařízení s vysokou rychlostí přenosu dat je v tom případě, že hlavním řídicím členem těchto modulů je mikroprogramově řízený automat, nutné provádět přenos dat z nebo do přidavného zařízení zvláště k tomu účelu navrženými obvody. Tyto obvody musí kromě vlastních přenosových funkcí provádět i některé funkce související se zpracováním formátu dat a s vlastním řízením komunikace mezi řídicím modulem a pamětí počítače. Složitým problémem je proto navržení této paralelní datové cesty tak, aby při zachování všech požadavků na rychlost přenosu i požadavků funkčních umožňovaly maximální využití schopností mikroprogramového řadiče.

Jedním z možných řešení, využívající s výhodou značné autonomnosti jednotlivých obvodů paralelní datové cesty řízených a komunikujících převážně pomocí mikroinstrukcí řídicího mikroprogramového řadiče a tím snižující nároky jak na objem obvodů, tak i na komplexnost vzájemné součinnosti a zachovávající značnou univerzálnost řešení pro různé typy přidavných zařízení je zapojení paralelní datové cesty podle vynálezu, jehož podstata spočívá v tom, že první vstupní vodič je připojen na první vstup bloku řadiče přenosu disku, druhý výstupní vodič je připojen na první výstup bloku řadiče přenosu disku, druhý výstup bloku řadiče přenosu disku je spojen třetím vodičem s prvním vstupem bloku čítače dat disku a s prvním vstupem bloku spojení, třetí výstup bloku řadiče přenosu disku je spojen čtvrtým vodičem s třetím vstupem bloku řízení přenosu, čtvrtý výstup bloku řadiče přenosu disku je spojen pátým vodičem s prvním vstupem bloku obvodů porovnávání, pátý výstup bloku řadiče přenosu disku je spojen šestým vodičem s druhým vstupem bloku obvodů porovnávání a se čtvrtým vstupem bloku vyrovnávací paměti, šestý výstup bloku řadiče přenosu disku je spojen sedmým vodičem s druhým vstupem bloku odpočtu, první výstup bloku řadiče přenosu hlavní paměti je spojen osmým vodičem s druhým vstupem bloku řízení přenosu, druhý výstup bloku řadiče přenosu hlavní paměti je spojen devátým vodičem s prvním vstupem bloku čítačů přenosu, s druhým vstupem bloku adresace hlavní paměti a s třetím vstupem bloku vyrovnávací paměti, první výstup bloku odpočtu je spojen desátým výstupním vodičem s třetím vstupem bloku řadiče přenosu disku, jedenáctý, výstupní vodič je připojen na první výstup bloku čítačů přenosu, dvanáctý, výstupní vodič je připojen na druhý výstup bloku čítačů přenosu, třináctý, výstupní vodič je připojen na třetí výstup bloku čítačů přenosu, čtvrtý výstup bloku čítačů přenosu je spojen čtrnáctým vodičem s prvním vstupem bloku adresace hlavní paměti, pátý výstup bloku čítačů přenosu je spojen patnáctým, výstupním vodičem s prvním vstupem bloku řízení přenosu, první výstup bloku řídicího registru je spojen šestnáctým vodičem s druhým vstupem bloku spojení, druhý výstup bloku řídicího registru je spojen sedmnáctým vodičem se čtvrtým vstupem bloku řízení přenosu, třetí výstup bloku řídicího registru je spojen osmnáctým vodičem se sedmým vstupem bloku vyrovnávací paměti, čtvrtý výstup bloku řídicího registru je spojen devatenáctým vodičem se šestým vstupem bloku vyrovnávací paměti, pátý výstup bloku řídicího registru je spojen dvacátým vodičem s pátým vstupem bloku vyrovnávací paměti, dvacátý první, výstupní vodič je připojen na první výstup bloku obvodů porovnávání, dvacátý druhý, výstupní vodič je připojen na druhý výstup bloku obvodů porovnávání, první výstup bloku vyrovnávací paměti je spojen dvacátým třetím vodičem s pátým vstupem bloku řízení přenosu, druhý výstup bloku vyrovnávací paměti je spojen dvacátým čtvrtým vodičem s šestým vstupem bloku řízení přenosu, třetí výstup bloku vyrovnávací paměti je spojen dvacátým pátým vodičem se sedmým vstupem bloku řízení přenosu, první výstup bloku adresace hlavní paměti je spojen dvacátým šestým vodičem s osmým vstupem bloku vyrovnávací paměti, druhý výstup bloku adresace hlavní paměti je spojen dvacátým sedmým vodičem s prvním vstupem bloku řadiče přenosu hlavní paměti, dvacátý osmý, výstupní vodič je připojen na třetí výstup bloku adresace hlavní paměti, dvacátý devátý, výstupní vodič je připojen na čtvrtý výstup bloku adresace hlavní paměti, třicátý, výstupní vodič je připojen na pátý výstup bloku adresace hlavní paměti, šestý výstup bloku adresace hlavní paměti je spojen třicátým prvním vodičem s osmým vstupem bloku řízení přenosu, třicátý druhý, vstupní vodič je připojen na třetí vstup bloku adresace hlavní paměti, třicátý třetí, výstupní vodič je připojen na první výstup bloku čítače dat disku,

první výstup bloku řízení přenosu je třicátým čtvrtým vodičem spojen s druhým vstupem bloku vyrovnávací paměti a s druhým vstupem bloku řadiče přenosu hlavní paměti, druhý výstup bloku řízení přenosu je spojen třicátým pátým vodičem s prvním vstupem bloku vyrovnávací paměti a s druhým vstupem bloku řadiče přenosu disku, třicátý šestý, výstupní vodič je připojen na třetí výstup bloku řízení přenosu, třicátý sedmý, výstupní vodič je připojen na čtvrtý výstup bloku řízení přenosu, třicátý osmý, vstupní vodič je připojen na devátý vstup bloku řízení přenosu, třicátý devátý, vstupní vodič je připojen na desátý vstup bloku řízení přenosu, čtyřicátý, výstupní vodič je připojen na první výstup bloku spojení, čtyřicátý první, výstupní vodič je připojen na druhý výstup bloku spojení, čtyřicátý druhý, vstupní vodič je připojen na třetí vstup bloku spojení, výstupní datová sběrnice je připojena na první skupinu výstupů bloku čítače přenosů, na první skupinu výstupů bloku řídicího registru, na první skupinu výstupů bloku vyrovnávací paměti, na druhou skupinu výstupů bloku adresace hlavní paměti, na první skupinu výstupů bloku čítače dat disku a na první skupinu výstupů bloku spojení, vstupní datová sběrnice je připojena na první skupinu vstupů bloku odpočtu, na první skupinu vstupů bloku čítačů přenosu, na první skupinu vstupů bloku řídicího registru, na první skupinu vstupů bloku vyrovnávací paměti, na první skupinu vstupů bloku adresace hlavní paměti a na první skupinu vstupů bloku čítače dat disku, vstupní sběrnice dat z hlavní paměti je připojena na druhou skupinu vstupů bloku vyrovnávací paměti, výstupní sběrnice dat do hlavní paměti je připojena na druhou skupinu výstupů bloku vyrovnávací paměti, výstupní sběrnice zapisovaných dat je připojena na třetí skupinu výstupů bloku vyrovnávací paměti, na druhou skupinu vstupů bloku obvodů porovnávání a na druhou skupinu vstupů bloku spojení, vstupní sběrnice čtených dat je připojena na třetí skupinu vstupů bloku vyrovnávací paměti, na první skupinu vstupů bloku obvodů porovnávání a na první skupinu vstupů bloku spojení, výstupní adresová sběrnice je připojena na první skupinu výstupů bloku adresace hlavní paměti.

Hlavní výhody vynálezu spočívají v tom, že složité funkce zařízení při přenosu dat s vysokou rychlostí jsou vynálezem řešeny s relativně malými materiálovými nároky, že tím, že většina funkcí je iniciována a kontrolována řídicím mikroprogramovým řadičem je funkce jednotlivých bloků paralelní datové cesty poměrně jednoduchá. Řízení činnosti jednotlivých bloků mikroinstrukcemi mikroprogramového řadiče dovoluje značně univerzální použití navržených obvodů pro zprostředkování a řízení přenosu dat mezi hlavní pamětí počítače a různými typy vnějších zařízení.

Na připojeném výkresu je schematicky znázorněno blokové schéma paralelní datové cesty.

Paralelní datová cesta sestává z bloku 01 řadiče přenosu disku, bloku 02 řadiče přenosu hlavní paměti, bloku 03 odpočtu, bloku 04 čítačů přenosu, bloku 05 řídicího registru, bloku 06 obvodů porovnávání, bloku 07 vyrovnávací paměti, bloku 08 adresace hlavní paměti, bloku 09 čítače dat disku, bloku 10 řízení přenosu a bloku 11 spojení.

Tyto bloky jsou navzájem propojeny tak, že první vstupní vodič 30 je připojen na první vstup bloku 01 řadiče přenosu disku a dále druhý, výstupní vodič 31 je připojen na první výstup bloku 01 řadiče přenosu disku a dále druhý výstup bloku 01 řadiče přenosu disku je spojen třetím vodičem 32 s prvním vstupem bloku 09 čítače dat disku a s prvním vstupem bloku 11 spojení a dále třetí výstup bloku 01 řadiče přenosu disku je spojen čtvrtým vodičem 33 s třetím vstupem bloku 10 řízení přenosu a dále čtvrtý výstup bloku 01 řadiče přenosu disku je spojen pátým vodičem 34 s prvním vstupem bloku 06 obvodů porovnávání a dále pátý výstup bloku 01 řadiče přenosu disku je spojen šestým vodičem 35 s druhým vstupem bloku 06 obvodů porovnávání a se čtvrtým vstupem bloku 07 vyrovnávací paměti a dále šestý výstup bloku 01 řadiče přenosu disku je spojen sedmým vodičem 36 se druhým vstupem bloku 03 odpočtu a dále první výstup bloku 02 řadiče přenosu hlavní paměti je spojen osmým vodičem 41 s druhým vstupem bloku 10 řízení přenosu a dále druhý výstup bloku 02 řadiče přenosu hlavní paměti je spojen devátým vodičem 42 s prvním vstupem bloku 04 čítačů přenosu a s druhým vstupem bloku 08 adresace hlavní paměti a s třetím vstupem bloku 07 vyrovná-

vací paměti a dále první výstup bloku 03 odpočtu je spojen desátým, výstupním vodičem 38 s třetím vstupem bloku 01 řadiče přenosu disku a dále jedenáctý, výstupní vodič 43 je připojen na první výstup bloku 04 čítačů přenosu a dále dvanáctý, výstupní vodič 44 je připojen na druhý výstup bloku 04 čítačů přenosu a dále třináctý, výstupní vodič 45 je připojen na třetí výstup bloku 04 čítačů přenosu a dále čtvrtý výstup bloku 04 čítačů přenosu je spojen čtrnáctým vodičem 46 s prvním vstupem bloku 08 adresace hlavní paměti a dále pátý výstup bloku 04 čítačů přenosu je spojen patnáctým, výstupním vodičem 47 s prvním vstupem bloku 10 řízení přenosu a dále první výstup bloku 05 řídícího registru je spojen šestnáctým vodičem 48 s druhým vstupem bloku 11 spojení a dále druhý výstup bloku 05 řídícího registru je spojen sedmnáctým vodičem 49 se čtvrtým vstupem bloku 10 řízení přenosu a dále třetí výstup bloku 05 řídícího registru je spojen osmnáctým vodičem 50 se sedmým vstupem bloku 07 vyrovnávací paměti a dále čtvrtý výstup bloku 05 řídícího registru je spojen devatenáctým vodičem 51 se šestým vstupem bloku 07 vyrovnávací paměti a dále pátý výstup bloku 05 řídícího registru je spojen dvacátým vodičem 52 s pátým vstupem bloku 07 vyrovnávací paměti a dále dvacátý první, výstupní vodič 53 je připojen na první výstup bloku 06 obvodů porovnávání a dále dvacátý druhý, výstupní vodič 54 je připojen na druhý výstup bloku 06 obvodů porovnávání a dále první výstup bloku 07 vyrovnávací paměti je spojen dvacátým třetím vodičem 56 s pátým vstupem bloku 10 řízení přenosu a dále druhý výstup bloku 07 vyrovnávací paměti je spojen dvacátým čtvrtým vodičem 57 s šestým vstupem bloku 10 řízení přenosu a dále třetí výstup bloku 07 vyrovnávací paměti je spojen dvacátým pátým vodičem 58 se sedmým vstupem bloku 10 řízení přenosu a dále první výstup bloku 08 adresace hlavní paměti je spojen dvacátým šestým vodičem 55 s osmým vstupem bloku 07 vyrovnávací paměti a dále druhý výstup bloku 08 adresace hlavní paměti je spojen dvacátým sedmým vodičem 39 s prvním vstupem bloku 02 řadiče přenosu hlavní paměti a dále dvacátý osmý, výstupní vodič 59 je připojen na třetí výstup bloku 08 adresace hlavní paměti a dále dvacátý devátý, výstupní vodič 60 je připojen na čtvrtý výstup bloku 08 adresace hlavní paměti a dále třicátý, výstupní vodič 61 je připojen na pátý výstup bloku 08 adresace hlavní paměti a dále šestý výstup bloku 08 adresace hlavní paměti je spojen třicátým prvním vodičem 63 s osmým vstupem bloku 10 řízení přenosu a dále třicátý druhý, vstupní vodič 62 je připojen na třetí vstup bloku 08 adresace hlavní paměti a dále třicátý třetí, výstupní vodič 64 je připojen na první výstup bloku 09 čítače dat disku a dále první výstup bloku 10 řízení přenosu je třicátým čtvrtým vodičem 40 s druhým vstupem bloku 07 vyrovnávací paměti a s druhým vstupem bloku 02 řadiče přenosu hlavní paměti a dále druhý výstup bloku 10 řízení přenosu je spojen třicátým pátým vodičem 37 s prvním vstupem bloku 07 vyrovnávací paměti a s druhým vstupem bloku 01 řadiče přenosu disku a dále třicátý šestý, výstupní vodič 67 je připojen na třetí výstup bloku 10 řízení přenosu a dále třicátý sedmý, výstupní vodič 68 je připojen na čtvrtý výstup bloku 10 řízení přenosu a dále třicátý osmý, vstupní vodič 65 je připojen na devátý vstup bloku 10 řízení přenosu a dále třicátý devátý, vstupní vodič 66 je připojen na desátý vstup bloku 10 řízení přenosu a dále, čtyřicátý, výstupní vodič 70 je připojen na první výstup bloku 11 spojení a dále čtyřicátý první, výstupní vodič 71 je připojen na druhý výstup bloku 11 spojení a dále čtyřicátý druhý, vstupní vodič 69 je připojen na třetí vstup bloku 11 spojení a dále výstupní datová sběrnice 20 je připojena na první skupinu výstupů bloku 04 čítače přenosů a na první skupinu výstupů bloku 05 řídícího registru a na první skupinu výstupů bloku 07 vyrovnávací paměti a na druhou skupinu výstupů bloku 08 adresace hlavní paměti a na první skupinu výstupů bloku 09 čítače dat disku a na první skupinu výstupů bloku 11 spojení a dále vstupní datová sběrnice 21 je připojena na první skupinu vstupů bloku 03 odpočtu a na první skupinu vstupů bloku 04 čítačů přenosu a na první skupinu vstupů bloku 05 řídícího registru a na první skupinu vstupů bloku 07 vyrovnávací paměti a na první skupinu vstupů bloku 08 adresace hlavní paměti a na první skupinu vstupů bloku 09 čítače dat disku a dále vstupní sběrnice 22 dat z hlavní paměti je připojena na druhou skupinu vstupů bloku 07 vyrovnávací paměti a dále výstupní sběrnice 23 dat do hlavní paměti je připojena na druhou skupinu výstupů bloku 07 vyrovnávací paměti a dále výstupní sběrnice 24 zapisovaných dat je připojena na třetí skupinu výstupů bloku 07 vyrovnávací paměti a na druhou skupinu vstupů bloku 06 obvodů porovnávání a na druhou skupinu vstupů bloku 11 spojení a dále vstupní sběrnice 25 čtených dat je připojena na třetí skupinu vstupů bloku 07 vyrovnávací paměti a na první skupinu

vstupů bloku 06 obvodů porovnávání a na první skupinu vstupů bloku 11 spojení a dále výstupní adresové sběrnice 26 je připojena na první skupinu výstupů bloku 08 adresace hlavní paměti.

Paralelní datová cesta pracuje takto: při zápisu dat z hlavní paměti na médium vnějšího zařízení jsou data přijímána z hlavní paměti po vstupní sběrnici dat z hlavní paměti 22 ukládána do bloku 07 vyrovnávací paměti.

V bloku 07 vyrovnávací paměti je již uložena doplňková informace formátu zaznamenaných dat přenesená do bloku 07 vyrovnávací paměti vstupní datovou sběrnici 21. Přenos dat mezi hlavní pamětí a blokem 07 vyrovnávací paměti je řízen signály odvozenými z vstupního synchronizačního signálu přenosu mezi hlavní pamětí a paralelní datovou cestou blokem 10 řízení přenosu a blokem 02 řadiče přenosu hlavní paměti.

Hlavní paměť je adresována obvody bloku 08 adresace hlavní paměti prostřednictvím výstupní adresové sběrnice 26. Počáteční adresa dat stejně jako adresy dalších stránek dat jsou do bloku 08 adresace hlavní paměti uloženy prostřednictvím vstupní datové sběrnice 21.

Počet přenášených dat mezi blokem 07 vyrovnávací paměti a hlavní pamětí, určený oblastí řídicího slova kanálu, je řízen blokem 04 čítačů přenosů. Počet přenášených dat je na začátku přenosu vložen do bloku 04 čítačů přenosů prostřednictvím vstupní datové sběrnice 21. Přenos dat mezi blokem 07 vyrovnávací paměti a vnějším zařízením je prováděn prostřednictvím výstupní sběrnice 24 zapisovaných dat a je řízen synchronizačním signálem přijímaným z vnějšího zařízení a zpracovaným obvody bloku 01 řadiče přenosu disku.

Počet přenášených znaků je čítán blokem 09 čítače dat disku, tímto čítačem je generován signál ukončující tento přenos. Počet přenášených dat je do tohoto bloku 09 čítače dat disku ukládán prostřednictvím vstupní datové sběrnice 21.

Při čtení dat z média vnějšího zařízení do hlavní paměti jsou data přijímána ze vstupní sběrnice 25 čtených dat a ukládána do bloku 07 vyrovnávací paměti. Tento přenos je řízen synchronizačním signálem přijímaným z vnějšího zařízení a zpracovaným obvody bloku 01 řadiče přenosu disku. Přečtená informace je z bloku 07 vyrovnávací paměti vybírána a přenášena do hlavní paměti prostřednictvím výstupní sběrnice 23 dat do hlavní paměti.

Tento přenos dat je řízen signály odvozenými ze vstupního synchronizačního signálu přenosu dat mezi hlavní pamětí a paralelní datovou cestou blokem 10 řízení přenosu a blokem 02 řadiče přenosu hlavní paměti. Adresace hlavní paměti je prováděna obvody bloku 08 adresace hlavní paměti prostřednictvím výstupní adresové sběrnice 26, počet dat přenášených mezi vnějším zařízením a blokem 07 vyrovnávací paměti je určen obsahem bloku 09 čítače dat disku, počet dat přenášených mezi blokem 07 vyrovnávací paměti a hlavní pamětí je určen stavem obvodů bloku 04 čítačů přenosů.

Počáteční hodnoty všech těchto obvodů jsou nastavovány vložení příslušné informace prostřednictvím vstupní datové sběrnice 21. Doplňková informace formátu je ze čtených dat vyčleněna podle stavu bloku 03 odpočtu, počet vyčleněných znaků je opět určen předem zadanou hodnotou vloženou do tohoto bloku 03 prostřednictvím vstupní datové sběrnice 21.

Při režimech porovnávání dat přijímaných z hlavní paměti a čtených z média vnějšího zařízení jsou tato data přenášená z bloku 07 vyrovnávací paměti prostřednictvím výstupní sběrnice zapisovaných dat 24 a z vnějšího zařízení prostřednictvím vstupní sběrnice čtených dat 25 porovnávána obvody bloku 06 porovnávání, výstupy z těchto obvodů odpovídají výsledkům tohoto porovnávání.

Režim činnosti paralelní datové cesty je určen řídícími signály odvozenými z jednotlivých řádů bloku 05 řídícího registru, volba režimu je provedena nastavením obsahu bloku 05 řídícího registru prostřednictvím vstupní datové sběrnice 21.

Data přenášená mezi vnějším zařízením a blokem 07 vyrovnávací paměti jsou synchronizována a postupně pamatována v bloku 11 spojení, tímto způsobem je možné tuto informaci přenést z obvodů paralelní datové cesty do ostatních obvodů řídícího modulu.

Stav, respektive obsah obvodů jednotlivých bloků paralelní datové cesty lze přenést do ostatních obvodů řídícího modulu prostřednictvím výstupní datové sběrnice 20.

PŘEDMĚT VÝNÁLEZU

Zapojení paralelní datové cesty vyznačené tím, že první vstupní vodič (30) je připojen na první vstup bloku (01) řadiče přenosu disku, druhý výstupní vodič (31) je připojen na první výstup bloku (01) řadiče přenosu disku, druhý výstup bloku (01) řadiče přenosu disku je spojen třetím vodičem (32) s prvním vstupem bloku (09) čítače dat disku a s prvním vstupem bloku (11) spojení, třetí výstup bloku (01) řadiče přenosu disku je spojen čtvrtým vodičem (33) s třetím vstupem bloku (10) řízení přenosu, čtvrtý výstup bloku (01) řadiče přenosu disku je spojen pátým vodičem (34) s prvním vstupem bloku (06) obvodů porovnávání, pátý výstup bloku (01) řadiče přenosu disku je spojen šestým vodičem (35) s druhým vstupem bloku (06) obvodů porovnávání a se čtvrtým vstupem bloku (07) vyrovnávací paměti, šestý výstup bloku (01) řadiče přenosu disku je spojen sedmým vodičem (36) se druhým vstupem bloku (03) odpočtu, první vstup bloku (02) řadiče přenosu hlavní paměti je spojen osmým vodičem (41) s druhým vstupem bloku (10) řízení přenosu, druhý výstup bloku (02) řadiče přenosu hlavní paměti je spojen devátým vodičem (42) s prvním vstupem bloku (04) čítače přenosu, s druhým vstupem bloku (08) adresace hlavní paměti a s třetím vstupem bloku (07) vyrovnávací paměti, první výstup bloku (03) odpočtu je spojen desátým, výstupním vodičem (38) s třetím vstupem bloku (01) řadiče přenosu disku, jedenáctý, výstupní vodič (43) je připojen na první výstup bloku (04) čítače přenosu, dvanáctý, výstupní vodič (44) je připojen na druhý výstup bloku (04) čítače přenosu, třináctý, výstupní vodič (45) je připojen na třetí výstup bloku (04) čítače přenosu, čtvrtý výstup bloku (04) čítače přenosu je spojen čtrnáctým vodičem (46) s prvním vstupem bloku (08) adresace hlavní paměti, pátý výstup bloku (04) čítače přenosu je spojen patnáctým, výstupním vodičem (47) s prvním vstupem bloku (10) řízení přenosu, první výstup bloku (05) řídícího registru je spojen šestnáctým vodičem (48) s druhým vstupem bloku (11) spojení, druhý výstup bloku (05) řídícího registru je spojen sedmnáctým vodičem (49) se čtvrtým vstupem bloku (10) řízení přenosu, třetí výstup bloku (05) řídícího registru je spojen osmnáctým vodičem (50) se sedmým vstupem bloku (07) vyrovnávací paměti, čtvrtý výstup bloku (05) řídícího registru je spojen devatenáctým vodičem (51) se šestým vstupem bloku (07) vyrovnávací paměti, pátý výstup bloku (05) řídícího registru je spojen dvacátým vodičem (52) s pátým vstupem bloku (07) vyrovnávací paměti, dvacátý první, výstupní vodič (53) je připojen na první výstup bloku (06) obvodů porovnávání, dvacátý druhý, výstupní vodič (54) je připojen na druhý výstup bloku (06) obvodů porovnávání, první výstup bloku (07) vyrovnávací paměti je spojen dvacátým třetím vodičem (56) s pátým, vstupem bloku (10) řízení přenosu, druhý výstup bloku (07) vyrovnávací paměti je spojen dvacátým čtvrtým vodičem (57) s šestým vstupem bloku (10) řízení přenosu, třetí výstup bloku (07) vyrovnávací paměti je spojen dvacátým pátým vodičem (58) se sedmým vstupem bloku (10) řízení přenosu, první výstup bloku (08) adresace hlavní paměti je spojen dvacátým šestým vodičem (55) s osmým vstupem bloku (07) vyrovnávací paměti, druhý výstup bloku (08) adresace hlavní paměti je spojen dvacátým sedmým vodičem (39) s prvním vstupem bloku (02) řadiče přenosu hlavní paměti, dvacátý osmý, výstupní vodič (59) je připojen na třetí výstup bloku (08) adresace hlavní paměti, dvacátý devátý, výstupní vodič (60) je připojen na čtvrtý výstup bloku (08) adresace hlavní paměti, třicátý, výstupní vodič (61) je připojen na pátý výstup bloku (08) adresace hlavní paměti,

šestý výstup bloku (08) adresace hlavní paměti je spojen třicátým prvním vodičem (63) s osmým vstupem bloku (10) řízení přenosu, třicátý druhý, vstupní vodič (62) je připojen na třetí vstup bloku (08) adresace hlavní paměti, třicátý třetí, výstupní vodič (64) je připojen na první výstup bloku (09) čítače dat disku, první výstup bloku (10) řízení přenosu je třicátým čtvrtým vodičem (40) spojen s druhým vstupem bloku (07) vyrovnávací paměti a s druhým vstupem bloku (02) řadiče přenosu hlavní paměti, druhý výstup bloku (10) řízení přenosu je spojen třicátým pátým vodičem (37) s prvním vstupem bloku (07) vyrovnávací paměti a s druhým vstupem bloku (01) řadiče přenosu disku, třicátý šestý, výstupní vodič (67) je připojen na třetí výstup bloku (10) řízení přenosu, třicátý sedmý, výstupní vodič (68) je připojen na čtvrtý výstup bloku (10) řízení přenosu, třicátý osmý, vstupní vodič (65) je připojen na devátý vstup bloku (10) řízení přenosu, třicátý devátý, vstupní vodič (66) je připojen na desátý vstup bloku (10) řízení přenosu, čtyřicátý, výstupní vodič (70) je připojen na první výstup bloku (11) spojení, čtyřicátý první, výstupní vodič (71) je připojen na druhý výstup bloku (11) spojení, čtyřicátý druhý, vstupní vodič (69) je připojen na třetí vstup bloku (11) spojení, výstupní datová sběrnice (20) je připojena na první skupinu výstupů bloku (04) čítače přenosů, na první skupinu výstupů bloku (05) řídicího registru, na první skupinu výstupů bloku (07) vyrovnávací paměti, na druhou skupinu výstupů bloku (08) adresace hlavní paměti, na první skupinu výstupů bloku (09) čítače dat disku a na první skupinu výstupů bloku (11) spojení, vstupní datová sběrnice (21) je připojena na první skupinu vstupů bloku (03) odpočtu, na první skupinu vstupů bloku (04) čítačů přenosu, na první skupinu vstupů bloku (05) řídicího registru, na první skupinu vstupů bloku (07) vyrovnávací paměti, na první skupinu vstupů bloku (08) adresace hlavní paměti a na první skupinu vstupů bloku (09) čítače dat disku, vstupní sběrnice (22) dat z hlavní paměti je připojena na druhou skupinu vstupů bloku (07) vyrovnávací paměti, výstupní sběrnice (23) dat do hlavní paměti je připojena na druhou skupinu výstupů bloku (07) vyrovnávací paměti, výstupní sběrnice (24) zapisovaných dat je připojena na třetí skupinu výstupů bloku (07) vyrovnávací paměti, na druhou skupinu vstupů bloku (06) obvodů porovnávání a na druhou skupinu vstupů bloku (11) spojení, vstupní sběrnice (25) čtených dat je připojena na třetí skupinu vstupů bloku (07) vyrovnávací paměti, na první skupinu vstupů bloku (06) obvodů porovnávání a na první skupinu vstupů bloku (11) spojení, výstupní adresová sběrnice (26) je připojena na první skupinu výstupů bloku (08) adresace hlavní paměti.

217512

