

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-4717

(P2010-4717A)

(43) 公開日 平成22年1月7日(2010.1.7)

(51) Int.Cl.	F I	テーマコード (参考)
H02M 3/07 (2006.01)	H02M 3/07	5B125
G11C 16/06 (2006.01)	G11C 17/00 632A	5H730

審査請求 未請求 請求項の数 5 O L (全 21 頁)

(21) 出願番号	特願2008-163598 (P2008-163598)	(71) 出願人	000003078
(22) 出願日	平成20年6月23日 (2008.6.23)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100092820
			弁理士 伊丹 勝
		(74) 代理人	100106389
			弁理士 田村 和彦
		(72) 発明者	行川 敏正
			東京都港区芝浦一丁目1番1号 株式会社東芝内
		Fターム(参考)	5B125 BA01 CA06 CA11 EG02 EG05 EG08 FA02 5H730 AA15 AS01 BB02 BB57 BB86 EE59 FD01 FG01

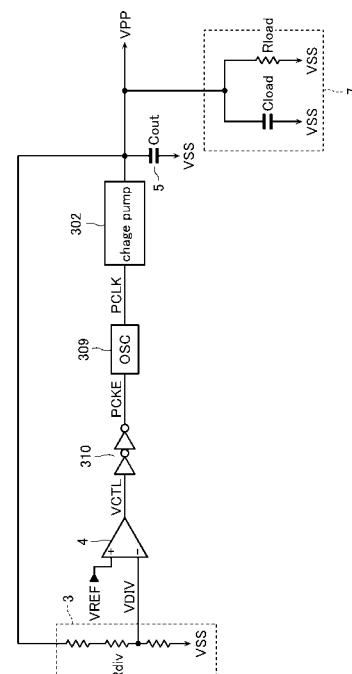
(54) 【発明の名称】 定電圧昇圧電源

(57) 【要約】

【課題】リップルの低減による出力電圧の安定性の向上、及びデカプリングキャパシタの面積縮小による製造コスト削減を実現する定電圧昇圧電源を提供する。

【解決手段】定電圧昇圧電源は、クロック信号を生成し出力すると共に入力される制御電圧に応じて出力するクロック信号の発振周波数を変化させる電圧制御可変周波数発振器と、前記クロック信号を入力し、このクロック信号に同期したポンピング動作を行って入力電圧を昇圧した出力電圧を出力するチャージポンプと、前記チャージポンプの出力電圧を分圧しモニタ電圧を出力する分圧回路と、前記モニタ電圧及び参照電圧を入力し、両電圧の電位差を増幅して前記制御電圧を出力する差動増幅器とを有する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

クロック信号を生成し出力すると共に入力される制御電圧に応じて出力するクロック信号の発振周波数を変化させる電圧制御可変周波数発振器と、

前記クロック信号を入力し、このクロック信号に同期したポンピング動作を行って入力電圧を昇圧した出力電圧を出力するチャ - ジポンプと、

前記チャ - ジポンプの出力電圧を分圧しモニタ電圧を出力する分圧回路と、

前記モニタ電圧及び参照電圧を入力し、両電圧の電位差を増幅して前記制御電圧を出力する差動増幅器と

を有することを特徴とする定電圧昇圧電源。

10

【請求項 2】

前記差動増幅回路は、前記モニタ電圧を反転入力端子に入力し、前記参照電圧を非反転入力端子に入力する

ことを特徴とする請求項 1 記載の定電圧昇圧電源。

【請求項 3】

前記差動増幅回路は、前記参照電圧を反転入力端子に入力し、前記モニタ電圧を非反転入力端子に入力する

ことを特徴とする請求項 1 記載の定電圧昇圧電源。

【請求項 4】

前記差動増幅器は、閉ループ型である

20

ことを特徴とする請求項 1 ~ 3 のいずれか 1 項記載の定電圧昇圧電源。

【請求項 5】

前記差動増幅器に前記チャージポンプの出力電圧が電源として供給されている

ことを特徴とする請求項 1 ~ 3 のいずれか 1 項記載の定電圧昇圧電源。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、定電圧昇圧電源に関し、特に、半導体集積装置に内蔵される内部電源に適した定電圧昇圧電源に関する。

【背景技術】

30

【0002】

再書き込み動作が必要なダイナミックメモリ (DRAM)、電荷を浮遊ゲ - トに蓄えることにより情報を記憶する不揮発性メモリ (EEPROM)、ヒューズリンクを溶断することにより情報を記憶するヒューズメモリ、ゲ - ト絶縁膜を破壊することにより情報を記憶するアンチヒューズメモリなどの多くの半導体記憶装置において、外部から与えられる供給電圧よりも高い出力電圧を生成する定電圧昇圧電源は必要不可欠なものになっている。また、半導体記憶装置を構成する MOS トランジスタの遮断時のリ - ク電流を低減するため、MOS トランジスタのバルク端子を負の電圧にする、あるいは供給電圧よりも高い電圧にするという消費電流削減技術が提案されており、このような高集積半導体論理回路においても定電圧昇圧電源が重要な構成要素となっている。

40

【0003】

一般に、このような用途の定電圧昇圧電源には、電力効率が良く、コイルなどの外付け部品が不要で、小さなチップ面積内に実装できることが要求される。

【0004】

そのような定電圧昇圧電源として、ディクソンチャージポンプが採用されることが多い。ディクソンチャージポンプは、整流素子を介して接続された複数のキャパシタ (以下、「ポンピングキャパシタ」という) 間で、電荷の充放電を繰り返しながら、供給電圧より高い、あるいは、負の電圧を生成するという電子回路である。

【0005】

ディクソンチャージポンプでは、外部から与えられるクロック信号、もしくは、リング

50

オシレータやマルチバイブレータなどにより生成されたクロック信号に同期して、ポンピングキャパシタの充放電が繰り返され、昇圧動作が行われる。また、そのようにして得られた出力電圧を一定に保つため、出力電圧を抵抗分圧回路で分圧し、得られたモニタ電圧と参照電圧とを比較して、モニタ電圧の方が低い場合にはチャージポンプを動作させ、高い場合にはチャージポンプを停止させるというオンオフ制御方式が採用されている。

【 0 0 0 6 】

別の従来技術として、電流測定クロック周波数制御方式による昇圧電源が提案されている（非特許文献 1 参照）。この昇圧電源は、負荷電流に対して効率が最大になるように、クロック信号の周波数が自動的に調整されることを特徴としている。このクロック信号の周波数の自動調整は、まず、出力端子に対して直列に接続された電流検知用の抵抗に流れる電流による電圧降下を差動増幅器によって検知・増幅して制御電圧を出力し、次に、この制御電圧が入力された電圧制御発振器により、制御電圧が高い場合にはより高い周波数、逆に、制御電圧が低い場合にはより低い周波数のクロック信号を出力することで実現されている。

10

【 0 0 0 7 】

ところで、この電流測定クロック周波数制御方式による出力電圧は、チャージポンプに供給される供給電圧とチャージポンプを形成する MOS トランジスタの電気特性により変動する。また、前述のような負荷電流が大きいときにチャージポンプの消費電流を増やし、逆に、負荷電流が小さいときにチャージポンプの消費電流を減らすという動作では、定電圧昇圧電源を構成することはできない。一般に、半導体記憶装置向けの内部昇圧電源としては、供給電圧や素子の電気特性に因らず、一定の電圧となる定電圧昇圧電源が求められている。その点、従来技術のクロック周波数制御によるチャージポンプは内部昇圧電源として用いることができない。

20

【非特許文献 1】「チャージポンプ電源回路の高性能化の検討」、松川朋宏他、第 17 回路とシステム軽井沢ワークショップ、2004 年 4 月 26 日

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 8 】

本発明は、リップルの低減による出力電圧の安定性の向上、及びデカプリングキャパシタの面積縮小による製造コスト削減を実現する定電圧昇圧電源を提供することを目的とする。

30

【課題を解決するための手段】

【 0 0 0 9 】

本発明の一態様に係る定電圧昇圧電源は、クロック信号を生成し出力すると共に入力される制御電圧に応じて出力するクロック信号の発振周波数を変化させる電圧制御可変周波数発振器と、前記クロック信号を入力し、このクロック信号に同期したポンピング動作を行って入力電圧を昇圧した出力電圧を出力するチャージポンプと、前記チャージポンプの出力電圧を分圧しモニタ電圧を出力する分圧回路と、前記モニタ電圧及び参照電圧を入力し、両電圧の電位差を増幅して前記制御電圧を出力する差動増幅器とを有することを特徴とする。

40

【発明の効果】

【 0 0 1 0 】

本発明によれば、リップルの低減による出力電圧の安定性の向上、及びデカプリングキャパシタの面積縮小による製造コスト削減を実現する定電圧昇圧電源を提供することができる。

【発明を実施するための最良の形態】

【 0 0 1 1 】

以下、図面を参照しながら、本発明に係る半導体昇圧電源の実施の形態について詳細に説明する。

【 0 0 1 2 】

50

〔第1の実施形態〕

(オンオフ制御方式の定電圧昇圧電源)

先ず、オンオフ制御により安定した昇圧動作を実現する定電圧昇圧電源について説明する。

【0013】

図1は、オンオフ制御方式の定電圧昇圧電源を示すブロック図である。

【0014】

この定電圧昇圧電源は、クロック許可信号PCKEが活性化した場合にクロック信号PCLKを発振するオンオフ制御発振器(OSC)309と、その出力であるクロック信号PCLKを受け、そのタイミングに同期してポンピング動作を行うチャージポンプ(charge pump)302とを有する。また、このチャージポンプ302の出力電圧VPPを抵抗で分圧する分圧回路3と、分圧回路3の出力であるモニタ電圧VDIV及び外部から与えられる参照電圧VREFを反転入力端子“-”及び非反転入力端子“+”に受け、入力端子間に生じる電位差を増幅して制御電圧VCTLを出力する差動増幅器4とを有する。

10

【0015】

図2は、チャージポンプ302の回路図である。

【0016】

このチャージポンプ302は、ドレインとゲートが接続された5つのダイオード302__D1~302__D5を縦続接続してなる。このうち初段のダイオード302__D1のアノードは、供給電圧VDDレベルの電源線に接続されている。また、ダイオード302__Di(i=1~4の整数)のアノードとダイオード302__Di+1のカソードがそれぞれ接続されている。ダイオード302__D1~302__D4の各カソードには、容量Cpumpのポンピングキャパシタ2__C1~2__C4の各一端が接続されている。外部から供給されるクロック信号PCLKは、インバータ2__IV1を介してキャパシタ2__C1、2__C3の各他端に供給され、インバータ2__IV1、2__IV2を介してキャパシタ2__C2、2__C4の各他端に供給されている。このように構成されたチャージポンプ302は、4段のディクソンチャージポンプになっており、ダイオード302__D5のカソードから出力電圧VDDが出力される。

20

【0017】

オンオフ制御方式の定電圧昇圧電源では、出力電圧VPPを抵抗分圧回路3により分圧して得られた検知電圧VDIVと所定の参照電圧VREFとを比較して、低電圧であるときにチャージポンプ302を動作させ、高電圧であるときにチャージポンプ302を停止させることで、昇圧した出力電圧VPPを一定に保持するものである。

30

【0018】

図3はオンオフ制御方式の定電圧昇圧電源の動作波形図である。

【0019】

図3に示す通り、このオンオフ制御方式による出力電圧VPPは、デカプリングキャパシタ5の充電による上昇と、デカプリングキャパシタ5の放電による降下が繰り返される点に特徴がある。

【0020】

40

このリップルは、出力電圧VPPが供給される回路に対するノイズとなり、特性劣化の原因になるばかりでなく、最悪の場合、誤動作の原因にもなる。したがって、リップルを抑制することが重要な課題となる。この点については、チャージポンプ302の停止状態において、出力電圧VPPが設定電圧より下がったことを検知してチャージポンプ302を動作させるまでの遅延時間と、チャージポンプ302の動作状態において、出力電圧VPPが設定電圧に達したことを検知してチャージポンプ302を停止させるまでの遅延時間を短縮することで対応することができるが、この方法には限界がある。しかし、この場合であっても、デカプリングキャパシタ5を大容量化することで、さらに、リップルを抑制することができる。

【0021】

50

(電圧制御電流源方式の定電圧昇圧電源)

次に、別の制御方法による定電圧昇圧電源について説明する。

【0022】

図4は、電圧制御電流源方式の定電圧昇圧電源を示すブロック図である。

【0023】

この定電圧昇圧電源は、クロック信号PCLKを定常的に発振する発振器(OSC)409と、その出力であるクロック信号PCLKを受け、そのタイミングに同期してポンピング動作を行うチャージポンプ(charge pump)302とを有する。また、このチャージポンプ302の出力電圧VPPを抵抗で分圧する分圧回路3と、分圧回路3の出力であるモニタ電圧VDIV及び外部から与えられる参照電圧VREFを非反転入力端子“+”及び反転入力端子“-”に受け、入力端子間に生じる電位差を増幅して負論理の制御電圧/VCTL(/は図4における上付傍線を示す)を出力する差動増幅器404とを有する。さらに、この制御電圧/VCTLで制御され、ソースに供給電圧VDDが供給され、ドレインからチャージポンプ(charge pump)302に駆動電圧PSRCを供給するPMOSトランジスタ411を備えている。これは、チャージポンプ302、デカプリングキャパシタ5及び発振器406からなる増幅回路406と、分圧回路3、差動増幅器404及びPMOSトランジスタ411からなる帰還回路408とにより帰還増幅回路を構成するものである。

10

【0024】

電圧制御電流源方式による定電圧昇圧は、出力電圧VPPを分圧回路3で分圧し、それから得られたモニタ電圧VDIVと参照電圧VREFを比較して、その電位差によりチャージポンプ302に供給する電流を制御するものである。

20

【0025】

図5は電圧制御電流源方式の定電圧昇圧電源の動作波形図である。

【0026】

図5から明らかなように、電圧制御電流源方式による場合、負荷電流Iloadの急激な変化に伴い出力電圧が一瞬落ち込むパンピング現象が起こるものの、図3に示すオンオフ制御方式による場合に生じていたリップルが抑制されていることがわかる、

この定電圧昇圧電源の場合、帰還増幅回路の安定化が問題となる。この問題に関しては、増幅回路406の遮断周波数、もしくは、帰還回路408の遮断周波数のどちらか一方を他方に比べて十分に低く設定すれば良い。具体的には、負荷容量Cloadが小さく、負荷電流Iloadが小さく一定である場合、帰還回路408にローパスフィルタを付加することで帰還回路408の遮断周波数を低くすることができる。

30

【0027】

(周波数制御方式の定電圧昇圧電源)

図1に示すオンオフ制御方式の定電圧昇圧電源の場合、リップルを抑制することが重要な課題であり、その解決手段としてデカプリングキャパシタ5の大容量化をすることは前述の通りである。しかし、このことは、チップ面積の増大による製造コストの増加を招くことになる。

【0028】

例えば、電源供給能力が1mAのチャージポンプの出力電圧VPPを、10nsの遅延時間で制御する場合、リップルを0.1V以下に抑制するには、0.1nF以上のデカプリングキャパシタ5が必要となる。定電圧昇圧電源を外部に設ける回路の場合、出力電圧VPPの安定化のため0.1nF程度のコンデンサを付加することは一般的である。しかし、容量Coutが0.1nF、3.3V耐圧のデカプリングキャパシタ5をMOSで構成する場合、0.025mm²程度の面積が必要となり、それに伴うコスト増加は、半導体記憶装置などに内蔵される定電圧昇圧電源として許容されるものではない。

40

【0029】

次に、図4に示す電圧制御電流源方式による定電圧昇圧電源の定電圧昇圧電源では、帰還増幅回路の安定化を図ることが課題であり、この点に関しては、帰還回路408にロー

50

パスフィルタを付加して帰還回路 408 の遮断周波数を低く抑えることで解消できることは先に述べた。しかし、帰還回路 408 の遮断周波数を低くした場合、負荷電流 I_{load} の変化への対応が遅くなり、さらに大きなバンピング現象を生じさせることになる。

【0030】

別の安定化手段として、増幅回路 406 の遮断周波数を帰還回路 408 の遮断周波数に比べて低くするという手段が考えられる。しかし、この場合、大容量のデカプリングキャパシタ 5 を付加しなければならない。また、定電圧昇圧電源の電流供給能力が大きいほど、より大容量のデカプリングキャパシタ 5 が必要になる。このデカプリングキャパシタ 5 の容量増大の問題は、図 2 に示すような、供給電圧に対して高倍率の出力電圧 V_{PP} を得る必要がある多段構成のディクソンチャージポンプにおいて、さらに深刻になる。

10

【0031】

多段構成のディクソンチャージポンプの場合、電圧制御電流源から供給された電荷が初段のポンピングキャパシタ 2_C1 に充電され、この電荷がさらに放電され、次段のポンピングキャパシタ 2_C2 に充電される。これら一連の動作がクロック信号 CLK に同期して最終段まで順次繰り返されることで、供給電圧 V_{DD} の昇圧が実現されている。したがって、電圧制御電流源に対する制御の効果が出力電圧 V_{PP} に現れるまでには、ディクソンチャージポンプの段数とクロック信号 CLK の発振周期の積に比例した遅延が生じる。この電荷転送に伴う遅延は帰還制御の遅延に加算されることになり、帰還回路 408 の遮断周波数を十分に高く設定することができない要因になる。例えば、 100MHz の周波数で動作する 4 段のディクソンチャージポンプの場合、帰還回路 408 の遮断周波数を 50MHz 以上に設定することは不可能である。

20

【0032】

したがって、増幅回路 406 の遮断周波数を非常に低く抑える必要がある。上記例のように、帰還回路 408 の遮断周波数が 50MHz の場合、増幅回路 406 の遮断周波数は、さらに低い 10MHz 程度以下にする必要がある。この場合、例えば、最大電流供給能力が 1mA の定電圧昇圧電源では 0.1nF 以上のデカプリングキャパシタ 5 が必要になる。

【0033】

以上から、電圧制御電流源方式による定電圧昇圧電源では、オンオフ制御方式による場合に比べて、同等かあるいはそれ以上に大きなデカプリングキャパシタ 5 が必要になる。

30

【0034】

これらオンオフ制御方式及び電圧制御電流源方式の問題点を解消するものとして、周波数制御方式の定電圧昇圧電源がある。

【0035】

図 6 は、本発明の第 1 の実施形態に係る定電圧昇圧電源を示すブロック図である。これは、半導体記憶装置の内部電源に適した周波数制御方式の定電圧昇圧電源である。

この定電圧昇圧電源は、制御電圧 V_{CTL} が高い場合に発振周波数が高くなり、制御電圧 V_{CTL} が低い場合に発振周波数が低くなる電圧制御可変周波数発振器 (VCO) 1 と、その出力であるクロック信号 CLK を受け、そのタイミングと同期してポンピング動作を行うチャ - ジポンプ (charge pump) 2 とを有する。また、このチャ - ジポンプ 2 の出力電圧 V_{PP} を抵抗で分圧する分圧回路 3 と、分圧回路 3 の出力であるモニタ電圧 V_{DIV} 及び外部から与えられる参照電圧 V_{REF} を反転入力端子 “ - ” 及び非反転入力端子 “ + ” に受け、入力端子間に生じる電位差を増幅して制御電圧 V_{CTL} を出力する差動増幅器 4 とを有する。

40

【0036】

ここで、本定電圧昇圧電源は、チャ - ジポンプ 2 を増幅回路 6 とし、分圧回路 3、差動増幅器 4 及び電圧制御可変周波数発振器 1 を帰還回路 8 とする帰還増幅回路と考えることができる。また、この帰還増幅回路の安定性を確保 (位相補償) するため、出力端子には、必要に応じて容量 C_{out} のデカプリングキャパシタ 5 が付加される。

50

【 0 0 3 7 】

増幅回路 6 の遮断周波数 F_a は、デカプリングキャパシタ 5 の容量 C_{out} 及び負荷 7 の容量成分 C_{load} と増幅回路 6 の内部抵抗 R_{out} (図示せず)、負荷 7 の抵抗成分 R_{load} 及び分圧回路 3 の抵抗 R_{div} が並列に接続された回路の時定数 (容量と抵抗の積) の逆数により概略次のように表すことができる。

【 0 0 3 8 】

【 数 1 】

$$F_a = \frac{R_{out} \times R_{load} + R_{load} \times R_{div} + R_{div} \times R_{out}}{(R_{out} \times R_{load} \times R_{div}) \times (C_{out} + C_{load})} \quad 10$$

【 0 0 3 9 】

この増幅回路 6 の遮断周波数 F_a が、分圧回路 3、差動増幅器 4 及び電圧制御可変周波数発振器 1 の反応時間の総和の逆数、つまり、帰還回路 8 の遮断周波数 F_f に対して、十分に大きくなるように各回路定数を設定することで、出力電圧 V_{PP} を安定に保つことができる。以下に、その具体例を説明する。

【 0 0 4 0 】

ここで、出力電圧 V_{PP} を 5 V とし、出力電圧 V_{PP} の負荷容量 C_{load} を 1 pF、最大負荷電流 I_{load} を 1 mA と仮定する。

20

【 0 0 4 1 】

負荷抵抗 R_{load} は $R_{load} = V_{PP} / I_{load}$ から求められ、5 kΩ となる。同様に、チャ - ジポンプ 2 は、最大負荷電流 $I_{load} = 1$ mA であるため、増幅回路 6 の内部抵抗 R_{out} は $R_{out} = V_{PP} / I_{load}$ から求められ、5 kΩ となる。さらに、分圧回路 3 の抵抗値 R_{div} を定めなければならないが、これは後述するように、帰還回路 8 の遮断周波数 F_f を決定する要素となるため、ここでは 50 kΩ と仮定する。また、負荷容量 C_{load} の 1 pF は負荷の状況によって変動することが考えられる。したがって、ここでは仮に 2 倍である容量 2 pF のデカプリングキャパシタ 5 を付加することにする。

【 0 0 4 2 】

30

このように定めた各定数から増幅回路 6 の遮断周波数 F_a を求めると、

【 0 0 4 3 】

【 数 2 】

$$F_a = \frac{5k \times 5k + 5k \times 50k + 50k \times 5k}{(5k \times 5k \times 50k) \times (2p + 1p)}$$

【 0 0 4 4 】

から 140 MHz と求めることができる。

40

【 0 0 4 5 】

なお、このデカプリングキャパシタ 5 を 5 V 耐圧の MOS で構成する場合、その面積は $1000 \mu m^2$ となり、内部電源としては、十分に許容できる範囲のコスト増に留めることができる。

【 0 0 4 6 】

次に、この帰還増幅回路の安定性確保のためには、帰還回路 8 の遮断周波数 F_f を増幅回路 6 の遮断周波数 F_a より十分に大きくする必要がある。ここでは、増幅回路 6 の遮断周波数 $F_a = 140$ MHz に対して、3 倍以上の 500 MHz を目安とする。

【 0 0 4 7 】

まず、分圧回路 3 の抵抗値 R_{div} 及び寄生容量 C_{div} (図示せず) から時定数を定

50

める。このとき、図 7 に示す本実施形態の差動増幅器 4 の回路図を参考に、その入力容量 C_{plu} (図示せず) を考慮する。

【0048】

この差動増幅器 4 は、差動入力部 4 __ 1 と、そこに流れるバイアス電流 I_{bias} を制御するバイアス回路 4 __ 2 から構成される。

【0049】

差動入力部 4 __ 1 は、ゲートに非反転入力端子 $PLUS$ (図 6 中の “+”) が接続された $NMOS$ トランジスタ 4 __ $N1$ と、ゲートに反転入力端子 $MINUS$ (図 6 中の “-”) が接続された $NMOS$ トランジスタ 4 __ $N2$ からなる差動入力対を有する。これら $NMOS$ トランジスタ 4 __ $N1$ 及び 4 __ $N2$ のソースは、共に $NMOS$ トランジスタ 4 __ $N3$ を介して接地電圧 VSS レベルの接地線に接続されている。また、 $NMOS$ トランジスタ 4 __ $N1$ 及び 4 __ $N2$ のドレインには、それぞれ負荷となる $PMOS$ トランジスタ 4 __ $P1$ 及び 4 __ $P2$ を介して供給電圧 VDD レベルの電源線に接続されている。これら $PMOS$ トランジスタ 4 __ $P1$ 及び 4 __ $P2$ のゲートには、共に $NMOS$ トランジスタ 4 __ $N1$ のドレインが接続されている。

【0050】

バイアス回路 4 __ 2 は、ソースが供給電圧 VDD レベルの電源線、ゲートが接地電圧 VSS レベルの接地線に接続された $PMOS$ トランジスタ 4 __ $P3$ と、ソースが接地電圧 VSS レベルの接地線、ドレイン及びゲートが $PMOS$ トランジスタ 4 __ $P3$ のドレインに接続された $NMOS$ トランジスタ 4 __ $N4$ からなる。

【0051】

さらに、差動増幅部 4 __ 1 の $NMOS$ トランジスタ 4 __ $N3$ のゲートとバイアス回路 4 __ 2 の $NMOS$ トランジスタ 4 __ $N4$ のゲートは接続されており、これらはカレントミラー回路を構成するものである。この構成により、差動入力部 4 の $NMOS$ トランジスタ 4 __ $N2$ 及び $PMOS$ トランジスタ 4 __ $P2$ のドレインが差動増幅器 4 の出力である制御電圧 $VCTL$ となる。

【0052】

この差動増幅器 4 は、対称性を保つ必要から、差動入力対を構成する $NMOS$ トランジスタ 4 __ $N1$ 及び 4 __ $N2$ のゲート面積をあまり小さくできない。そこで、チャネル幅 $4\mu m$ 及びチャネル長 $1\mu m$ のサイズを持つ $NMOS$ トランジスタを選択する。このサイズの $3.3V$ 耐圧の $NMOS$ トランジスタのゲート容量は $15fF$ 程度になる。その他、数 fF 程度の寄生容量 C_{div} が加算されることになる。この場合、分圧回路 3 の抵抗値 R_{div} を $50k\Omega$ 程度に設定することで、分圧回路 3 の時定数を $1ns$ 以下に抑えることができる。

【0053】

次に、差動増幅器 4 の動作遅延時間について説明する。

【0054】

前述のとおり、差動入力部 4 __ 1 の $NMOS$ トランジスタ 4 __ $N1$ 及び 4 __ $N2$ は、チャネル幅 $4\mu m$ 、チャネル長 $1\mu m$ である。同様に、差動入力部 4 __ 1 の $PMOS$ トランジスタ 4 __ $P1$ 及び 4 __ $P2$ についても、対称性を保つ必要から、チャネル幅 $8\mu m$ 、チャネル長 $0.5\mu m$ とする。この差動増幅器 4 に対して、 $100\mu A$ 程度のバイアス電流 I_{bias} を流す。この場合、差動増幅器 4 の動作遅延時間は $0.6ns$ 程度となる。

【0055】

最後に、電圧制御可変周波数発振器 1 の動作遅延時間について説明する。電圧制御可変周波数発振器 1 として、図 8 に示すような、可変電流素子が付加されたマルチバイブレータを用いることができる。

【0056】

この電圧制御可変周波数発振器 1 は、フリップフロップ接続された一対の $NAND$ ゲート 1 __ $G3$ 、1 __ $G4$ と、これらゲートの入力端に接続されて発振インーブル信号 $PCKE$ によって発振開始・停止を制御する $NAND$ ゲート 1 __ $G1$ 、1 __ $G2$ と、これら NA

10

20

30

40

50

NANDゲート1__G1、1__G2の入力端に接続されたインバータ1__IV1、1__IV2と、NANDゲート1__G3、1__G4の出力端にそれぞれ接続された2段のインバータ1__IV3及び1__IV5、1__IV4及び1__IV6とを有する。インバータ1__IV3、1__IV4の出力は、それぞれ遅延回路を介して入力段のインバータ1__IV1、1__IV2の入力端にフィードバックされている。遅延回路は、それぞれ電源線VDDと接地線VSSの間に直列接続されたPMOSトランジスタ1__P1及びNMOSトランジスタ1__N1、1__N3、並びにトランジスタ1__P1、1__N1の接続端と接地線VSSとの間に接続されたキャパシタ1__C1と、電源線VDDと接地線VSSの間に直列接続されたPMOSトランジスタ1__P2及びNMOSトランジスタ1__N2、1__N4、並びにトランジスタ1__P2、1__N2の接続端と接地線VSSとの間に接続されたキャパシタ1__C2から構成されている。

10

【0057】

上記構成によりインバータ1__IV5の出力端子からチャージポンプ2に与えられるクロック信号PCLKが出力される。

【0058】

この電圧制御可変周波数発振器1は、可変電流素子であるNMOSトランジスタ1__N3及び1__N4によりクロック信号PCLKの発振周波数が制御される。ここで示されるようなマルチバイブレ-タは、主に高速なロジックゲ-ト回路で構成することが可能であるため、その最大発振周波数を1GHz程度に設定することが容易である。例えば、マルチバイブレ-タの最大発振周波数を1GHz程度にするには、遅延回路を構成するキャパシタ1__C1及び1__C2の容量Cclkを10fF程度にし、制御電圧VCTLを受けるNMOSトランジスタ1__N3及び1__N4の最大電流量を20μA程度に設定すれば良い。この場合のNMOSトランジスタ1__N3及び1__N4のサイズは、チャネル幅1μm、チャネル長1μm程度となる。また、入力負荷容量は5fF程度となるため、差動増幅器4により十分に高速な制御が可能となる。

20

【0059】

以上のように、分圧回路3、差動増幅器4及び電圧制御可変周波数発振器1の総遅延時間を2ns程度、つまり、帰還回路8の遮断周波数Ffを500MHz程度に設計することができる。

【0060】

30

次に、チャージポンプ2について説明する。

【0061】

図9は、本実施形態のチャージポンプ2の回路図である。

【0062】

このチャージポンプ2は、ドレインとゲートが接続された5つのNMOSトランジスタ2__N1~2__N5を縦続接続してなる。このうち初段のNMOSトランジスタ2__N1のドレインは、供給電圧VDDレベルの電源線に接続されている。また、NMOSトランジスタ2__Ni(i=1~4の整数)のソースとNMOSトランジスタ2__Ni+1のドレインがそれぞれ接続されている。

40

【0063】

NMOSトランジスタ2__N1~2__N4の各ソースには、容量Cpumpのポンピングキャパシタ2__C1~2__C4の各一端が接続されている。外部から供給されるクロック信号PCLKは、インバータ2__IV1を介してキャパシタ2__C1、2__C3の各他端に供給され、インバータ2__IV1、2__IV2を介してキャパシタ2__C2、2__C4の各他端に供給されている。

【0064】

このように構成されたチャージポンプ2は、4段のディクソンチャージポンプになっており、NMOSトランジスタ2__N5のドレインから供給電圧VDDの2.5倍程度の出力電圧VPPが出力される。例えば、供給電圧VDDが2.5Vの場合、出力電圧VPPは最大6.25V程度となる。

50

【0065】

なお、図2に示すディクソンチャージポンプ302も同様に使用することができる。

【0066】

実際には、チャージポンプ2の最大昇圧能力は、整流素子2__N1~2__N5の閾値電圧 V_{tn} の影響を受け、閾値電圧 V_{tn} が高い場合には、昇圧能力が劣化する。この点については、NMOSトランジスタのゲートを能動的に制御するなどの手段を用いることで昇圧能力を確保することができる。それでも昇圧能力が不足する場合は、チャージポンプ2の段数を増やすことで対処することができる。

【0067】

続いて、チャージポンプ2について設計例を示す。

10

【0068】

チャージポンプ2の目標仕様を、供給電圧 $V_{DD} = 2.5V$ 、クロック信号 $PCLK = 1GHz$ のとき、出力電圧 $V_{PP} = 5V$ 、電流供給能力 $1mA$ に設定する。このチャージポンプ2の最大出力電圧は $6V$ 程度と予想されることから、 $5V$ の出力電圧 V_{PP} を得ることは可能である。電流供給能力 $1mA$ を得るために、若干余裕を持って、整流素子であるNMOSトランジスタ2__N1~2__N5のチャネル幅を $100\mu m$ 、チャネル長を $0.3\mu m$ とする。また、ポンピングキャパシタ2__C1~2__C4の容量 C_{pump} を $2pF$ とする。この $2pF$ のポンピングキャパシタ2__C1~2__C4をMOSで構成する場合、その面積は $500\mu m^2$ 程度となる。

【0069】

20

次に、本実施形態の電圧制御動作について説明する。

【0070】

図10は、同実施形態の動作波形図である。

【0071】

まず、図10中の時刻 T_1 より以前において、外部から与えられる発振イネーブル信号 $PCKE$ (図示せず)により、電圧制御可変周波数発振器1の発振動作は抑制され、その出力であるクロック信号 $PCLK$ は“L”状態に保持されている。したがって、クロック信号 $PCLK$ を受けて活性化されるチャージポンプ2は停止状態であり、出力電圧 V_{PP} はほぼ $0V$ になっている。

【0072】

30

時刻 T_1 で、発振イネーブル信号 $PCKE$ が活性化され、電圧制御可変周波数発振器1の発振動作が開始される。このとき、出力電圧 V_{PP} は、ほぼ $0V$ であり、設定電圧より大幅に低い値となっている。そのため、差動増幅器4の出力である制御電圧 V_{CTL} は外部から供給される供給電圧 V_{DD} と同程度の高電圧となる。この制御電圧 V_{CTL} に応じて電圧制御可変周波数発振器1から出力されるクロック信号 $PCLK$ の発振周波数は非常に高くなる。そして、このクロック信号 $PCLK$ を受けて動作するチャージポンプ2から負荷電流 I_{load} を上回る電流が供給される。その結果、出力電圧 V_{PP} は急速に上昇していく。

【0073】

40

続いて、時刻 T_2 において、出力電圧 V_{PP} は設定電圧に近づく。それに伴い、制御電圧 V_{CTL} は徐々に低下していく。これを受けて、電圧制御可変周波数発振器1から出力されるクロック信号 $PCLK$ の発振周波数も次第に低下し、チャージポンプ2の電流供給量も次第に減少していく。

【0074】

続いて、時刻 T_3 において、チャージポンプ2の電流供給量と負荷電流 I_{load} が均衡し、その後、クロック信号 $PCLK$ の発振周波数は低い状態で安定する。

【0075】

続いて、時刻 T_4 において、負荷電流 I_{load} が外部要因により急激に増加している。その影響により、出力電圧 V_{PP} は若干降下する。この現象が差動増幅器4で検知され、制御電圧 V_{CTL} が急上昇する。それを受け、電圧制御可変周波数発振器1により出力

50

されるクロック信号 P C L K の発振周波数が再び高くなる。クロック信号 P C L K の発振周波数が高くなることで、チャ - ジポンプ 2 の電流供給量は瞬時に増加する。

【 0 0 7 6 】

逆に、時刻 T 5 のように、負荷電流 I l o a d が急激に減少した場合においても、その現象が差動増幅器 4 により迅速に検知されるため、その制御電圧 V C T L は急降下する。それを受け、電圧制御可変周波数発振器 1 の出力であるクロック P C L K の発振周波数が低くなる。これを受けて、チャ - ジポンプ 2 の電流供給量は急速に減少する。

【 0 0 7 7 】

このように本実施形態の電圧制御方式はアナログフィードバックであり、その制御系の増幅率と反応速度（遮断周波数）を適切に設計することにより、安定した電圧特性を有する昇圧電源を得ることができる。その効果として、他の制御方式において発生するようなオーバーシュート（電源投入直後に設定電圧より一瞬高くなる現象）を防止することが可能である。

【 0 0 7 8 】

また、チャ - ジポンプ 2 の電流供給量と負荷電流 I l o a d の均衡状態において、出力電圧 V P P にはチャ - ジポンプ 2 のポンピング動作によるリップルが生じるが、その電圧は他の制御方式のものと比べて非常に小さい。参考までに示す図 2 のオンオフ制御方式の定電圧昇圧電源の動作波形と比べても、リップルの大きさが非常に小さいことが確認できる。

【 0 0 7 9 】

さらに、急激な負荷電流 I l o a d の変化に伴う、出力電圧が一瞬低電圧もしくは高電圧となるバンピング現象も抑制することができる。特に、段数の多いディクソンチャ - ジポンプを用いる場合、その効果は顕著である。例えば、クロック信号 P C L K を完全に停止するオンオフ制御方式では、クロック信号 P C L K が停止している間にディクソンチャ - ジポンプ内のポンピングキャパシタに蓄えられた電荷が抜けてしまい、再びポンピング動作が開始された直後において、電流供給量が極端に低下するという現象が生じる。また、たとえアナログ的な電圧制御を行う場合においても、ディクソンチャ - ジポンプに供給される電流量を制御する方式では、供給する電流量を増加させてからチャ - ジポンプの出力電流量が増加するまでに大きな遅延が生じる。そのため、従来技術に係る定電圧昇圧電源では急激な負荷電流の増加に制御が追従できず、大きなバンピングが生じてしまう。これを軽減する一手段として、デカプリングキャパシタの大容量化が考えられるが、それにはチップ面積の増大が伴う。その点、本実施形態の場合、急激な負荷電流の増加に瞬時に応答して出力電流量を増加させることができるため、バンピング量を小さく抑えることができる。したがって、デカプリングキャパシタの追加は不要である。

【 0 0 8 0 】

以上、本実施形態によれば、リップルの低減による出力電圧の安定性の向上、及びデカプリングキャパシタの面積縮小による製造コスト削減を実現する定電圧昇圧電源を提供することができる。

【 0 0 8 1 】

[第 2 の実施形態]

図 1 1 は、本発明の第 2 の実施形態に係る定電圧昇圧電源を示すブロック図である。

【 0 0 8 2 】

本実施形態は、第 1 の実施形態に対して、さらに出力電圧 V P P の安定性の向上を図った定電圧昇圧電源である。

【 0 0 8 3 】

本実施形態の全体構成は、第 1 の実施形態とほぼ同じである。以下、主に第 1 の実施形態と異なる箇所について説明する。

【 0 0 8 4 】

第 1 の実施形態との構成上の違いは、分圧回路 3 のモニタ電圧 V D I V が後述する差動増幅器 1 0 4 の非反転端子 “ + ” に入力され、一方の反転入力端子 “ - ” に参照電圧 V R

10

20

30

40

50

EFが入力されていることである。これに伴い、差動増幅器104の出力である制御電圧/VCTL(/は図11における上付傍線を示す)の極性が第1の実施形態に対して逆になる。つまり、出力電圧VPPが設定電圧よりも高くなるとより高い制御電圧/VCTLが出力され、出力電圧VPPが設定電圧よりも低くなるとより低い制御電圧/VCTLが出力される。その出力を受けて、電圧制御可変周波数発振器101の出力であるクロック信号PCLKは、制御電圧/VCTLが高くなるとより低周波になり、制御電圧/VCTLが低くなるとより高周波になる。

【0085】

定電圧昇圧電源の出力電圧VPPの安定性を確保するには、帰還回路108の遅延を抑えることが重要であることは前述の通りである。さらに、系の安定性を向上させるためには、帰還回路108に含まれる差動増幅器104の増幅率ACLを適切に設定することが求められる。差動増幅器104の増幅率ACLを大きくしすぎると、発振を防止することが困難になる。逆に、小さくしすぎると、定電圧昇圧電源の負荷特性が悪化し、負荷電流Iloadが増えると出力電圧VPPが低下するという問題が発生する。

【0086】

第1の実施形態では、図7に示した閉ループ型の差動増幅器4が用いられている。この場合、主にMOSトランジスタのチャネル長及びチャネル幅を調整することで、その増幅率ACLや遮断周波数を設定することができる。ところが、MOSトランジスタの電気特性は、製造プロセスのばらつきによる影響を受けて大きく変動し、さらには、増幅率ACLや遮断周波数などを所望の値に設定できないという不都合が生じる。

【0087】

この問題を解決するには、閉ループ型の差動増幅器を用いるのが有効である。

【0088】

図12は、本実施形態の差動増幅器104の回路図である。

【0089】

この差動増幅器104は、差動入力部4__1、バイアス回路4__2に加え、増幅部104__3、帰還回路104__4などのサボ-ト回路を付加し構成されている。

【0090】

ここで差動入力部4__1の構成は、図7に示した差動増幅器4と同じであるが、NMOSトランジスタ4__N2のゲートに、非反転入力端子PLUSが接続され、一方、NMOSトランジスタ4__N1には、後述する帰還回路104__4を介して非反転入力端子MINUSの入力電圧と出力される制御電圧/VCTLとを分圧した電圧がフィードバックされている点が異なっている。

【0091】

増幅部104__3は、供給電圧VDDレベルの電源線及び接地電圧VSSレベルの接地線間に設けられたMOSトランジスタ104__P1及び104__N1からなり、PMOSトランジスタ104__P1のゲートには、差動入力部4__1の出力電圧が供給されている。また、NMOSトランジスタ104__N1のゲートは、差動入力部4__1のNMOSトランジスタ4__N3のゲート及びバイアス回路4__2のNMOSトランジスタ4__N4のゲートと共通に接続されている。さらに、PMOSトランジスタ104__P1のドレイン-ゲート間には、位相補償回路であるキャパシタ104__C1が接続されている。この増幅部104__3のMOSトランジスタ104__P1及び104__N1のドレインが、差動増幅器104の出力である制御電圧/VCTLになる。

【0092】

帰還回路104__4は、増幅部104__3の出力端と反転入力端子MINUSの間に直列に接続された抵抗104__RF、104__RPからなり、抵抗104__RF、104__RPの接続端が差動入力部4__1のNMOSトランジスタ4__N1のゲートに接続されている。

【0093】

上記構成による差動増幅器104において、差動入力部4__1及び増幅部104__3の

組み合わせは、開ループ型の差動増幅器と考えることができる。この差動増幅器 104 の部分構成要素となっている開ループ型の差動増幅器の増幅率 A0 が十分に大きい場合、差動増幅器 104 の増幅率 ACL は、以下のように表すことができる。

【0094】

【数3】

$$ACL = \frac{104_RF + 104_RP}{104_RP}$$

10

【0095】

例えば、104__RP を 1 kΩ、104__RF を 99 kΩ、A0 を 1000 以上に設定した場合、増幅率 ACL はほぼ 100 になる。

【0096】

一般に抵抗素子の抵抗比は製造プロセスのばらつきの影響を受けにくい。また、開ループ型の差動増幅器の増幅率 A0 を単に大きくすることは比較的容易である。例えば、開ループ型の差動増幅器を構成する MOS トランジスタのチャネル幅を大きく、チャネル長を小さく、さらに、そこに供給する電流を大きく設定することにより、その増幅率 A0 を 1000 以上に設定することができる。

【0097】

20

このように定められた閉ループ型の差動増幅器 104 の増幅率 ACL は製造プロセスのばらつきの影響を受けにくく、常に安定して動作するという特徴を有する。

【0098】

一方で、閉ループ型の差動増幅器 104 には、帰還回路 104__4 の影響により、それが接続される端子の入力インピーダンスが低くなるという欠点がある。仮に、この低入力インピーダンスの反転差動入力端子 MINUS に分圧回路 3 のモニタ電圧 VDIV を接続すると、電圧制御に大きな誤差が生じる。これは、低入力インピーダンスの入力端子 MINUS を駆動することができないことに原因がある。この問題を回避するため、第 2 の実施形態では、低入力インピーダンスの反転差動入力端子 MINUS に参照電圧 VREF が入力され、他方の高入力インピーダンスの非反転差動入力端子 PLUS に分圧回路 3 のモニタ電圧 VDIV が入力されている。

30

【0099】

したがって、本実施形態では、前述の通り差動増幅器 104 から出力される制御電圧 / VCTL の極性が、第 1 の実施形態の制御電圧 VCTL に対して逆になる。このような逆極性の制御電圧 / VCTL を受けるため、本実施形態では電圧制御可変周波数発振器 1 に替え、図 13 に示す電圧制御可変周波数発振器 101 を用いる。

【0100】

この電圧制御可変周波数発振器 101 は、遅延回路の構成が図 8 に示した電圧制御可変周波数発振器 1 のものと異なっている。

【0101】

40

つまり、その遅延回路は、ソースが供給電源 VDD レベルの電源線に接続された可変電流素子である PMOS トランジスタ 101__P3 を有する。また、ソースが接地電圧 VSS レベルの接地線に接続された NMOS トランジスタ 101__N1 と、ソースが PMOS トランジスタ 101__P3 のドレインに接続された PMOS トランジスタ 101__P1 とを有する。さらに、MOS トランジスタ 101__N1 及び 101__P1 のゲートには、インバータ 1__IV3 の出力が、インバータ 101__IV1 を介して入力される。この回路の MOS トランジスタ 101__N1 及び 101__P1 のドレインが NAND ゲート 1__G1 の入力端子に接続される。

【0102】

一方、その対をなす遅延回路は、ソースが供給電圧 VDD レベルの電源線に接続された

50

可変電流素子であるPMOSトランジスタ101__P4を有する。また、ソースが接地電圧VSSレベルの接地線に接続されたNMOSトランジスタ101__N2と、ソースがPMOSトランジスタ101__P4のドレインに接続されたPMOSトランジスタ101__P2とを有する。さらに、MOSトランジスタ101__N2及び101__P2のゲートには、インバータ1__IV4の出力が、インバータ101__IV2を介して入力される。この回路のMOSトランジスタ101__N2及び101__P2のドレインがNANDゲート1__G2の入力端子に接続される。

【0103】

さらに、2つの可変電流素子であるPMOSトランジスタ101__P3及び101__P4のゲートには、差動増幅器104から与えられる制御電圧/VCTLが供給される。

10

【0104】

また、これらPMOSトランジスタ101__P3及び101__P4の働きにより、この回路から出力されるクロック信号PCLKは、制御電圧/VCTLが高い場合、より低周波になり、低い場合、より高周波となる。

【0105】

ここで、差動増幅器104の増幅部104__3の働きにより、制御電圧/VCTLは、0Vから電源電圧VDDまで振幅する。また、この制御電圧/VCTLは、入力端子PLUS及びMINUSに入力される電圧の電位差に対して、帰還回路104__4で定められる倍率 $(104_RF + 104_RP) / 104_RP$ に従い、ほぼ全域で比例する。したがって、本実施形態のように構成される定電圧昇圧電源は、広い範囲の負荷電流に対し

20

【0106】

以上から、本実施形態によれば、製造プロセスが変動した場合においても、また、負荷電流が大きく変動した場合においても、安定した出力電圧VPPが供給可能な定電圧昇圧電源を提供することができる。

【0107】

[第3の実施形態]

図14は、本発明の第3の実施形態に係る定電圧昇圧電源を示すブロック図である。

【0108】

本実施形態は第2の実施形態より簡素な構成で、かつ、第1の実施形態より出力電圧VPPの安定性が高い定電圧昇圧電源である。

30

【0109】

本実施形態の構成は、差動増幅器に供給される電圧が出力電圧VPPになっている点で、第2の実施形態と異なっている。そのため本実施形態では、第2の実施形態の差動増幅器104に替えて開ループ型の差動増幅器204を用いる。

【0110】

第2の実施形態で用いられる閉ループ型の差動増幅器104は、その増幅率を帰還回路104__4の抵抗比で調整できるため、製造プロセスのばらつきの影響を受けにくいという特徴があった。しかし、その帰還制御系の安定のため位相補償回路であるキャパシタ104__C1が必要となり、高い遮断周波数の設定が容易ではなかった。一方、本実施形態の開ループ型の差動増幅器204の場合、それ単体では位相補償回路が必要ないため、高い遮断周波数の設定が容易である。また、一般的な開ループ型の差動増幅器は、回路を構成するMOSトランジスタのばらつきの影響を強く受けるという欠点があるが、この点に関しても出力電圧VPPを供給することでその影響を低減することができる。

40

【0111】

一般に、差動増幅器に代表されるようなアナログ回路の特性は、それに供給される電源電圧が低いほど、回路を構成する素子のばらつきの影響を受けやすくなる。しかし、この現象を逆に利用し、差動増幅器204に対してより高い電圧を供給することで、素子のばらつきの影響を低減することが可能である。

【0112】

50

図 15 は、本実施形態の差動増幅器 204 の回路図である。

【0113】

この差動増幅器 204 は差動入力部 204 __ 1 とそこに流すバイアス電流 I_{bias} を制御するバイアス回路 204 __ 2 から構成される。

【0114】

差動入力部 204 __ 1 は、ソースが出力電圧 V_{PP} レベルの電源線に接続された PMOS トランジスタ 204 __ P3 を有する。この PMOS トランジスタは、バイアス回路 204 __ 2 により制御され、差動入力部 204 __ 1 にバイアス電流 I_{bias} を流すものである。また、ソースに PMOS トランジスタ 204 __ P3、ゲートに非反転入力端子 PLUS が接続された PMOS トランジスタ 204 __ P1 と、ソースに PMOS トランジスタ 204 __ P3、ゲートに反転入力端子 MINUS が接続された PMOS トランジスタ 204 __ P2 とを有する。これら PMOS トランジスタ 204 __ P1 及び 204 __ P2 は差動入力対を構成するものであり、互いの電気的特性を等しくするため同一形状の素子を使用されている。さらに、ソースに接地電圧 V_{SS} レベルの接地線、ドレインに PMOS トランジスタ 204 __ P1 のドレインが接続された負荷用の NMOS トランジスタ 204 __ N1 と、ソースに接地電圧 V_{SS} レベルの接地線、ドレインに PMOS トランジスタ 204 __ P2 のドレインが接続された負荷用の NMOS トランジスタ 204 __ N2 とを有する。また、NMOS トランジスタ 204 __ N1 及び 204 __ N2 のゲートは、共通に PMOS トランジスタ 204 __ P1 のドレインに接続されている。これら NMOS トランジスタ 204 __ N1 及び 204 __ N2 についても、PMOS トランジスタ 204 __ P1 及び 204 __ P2 と同様に、互いの電気的特性を等しくするため同一形状の素子を使用されており、互いに等価な電流負荷として動作する。この構成により、MOS トランジスタ 204 __ P2 及び 204 __ N2 の節点が差動増幅器 204 の出力である制御電圧 / V_{CTL} となる。

【0115】

バイアス回路 204 __ 2 は、ソースが接地電圧 V_{SS} レベルの接地線、ゲートが供給電圧 V_{DD} レベルの電源線に接続された NMOS トランジスタ 204 __ N3 と、ソースが出力電圧 V_{PP} レベルの電源線、ドレイン及びゲートが NMOS トランジスタ 204 __ N3 のドレインに接続された PMOS トランジスタ 204 __ P4 からなる。この PMOS トランジスタ 204 __ P4 のゲートと差動入力部 204 __ 1 の PMOS トランジスタ 204 __ P3 のゲートは接続されている。

【0116】

このように構成されるバイアス回路 204 __ 2 の NMOS トランジスタ 204 __ N3 は、五極管領域で動作し、直列接続された 2 つの MOS トランジスタ 204 __ N3 及び 204 __ P4 に流れる電流は、出力電圧 V_{PP} が供給電圧 V_{DD} より高い場合、その電圧に因らず一定に保たれる。また、その電流は供給電圧 V_{DD} の電圧及び NMOS トランジスタ 204 __ N3 の閾値電圧 V_{tn} などの電気特性の影響を受けることになるが、供給電圧 V_{DD} が閾値電圧 V_{tn} に対して十分に高い場合には、その電流の変化量は微小であり問題にならない。

【0117】

また、差動入力部 204 __ 1 の PMOS トランジスタ 204 __ P3 とバイアス回路 204 __ 2 の PMOS トランジスタ 204 __ P4 はカレントミラー回路を構成しており、差動入力部 204 __ 1 に流れるバイアス電流 I_{bias} はバイアス回路 204 __ 2 により制御され、一定に保たれる。

【0118】

上記構成による差動増幅器 204 は、非反転入力端子 PLUS に与えられる参照電圧 V_{REF} と反転入力端子 MINUS に与えられるモニタ電圧 V_{DIV} の電圧が等しい場合、制御電圧 / V_{CTL} が中間電圧となる。また、参照電圧 V_{REF} がモニタ電圧 V_{DIV} より高い場合、制御電圧 / V_{CTL} は高電圧になる。一方、参照電圧 V_{REF} がモニタ電圧 V_{DIV} より低い場合、制御電圧 / V_{CTL} は低電圧になる。ここで、非反転入力端子 PLUS に入力される参照電圧 V_{REF} 及び反転入力端子 MINUS に入力されるモニタ電

10

20

30

40

50

圧 V_{DIV} の電位差に対する制御電圧 V_{CTL} の変化量の比が増幅率となり、また、この電位差が変化したときの制御電圧 V_{CTL} の反応時間の逆数が遮断周波数となる。この増幅率と遮断周波数を最適化することが定電圧昇圧電源の安定動作にとって重要となる。差動増幅器 204 のような開ループ型の差動増幅器の場合、回路を構成する MOS トランジスタのチャンネル長とチャンネル幅を調整することにより、増幅率と遮断周波数を所望の値に設定することができる。

【0119】

ところが、図 15 の示すような簡易な構成の差動増幅器では、その入力端子 P_{LUS} 及び M_{INUS} に与えられる電圧が共に 0 V に近い場合、または、出力電圧 V_{PP} に近い場合、回路を構成する MOS トランジスタのチャンネル長とチャンネル幅を最適化したにも関わらず、差動増幅器の増幅率及び遮断周波数を所望の値に設定できないという不都合が生じる。つまり、所望の電気特性を得るためには、入力端子 P_{LUS} 及び M_{INUS} から入力される電圧を共に狭い範囲に収める必要がある。ここで、安定動作の目安として、NMOS トランジスタの閾値電圧を V_{tn} 、PMOS トランジスタの閾値電圧を V_{tp} とした場合、入力端子 P_{LUS} 及び M_{INUS} から入力される電圧の範囲は $V_{tn} \sim (V_{PP} - 2 \times V_{tp})$ となる。

10

【0120】

この条件を具備するため、本実施形態では、差動増幅器 204 に対して出力電圧 V_{PP} を供給している。ここで、分圧回路 3 の分圧比を $1/2.5$ に設定し、参照電圧 V_{REF} として供給電圧 V_{DD} を供給する。また出力電圧 V_{PP} を供給電圧 V_{DD} の 2.5 倍に設定する場合について考える。この場合、差動増幅器 204 に非反転入力端子 P_{LUS} には、供給電圧 V_{DD} 、反転入力端子 M_{INUS} には、出力電圧 V_{PP} の $1/2.5$ 倍程度が入力されるため、入力端子 P_{LUS} 及び M_{INUS} に入力される電圧は $V_{PP} - (2 \times V_{tp})$ 程度に収めることができる。

20

【0121】

また、図 12 に示した差動増幅器 104 の増幅部 104_3 に相当する部分がない簡易な差動増幅器の場合、その制御電圧 V_{CTL} は、最高でも出力電圧 V_{PP} より PMOS トランジスタの閾値電圧 V_{tp} 程度低いレベルが上限となる。このような動作限界に近い状態では、差動増幅器の増幅率及び遮断周波数を所望の値に設定することはできない。そのため、負荷電流 I_{load} が小さい場合、出力電圧 V_{PP} が所望の電圧より高くなったり、逆に負荷電流 I_{load} が大きい場合、発振状態に陥るなどの問題が生じる。その点、本実施形態では、差動増幅器 204 に対して出力電圧 V_{PP} を供給することで、この問題を解決している。差動増幅器 204 の出力である制御電圧 V_{CTL} の出力範囲は、前述のように $0 \sim (V_{PP} - V_{tp})$ に限られるが、これは電圧制御可変周波数発振器 101 が求める $0 \sim V_{DD}$ という制御電圧 V_{CTL} に比べて広い。したがって、電圧制御可変周波数発振器 101 については第 2 の実施形態の場合と同様に使用することが可能である。このように、負荷電流 I_{load} の許容範囲が狭められるという問題を解決することができる。

30

【0122】

以上から、本実施形態によれば、簡易な回路構成により、製造プロセスのばらつきの影響を受けにくく、さらに負荷電流の許容範囲が広い定電圧昇圧電源を提供することができる。

40

【図面の簡単な説明】

【0123】

【図 1】 オンオフ制御方式による定電圧昇圧電源のブロック図である。

【図 2】 同定電圧昇圧電源のチャ - ジポンプを示す回路図である。

【図 3】 同定電圧昇圧電源の動作波形である。

【図 4】 電圧制御電流源方式による定電圧昇圧電源のブロック図である。

【図 5】 同定電圧昇圧電源の動作波形である。

【図 6】 本発明の第 1 の実施形態に係る定電圧昇圧電源を示すブロック図である。

50

【図 7】同実施形態における差動増幅器の回路図である。

【図 8】同実施形態における電圧制御可変周波数発振器の回路図である。

【図 9】同実施形態におけるディクソンチャージポンプの回路図である。

【図 10】同実施形態における動作波形図である。

【図 11】本発明の第 2 の実施形態に係る定電圧昇圧電源を示すブロック図である。

【図 12】同実施形態における差動増幅器の回路図である。

【図 13】同実施形態における電圧制御可変周波数発振器の回路図である。

【図 14】本発明の第 3 の実施形態に係る定電圧昇圧電源を示すブロック図である。

【図 15】同実施形態における差動増幅器の回路図である。

【符号の説明】

10

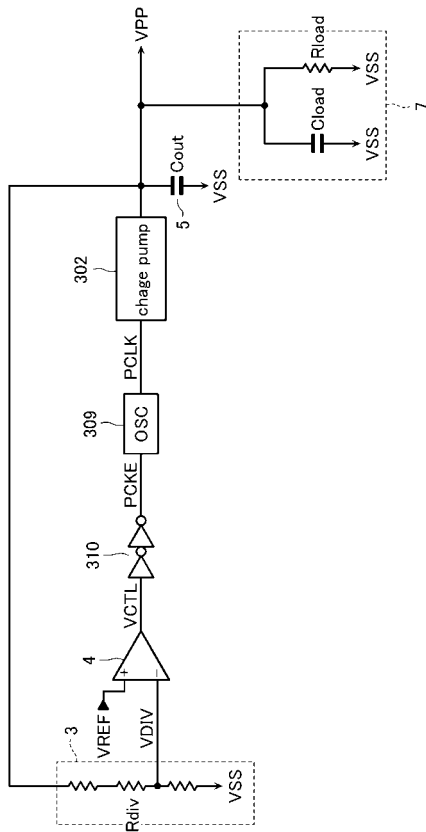
【0124】

1、101・・・電圧制御可変周波数発振器（VCO）、1__C1、1__C2、104__C1・・・キャパシタ、1__G1～1__G4・・・NANDゲート、1__IV1～1__IV6、2__IV1、2__IV2、101__IV1～101__IV6・・・インバータ、1__N1～1__N4、2__N1～2__N5、4__N1～4__N4、101__N1、101__N2、104__N1、204__N1～204__N3・・・NMOSトランジスタ、1__P1、1__P2、4__P1～4__P3、101__P1～101__P4、104__P1、204__P1～204__P4・・・PMOSトランジスタ、104__3・・・増幅部、104__4・・・帰還回路、104__RF、104__RP・・・抵抗、2、302・・・チャージポンプ、2__C1～2__C4・・・ポンピングキャパシタ、3・・・分圧回路、4、104、204、404・・・差動増幅器、4__1、204__1・・・差動増幅器の差動入力部、4__2、204__2・・・差動増幅器のバイアス回路、302__D1～302__D5・・・ダイオード、5・・・デカプリングキャパシタ、6、106・・・増幅回路、7・・・負荷、8、108、208・・・帰還回路、Cclk・・・キャパシタ1__C1及び1__C2の容量、Cload・・・負荷容量、Cout・・・デカプリングキャパシタ5の容量、Cpump・・・ポンピングキャパシタ2__C1～2__C4の容量、Ibias・・・差動増幅器のバイアス電流、Iload・・・負荷電流、MINUS・・・差動増幅器の反転入力端子、PCKE・・・発振イネーブル信号、PCLK・・・クロック信号、PLUS・・・差動増幅器の非反転入力端子、Rdiv・・・分圧回路の抵抗値、Rload・・・負荷抵抗、VCM・・・カレントミラー電圧、VCTL・・・制御電圧、VDD・・・供給電圧、VDIV・・・モニタ電圧、VPP・・・出力電圧、VREF・・・参照電圧、VSS・・・接地電圧。

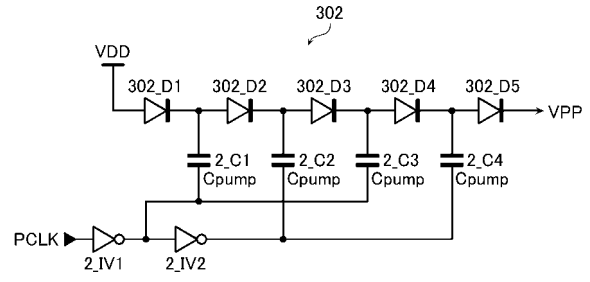
20

30

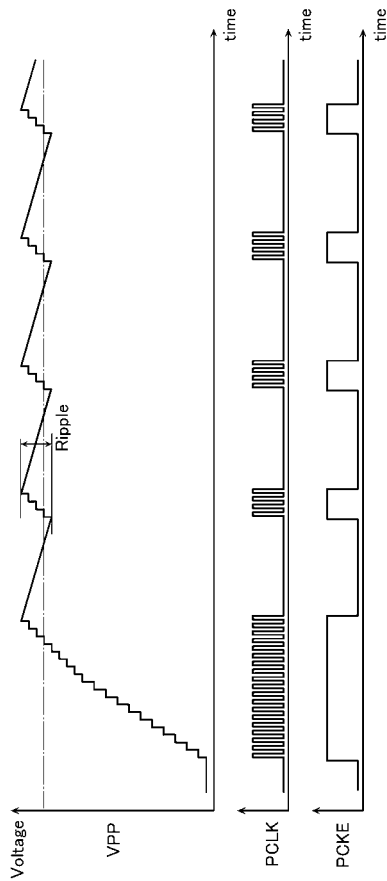
【図 1】



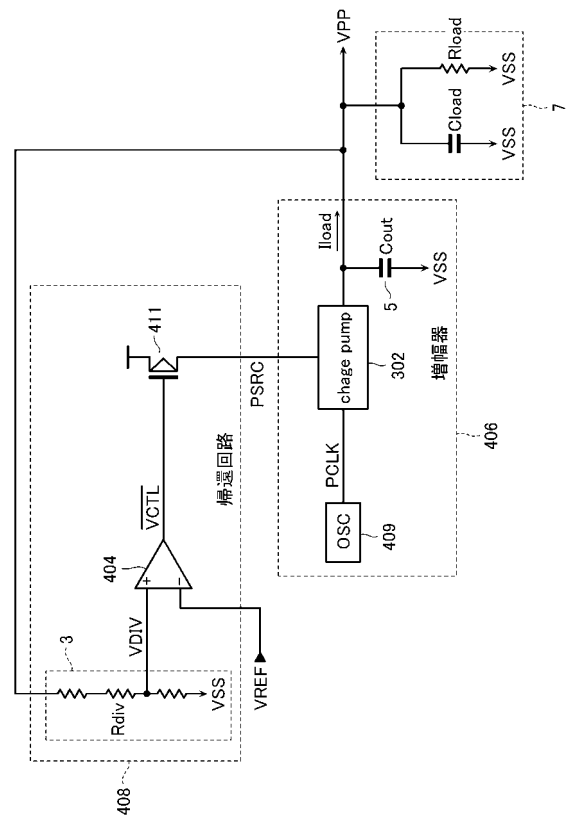
【図 2】



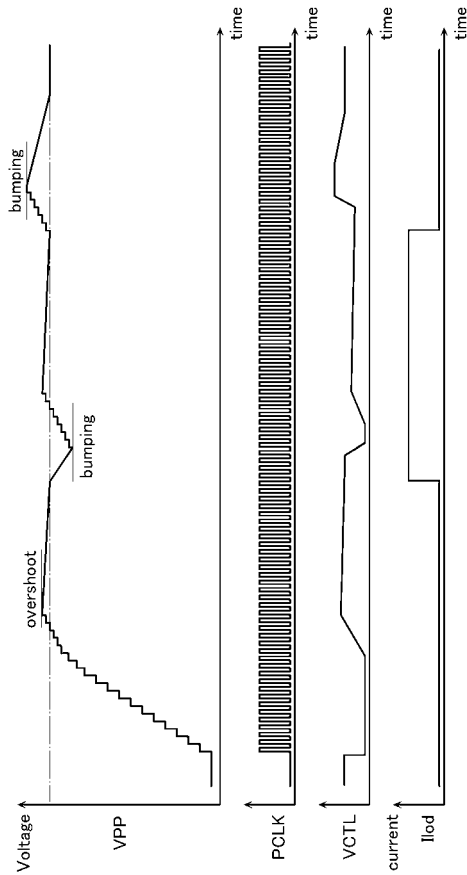
【図 3】



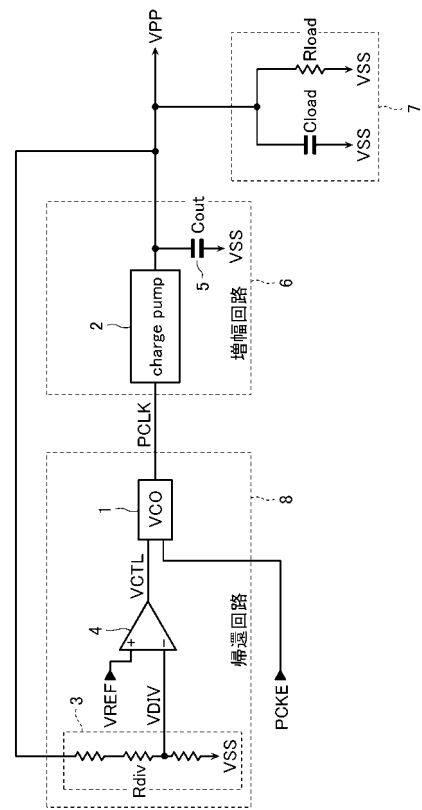
【図 4】



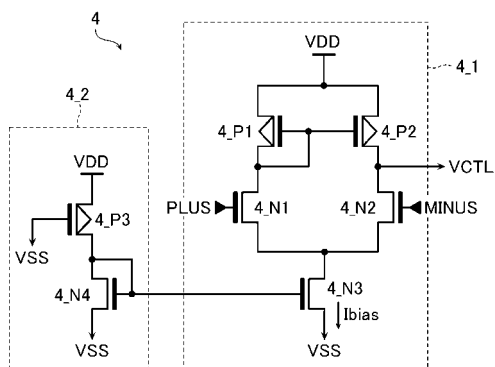
【図 5】



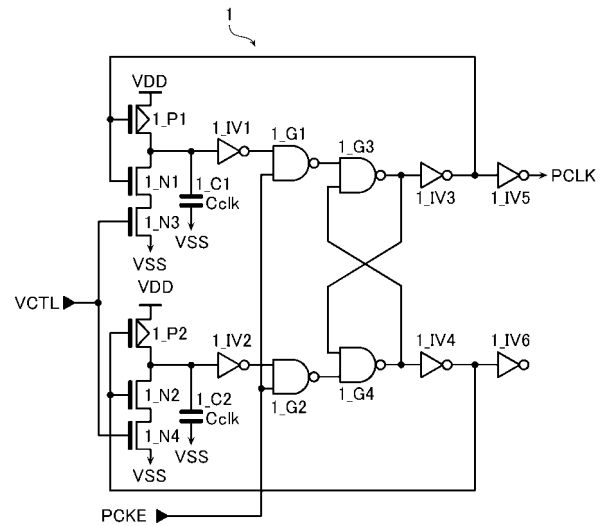
【図 6】



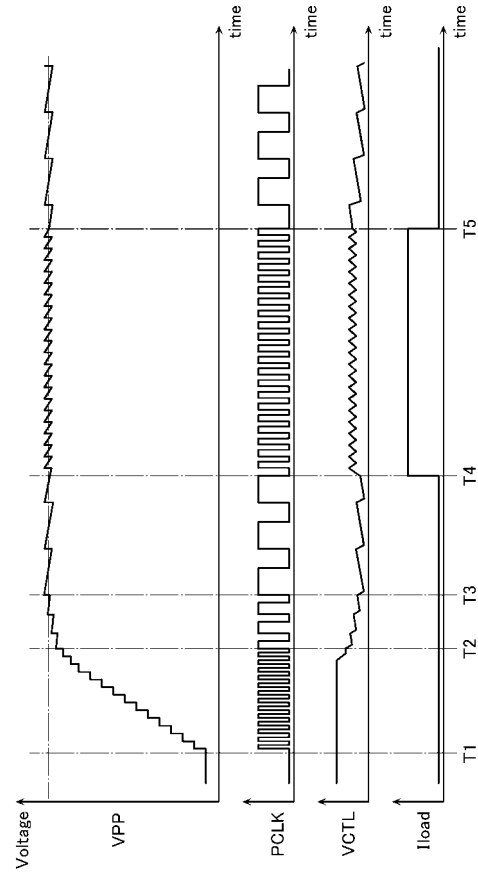
【図 7】



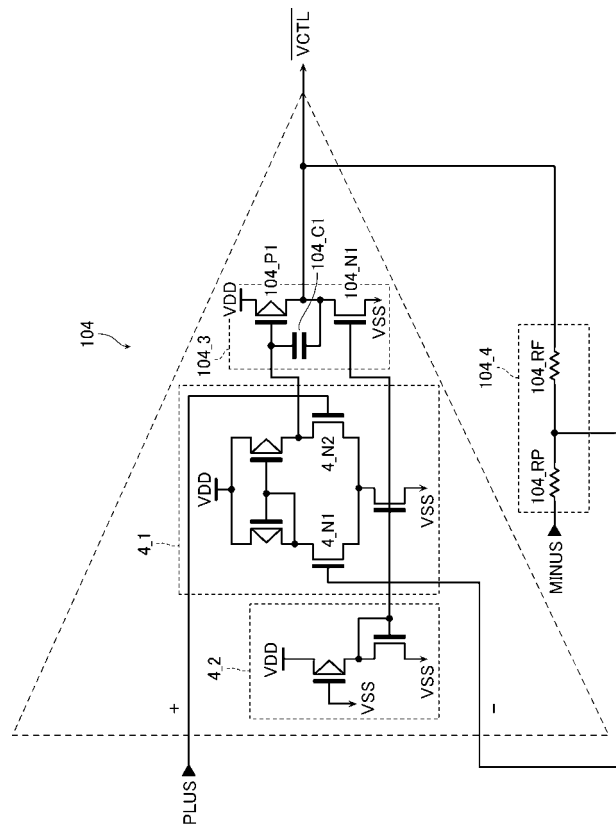
【図 8】



【 図 1 0 】



【 図 1 2 】



【 図 1 4 】

