

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-109516

(P2012-109516A)

(43) 公開日 平成24年6月7日(2012.6.7)

(51) Int.Cl.	F 1	テーマコード (参考)
HO1L 29/786 (2006.01)	HO1L 29/78 618C	2H092
HO1L 21/336 (2006.01)	HO1L 29/78 618B	5F110
GO2F 1/1368 (2006.01)	HO1L 29/78 617S	
	HO1L 29/78 618F	
	GO2F 1/1368	

審査請求 未請求 請求項の数 15 O L (全 23 頁)

(21) 出願番号 特願2011-78504 (P2011-78504)
 (22) 出願日 平成23年3月31日 (2011.3.31)
 (31) 優先権主張番号 10-2010-0113326
 (32) 優先日 平成22年11月15日 (2010.11.15)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 308040351
 三星モバイルディスプレイ株式會社
 Samsung Mobile Display Co., Ltd.
 大韓民国京畿道龍仁市器興区農書洞山24
 San #24 Nong seo-Don
 g, Giheung-Gu, Yongin
 -City, Gyeonggi-Do 4
 46-711 Republic of
 KOREA
 (74) 代理人 110000981
 アイ・ピー・ディー国際特許業務法人
 王 盛民
 (72) 発明者 大韓民国ソウル特別市道峰区倉4洞 東亞
 アパート5棟405号

最終頁に続く

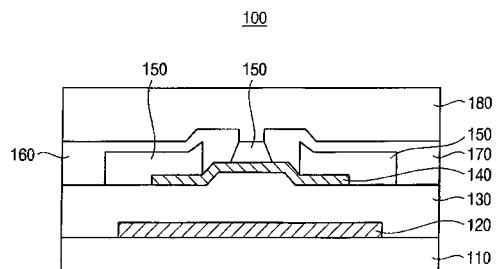
(54) 【発明の名称】酸化物半導体薄膜トランジスタ及びその製造方法

(57) 【要約】

【課題】高電圧に対する高い耐久性と信頼性を有する酸化物半導体薄膜トランジスタを提供することが可能な、新規かつ改良された酸化物半導体薄膜トランジスタ及びその製造方法を提供する。

【解決手段】酸化物半導体薄膜トランジスタは、基板の上部に形成されて第1面積を有するゲート電極、ゲート電極をカバーするためにゲート電極の上部に形成されるゲート絶縁膜、ゲート絶縁膜の上部に形成されて第1面積より狭い第2面積を有する活性層、活性層のソース領域にコンタクトし、活性層の上部に形成されるソース電極、活性層のドレーン領域にコンタクトし、活性層の上部に形成されるドレーン電極及び活性層、ソース電極及びドレーン電極をカバーする保護膜を含む。従って、酸化物半導体薄膜トランジスタは高電圧に対する高耐久性及び信頼性を有することができる。

【選択図】図1



【特許請求の範囲】

【請求項 1】

基板の上部に形成され、第1面積を有するゲート電極と、
前記ゲート電極をカバーするために前記ゲート電極の上部に形成されるゲート絶縁膜と、
前記ゲート絶縁膜の上部に形成され、前記第1面積より狭い第2面積を有する活性層と、
前記活性層のソース領域にコンタクトし、前記活性層の上部に形成されるソース電極と、
前記活性層のドレーン領域にコンタクトし、前記活性層の上部に形成されるドレーン電極と、

前記活性層、前記ソース電極、及び前記ドレーン電極をカバーする保護膜と、を含む酸化物半導体薄膜トランジスタ。10

【請求項 2】

前記ゲート絶縁膜は前記第2面積より狭い第3面積を有し、上部に突出した突出領域を含むことを特徴とする請求項1に記載の酸化物半導体薄膜トランジスタ。10

【請求項 3】

前記活性層は前記突出領域によって周辺領域より中央領域が上部に突出して曲がった形態を有することを特徴とする請求項2に記載の酸化物半導体薄膜トランジスタ。10

【請求項 4】

前記中央領域は前記活性層のチャネル領域を含み、前記周辺領域は前記活性層の前記ソース領域及び前記ドレーン領域を含むことを特徴とする請求項3に記載の酸化物半導体薄膜トランジスタ。20

【請求項 5】

前記活性層及び前記ソース電極と前記ドレーン電極との間に形成されるエッチストップ層(etch stopper layer)をさらに含むことを特徴とする請求項1に記載の酸化物半導体薄膜トランジスタ。20

【請求項 6】

前記エッチストップ層は、前記ソース電極と前記ドレーン電極が前記活性層にホール(hole)形態でコンタクトされるようにするコンタクトホール構造(contact hole structure)を有することを特徴とする請求項5に記載の酸化物半導体薄膜トランジスタ。30

【請求項 7】

前記エッチストップ層は、前記ソース電極と前記ドレーン電極が前記活性層の周辺領域のみにコンタクトされるようにする島構造(island structure)を有することを特徴とする請求項5に記載の酸化物半導体薄膜トランジスタ。30

【請求項 8】

前記活性層は、インジウム(In)、亜鉛(Zn)、ガリウム(Ga)、ステニウム(Sn)のうち、少なくとも一つ以上を含む酸化物系列の物質で形成されることを特徴とする請求項1に記載の酸化物半導体薄膜トランジスタ。40

【請求項 9】

前記酸化物系列の物質はリチウム(Li)、ナトリウム(Na)、マンガン(Mn)、ニッケル(Ni)、パラジウム(Pd)、銅(Cu)、カドミウム(Cd)、炭素(C)、窒素(N)、リン(P)、チタン(Ti)、ジルコニウム(Zr)、ハフニウム(Hf)、バナジウム(V)、ルテニウム(Ru)、ゲルマニウム(Ge)、錫(Sn)、及びフッ素(F)のうち、少なくとも一つ以上をさらに含むことを特徴とする請求項8に記載の酸化物半導体薄膜トランジスタ。40

【請求項 10】

前記酸化物系列の物質は、電子キャリア濃度が $10^{12} / \text{cm}^3 \sim 10^{18} / \text{cm}^3$ であることを特徴とする請求項8に記載の酸化物半導体薄膜トランジスタ。50

【請求項 11】

基板の上部に第1面積を有するゲート電極を形成する段階と、50

前記ゲート電極をカバーするために前記ゲート電極の上部にゲート絶縁膜を形成する段階

と、

前記ゲート絶縁膜の上部に前記第1面積より狭い第2面積を有する活性層を形成する段階と、

前記活性層の上部に前記活性層のソース領域及びドレーン領域に各々コンタクトするソース電極及びドレーン電極を形成する段階と、

前記活性層、前記ソース電極、及び前記ドレーン電極をカバーする保護膜を形成する段階と、を含む酸化物半導体薄膜トランジスタの製造方法。

【請求項 1 2】

前記活性層及び前記ソース電極と前記ドレーン電極との間にエッヂストップ層 (edge stopper layer) を形成する段階をさらに含むことを特徴とする請求項 1 1 に記載の酸化物半導体薄膜トランジスタの製造方法。 10

【請求項 1 3】

前記ゲート絶縁膜は、前記第2面積より狭い第3面積を有し、上部に突出した突出領域を含むことを特徴とする請求項 1 2 に記載の酸化物半導体薄膜トランジスタの製造方法。

【請求項 1 4】

前記活性層は、前記突出領域によって周辺領域より中央領域が上部に突出して曲がった形態を有することを特徴とする請求項 1 3 に記載の酸化物半導体薄膜トランジスタの製造方法。

【請求項 1 5】

前記中央領域は、前記活性層のチャネル領域を含み、前記周辺領域は前記活性層の前記ソース領域及び前記ドレーン領域を含むことを特徴とする請求項 1 4 に記載の酸化物半導体薄膜トランジスタの製造方法。 20

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、酸化物半導体薄膜トランジスタ及びその製造方法に関する。

【背景技術】

【0 0 0 2】

最近、酸化物半導体薄膜トランジスタは液晶表示装置 (Liquid Crystal Display; LCD) 及び有機電界発光表示装置 (Organic Light Emitting Display; OLED) 等のような表示装置でスイッチング素子または駆動素子として幅広く使われている。特に、酸化物半導体薄膜トランジスタが表示装置のゲートスキャン回路 (gate scan circuit) 及びバックプレーン (backplane) 等の基本構造として使われるためには、ゲート電極に印加される高電圧に対する高耐久性と信頼性を有しなければならない。 30

【先行技術文献】

【特許文献】

【0 0 0 3】

【特許文献 1】韓国特許出願公開 2010-0023151 号明細書

【特許文献 2】韓国特許出願公開 2010-0005900 号明細書

【特許文献 3】米国特許 7,527,994 号明細書

【特許文献 4】特開 2001-013520 号公報

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 4】

しかし、従来の酸化物半導体薄膜トランジスタは、ゲート電極に高電圧が印加されると、簡単に劣化し、または破壊される問題点があった。

そこで、本発明は、上記問題に鑑みてなされたものであり、本発明の目的とすることは、高電圧に対する高い耐久性と信頼性を有する酸化物半導体薄膜トランジスタを提供す 50

ることが可能な、新規かつ改良された酸化物半導体薄膜トランジスタ及びその製造方法を提供することにある。

【課題を解決するための手段】

【0005】

上記課題を解決するために、本発明の実施形態のある観点によれば、基板の上部に形成されて第1面積を有するゲート電極、前記ゲート電極をカバーするために前記ゲート電極の上部に形成されるゲート絶縁膜、前記ゲート絶縁膜の上部に形成されて前記第1面積より狭い第2面積を有する活性層、前記活性層のソース領域にコンタクトし、前記活性層の上部に形成されるソース電極、前記活性層のドレーン領域にコンタクトし、前記活性層の上部に形成されるドレーン電極、並びに前記活性層、前記ソース電極及び前記ドレーン電極をカバーする保護膜を含む酸化物半導体薄膜トランジスタが提供される。

10

【0006】

一実施形態において、前記ゲート絶縁膜は、前記第2面積より狭い第3面積を有し、上部に突出した突出領域を含むことができる。

【0007】

一実施形態において、前記活性層は前記突出領域によって周辺領域より中央領域が上部に突出して曲がった形態を有することができる。

20

【0008】

一実施形態において、前記中央領域は前記活性層のチャネル領域を含むことができ、前記周辺領域は前記活性層の前記ソース領域及び前記ドレーン領域を含むことができる。

20

【0009】

一実施形態において、前記酸化物半導体薄膜トランジスタは、前記活性層及び前記ソース電極と前記ドレーン電極との間に形成されるエッチストップ層 (etch stopper layer) をさらに含むことができる。

【0010】

一実施形態において、前記エッチストップ層は、前記ソース電極と前記ドレーン電極が前記活性層にホール (hole) 形態でコンタクトするようにコンタクトホール構造 (contact hole structure) を有することができる。

【0011】

一実施形態において、前記エッチストップ層は、前記ソース電極と前記ドレーン電極が前記活性層の周辺領域のみにコンタクトするように島構造 (island structure) を有することができる。

30

【0012】

一実施形態において、前記活性層はインジウム (In) 、亜鉛 (Zn) 、ガリウム (Ga) 、ステニュム (Sn) 、錫 () のうち、少なくとも一つ以上を含む酸化物系列の物質から形成されることができる。

【0013】

一実施形態において、前記酸化物系列の物質は、リチウム (Li) 、ナトリウム (Na) 、マンガン (Mn) 、ニッケル (Ni) 、パラジウム (Pd) 、銅 (Cu) 、カドミウム (Cd) 、炭素 (C) 、窒素 (N) 、リン (P) 、チタン (Ti) 、ジルコニウム (Zr) 、ハフニウム (Hf) 、バナジウム (V) 、ルテニウム (Ru) 、ゲルマニウム (Ge) 、錫 (Sn) 、及びフッ素 (F) のうち、少なくとも一つ以上をさらに含むことができる。

40

【0014】

一実施形態において、前記酸化物系列の物質は、電子キャリア濃度が $10^{12} / \text{cm}^3$ ~ $10^{18} / \text{cm}^3$ であってもよい。

【0015】

本発明の実施形態の他の観点によれば、基板の上部に第1面積を有するゲート電極を形成し、前記ゲート電極をカバーするために前記ゲート電極の上部にゲート絶縁膜を形成し、前記ゲート絶縁膜の上部に前記第1面積より狭い第2面積を有する活性層を形成し、前

50

記活性層の上部に前記活性層のソース領域及びドレーン領域に各々コンタクトするソース電極及びドレーン電極を形成し、前記活性層、前記ソース電極、及び前記ドレーン電極をカバーする保護膜を形成する、酸化物半導体薄膜トランジスタの製造方法が提供される。

【0016】

一実施形態において、前記製造方法は、前記活性層及び前記ソース電極と前記ドレーン電極との間にエッチストッパ層(etch stopper layer)をさらに形成することができる。

【0017】

一実施形態において、前記ゲート絶縁膜は前記第2面積より狭い第3面積を有し、上部に突出した突出領域を含むことができる。

【0018】

一実施形態において、前記活性層は前記突出領域によって周辺領域より中央領域が上部に突出して曲がった形態を有することができる。

【0019】

一実施形態において、前記中央領域は前記活性層のチャネル領域を含むことができ、前記周辺領域は前記活性層の前記ソース領域及び前記ドレーン領域を含むことができる。

【発明の効果】

【0020】

本発明の実施形態に係る酸化物半導体薄膜トランジスタは、ゲート電極に高電圧が印加されても簡単に劣化または破壊されない。即ち、酸化物半導体薄膜トランジスタは、高電圧に対する高い耐久性と信頼性を有する。このため、酸化物半導体薄膜トランジスタは、表示装置において高電圧が使われるゲートスキャン回路及びバックプレーンなどの基本構造として使われることができる。

【0021】

本発明の実施形態に係る酸化物半導体薄膜トランジスタの製造方法は、高電圧に対する高耐久性と信頼性を有する酸化物半導体薄膜トランジスタを製造することができる。

【図面の簡単な説明】

【0022】

【図1】本発明の一実施形態に係る酸化物半導体薄膜トランジスタの一例を示す断面図である。

【図2】図1の酸化物半導体薄膜トランジスタの他の例を示す断面図である。

【図3】図1の酸化物半導体薄膜トランジスタを製造する製造方法を示すフローチャートである。

【図4】図1の酸化物半導体薄膜トランジスタが製造される過程を示す断面図である。

【図5】図1の酸化物半導体薄膜トランジスタが製造される過程を示す断面図である。

【図6】図1の酸化物半導体薄膜トランジスタが製造される過程を示す断面図である。

【図7】図1の酸化物半導体薄膜トランジスタが製造される過程を示す断面図である。

【図8】図1の酸化物半導体薄膜トランジスタが製造される過程を示す断面図である。

【図9】図1の酸化物半導体薄膜トランジスタが製造される過程を示す断面図である。

【図10】図1の酸化物半導体薄膜トランジスタが製造される過程を示す断面図である。

【図11】従来の酸化物半導体薄膜トランジスタの高電圧に対する耐久性及び信頼性を示すグラフである。

【図12】図1の酸化物半導体薄膜トランジスタの高電圧に対する耐久性及び信頼性を示すグラフである。

【図13】本発明の他の実施形態に係る酸化物半導体薄膜トランジスタを示す断面図である。

【図14】図13の酸化物半導体薄膜トランジスタを製造する製造方法を示すフローチャートである。

【図15】図13の酸化物半導体薄膜トランジスタが製造される過程を示す断面図である。

10

20

30

40

50

【図16】図13の酸化物半導体薄膜トランジスタが製造される過程を示す断面図である
【図17】図13の酸化物半導体薄膜トランジスタが製造される過程を示す断面図である
【図18】図13の酸化物半導体薄膜トランジスタが製造される過程を示す断面図である
【図19】図13の酸化物半導体薄膜トランジスタが製造される過程を示す断面図である
【図20】図13の酸化物半導体薄膜トランジスタが製造される過程を示す断面図である
【図21】本発明の実施形態に係る酸化物半導体薄膜トランジスタを備える表示装置のパックプレーンを示す図面である。

【発明を実施するための形態】

【0023】

以下に添付図面を参照しながら、本発明の好適な実施の形態について詳細に説明する。
なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、
同一の符号を付することにより重複説明を省略する。

【0024】

本明細書に開示されている本発明の実施形態に対して、特定の構造的ないし機能的説明は、単に本発明の実施形態を説明するための目的で例示されたものであり、本発明の実施形態は多様な形態で実施することができ、本明細書に説明された実施形態に限定されるものではない。

【0025】

本発明は多様な変更を加えることができ、種々の形態を有することができるが、特定の実施形態を図面に例示して本明細書に詳細に説明する。しかし、これは本発明を特定の開示形態に限定しようとするものではなく、本発明の思想及び技術範囲に含まれるすべての変更、均等物ないし代替物を含むと理解するべきである。

【0026】

本明細書において、第1、第2等の用語は多様な構成要素を説明するのに使用することができるが、これらの構成要素がこのような用語によって限定されなければならない。前記用語は一つの構成要素を他の構成要素から区別する目的で使われる。例えば、本発明の権利範囲から逸脱せずに第1構成要素は第2構成要素と命名することができ、類似に第2構成要素も第1構成要素と命名することができる。

【0027】

ある構成要素が他の構成要素に「連結されて」いる、または「接続されて」いると言及された場合には、その他の構成要素に直接的に連結されていたり、接続されていることも意味するが、中間に他の構成要素が存在する場合も含むと理解するべきである。一方、ある構成要素が他の構成要素に「直接連結されて」いる、または「直接接続されて」いると言及された場合には、中間に他の構成要素が存在しないと理解すべきである。構成要素の間の関係を説明する他の表現、すなわち「～間に」と「すぐに～間に」または「～に隣接する」と「～に直接隣接する」等も同じように解釈すべきである。

【0028】

本明細書で使用した用語は単に特定の実施形態を説明するために使用したもので、本発明を限定するものではない。単数の表現は文脈上明白に異なるように意味しない限り、複数の表現を含む。本明細書で、「含む」または「有する」等の用語は明細書上に記載された特徴、数字、段階、動作、構成要素、部品または、これを組み合わせたのが存在するということを示すものであって、一つまたはそれ以上の他の特徴や数字、段階、動作、構成要素、部品または、これを組み合わせたものなどの存在または、付加の可能性を、予め排除するわけではない。

【0029】

また、別に定義しない限り、技術的或いは科学的用語を含み、本明細書中において使用される全ての用語は本発明が属する技術分野で通常の知識を有する者であれば、一般的に理解するのと同一の意味を有する。一般的に使用される辞書において定義する用語と同じ用語は関連技術の文脈上に有する意味と一致する意味を有するものと理解するべきで、本明細書において明白に定義しない限り、理想的或いは形式的な意味として解釈してはなら

10

20

30

40

50

ない。

【0030】

図1は本発明の一実施形態に係る酸化物半導体薄膜トランジスタの一例を示す断面図である。

【0031】

図1を参照すれば、酸化物半導体薄膜トランジスタ100は、下部ゲート構造(bottom gate structure)で製造され、基板110、ゲート電極120、ゲート絶縁膜130、活性層140、エッチストップ層150、ソース電極160、ドレーン電極170、及び保護膜180を含むことができる。

【0032】

一般的に、酸化物半導体薄膜トランジスタはアモルファスシリコン薄膜トランジスタ(amorphous silicon thin film transistor)に比べてキャリア移動度(carrier mobility)が高く、且つスレッショルド電圧(threshold voltage)が大きくシフトされず高解像度(high resolution)を実現する表示装置で多く使われている。しかし、従来の酸化物半導体薄膜トランジスタは、ゲート電極と活性層との間に発生する寄生キャパシタンスのため、ゲート電極の面積を活性層の面積より広くすることができないという限界がある。例えば、従来の酸化物半導体薄膜トランジスタを使う表示装置では、ゲート電極に印加される電圧が変動することに従って、寄生キャパシタンスによってピクセル電極の電圧が大きく変動するキックバック(kickback)現象が発生する場合がある。そこで、図1の酸化物半導体薄膜トランジスタ100は、ゲート電極120の面積を活性層140の面積より大きくし、エッチストップ層150を具備してゲート電極120と活性層140との間に発生する寄生キャパシタンスを減少させることができる。以下、具体的に説明することにする。

【0033】

酸化物半導体薄膜トランジスタ100は、下部ゲート構造中でも逆スタガード構造(reverse staggered structure)で製造されることができるが、基板110、ゲート電極120、ゲート絶縁膜130、活性層140、エッチストップ層150、ソース電極160、ドレーン電極170、及び保護膜180が次々と形成されることができる。基板110はシリコン半導体基板、ガラス基板、プラスチック基板などに相応することができる。ゲート電極120は、基板110の上部に形成され、活性層140の第2面積より広い第1面積を有することができる。この時、ゲート電極120はアルミニウム(A1)、クロム(Cr)、モリブデン(Mo)、モリブデンタングステン(MoW)等の金属または、伝導性ポリマー(conductive polymer)等から形成されることができる。一実施形態において、ゲート電極120は基板110の上部に所定の金属を蒸着し、蒸着された金属をパターニングする方式で形成することができる。この時、蒸着された金属は断層構造または多層構造を有することができる。実施形態により、基板110とゲート電極120との間にバッファ層(図示せず)が存在することができる。ゲート絶縁膜130はゲート電極120をカバー(cover)しながらゲート電極120の上部に形成されることができる。この時、ゲート絶縁膜130はシリコン酸化物、シリコン窒化物などと同じ絶縁物質(例えば、 SiO_2 、 SiN_x 、 Ga_2O_3 等)から形成されて、ゲート電極120と活性層140を互いに絶縁させることができる。一実施形態において、ゲート絶縁膜130はゲート電極120の中央領域に対応する位置に活性層140の第2面積より狭い第3面積を有する突出領域を含むことができる。この時、突出領域は上部に突出してゲート絶縁膜130の上部に形成される活性層140の形態を決めることができる。

【0034】

活性層140はゲート絶縁膜130の上部に形成されて、ゲート電極120の第1面積より小さく、突出領域の第3面積より広い第2面積を有することができる。図1に示したように、活性層140はゲート電極120に空間的に重なることができる。一方、活性層

10

20

30

40

50

140はゲート絶縁膜130の突出領域によって周辺領域より中央領域が上部に突出して曲がった形態を有することができる。即ち、活性層140の中央領域、周辺領域、及びこれらの間に位置する段差領域を含むことができる。一般的に、活性層140はチャネル領域(channel region)、ソース領域(source region)、及びドレーン領域(drain region)を提供することができるが、前記中央領域はチャネル領域を含むことができ、前記周辺領域はソース領域とドレーン領域を含むことができる。一方、活性層140は酸化物系列の物質から形成されることがある。具体的に、活性層140は、インジウム(In)、亜鉛(Zn)、ガリウム(Ga)、ステニュム(Sn)のうち、少なくとも一つ以上を含む酸化物系列の物質から形成されることが可能、前記酸化物系列の物質はリチウム(Li)、ナトリウム(Na)、マンガン(Mn)、ニッケル(Ni)、パラジウム(Pd)、銅(Cu)、カドミウム(Cd)、炭素(C)、窒素(N)、の(P)、チタン(Ti)、ジルコニウム(Zr)、ハフニウム(Hf)、バナジウム(V)、ルテニウム(Ru)、ゲルマニウム(Ge)、錫(Sn)、及びフッ素(F)のうち、少なくとも一つ以上をさらに含むことができる。例えば、活性層140は、ZnO、ZnGaO、ZnInO、ZnSnO、GaInZnO、SnO₂、CdSnO、GaSnO、TiSnO、CuAlO、SrCuO、LaCuOSなどの酸化物系列の物質から形成されることがある。但し、これは一つの例示であり、活性層140を形成するための酸化物系列の物質をこれらに限定することではない。この時、前記酸化物系列の物質は電子キャリア濃度が10¹² / cm³ ~ 10¹⁸ / cm³ であることができる。その結果、酸化物半導体薄膜トランジスタ100は、オフ状態で漏洩電流が減少することができ、オン・オフ特性が改善されることが可能、ピンチ・オフ状態で飽和電流が増加することができる。実施形態により、活性層140とゲート絶縁膜130との間に酸化物からなった界面安定層(図示せず)が存在することができる。

【0035】

エッチストップ層150は活性層140の上部に形成され、活性層140の一部領域をカバーすることができる。例えば、エッチストップ層150は活性層140が、ソース電極160及びドレーン電極170にコンタクトしない非コンタクト領域をカバーすることができる。一実施形態において、エッチストップ層150はゲート絶縁膜130の上部にエッチストップ物質で膜を形成し、活性層140がソース電極160及びドレーン電極170とコンタクトするソース領域とドレーン領域の上部に位置する膜をエッチングして除去する方式で形成されることがある。その結果、エッチストップ層150には活性層140のソース領域一部とドレーン領域一部が露出するようにするコンタクトホールが形成されることがある。図1においてはソース電極160とドレーン電極170が活性層140にホール形態でコンタクトされるようにするコンタクトホール構造(contact hole structure)のエッチストップ層150が図示されているが、エッチストップ層150はソース電極160とドレーン電極170が活性層140の周辺領域のみにコンタクトされるようにする島構造(island structure)を有することもある。但し、これは一つの例示として、エッチストップ層150の構造は要求される条件により多様に変更されることがある。それと共に、エッチストップ層150はソース電極160及びドレーン電極170が活性層140にコンタクトする面積を減らすことによって、活性層140とゲート電極120との間に発生する寄生キャパシタンスを減少させることができる。一方、エッチストップ層150は酸化物半導体薄膜トランジスタ100を製造する後続工程で、活性層140が外部に露出するということによって発生するダメージ(damage)を防止する保護膜の役割まで遂行することができる。

【0036】

ソース電極160とドレーン電極170はエッチストップ層150の上部に形成され、各々活性層140のソース領域とドレーン領域にコンタクトすることができる。この時、ソース電極160とドレーン電極170はアルミニウム(Al)、クロム(Cr)、モリブデン(Mo)、モルリブデントンストン(MoW)等の金属で形成されることがある。一実施形態において、ソース電極160とドレーン電極170は、エッチストップ層150

10

20

30

40

50

50に形成されたコンタクトホールが埋め立てできるようにエッチストッパ層150の上部に所定の金属を蒸着し、蒸着された金属をパターニングすることによって形成されることができる。この時、蒸着された金属は断層構造または多層構造を有することができる。保護膜180はエッチストッパ層150、ソース電極160、及びドレーン電極170をカバーするために、これらの上部に形成されることができる。この時、エッチストッパ層150は活性層140がソース電極160及びドレーン電極170にコンタクトしない非コンタクト領域をカバーするため、保護膜180が活性層140の代わりにエッチストッパ層150をカバーする。一実施形態において、保護膜180はシリコン酸化膜、シリコン窒化膜、遷棄絶縁膜などを所定の厚さで蒸着する方式で形成されることができる。それと共に、酸化物半導体薄膜トランジスタ100はゲート電極120の第1面積が活性層140の第2面積より広いためゲート電極120に高電圧が印加されても簡単に劣化または破壊されず、エッチストッパ層150によってソース電極160とドレーン電極170が活性層140にコンタクトする領域が狭いためゲート電極120と活性層140との間に発生する寄生キャパシタンスが減少することができる。それに、酸化物半導体薄膜トランジスタ100は高電圧に対する高耐久性と信頼性を有することができ、表示装置で高電圧が使われるゲートスキャン回路及びバックプレーンなどの基本構造として使われることができる。

10

【0037】

図2は図1の酸化物半導体薄膜トランジスタの他の例を示す断面図である。

20

【0038】

図2を参照すると、図2の酸化物半導体薄膜トランジスタ200は下部ゲート構造で製造され、基板210、ゲート電極220、ゲート絶縁膜230、活性層240、エッチストッパ層250、ソース電極260、ドレーン電極270、及び保護膜280を含むことができる。図1の酸化物半導体薄膜トランジスタ100はソース電極160とドレーン電極170が活性層140にホール形態でコンタクトされるようにするコンタクトホール構造のエッチストッパ層150を含んでいる反面、図2の酸化物半導体薄膜トランジスタ200はソース電極260とドレーン電極270が活性層140の周辺領域のみにコンタクトされるようにする島構造のエッチストッパ層250を含んでいる。従って、酸化物半導体薄膜トランジスタ200は、ゲート電極220の第1面積が活性層240の第2面積より広くてゲート電極220に高電圧が印加されても簡単に劣化または破壊されないこともある。また、酸化物半導体薄膜トランジスタ200はエッチストッパ層250によってソース電極260とドレーン電極270が活性層240にコンタクトするコンタクト領域が狭くてゲート電極220と活性層240との間に発生する寄生キャパシタンスが減少することができる。その結果、酸化物半導体薄膜トランジスタ100、200は、高電圧に対する高耐久性と信頼性を有することができて、液晶表示装置及び有機電界発光表示装置などと同じ表示装置で高電圧が印加されるゲートスキャン回路及びバックプレーンなどの基本構造として使われることができる。

30

【0039】

図3は図1の酸化物半導体薄膜トランジスタを製造する製造方法を示すフローチャートである。

40

【0040】

図3を参照すると、酸化物半導体薄膜トランジスタ100の製造方法は、基板110の上部に第1面積を有するゲート電極120を形成(ステップS110)と、ゲート電極120をカバーするためにゲート電極120の上部にゲート絶縁膜130を形成(ステップS120)し、ゲート絶縁膜130の上部に第1面積より狭い第2面積を有する活性層140を形成(ステップS130)することができる。また、酸化物半導体薄膜トランジスタ100の製造方法は活性層140の上部にエッチストッパ層150を形成(ステップS140)し、エッチストッパ層150の上部に活性層140のソース領域とドレーン領域に各々コンタクトするソース電極160及びドレーン電極170を形成(ステップS150)し、エッチストッパ層150、ソース電極160、及びドレーン電極170をカバー

50

する保護膜 180を形成(ステップS160)することができる。

【0041】

基板110の上部に第1面積を有するゲート電極120が形成(ステップS110)することができる。この時、ゲート電極120の第1面積が活性層140の第2面積より広く製造される。一実施形態において、ゲート電極120は基板110の上部に所定の金属を蒸着し、蒸着された金属をパターニングする方式で形成されることがある。以後、ゲート電極120をカバーするためにゲート電極120の上部にゲート絶縁膜130が形成(ステップS120)することができる。一実施形態において、ゲート絶縁膜130は、ゲート電極120の中央領域に対応する位置に活性層140の第2面積より狭い第3面積を有する突出領域を含むように形成することができる。この時、突出領域は上部に突出してゲート絶縁膜130の上部に形成される活性層140の形態を決めることがある。以後、ゲート絶縁膜130の上部に第1面積より狭い第2面積を有する活性層140が形成(ステップS130)することができる。一実施形態において、活性層140はゲート絶縁膜130の突出領域によって周辺領域より中央領域が上部に突出して曲がった形態を有することができる。それに、活性層140はゲート絶縁膜130の突出領域によって周辺領域より中央領域が上部に突出して曲がった形態を有することができる。即ち、活性層140は中央領域、周辺領域及びこれらの間に位置する段差領域を含むことができ、ゲート電極120に空間的に重なることができる。

10

【0042】

以後、活性層140の上部に活性層140の一部領域をカバーするエッチストップ層150が形成(ステップS140)することができる。一実施形態において、エッチストップ層150はゲート絶縁膜130の上部にエッチストップ物質で膜を形成し、活性層140がソース電極160及びドレーン電極170とコンタクトするソース領域とドレーン領域の上部に位置する膜をエッティングして除去する方式で形成されることがある。以後、エッチストップ層150の上部にソース電極160及びドレーン電極170が形成(ステップS150)されることがある。一実施形態において、ソース電極160とドレーン電極170は、エッチストップ層150に形成されたコンタクトホールが埋め立てされるようにエッチストップ層150の上部に所定の金属を蒸着し、蒸着された金属をパターニングすることによって形成されることがある。以後、エッチストップ層150、ソース電極160及びドレーン電極170をカバーする保護膜180が形成(ステップS160)されることがある。この時、エッチストップ層150は活性層140がソース電極160及びドレーン電極170にコンタクトしない非コンタクト領域をカバーするため、保護膜180が活性層140の代わりにエッチストップ層150をカバーすることである。一方、基板110とゲート電極120との間にはバッファ層(図示せず)が形成されることがあり、活性層140とゲート絶縁膜130との間には酸化物からなった界面安定層(図示せず)が形成されることもできる。

20

30

40

【0043】

そのように、酸化物半導体薄膜トランジスタ100の製造方法は、ゲート電極120が活性層140より広い面積を有するように形成し、寄生キャパシタンスを減少させるエッチストップ層150を含むため、高電圧に対する高耐久性と信頼性を有する酸化物半導体薄膜トランジスタを製造することができる。以下、図4～図10を参照して酸化物半導体薄膜トランジスタ100が製造される製造過程を具体的に説明する。

【0044】

図4～図10は図1の酸化物半導体薄膜トランジスタが製造される過程を示す断面図である。

【0045】

図4を参照すると、基板110が準備されることがある。一実施形態において、基板110はシリコン半導体基板、ガラス基板、プラスチック基板などで準備されることがある。

【0046】

50

図5を参照すると、活性層140の第2面積より広い第1面積を有するゲート電極120が基板110の上部に形成されることができる。それに、活性層140はゲート電極120に空間的に重なることができる。ゲート電極120はアルミニウム(A1)、クロム(Cr)、モリブデン(Mo)、モリブデンタングステン(MoW)等の金属または伝導性ポリマ等で形成されることがある。一実施形態において、ゲート電極120は基板110の上部に所定の金属を蒸着し、蒸着された金属をパターニングする方式で形成されることがある。この時、蒸着された金属は断層構造または多層構造を有することができる。一方、実施形態により、バッファ層(図示せず)が基板110とゲート電極120との間に形成されてこれらの間でバッファ役割を遂行することができる。このような場合に、ゲート電極120はバッファ層(図示せず)の上部に所定の金属を蒸着と、蒸着された金属をパターニングする方式で形成されることがある。
10

【0047】

図6を参照すると、ゲート絶縁膜130がゲート電極120をカバーするためにゲート電極120の上部に形成されることがある。ゲート絶縁膜130はシリコン酸化物、シリコン窒化物などと同じ絶縁物質(例えば、 SiO_2 、 SiN_x 、 Ga_2O_3 等)から形成し、ゲート電極120と活性層140を互いに絶縁させることができる。一実施形態において、ゲート絶縁膜130はゲート電極120の中央領域に対応する位置に活性層140の第2面積より狭い第3面積を有する突出領域を含むことができる。突出領域は上部に突出してゲート絶縁膜130の上部に形成される活性層140の形態を決めることがある。その結果、活性層140は突出領域によって周辺領域より中央領域が上部に突出して曲がった形態を有することができる。一方、実施形態により、ゲート絶縁膜130の上部には酸化物系列の物質からなった界面安定層(図示せず)が形成されることもできる。
20

【0048】

図7を参照すると、活性層140がゲート絶縁膜130の上部に形成されることがある。上述のように、活性層140はゲート電極120に空間的に重なることができる。この時、活性層140の第2面積はゲート電極120の第1面積より小さく、ゲート絶縁膜130に形成される突出領域の第3面積より広いこともできる。それに、活性層140はゲート絶縁膜130の突出領域によって周辺領域より中央領域が上部に突出して曲がった形態を有することができる。即ち、活性層140は中央領域、周辺領域、及びこれらの間に位置する段差領域を含むことができる。一般的に、活性層140はチャネル領域、ソース領域、及びドレーン領域を提供することができるが、前記中央領域はチャネル領域を含むことができ、前記周辺領域はソース領域とドレーン領域を含むことができる。
30

【0049】

一方、活性層140は酸化物系列の物質から形成されることがある。具体的に、活性層140はインジウム(In)、亜鉛(Zn)、ガリウム(Ga)、ステニュム(Sn)のうち、少なくとも一つ以上を含む酸化物系列の物質から形成されることが可能、前記酸化物系列の物質はリチウム(Li)、ナトリウム(Na)、マンガン(Mn)、ニッケル(Ni)、パラジウム(Pd)、銅(Cu)、カドミウム(Cd)、炭素(C)、窒素(N)、リン(P)、チタン(Ti)、ジルコニウム(Zr)、ハフニウム(Hf)、バナジウム(V)、ルテニウム(Ru)、ゲルマニウム(Ge)、錫(Sn)、及びフッ素(F)のうち、少なくとも一つ以上をさらに含むことができる。例えば、活性層140は、 ZnO 、 ZnGaO 、 ZnInO 、 ZnSnO 、 GaInZnO 、 SnO_2 、 CdSnO 、 GaSnO 、 TiSnO 、 CuAlO 、 SrCuO 、 LaCuOS などの酸化物系列の物質から形成されることがある。ただし、これは一つの例示として、活性層140を形成するための酸化物系列の物質はこれらに限定されることではない。
40

【0050】

一実施形態において、活性層140はゲート絶縁膜130の上部に前記酸化物系列の物質をスパッタ法(sputtering)、電子ビーム蒸着法(electron beam evaporation)、熱蒸着法(thermal evaporation)、レーザー分子ビーム蒸着法(laser molecular beam epit
50

axy evaporation)、パルスレーザー蒸着法 (pulsed laser deposition) 等のような物理的気相蒸着法 (Physical Vapour Deposition; PVD) で蒸着した後、蒸着された酸化物系列の物質をパターニングする方式で形成することができる。この時、前記酸化物系列の物質は電子キャリア濃度が $10^{12} / \text{cm}^3 \sim 10^{18} / \text{cm}^3$ であることができる。その結果、酸化物半導体薄膜トランジスタ 100 はオフ状態で漏洩電流が減少することができ、オン・オフ特性が改善されることができ、ピンチ・オフ状態で飽和電流及びスイッチング速度などが向上することができる。

【0051】

図 8 を参照すると、エッチストップ層 150 が活性層 140 の上部に形成され、活性層 140 の一部領域をカバーすることができる。例えば、エッチストップ層 150 は、活性層 140 がソース電極 160 及びドレーン電極 170 にコンタクトしない非コンタクト領域をカバーすることができる。一実施形態において、エッチストップ層 150 はゲート絶縁膜 130 の上部にエッチトップ物質で膜を形成し、活性層 140 がソース電極 160 及びドレーン電極 170 とコンタクトするソース領域とドレーン領域の上部に位置する膜をエッティングして除去する方式で形成されることができる。その結果、エッチストップ層 150 には活性層 140 のソース領域の一部とドレーン領域の一部が露出するようになるコンタクトホールが形成されることがある。その後、ソース電極 160 とドレーン電極 170 が前記コンタクトホールを通じて前記ソース領域と前記ドレーン領域に各々コンタクトすることができる。それと関連して、エッチストップ層 150 がいかなる構造を有するかにより、前記コンタクトホールの位置と形態は変更されることがある。図 8 ではソース電極 160 とドレーン電極 170 が、活性層 140 にホール形態でコンタクトされるようになるコンタクトホール構造のエッチストップ層 150 が図示されているが、図 2 に図示されたように、エッチストップ層 150 はソース電極 160 とドレーン電極 170 が活性層 140 の周辺領域のみにコンタクトされるようになる島構造を有することもできる。ただし、これは一つの例示として、エッチストップ層 150 の構造は要求される条件により多様に変更されることがある。

【0052】

上述のように、酸化物半導体薄膜トランジスタ 100 でゲート電極 120 の第 1 面積は活性層 140 の第 2 面積より広い。その結果、ゲート電極 120 と活性層 140 との間に寄生キャパシタンスが発生する。しかし、酸化物半導体薄膜トランジスタ 100 はエッチストップ層 150 を含んで、ソース電極 160 及びドレーン電極 170 が活性層 140 にコンタクトする面積を減らすことによって、活性層 140 とゲート電極 120 との間で発生する寄生キャパシタンスを減少させることができる。一方、エッチストップ層 150 は酸素との結合力を有する無機酸化物で形成されることがある。そのように、エッチストップ層 150 が酸素との結合力を有する無機酸化物で形成されるため、酸化物半導体薄膜トランジスタ 100 を製造する後続工程において、エッチストップ層 150 は活性層 140 が外部に露出されることによって発生するダメージを防止するための保護膜の役割まで遂行することができる。

【0053】

図 9 を参照すると、ソース電極 160 とドレーン電極 170 がエッチストップ層 150 の上部に形成されることがある。この時、ソース電極 160 とドレーン電極 170 はアルミニウム (Al)、クロム (Cr)、モリブデン (Mo)、モルリブデントンストン (MoW) 等の金属で形成されることがある。一実施形態において、ソース電極 160 とドレーン電極 170 はエッチストップ層 150 に形成されたコンタクトホールが埋め立てられるようにエッチストップ層 150 の上部に所定の金属を蒸着し、蒸着された金属をパターニングすることによって形成されることがある。この時、蒸着された金属は断層構造または多層構造を有することができる。従って、ソース電極 160 及びドレーン電極 170 の各々は、活性層 140 のソース領域とドレーン領域にコンタクトすることができる。例えば、エッチストップ層 150 がコンタクトホール構造を有する場合、ソース電極 1

10

20

30

40

50

60 及びドレーン電極 170 は、活性層 140 にホール形態でソース領域とドレーン領域にコンタクトすることができ、エッチストップ層 150 が島構造を有する場合、ソース電極 160 及びドレーン電極 170 は、活性層 140 の周辺領域のみにコンタクトされることができる。

【0054】

図 10 を参照すると、保護膜 180 はエッチストップ層 150、ソース電極 160、及びドレーン電極 170 をカバーするためにこれらの上部に形成されることができる。この時、エッチストップ層 150 は活性層 140 がソース電極 160 及びドレーン電極 170 にコンタクトしない非コンタクト領域をカバーするため、保護膜 180 が活性層 140 の代わりにエッチストップ層 150 をカバーすることである。一実施形態において、保護膜 180 はシリコン酸化膜、シリコン窒化膜、遺棄絶縁膜などを所定の厚さで蒸着する方式で形成することができる。上述のように、酸化物半導体薄膜トランジスタ 100 は、ゲート電極 120 の第 1 面積が活性層 140 の第 2 面積より広いためゲート電極 120 に高電圧が印加されても簡単に劣化または破壊されず、エッチストップ層 150 によってソース電極 160 とドレーン電極 170 が活性層 140 にコンタクトする領域が狭いためゲート電極 120 と活性層 140 との間に発生する寄生キャパシタンスが減少することができる。それに、酸化物半導体薄膜トランジスタ 100 は高電圧に対する高耐久性と信頼性を有することができ、表示装置で高電圧が使われるゲートスキャン回路及びバックプレーンなどの基本構造として使われることができる。

【0055】

図 11 は従来の酸化物半導体薄膜トランジスタの高電圧に対する耐久性及び信頼性を示すグラフであり、図 12 は図 1 の酸化物半導体薄膜トランジスタの高電圧に対する耐久性及び信頼性を示すグラフである。

【0056】

図 11 及び図 12 を参照すると、酸化物半導体薄膜トランジスタでゲート電極に印加されるゲート電圧 (V_g) によりドレーン電極に流れるドレーン電流 (I_d) の変化とストレス時間 (stress time) にともなうスレッショルド電圧 (V_{th}) の変化を示すグラフ (以下、電流 - 電圧トランスファ特性という) が図示されている前記電流 - 電圧トランスファ特性はチャネル幅対長さの比率が 50 : 10 μm である酸化物半導体薄膜トランジスタに対して 2 時間のストレス時間の間、ゲート - ソース電圧 (V_{gs}) を 45 V で印加することによって測定された。この時、基準波形 (REF) は基準状態の電流 - 電圧トランスファ特性を示し、30 分波形 (30 (min)) は 30 分が経過した後に変化された電流 - 電圧トランスファ特性を示し、60 分波形 (60 (min)) は 60 分が経過した後に変化した電流 - 電圧トランスファ特性を示し、90 分波形 (90 (min)) は 90 分が経過した後に変化した電流 - 電圧トランスファ特性を示し、120 分波形 (120 (min)) は 120 分が経過した後に変化した電流 - 電圧トランスファ特性を示す。

【0057】

図 11 に示したように、従来の酸化物半導体薄膜トランジスタはゲート電極に高電圧が持続的に印加される場合、素子が劣化または破壊されて基準状態の電流 - 電圧トランスファ特性を維持することができない。実際に、液晶表示装置及び有機電界発光表示装置などの表示装置で、ゲートスキャン回路の基本構造として使われる酸化物半導体薄膜トランジスタに 45 V のゲート - ソース電圧 (V_{gs}) が印加される区間は一フレーム (frame) ごとに一回ずつ反復されることができる。それに、従来の酸化物半導体薄膜トランジスタはこのような高電圧区間で劣化または破壊されるため、前記表示装置にゲートブロック欠陥 (Gate Block Defect; GBD) 及びゲートオープン (Gate Open; G/O) 等のような不良を招くようになる。また、メモリ用表示装置が研究されるということによって、メモリ用表示装置のバックプレーンの基本構造として使われる酸化物半導体薄膜トランジスタに 40 V 以上の駆動電圧が印加されている。それに、従来の酸化物半導体薄膜トランジスタはこのような高電圧の駆動電圧によって劣化ま

10

20

30

40

50

たは破壊されるため、前記メモリ用表示装置が正常に動作できない原因になる場合がある。

【0058】

反面、図12に示したように、図1の酸化物半導体薄膜トランジスタ100はゲート電極に高電圧が持続的に印加される場合でも、素子が劣化または破壊されずに、基準状態の電流・電圧トランスファ特性を実質的に維持することができる。例えば、図1の酸化物半導体薄膜トランジスタ100に45Vのゲート・ソース電圧(V_{gs})が持続的に印加されているにもかかわらず、スレッショルド電圧(V_{th})は初期1.35Vで2時間経過後にも3.9Vを維持して略2.6Vの変化のみを伴っている。それと共に、図1の酸化物半導体薄膜トランジスタ100はゲート電極120の第1面積を活性層140の第2面積より広くし、ゲート電極120と活性層140との間に発生する寄生キャパシタンスを減少させるためのエッチストップ層150を備えることによって、高電圧に対する高耐久性と信頼性を確保することができる。従って、図1の酸化物半導体薄膜トランジスタ100は、従来の酸化物半導体薄膜トランジスタとは異なって、液晶表示装置及び有機電界発光表示装置などの表示装置で高電圧が印加されるゲートスキャン回路及びバックプレーンなどの基本構造として使われることができる。

10

【0059】

図13は本発明の他の実施形態に係る酸化物半導体薄膜トランジスタを示す断面図である。

20

【0060】

図13を参照すると、酸化物半導体薄膜トランジスタ300は下部ゲート構造で製造され、基板310、ゲート電極320、ゲート絶縁膜330、活性層340、ソース電極360、ドレーン電極370、及び保護膜380を含むことができる。

30

【0061】

酸化物半導体薄膜トランジスタ300は、下部ゲート構造中でも逆スタガード構造で製造されるが、基板310、ゲート電極320、ゲート絶縁膜330、活性層340、ソース電極360とドレーン電極370及び保護膜380が次々と形成されることができる。

基板310はシリコン半導体基板、ガラス基板、プラスチック基板などに相応することができる。ゲート電極320は、基板310の上部に形成され、活性層340の第2面積より広い第1面積を有することができる。この時、ゲート電極320はアルミニウム(A1)、クロム(Cr)、モリブデン(Mo)、モリブデンタングステン(MoW)等の金属または伝導性ポリマ等で形成されることができる。一実施形態において、ゲート電極320は基板310の上部に所定の金属を蒸着し、蒸着された金属をパターニングする方式で形成されることができる。この時、蒸着された金属は断層構造または多層構造を有することができる。実施形態により、基板310とゲート電極320との間にバッファ層(図示せず)が存在することができる。ゲート絶縁膜330はゲート電極320をカバーしながらゲート電極320の上部に形成されることがある。この時、ゲート絶縁膜330はシリコン酸化物、シリコン窒化物などの絶縁物質(例えば、SiO₂、SiN_x、Ga₂O₃等)で形成され、ゲート電極320と活性層340を互いに絶縁させることができる。一実施形態において、ゲート絶縁膜330はゲート電極320の中央領域に対応する位置に活性層340の第2面積より狭い第3面積を有する突出領域を含むことができる。この時、突出領域は上部に突出してゲート絶縁膜330の上部に形成される活性層340の形態を決めることができる。

30

【0062】

活性層340はゲート絶縁膜330の上部に形成され、ゲート電極320の第1面積より狭く、突出領域の第3面積より広い第2面積を有することができる。図13に示されたように、活性層340はゲート電極320に空間的に重なることができる。一方、活性層340はゲート絶縁膜330の突出領域によって周辺領域より中央領域が上部に突出して曲がった形態を有することができる。即ち、活性層340の中央領域、周辺領域及びこれらの間に位置する段差領域を含むことができる。一般的に、活性層340はチャネル領域

40

50

、ソース領域、及びドレーン領域を提供できるが、前記中央領域はチャネル領域を含むことができ、前記周辺領域はソース領域とドレーン領域を含むことができる。一方、活性層340は酸化物系列の物質で形成することができる。具体的に、活性層340はインジウム(Indium)、亜鉛(Zinc)、ガリウム(Gallium)、ステニュム(Sni)のうち、少なくとも一つ以上を含む酸化物系列の物質で形成されることができ、前記酸化物系列の物質はリチウム(Lithium)、ナトリウム(Na)、マンガン(Mn)、ニッケル(Ni)、パラジウム(Pd)、銅(Cu)、カドミウム(Cd)、炭素(C)、窒素(N)、の(P)、チタン(Ti)、ジルコニウム(Zr)、ハフニウム(Hf)、バナジウム(V)、ルテニウム(Ru)、ゲルマニウム(Ge)、錫(Sn)及びフッ素(F)のうち、少なくとも一つ以上をさらに含むことができる。例えば、活性層340はZnO、ZnGaO、ZnInO、ZnSnO、GaInZnO、SnO₂、CdSnO、GaSnO、TiSnO、CuAlO、SrCuO、LaCuOSなどの酸化物系列の物質で形成されることができる。ただし、これは一つの例示であって、活性層340を形成するための酸化物系列の物質はこれらに限定されるのではない。この時、前記酸化物系列の物質は電子キャリア濃度が10¹² / cm³ ~ 10¹⁸ / cm³ であることができる。その結果、酸化物半導体薄膜トランジスタ300はオフ状態で漏洩電流が減少することができ、オン・オフ特性が改善されることができ、ピンチ・オフ状態で飽和電流及びスイッチング速度などが向上されることができる。実施形態により、活性層340とゲート絶縁膜330との間に酸化物からなる界面安定層(図示せず)が存在することができる。

10

20

30

40

ソース電極360とドレーン電極370は、活性層340の上部に形成され、各々活性層340のソース領域とドレーン領域にコンタクトすることができる。この時、ソース電極360とドレーン電極370はアルミニウム(Al)、クロム(Cr)、モリブデン(Mo)、モルリブデンントンストン(MoW)等の金属で形成されることができる。一実施形態において、ソース電極360とドレーン電極370は活性層340の上部に所定の金属を蒸着し、蒸着された金属をパターニングすることによって形成されることができる。この時、蒸着された金属は、断層構造または多層構造を有することができ、ソース電極360とドレーン電極370が活性層340にコンタクトする面積は前記パターニング時に決定されることができる。保護膜380は活性層340、ソース電極360、及びドレーン電極370をカバーするためにこれらの上部に形成されることができる。一実施形態において、保護膜380はシリコン酸化膜、シリコン窒化膜、有機絶縁膜などを所定の厚さで蒸着する方式で形成されることができる。これと共に、酸化物半導体薄膜トランジスタ300はゲート電極320の第1面積が活性層340の第2面積より広いのでゲート電極320に高電圧が印加されても簡単に劣化または破壊されず、ソース電極360とドレーン電極370が活性層340にコンタクトされる領域を狭く調節するのでゲート電極320と活性層340との間に発生する寄生キャパシタンスが減少することができる。それに、酸化物半導体薄膜トランジスタ300は高電圧に対する高耐久性と信頼性を有することができ、表示装置で高電圧が使われるゲートスキャン回路及びバックプレーンなどの基本構造として使われることができる。

50

【0063】

図14は、図13の酸化物半導体薄膜トランジスタを製造する製造方法を示すフローチャートである。

【0064】

図14は、図13の酸化物半導体薄膜トランジスタを製造する製造方法を示すフローチャートである。

【0065】

図14を参照すると、酸化物半導体薄膜トランジスタ300の製造方法は基板310の上部に第1面積を有するゲート電極320を形成(ステップS310)と、ゲート電極320をカバーするためにゲート電極320の上部にゲート絶縁膜330を形成(ステップS320)し、ゲート絶縁膜330の上部に第1面積より狭い第2面積を有する活性層340を形成(ステップS330)することができる。また、酸化物半導体薄膜トランジスタ300の製造方法は活性層340の上部に活性層340のソース領域とドレーン領域に各々コンタクトするソース電極360及びドレーン電極370を形成(ステップS340)

) し、活性層 340、ソース電極 360、及びドレーン電極 370 をカバーする保護膜 380 を形成 (ステップ S350) することができる。

【0066】

基板 310 の上部に第 1 面積を有するゲート電極 320 が形成 (ステップ S310) することができる。この時、ゲート電極 320 の第 1 面積が活性層 340 の第 2 面積より広いように製造される。一実施形態において、ゲート電極 320 は基板 310 の上部に所定の金属を蒸着し、蒸着された金属をパターニングする方式で形成されることがある。その後、ゲート電極 320 をカバーするためにゲート電極 320 の上部にゲート絶縁膜 330 が形成 (ステップ S320) することができる。一実施形態において、ゲート絶縁膜 330 はゲート電極 320 の中央領域に対応する位置に活性層 340 の第 2 面積より狭い第 3 面積を有する突出領域を含むように形成されることがある。この時、突出領域は上部に突出してゲート絶縁膜 330 の上部に形成される活性層 340 の形態を決めることがある。その後、ゲート絶縁膜 330 の上部に第 1 面積より狭い第 2 面積を有する活性層 340 が形成 (ステップ S330) されることがある。一実施形態において、活性層 340 はゲート絶縁膜 330 の突出領域によって周辺領域より中央領域が上部に突出して曲がった形態を有することができる。それに、活性層 340 はゲート絶縁膜 330 の突出領域によって周辺領域より中央領域が上部に突出して曲がった形態を有することができる。即ち、活性層 340 は中央領域、周辺領域及びこれらの間に位置する段差領域を含むことができ、ゲート電極 320 に空間的に重なることができる。

【0067】

その後、活性層 340 の上部に活性層 340 のソース領域とドレーン領域に各々コンタクトするソース電極 360 及びドレーン電極 370 が形成 (ステップ S340) されることがある。一実施形態において、ソース電極 360 とドレーン電極 370 は活性層 340 の上部に所定の金属を蒸着し、蒸着された金属をパターニングすることによって形成されることがある。この時、ソース電極 360 とドレーン電極 370 が活性層 340 にコンタクトする面積は前記パターニング時に決定されることがある。その後、活性層 340、ソース電極 360、及びドレーン電極 370 をカバーする保護膜 380 が形成 (ステップ S350) されることがある。一方、基板 310 とゲート電極 320 との間にはバッファ層 (図示せず) が形成されることがある、活性層 340 とゲート絶縁膜 330 との間には酸化物からなる界面安定層 (図示せず) が形成されることもできる。

【0068】

それと共に、酸化物半導体薄膜トランジスタ 300 の製造方法はゲート電極 320 が活性層 340 より広い面積を有するように形成し、ソース電極 360 とドレーン電極 370 が活性層 340 にコンタクトされる領域を狭く調節するため、高電圧に対する高耐久性と信頼性を有する酸化物半導体薄膜トランジスタを製造することができる。以下、図 15 ~ 図 20 を参照して、酸化物半導体薄膜トランジスタ 300 が製造される製造過程を具体的に説明する。

【0069】

図 15 ~ 図 20 は、図 13 の酸化物半導体薄膜トランジスタが製造される過程を示す断面図である。

【0070】

図 15 を参照すると、基板 310 が準備されることがある。一実施形態において、基板 310 はシリコン半導体基板、ガラス基板、プラスチック基板などで準備されることがある。

【0071】

図 16 を参照すると、活性層 340 の第 2 面積より広い第 1 面積を有するゲート電極 320 が基板 310 の上部に形成されることがある。それに、活性層 340 はゲート電極 320 に空間的に重なることができる。ゲート電極 320 はアルミニウム (Al)、クロム (Cr)、モリブデン (Mo)、モリブデンタングステン (MoW) 等の金属または伝導性ポリマ等で形成されることがある。一実施形態において、ゲート電極 320 は基板

10

20

30

40

50

310の上部に所定の金属を蒸着し、蒸着された金属をパターニングする方式で形成されることがある。この時、蒸着された金属は断層構造または多層構造を有することができる。一方、実施形態により、バッファ層（図示せず）が基板310とゲート電極320の間に形成されてこれらとの間でバッファ役割を遂行することができる。このような場合に、ゲート電極320はバッファ層（図示せず）の上部に所定の金属を蒸着し、蒸着された金属をパターニングする方式で形成されることがある。

【0072】

図17を参照すると、ゲート絶縁膜330がゲート電極320をカバーするためにゲート電極320の上部に形成されることがある。ゲート絶縁膜330は、シリコン酸化物、シリコン窒化物などのような絶縁物質（例えば、 SiO_2 、 SiN_x 、 Ga_2O_3 等）で形成され、ゲート電極320と活性層340を互いに絶縁させることができる。一実施形態において、ゲート絶縁膜330はゲート電極320の中央領域に対応する位置に活性層340の第2面積より狭い第3面積を有する突出領域を含むことができる。突出領域は上部に突出してゲート絶縁膜330の上部に形成される活性層340の形態を決めることができる。その結果、活性層340は突出領域によって周辺領域より中央領域が上部に突出して曲がった形態を有することができる。一方、実施形態により、ゲート絶縁膜330の上部には酸化物系列の物質からなる界面安定層（図示せず）が形成されることもできる。

【0073】

図18を参照すると、活性層340がゲート絶縁膜330の上部に形成されることがある。上述のように、活性層340はゲート電極320に空間的に重なることができる。この時、活性層340の第2面積はゲート電極320の第1面積より狭く、ゲート絶縁膜330に形成される突出領域の第3面積より広いこともある。それに、活性層340はゲート絶縁膜330の突出領域によって周辺領域より中央領域が上部に突出して曲がった形態を有することができる。即ち、活性層340は中央領域、周辺領域、及びこれらの間に位置する段差領域を含むことができる。一般的に、活性層340はチャネル領域、ソース領域、及びドレーン領域を提供することができるが、前記中央領域はチャネル領域を含むことができ、前記周辺領域はソース領域とドレーン領域を含むことができる。

【0074】

一方、活性層340は酸化物系列の物質で形成されることがある。具体的に、活性層340はインジウム（In）、亜鉛（Zn）、ガリウム（Ga）、ステニュム（Sn）のうち、少なくとも一つ以上を含む酸化物系列の物質で形成されることができ、前記酸化物系列の物質は、リチウム（Li）、ナトリウム（Na）、マンガン（Mn）、ニッケル（Ni）、パラジウム（Pd）、銅（Cu）、カドミウム（Cd）、炭素（C）、窒素（N）、リン（P）、チタン（Ti）、ジルコニア（Zr）、ハフニウム（Hf）、バナジウム（V）、ルテニウム（Ru）、ゲルマニウム（Ge）、錫（Sn）、及びフッ素（F）のうち、少なくとも一つ以上をさらに含むことができる。例えば、活性層340は、 ZnO 、 $ZnGaO$ 、 $ZnInO$ 、 $ZnSnO$ 、 $GaInZnO$ 、 SnO_2 、 $CdSnO$ 、 $GaSnO$ 、 $TiSnO$ 、 $CuAlO$ 、 $SrCuO$ 、 $LaCuOS$ などの酸化物系列の物質で形成されることがある。ただし、これは一つの例示であって、活性層340を形成するための酸化物系列の物質はこれらに限定されることではない。

【0075】

一実施形態において、活性層340はゲート絶縁膜330の上部に前記酸化物系列の物質をスパッタ法、電子ビーム蒸着法、熱蒸着法、レーザー分子ビーム蒸着法、パルスレーザー蒸着法などの物理的気相蒸着法で蒸着した後に、蒸着された酸化物系列の物質をパターニングする方式で形成することができる。この時、前記酸化物系列の物質は、電子キャリア濃度が $10^{12} / cm^3$ ～ $10^{18} / cm^3$ であることができる。その結果、酸化物半導体薄膜トランジスタ300は、オフ状態で漏洩電流が減少することができ、オン・オフ特性が改善されることができ、ピンチ・オフ状態で飽和電流及びスイッチング速度などが向上されることができる。

10

20

30

40

50

【0076】

図19を参照すると、ソース電極360とドレーン電極370が活性層340の上部に形成されることができる。この時、ソース電極360とドレーン電極370は、アルミニウム(A1)、クロム(Cr)、モリブデン(Mo)、モルリブデントンストン(MoW)等の金属で形成されることができる。一実施形態において、ソース電極360とドレーン電極370は活性層340の上部に所定の金属を蒸着し、蒸着された金属をパターニングすることによって形成されることができる。この時、蒸着された金属は断層構造または多層構造を有することができ、ソース電極360とドレーン電極370が活性層340にコンタクトする面積は前記パターニング時に決定されることができる。従って、ソース電極360及びドレーン電極370は、各々活性層340のソース領域とドレーン領域にコンタクトすることができる。

10

【0077】

図20を参照すると、保護膜380は活性層340、ソース電極360、及びドレーン電極370をカバーするためにこれらの上部に形成されることができる。一実施形態において、保護膜380はシリコン酸化膜、シリコン窒化膜、有機絶縁膜などを所定厚さで蒸着する方式で形成することができる。上述のように、酸化物半導体薄膜トランジスタ300は、ゲート電極320の第1面積が活性層340の第2面積より広いためゲート電極320に高電圧が印加されても簡単に劣化または破壊されず、ソース電極360とドレーン電極370が活性層340にコンタクトされる領域を狭く調節するのでゲート電極320と活性層340との間に発生する寄生キャパシタンスが減少されることができる。それに、酸化物半導体薄膜トランジスタ300は高電圧に対する高耐久性と信頼性を有することができ、表示装置で高電圧が使われるゲートスキャン回路及びバックプレーンなどの基本構造として使われることができる。

20

【0078】

図21は本発明の実施形態に係る酸化物半導体薄膜トランジスタを備える表示装置のバックプレーンを示す図面である。

【0079】

図21を参照すると、表示装置のバックプレーン1000は互いに交差するゲートラインGLとデータラインDLにより定義される所定領域に複数のピクセル(P1、P2)を備えることができる。この時、ピクセル(P1、P2)の各々はスイッチング素子、液晶キャパシタ、及びストレージキャパシタを含むことができるが、スイッチング素子として酸化物半導体薄膜トランジスタTFTが使われることができる。

30

【0080】

酸化物半導体薄膜トランジスタTFTは下部表示板に備わることができ、ゲートラインGL、データラインDL、及び液晶キャパシタに接続されることができる。それに、酸化物半導体薄膜トランジスタTFTはゲートラインGLから供給されるゲート信号に応じてデータラインDLから供給されるデータ信号を液晶キャパシタに供給することができる。具体的に、酸化物半導体薄膜トランジスタTFTはゲート電極を通じてゲートラインGLに接続されることができ、ソース電極を通じてデータラインDLに接続されことができ、ドレーン電極を通じて液晶キャパシタに接続されることができる。一般的に、液晶キャパシタはピクセル電極に印加されるデータ信号と共通電極に印加される共通電圧の電位差で充電されて、このような充電電圧に基づいて液晶層の光透過率を調節することができる。このために、液晶キャパシタは下部表示板に備わったピクセル電極と上部表示板に備わった共通電極を含むことができ、ピクセル電極と共通電極との間には液晶層を含むことができる。ただし、図21では液晶キャパシタとして酸化物半導体薄膜トランジスタTFTに接続されたピクセル電極のみが示されている。

40

【0081】

図21に示したように、酸化物半導体薄膜トランジスタTFTは下部ゲート構造(特に、逆スタガード構造)で製造され、基板、ゲート電極、ゲート絶縁膜、活性層、ソース電極、ドレーン電極、及び保護膜を含むか、または、基板、ゲート電極、ゲート絶縁膜、活

50

性層、エッチストッパ層、ソース電極、ドレーン電極、及び保護膜を含むことができる。ただし、これに対しては上述したことがあるので、重複する説明は省略する。上述のように、酸化物半導体薄膜トランジスタTFTは、ゲート電極の第1面積が活性層の第2面積より広くてゲート電極に高電圧が印加されても簡単に劣化または破壊されない場合もある。また、酸化物半導体薄膜トランジスタTFTは、エッチストッパ層またはソース電極とドレーン電極のパターニングによって、ソース電極とドレーン電極が活性層にコンタクトする領域を狭いためゲート電極と活性層との間に発生する寄生キャパシタンスが減少することができる。

【0082】

以上、添付図面を参照しながら本発明の好適な実施形態について詳細に説明したが、本発明はかかる例に限定されない。本発明の属する技術の分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本発明の技術的範囲に属するものと了解される。

10

【産業上の利用可能性】

【0083】

本発明は表示装置及びそれを含む電子機器に適用することができる。例えば、本発明はコンピュータモニタ、テレビ、ノートパソコン、デジタルカメラ、携帯電話、スマートフォン、PDA (p e r s o n a l d i g i t a l a s s i s t a n t s)、PMP (p o r t a b l e m u l t i m e d i a p l a y e r)、MP3プレーヤー、車両用ナビゲーション、ビデオフォンなどに適用することができる。

20

【符号の説明】

【0084】

100 酸化物半導体薄膜トランジスタ

110 基板

120 ゲート電極

130 ゲート絶縁膜

140 活性層

150 エッチストッパ層

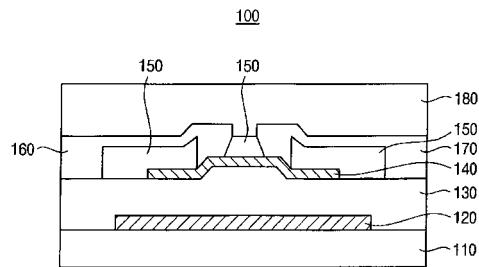
160 ソース電極

170 ドレーン電極

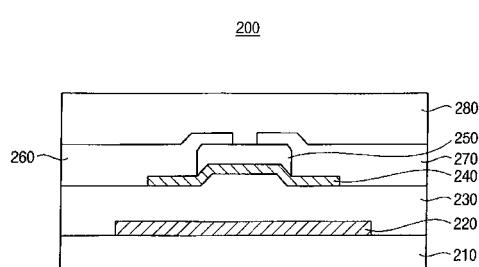
180 保護膜

30

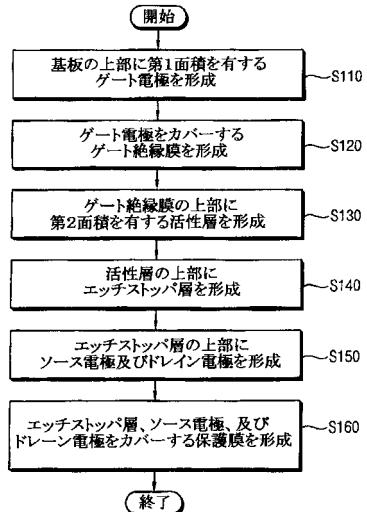
【図 1】



【図 2】



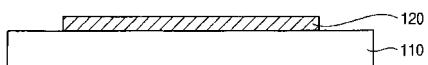
【図 3】



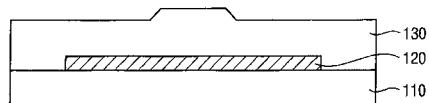
【図 4】



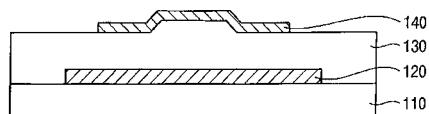
【図 5】



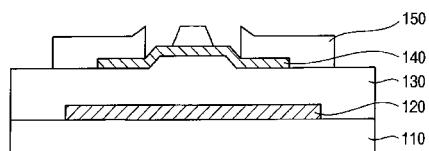
【図 6】



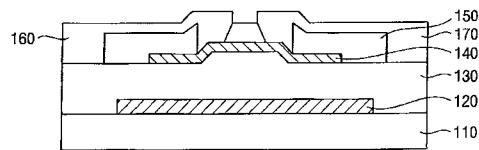
【図 7】



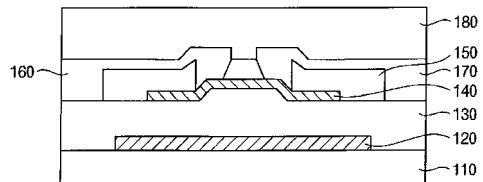
【図 8】



【図 9】

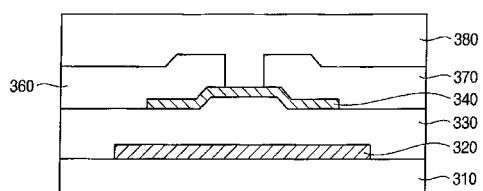


【図 10】

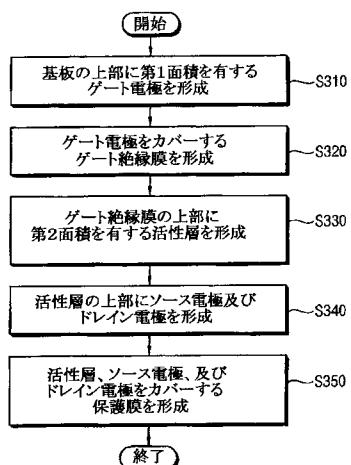


【図 13】

300



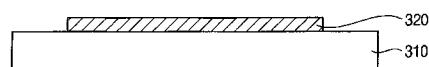
【図14】



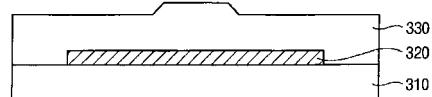
【図15】



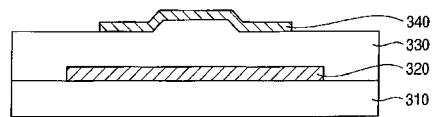
【図16】



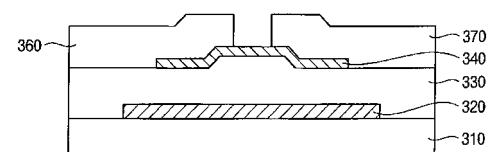
【図17】



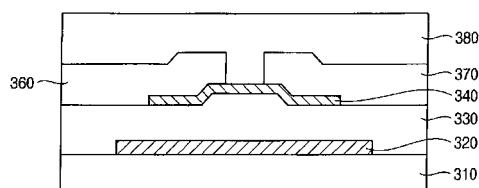
【図18】



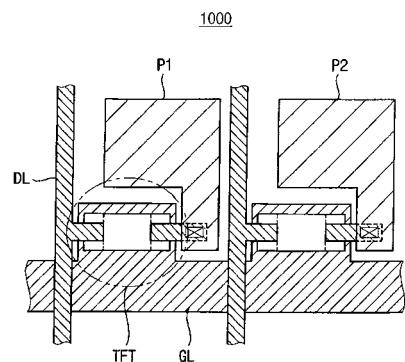
【図19】



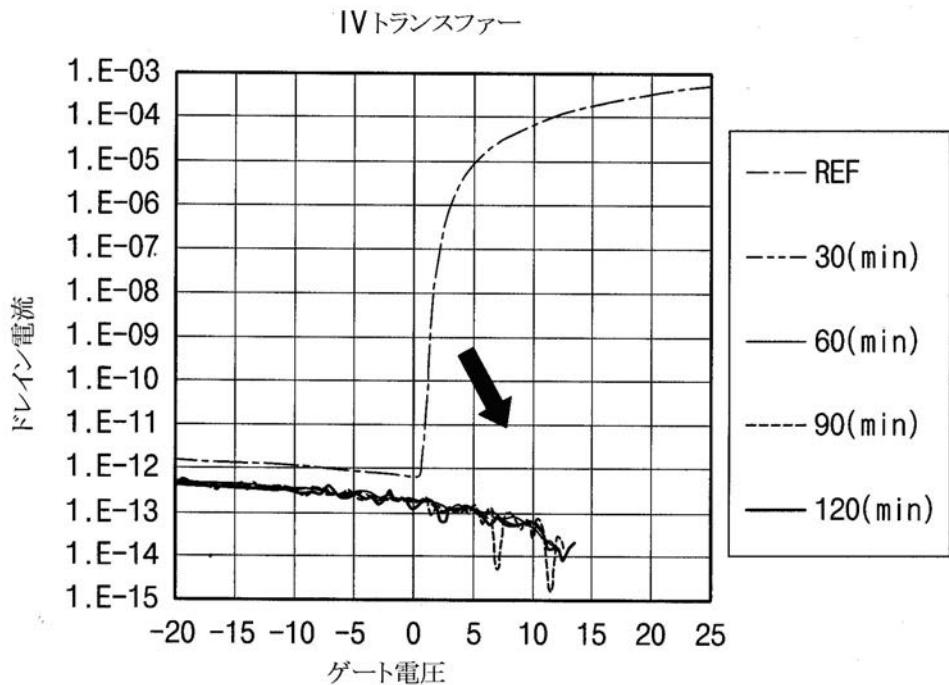
【図20】



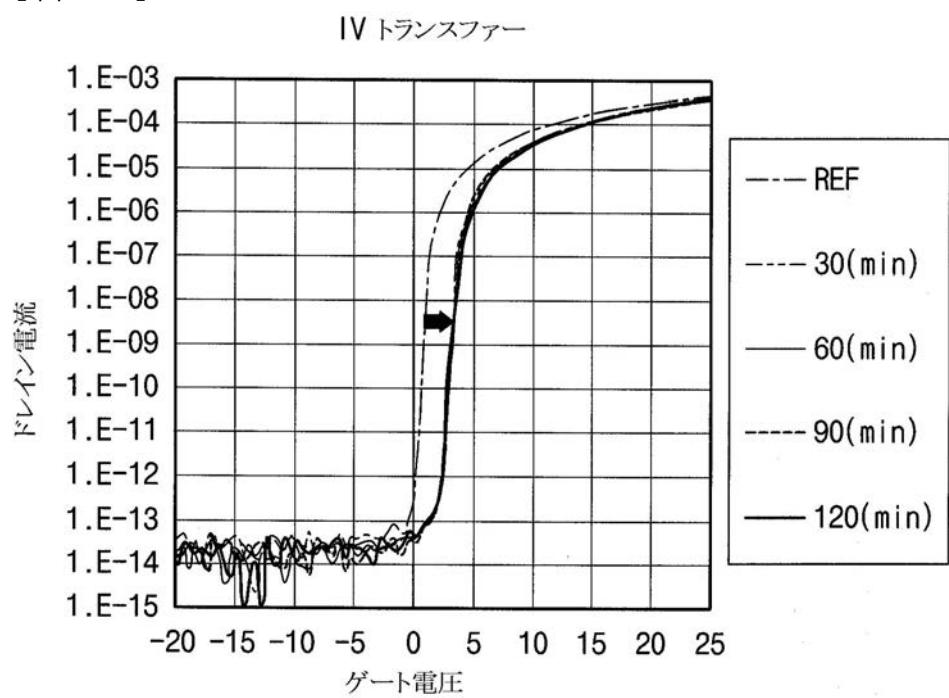
【図21】



【図 1 1】



【図 1 2】



フロントページの続き

(72)発明者 尹 柱善

大韓民国ソウル特別市松坡区蚕室 6 洞 ザンミアパート 15 棟 1307 号

(72)発明者 徐 泰安

大韓民国京畿道華城市石隅洞 イエダンマウルウミ第一アパート 116 棟 1902 号

(72)発明者 金 正 ファン

大韓民国忠清南道天安市西北区仏堂洞 現代アイパークアパート 107 棟 101 号

F ターム(参考) 2H092 JA26 JA29 JA38 JA46 JB57 KA08 KA12 KA19 KA20 KB05

KB24 MA04 MA05 MA17 MA37 NA11 NA22 NA23 NA27

5F110 AA02 AA12 BB01 CC07 DD01 DD02 DD05 EE01 EE03 EE04

EE06 EE14 EE25 EE43 FF01 FF02 FF03 GG01 GG22 GG26

GG34 GG42 GG43 HL03 HL04 HL06 HL11 HL22 NN02 NN16

NN23 NN24 NN33