

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 12 月 9 日 (09.12.2004)

PCT

(10) 国際公開番号
WO 2004/107350 A1(51) 国際特許分類⁷: G11C 11/22

(21) 国際出願番号: PCT/JP2003/006601

(22) 国際出願日: 2003 年 5 月 27 日 (27.05.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒211-8588 神奈川県 川崎市中 中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 榊井 昇一 (MA-SUI, Shoichi) [JP/JP]; 〒211-8588 神奈川県 川崎市中 中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

Kanagawa (JP). シェイクホレスラミ アリ (SHEIK-HOLES LAMI, Ali) [CA/CA]; M1L 3E5 オンタリオ州 トロント ファーマシー アベニュー 52 Ontario (CA). シャンドラ トラビス (CHANDLER, Trevis) [CA/CA]; N3R 7N4 オンタリオ州 ブラントフォード ライラック コート 18 Ontario (CA).

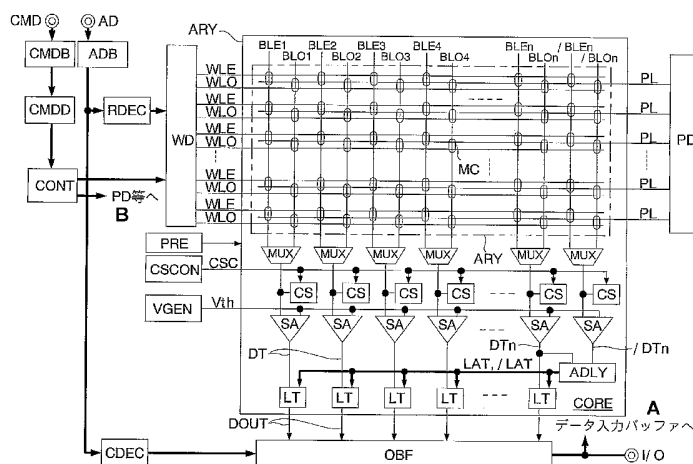
(74) 代理人: 古谷 史旺 (FURUYA, Fumio); 〒160-0023 東京都 新宿区 西新宿 1 丁目 1 9 番 5 号 第 2 明宝ビル 9 階 Tokyo (JP).

(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

/ 続葉有 /

(54) Title: FERROELECTRIC MEMORY

(54) 発明の名称: 強誘電体メモリ

A...TO DATA INPUT BUFFER
B...TO PD ETC.

(57) Abstract: For a predetermined period of time after start of read out operation, current is supplied to a bit line connected to a memory cell and a ferroelectric capacitor of the memory cell is charged. Voltage change of the bit line varies according to the logic value of data written in the ferroelectric capacitor. Accordingly, it is possible to detect the logic value of the data stored in the memory cell as a time difference. Even when the voltage change of the bit line is small, it is possible to generate a time difference without fail. Consequently, even when the ferromagnetic capacitor has a small residual polarization value, it is possible to surely read out data from the memory cell. That is, as compared to detection of a logic value of data by a voltage difference, it is possible to enhance the data read out margin.

/ 続葉有 /



(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 *PCT* ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 読み出し動作の開始から所定の期間、メモリセルに接続されるビット線に電流が供給され、メモリセルの強誘電体キャパシタは充電される。ビット線の電圧変化は、強誘電体キャパシタに書き込まれているデータの論理値に応じて異なる。このため、メモリセルに記憶されているデータの論理値を、時間差として検出できる。ビット線の電圧変化が小さくても、確実に時間差を生成できるため、強誘電体キャパシタの残留分極値が小さい場合にも、メモリセルからデータを確実に読み出すことができる。すなわち、電圧差でデータの論理値を検出する場合に比べて、データの読み出しマージンを向上できる。

明細書

強誘電体メモリ

5 技術分野

本発明は、強誘電体膜で構成されるキャパシタを有する強誘電体メモリに関する。

背景技術

DRAM およびフラッシュメモリ・EEPROM の長所を兼ね備えた半導体記憶装置として、メモリセルに強誘電体キャパシタを備えた強誘電体メモリが開発されている。強誘電体メモリは、強誘電体を絶縁材料とする強誘電体キャパシタを可変容量キャパシタとして動作させ、強誘電体キャパシタへの印加電圧をゼロにしても残留分極が残ることを利用することで、電源が供給されなくてもデータを保持できる。強誘電体キャパシタとして、PZT（チタン酸ジルコン酸鉛）を主な組成とする強誘電体材料、あるいは SBT（タンタル酸ビスマス・ストロンチウム）などのビスマス層状ペロブスカイト構造を持つ強誘電体材料が利用できる。

強誘電体メモリのメモリセルとして、1T1C 型セルと 2T2C 型セルとが存在する。1T1C 型セルは、1 ビットの情報を保持するために 1 つの転送トランジスタと 1 つの強誘電体キャパシタで構成される。1T1C 型セルは、メモリセルのサイズを小さくできるため、大容量用途の強誘電体メモリに採用されている。2T2C 型セルは、1 ビットの情報を保持するために 2 つの転送トランジスタと 2 つの強誘電体キャパシタで構成される。2T2C 型セルは、相補のデータを 2 つの強誘電体キャパシタで記憶するため、読み出しマージンを大きくできる。このため、2T2C 型セルは、高信頼度用途の強誘電体メモリに採用されている。

上述した強誘電体メモリの強誘電体キャパシタは、一端が転送トランジスタを介してビット線に接続され、他端がプレート線に接続されている。例えば、2T2C 型の強誘電体メモリの読み出し動作では、プレート線が駆動されると、ビット線対の電圧差は、相補のデータを記憶している強誘電体キャパシタ対の実効的な容量値の差に応じて変化する。ビット線対の電圧差は、センスアンプで増幅され、

読み出しデータとして外部に出力される。この種の読み出し方式を、プレート線駆動方式と称する。

プレート線は、多数の強誘電体キャパシタに共通に接続されており、負荷容量が大きい。このため、読み出し動作において、大きなCR遅延を伴うプレート線

5 駆動方式は、読み出しアクセス時間が長くなるという欠点を有する。

本発明者等は、読み出しアクセス時間を短くするために、プレート線を駆動することなく、強誘電体キャパシタの容量差をデータとして読み出す方式（容量差検出方式）を提案している（非特許文献（1））。

図1は、2T2C型強誘電体メモリセルを利用した容量差検出方式の読み出し回路
10 の概要を示している。

メモリセルMCは、nMOSトランジスタからなる転送トランジスタM1、M2および強誘電体キャパシタFC1、FC2を有している。強誘電体キャパシタFC1は、一端が転送トランジスタM1を介してビット線BLに接続され、他端がプレート線PLに接続されている。強誘電体キャパシタFC2は、一端が転送トランジスタM2を介して
15 ビット線XBLに接続され、他端がプレート線PLに接続されている。転送トランジスタM1、M2のゲートは、ワード線WLに接続されている。図中、強誘電体キャパシタFC1、FC2に付けた矢印は、分極状態を表している。上向きの矢印は、“論理0”を記憶している状態である。下向きの矢印は、“論理1”を記憶している状態である。

20 センスアンプSAは、入力と出力とが互いに接続された一対のCMOSインバータと、一対のpMOSトランジスタP10、P11とを有している。pMOSトランジスタP10は、ソース、ドレインおよびゲートがそれぞれ電源線VDD、ビット線BLおよび電流源の出力CSC（以下、CSC信号とも称する）に接続されている。pMOSトランジスタP11は、ソース、ドレインおよびゲートがそれぞれ電源線VDD、ビット線XBL
25 および電流源の出力CSCに接続されている。pMOSトランジスタP10、P11は、それぞれビット線対BL、XBLに電流を供給するための電流源として動作する。

図2は、図1に示した強誘電体キャパシタ対FC1、FC2のヒステリシスループを示している。

プレート線PLが低レベルから高レベルに駆動され、強誘電体キャパシタの両端

に電圧 V_1 が印加されるとき、“論理 0”を記憶している強誘電体キャパシタ FC1 は、分極反転を伴わないため、実効的な容量値 C_0 は小さくなる。これに対して、“論理 1”を記憶している強誘電体キャパシタ FC2 は、分極反転を伴うため、実効的な容量値 C_1 は大きくなる。プレート線 PL の駆動により、ビット線 BL、XBL に

5 は、電荷 Q_0 、 Q_1 に対応する電圧が発生する。

図 3 は、図 1 に示した 2T2C 型の強誘電体キャパシタの読み出し動作を示している。

読み出し動作では、まず、ビット線 BL、XBL が接地電圧 V_{SS} にプリチャージされる。読み出しコマンドが供給され、アドレス信号に応じてワード線 WL が選択され

10 ると、強誘電体キャパシタ FC1、FC2 が、ビット線 BL、XBL にそれぞれ接続される。

この後、電源電圧 V_{DD} にプルアップされている電流源の出力 CSC は、DC バイアス値（低レベル）に設定される。CSC 信号の低レベルへの変化により、ビット線 BL、XBL には、pMOS トランジスタ P10、P11 を介して同じ量の電流が流れる。この

15 とき、ビット線 BL、XBL の立ち上がり速度は、強誘電体キャパシタ FC1、FC2 の実効的な容量値に応じて異なる。具体的には、実効的な容量値の小さい強誘電体キャパシタ FC1 に接続されたビット線 BL は、実効的な容量値の大きい強誘電体キャパシタ FC2 に接続されたビット線 XBL に比べ、早く立ち上がる。

ビット線 BL、XBL の電圧は、CSC 信号が低レベルの期間、上昇を続ける。CSC

20 信号は、ビット線 BL、XBL 間に十分な電圧差が生じた後、再び電源電圧 V_{DD} まで変化し、pMOS トランジスタ P10、P11 で構成された電流源はオフする。この後、センスアンプ電源 SAP、SAN が高レベル、低レベルにそれぞれ変化し、センスアンプ SA が活性化される。センスアンプ SA の活性化により、ビット線 BL の電圧はセンスアンプ電源 SAP の電圧（例えば、電源電圧 V_{DD} ）まで上昇し、ビット線 XBL

25 の電圧はセンスアンプ電源 SAN の電圧（例えば、接地電圧 V_{SS} ）まで下降する。センスアンプ SA の活性化中に、プレート線 PL が駆動され、強誘電体キャパシタ FC1、FC2 に元のデータがライトバックされる。この後、ワード線 WL が非選択され、読み出し動作が完了する。

図 3 に示したように、容量差検出方式では、プレート線 PL は、強誘電体キャパ

シタ FC1、FC2 からデータが読み出された後に駆動される。このため、プレート線の CR 遅延時間に依存せずに、メモリセル MC からビット線 BL、XBL にデータを読み出すことができる。したがって、データの読み出し時間（読み出しコマンドから読み出しデータの出力までの時間）を短縮できる。具体的には、データの読み出し時間は、プレート線駆動方式に比べ約 40 % 短縮する。

図 4 は、1T1C 型強誘電体メモリセルを利用した容量差検出方式の読み出し回路の概要を示している。センスアンプ SA は、図 1 に示したセンスアンプ SA と同じである。

各メモリセル MC は、nMOS トランジスタからなる転送トランジスタ M1 および強誘電体キャパシタ FC1 を有している。強誘電体キャパシタ FC1 は、一端が転送トランジスタ M1 を介してビット線 BLE またはビット線 BLO に接続され、他端がプレート線 PL に接続されている。メモリセル MC の転送トランジスタ M1 のゲートは、それぞれ異なるワード線 WLE、WLO に接続されている。すなわち、相補のビット線 BLE、BLO にそれぞれ接続されたメモリセル MC は、同時にアクセスされない。

リファレンスメモリセル RMC は、メモリセル MC の強誘電体キャパシタ FC1 と同じ 4 つの強誘電体キャパシタ C0、C1 で構成されるリファレンスキャパシタと、2 つの nMOS トランジスタ N10、N11 とを有している。nMOS トランジスタ N10 は、リファレンスワード線 RWLO が高レベルのときに、リファレンスキャパシタをビット線 BLE に接続する。nMOS トランジスタ N11 は、リファレンスワード線 RWLE が高レベルのときに、リファレンスキャパシタをビット線 BLO に接続する。

リファレンスキャパシタは、“論理 0”を記憶する強誘電体キャパシタ C0 と、“論理 1”を記憶する強誘電体キャパシタ C1 を直列に接続した 2 つの容量対を並列に接続して構成されている。リファレンスキャパシタの容量値は、 $(C0 + C1) / 2$ になる。すなわち、リファレンスキャパシタは、“論理 0”を記憶する強誘電体キャパシタ FC1 の容量値と、“論理 1”を記憶する強誘電体キャパシタ FC1 の容量値の中間の容量値を有している。メモリセルキャパシタと同じ複数の強誘電体キャパシタを組み合わせることで、中間の容量値を簡易かつ高い精度で構成できる。

図 4 に示した 1T1C 型の強誘電体メモリでは、ワード線 WLE が高レベルになりビ

ット線 BLE に接続されたメモリセル MC が選択される場合、リファレンスワード線 RWLE は、リファレンスキャパシタをビット線 BL0 に接続するために高レベルになる。同様に、ワード線 WL0 が高レベルになりビット線 BL0 に接続されたメモリセル MC が選択される場合、リファレンスワード線 RWL0 は、リファレンスキャパシタをビット線 BLE に接続するために高レベルになる。そして、上述した図 3 と同様に、強誘電体キャパシタ FC1 の容量値に応じて変化するビット線 BLE (または BL0) の電圧と、リファレンスキャパシタの容量値に応じて変化するビット線 BL0 (または BLE) の電圧との差が、センスアンプ SA で増幅され、読み出しデータとして出力される。

- 10 容量差検出方式は、プレート線駆動方式に比べ読み出しアクセス時間を短縮できる。しかし、読み出しアクセス時間のさらなる短縮が要求されている。

- また、1T1C 型の容量差検出方式では、リファレンスメモリセルが複数の強誘電体キャパシタを使用して構成される。強誘電体キャパシタは、図 2 のヒステリシスループに示すように、印加電圧と容量値の関係が、非線形である。具体的には、
15 図 2 に示した“論理 0”を記憶している強誘電体キャパシタ FC1 と、“論理 1”を記憶している強誘電体キャパシタ FC1 とでは、印加電圧の変化に対する容量値の変化量は異なる。実際には、リファレンスメモリセルの実効的な容量値は、 $(C0 + C1) / 2$ より小さくなってしまふ。この結果、“論理 0”を記憶しているメモリセル MC の読み出しマージンは、“論理 1”を記憶しているメモリセル MC の読み出し
20 マージンより小さくなってしまふ。

- リファレンスメモリセルは、メモリセルの強誘電体キャパシタ FC1 よりサイズの大きい 1 つの強誘電体キャパシタにより構成することも可能である。この種のリファレンスメモリセルでは、強誘電体キャパシタに“論理 0”を書き込むことで、リファレンスメモリセルの実効的な容量値を、図 2 に示した容量値 C0、C1 の間に
25 設定できる。しかしながら、リファレンスメモリセルの実効的な容量値を、正確に $(C0 + C1) / 2$ に設定することは難しい。このため、読み出しマージンは小さくなる。

一方、強誘電体メモリでは、読み出し回数（書き換え回数）が 10 の 10 乗回を超えると強誘電体材料が劣化して、図 2 に示したヒステリシスループの形状が

変化し、残留分極値 Q が小さくなる。また、強誘電体メモリをプリント基板に実装する際に、残留分極値 Q は、はんだ付け工程（熱処理）に起因する熱揺らぎの影響により一時的に減少する。残留分極値 Q は、熱処理後の最初の読み出し動作により、はんだ付け前の値に回復する。

- 5 リファレンスメモリセルを、複数のワード線 WLE、WLO に接続されたメモリセル MC で共有する強誘電体メモリ（図 4）において、熱処理前後の残留分極値 Q の変化は、読み出しマージンを低下させる。熱処理後の最初の読み出し動作では、メモリセル MC およびリファレンスメモリセルともに残留分極値 Q が減少しているため、残留分極値 Q の減少は相殺される。このため、読み出しマージンはほとんど低下しない。しかし、次の読み出し動作で残留分極値 Q が回復してない別のメモリセル MC をアクセスする場合、リファレンスメモリセルの残留分極値 Q は回復しているため、読み出しマージンが低下し、データを正しく読み出せないおそれがある。

- 15 また、リファレンスメモリセルを、複数のワード線 WLE、WLO に接続されたメモリセル MC で共有する強誘電体メモリ（図 4）では、リファレンスメモリセルのアクセス回数は、最大でメモリセル MC のアクセス回数の 2 倍になる。このため、リファレンスメモリセルを構成する強誘電体キャパシタの材料特性は、メモリセル MC の強誘電体キャパシタの材料特性より早く劣化する。この結果、読み出しマージンは、読み出し回数の増加とともに低下し、読み出し回数（書き換え回数）は、
20 減少してしまう。

- 1T1C 型の強誘電体メモリにおける読み出しマージンの低下を防ぐために、強誘電体キャパシタの読み出し動作で得られる最大電圧と最小電圧の平均を、リファレンス電圧に設定するの技術が提案されている（特許文献（1））。この技術では、ワード線 WL に接続されるメモリセル MC の数を 1 つ増やし、増やしたメモリセル MC には、所定のビット線に接続されるメモリセル MC に書き込まれるデータの反転データが書き込まれる。しかしながら、この強誘電体メモリでは、リファレンス電圧が強誘電体キャパシタから生成されるまで、センスアンプの動作を開始できない。このため、アクセス時間は遅くなる。

以下、本発明に関連する先行技術文献を列記する。

(非特許文献)

(1) Y. Eslami, A. Sheikholeslami, S. Masui, T. Endo, and S. Kawashima, "A Differential-Capacitance Read Scheme for FeRAMs", Digests of Technical Papers of 2002 Symposium on VLSI Circuits, pp.298-301

5 (特許文献)

(1) 特開 2 0 0 0 - 1 5 7 8 7 6 号公報

発明の開示

本発明の目的は、強誘電体キャパシタの残留分極値が小さく、ビット線の電圧
10 変化が小さい場合にも、メモリセルからデータを確実に読み出すことにある。特に、各論理値に対するデータの読み出しマージンを、それぞれ最大にすることにある。

本発明の別の目的は、強誘電体キャパシタが劣化した場合にも、データの読み出しマージンを確保し、データの書き換え可能回数を増加することにある。

15 本発明の別の目的は、強誘電体メモリの読み出しサイクル時間を短縮することにある。

本発明の一形態では、第 1 メモリセルを含む通常メモリセルの強誘電体キャパシタに、外部から供給されるデータが記憶される。第 2 メモリセルの強誘電体キャパシタに、第 1 メモリセルに記憶される第 1 データの反転データが記憶される。
20 強誘電体キャパシタの実効的な容量値は、書き込みデータの論理値に応じて異なる。

読み出し動作の開始から所定の期間、メモリセルに接続されるビット線に電流が供給され、強誘電体キャパシタは充電される。実効的な容量値の小さい強誘電体キャパシタに接続されたビット線の電圧は、実効的な容量値の大きい強誘電体
25 キャパシタに接続されたビット線の電圧より早く上昇する。このため、ビット線の電圧が閾値電圧を超えるまでの時間は、強誘電体キャパシタに記憶されているデータの論理値に応じて異なる。換言すれば、強誘電体キャパシタの充電時間は、書き込まれているデータの論理値に応じて異なる。

メモリセルに記憶されているデータの論理値は、時間差として検出可能である。

時間を検出する回路は、電圧を検出する回路より容易に形成でき、その精度も高い。したがって、第1および第2メモリセルに接続されたビット線のいずれかの電圧が最初に閾値電圧を超えてから所定時間後に、通常メモリセルからビット線に読み出されるデータの論理値を判定することで、データを確実に読み出すことができる。

ビット線の電圧変化が小さくても、確実に時間差を生成できるため、強誘電体キャパシタの残留分極値が小さい場合にも、メモリセルからデータを確実に読み出すことができる。すなわち、電圧差でデータの論理値を検出する場合に比べて、データの読み出しマージンを向上できる。さらに、強誘電体キャパシタが劣化した場合にも、データの読み出しマージンを確保できるため、データの書き換え可能回数を増加できる。

本発明の別の形態では、所定時間は、第1および第2メモリセルに接続された一方のビット線の電圧が閾値電圧を超えてから、第1および第2メモリセルに接続された他方のビット線の電圧が閾値電圧を超えるまでの期間の半分に設定される。所定時間は、例えば、可変遅延回路を使用して設定される。一方のビット線の電圧が閾値電圧を超えてから上記所定時間が経過するまでの期間と、所定時間の経過から他方のビット線の電圧が閾値電圧を超えるまでの期間とは、等しい。データの論理値を判定するタイミングを、2つの論理値の読み出しタイミングの中央に設定することで、データの読み出しマージンを、2つの論理値に対してそれぞれ最大にできる。すなわち、読み出しマージンを向上できる。

本発明の別の形態では、センスアンプは、各ビット線の電圧と閾値電圧との差を差動増幅し、読み出しデータとして出力する。すなわち、ビット線が閾値電圧を超えているか否かは、センスアンプにより判定される。ビット線の電圧差（論理値の違い）は、センスアンプからそれぞれ出力される読み出しデータの遷移エッジの時間差に変換される。ラッチ信号は、最初の読み出しデータの遷移エッジから上記所定時間後（両遷移エッジの中央）に生成される。すなわち、ラッチ信号は、読み出しデータから生成される。読み出しデータの論理レベルは、ラッチ信号によりラッチされる。このため、データの読み出しマージンを、2つの論理値に対してそれぞれ最大にできる。

本発明の別の形態では、第1および第2メモリセルに接続された一方のビット線の電圧が閾値電圧を超えてからラッチ信号が出力されるまでの第1期間と、ラッチ信号が出力されてから第1および第2メモリセルに接続された他方のビット線の電圧が閾値電圧を超えるまでの第2期間との差が検出される。この差を小さくするための調整信号が出力される。このため、ラッチ信号の出力タイミングが、両遷移エッジの中央からずれている場合に、可変遅延回路の遅延時間を調整することで、出力タイミングを正しいタイミングに修正できる。

本発明の別の形態では、遅延調整回路は、第1期間が第2期間より長い場合と、第1期間が第2期間より短い場合とでカウント方向を逆転するカウンタを有している。遅延調整回路は、カウンタのカウント値を調整信号として出力する。可変遅延回路の遅延時間は、調整信号により調整される。このため、可変遅延回路の遅延時間を、カウンタ値の増減に応じて容易に変更できる。

本発明の別の形態では、可変遅延回路は、ラッチ信号の生成経路に接続される複数の負荷容量と、カウンタ値に応じて負荷容量を生成経路に接続または非接続するスイッチとを有している。このため、ラッチ信号の出力タイミングをカウンタを用いて容易に変更できる。

本発明の別の形態では、負荷容量の容量値は、2倍ずつ大きくなるように設定される。このため、例えば、2進カウンタの各ビットの重み付けに応じて、容量値を所定値毎に増減できる。この結果、可変遅延回路の遅延時間を、規則正しい間隔で調整できる。

本発明の別の形態では、ラッチ信号は、一方のビット線の電圧が閾値電圧を超えてから上記所定時間後に生成される。遅延ラッチ信号は、ラッチ信号をさらに上記所定時間遅らせて生成される。ラッチ信号および遅延ラッチ信号は、例えば、遅延時間が常に等しく設定される直列に接続された2つの可変遅延段によりそれぞれ生成される。遅延ラッチ信号の出力タイミングと、他方のビット線の電圧が閾値電圧を超えるタイミングとの差が無くなったとき、第1および第2期間は、等しくなる。直列に接続された2つの可変遅延段の遅延時間を同時に調整することで、容易かつ確実に、第1および第2期間を等しくし、ラッチ信号を両遷移エッジの中央に設定できる。

本発明の別の形態では、可変遅延回路の先着判定回路は、第1および第2メモリセルに対応するセンスアンプから出力される読み出しデータのうち、先に出力される読み出しデータを選択し、初段の可変遅延段に出力する。このため、初段の可変遅延段は、第1および第2メモリセルに記憶されているデータの論理値
5 に依存せず、先に出力される読み出しデータに基づいてラッチ信号を生成できる。

本発明の別の形態では、可変遅延回路の後着判定回路は、第1および第2メモリセルに対応するセンスアンプから出力される読み出しデータのうち、後に出力される読み出しデータを選択し、遅延調整回路に出力する。このため、遅延調整回路は、第1および第2メモリセルに記憶されているデータの論理値に依存せず、後に出力される読み出しデータに基づいてラッチ信号の出力タイミングを最適に調整できる。
10

本発明の別の形態では、メモリセルから読み出したデータを再びメモリセルに書き込むライトバック動作は、ラッチ信号に応答して開始される。ライトバック動作は、例えば、強誘電体キャパシタに接続されるプレート線を駆動することで実行される。読み出しデータから生成されるラッチ信号によりライトバック動作が開始されるため、ライトバック動作を早く開始し、早く完了できる。したがって、読み出しサイクルを短縮できる。
15

本発明の別の形態では、上記所定時間は、読み出し動作毎に設定される。設定された所定時間は、次の読み出し動作で使用される。このため、強誘電体メモリの動作中に温度が変動し、あるいは電源電圧が変動する場合にも、ラッチ信号の出力タイミングを常に最適に設定できる。
20

本発明の別の形態では、ビット線は、読み出し動作前に所定の電圧にプリチャージされる。このため、ビット線の電圧を、第1および第2メモリセルの強誘電体キャパシタの実効的な容量値を正確に反映させて上昇させることができる。したがって、ラッチ信号の出力タイミングを、先の読み出しデータの出力タイミングと後の読み出しデータの出力タイミングとの中央に正確に設定できる。この結果、データの読み出しマージンを、2つの論理値に対してそれぞれ最大にできる。
25

本発明の別の形態では、電圧生成回路は、閾値電圧を生成する。閾値電圧を

強誘電体メモリの内部で生成することで、所望の値の閾値電圧を容易に生成できる。

図面の簡単な説明

5 図 1 は、従来の 2T2C 型強誘電体メモリにおける容量差検出方式の読み出し回路の概要を示す回路図である。

図 2 は、図 1 に示した強誘電体キャパシタのヒステリシスループを示す特性図である。

10 図 3 は、図 1 に示した 2T2C 型強誘電体メモリの読み出し動作を示すタイミング図である。

図 4 は、従来の 1T1C 型強誘電体メモリにおける容量差検出方式の読み出し回路の概要を示す回路図である。

図 5 は、本発明の強誘電体メモリの実施形態を示すブロック図である。

図 6 は、電流源制御回路 CSCON の詳細を示すブロック図である。

15 図 7 は、図 6 に示した不揮発性ラッチ NVLT の一例を示す回路図である。

図 8 は、図 5 に示した閾値電圧生成回路 VGEN の詳細を示す回路図である。

図 9 は、図 5 に示したメモリコア CORE の要部の詳細を示す回路図である。

図 10 は、図 5 に示した適応型リファレンス生成回路 ADLY の詳細を示すブロック図である。

20 図 11 は、図 10 に示した遅延調整回路 DADJ の詳細を示すブロック図である。

図 12 は、本発明の強誘電体メモリの読み出し動作を示すタイミング図である。

発明を実施するための最良の形態

25 以下、本発明の実施形態を図面を用いて説明する。図中の二重丸は、外部端子を示している。図中、太線で示した信号線は、複数本で構成されている。また、太線が接続されているブロックの一部は、複数の回路で構成されている。

図 5 は、本発明の強誘電体メモリの実施形態を示している。

強誘電体メモリチップは、シリコン基板上に CMOS プロセスを使用して形成されている。この強誘電体メモリは、例えば、携帯電話等の携帯端末のワークメモリ

として使用される。強誘電体メモリは、コマンドバッファ CMDB、コマンドデコーダ CMDD、制御回路 CONT、アドレスバッファ ADB、ロウデコーダ RDEC、コラムデコーダ CDEC、ワードドライバ WD、プリチャージ回路 PRE、電流源制御回路 CSCON、閾値電圧生成回路 VGEN、メモリコア CORE、プレートドライバ PD、およびデータ

5 出力バッファ OBF を有している。図1では、主に読み出し動作に必要な回路を記載している。このため、書き込み動作に必要なデータ入力バッファおよびライトアンプ等の回路は、省略している。

コマンドバッファ CMDB は、チップセレクト信号/CS、出力イネーブル信号/OE およびライトイネーブル信号/WE 等のコマンド信号 CMD をコマンド端子を介して

10 受信し、受信した信号をコマンドデコーダ CMDD に出力する。コマンドデコーダ CMDD は、コマンド信号が示す動作モードを解読し、解読した動作モードに応じて動作制御信号（読み出し制御信号および書き込み制御信号等）を制御回路 CONT に出力する。

制御回路 CONT は、動作制御信号に応じてプレートドライバ PD、ワードドライバ WD、およびデータ出力バッファ OBF 等を動作させるタイミング信号を生成する。

15

アドレスバッファ ADB は、アドレス信号 AD をアドレス端子を介して受信し、受信した信号をロウデコーダ RDEC およびコラムデコーダ CDEC に出力する。ロウデコーダ RDEC は、アドレス信号の上位ビット（ロウアドレス）をデコードしてロウデコード信号を生成し、生成した信号をワードドライバ WD に出力する。コラムデ

20 コーダ CDEC は、アドレス信号の下位ビット（コラムアドレス）をデコードしてコラムデコード信号を生成し、生成した信号をコラムデコーダ列 CDEC に出力する。

ワードドライバ WD は、制御回路 CONT からのタイミング信号およびロウデコーダ RDEC からのロウデコード信号に応答して、所定のワード線 WL（WLE、WLO）を選択する。選択されたワード線 WL は、低レベルから高レベルに変化する。

プレートドライバ PD は、制御回路 CONT からのタイミング信号およびロウデコーダ RDEC からのロウデコード信号に応答して、所定のプレート線 PL を選択する。選択されたプレート線 PL は、所定の期間に低レベルから高レベルに変化する。

25

プリチャージ回路 PRE は、読み出し動作の前に、ビット線 BLE、BLO を接地電圧 VSS にプリチャージする。このため、読み出し動作において、ビット線 BLE、BLO

の電圧は、メモリセル MC に記憶されているデータに応じて正確に変化する。

電流源制御回路 CSCON は、読み出し動作時に制御回路 CONT から出力されるタイミング信号に応じて、メモリコア CORE の電流源 CS をオンさせるための制御信号 CSC を出力する。

- 5 閾値電圧生成回路 VGEN は、読み出し動作に使用される閾値電圧 V_{th} を生成する。閾値電圧 V_{th} は、電源電圧 VDD に依存しない定電圧（例えば、2.5 V）である。電源電圧 VDD は、例えば、標準で 3.0 V であり、製品仕様として 2.7 V から 3.3 V まで許容されている。

- 10 データ出力バッファ OBF は、メモリコア CORE から読み出される複数ビットの読み出しデータのうち 8 ビットを、コラムデコード信号に応じて選択し、選択した読み出しデータをデータ入出力端子 I/O に出力する。データ入出力端子 I/O は、8 ビットで構成されている。

- 15 メモリコア CORE は、メモリセルアレイ ARY と、ビット線 BLE、BLO からなるビット線対にそれぞれ対応する複数のマルチプレクサ MUX、電流源 CS（電流供給回路）、センスアンプ SA、ラッチ回路 LT と、適応型リファレンス生成回路 ADLY とを有している。センスアンプ SA、ラッチ回路 LT および適応型リファレンス生成回路 ADLY は、読み出し制御回路として動作する。

- 20 メモリセルアレイ ARY は、マトリックス状に配置された複数のメモリセル MC と、メモリセル MC に接続された複数のワード線 WL（WLE、WLO）および複数のビット線 BLE、BLO を有している。メモリセル MC は、後述する図 9 に示すように、1T1C 型メモリセルであり、強誘電体キャパシタ FC および伝達トランジスタ TR を有している。強誘電体キャパシタ FC は、一端が伝達トランジスタ TR を介してビット線 BLE（または BLO）に接続され、他端がプレート線 PL に接続されている。伝達トランジスタ TR のゲートは、ワード線 WLE（または WLO）に接続されている。

- 25 ワード線 WL およびビット線 BLE、BLO の末尾の“E”、“O”は、それぞれ偶数、奇数を示している。偶数のワード線 WLE は、メモリセル MC を介して偶数のビット線 BLE に接続されている。奇数のワード線 WLO は、メモリセル MC を介して奇数のビット線 BLO に接続されている。このため、1 本のワード線 WL が選択されるときに、常にビット線対の一方のビット線（BLE または BLO）とメモリセル MC とが接続さ

れる。

- n組のビット線 BLE1-BLEn、BL01-BL0n に接続されるメモリセル MC は、データ入出力端子 I/O から入力される書き込みデータを記憶する通常メモリセルとして動作する。通常メモリセルのうち、BL01-BL0n に接続されるメモリセル MC を、第1メモリセルとも称する。ビット線 BLEn+1、BL0n+1 に接続されるメモリセル MC は、第1メモリセルに記憶されるデータ（第1データ）の反転データを記憶する第2メモリセルである。

- 本発明では、読み出し動作および書き込み動作において、選択されるワード線 WLE（または WLO）に接続される全てのメモリセル MC が、同時にアクセスされる。
- 換言すれば、異なるワード線 WLE、WLO に共有されるリファレンスメモリセルは存在しない。このため、強誘電体メモリの実装工程において、強誘電体メモリチップを基板にはんだ付けするときの熱処理による残留分極値の一時的な変動は、同時にアクセスされる全てのメモリセル MC に影響する。したがって、熱処理による読み出しマージンの低下は防止される。
- マルチプレクサ MUX は、ロウデコード信号に応じて、ビット線 BLE、BL0 のいずれかをセンスアンプ SA に接続する。

電流源 CS は、読み出し動作の開始から所定の期間に、マルチプレクサ MUX により選択されたビット線 BLE、BL0 のいずれかにバイアス電流を与える。

- センスアンプ SA は、マルチプレクサ MUX により選択されたビット線 BLE、BL0 のいずれかの電圧と、閾値電圧 V_{th} との差を差動増幅し、増幅した電圧をラッチ回路 LT に出力する。ラッチ回路 LT は、センスアンプ SA から出力される読み出しデータを相補のラッチ信号 LAT、/LAT に同期してラッチし、ラッチしたデータをデータ出力バッファ OBF に出力する。

- 適応型リファレンス生成回路 ADLY は、ビット線 BLEn（または BL0n）に接続された第1メモリセルから読み出されるデータと、ビット線 BLEn+1（または BL0n+1）に接続された第2メモリセルから読み出されるデータに応じて、ラッチ信号 LAT、/LAT の生成タイミングを最適に調整する。適応型リファレンス生成回路 ADLY により、後述するように、“論理0”および“論理1”の読み出しマージンは、ともに最大になる。

図 6 は、図 5 に示した電流源制御回路 CSCON の詳細を示している。

電流源制御回路 CSCON は、pMOS トランジスタ P21、P22 と、抵抗 1R、2R、4R と、nMOS トランジスタ N21、N22、N23 と、抵抗 1R、2R、4R にそれぞれ対応する不揮発性ラッチ NVLT および AND ゲートとを有している。抵抗 1R、2R、4R の頭の数字は、これ等抵抗の抵抗比を示している。すなわち、抵抗 1R、2R、4R の抵抗値は、
5 他の抵抗の 2 倍に順次設定されている。

pMOS トランジスタ P21 は、後述する図 9 に示す電流源 CS を構成する pMOS トランジスタ P31 とカレントミラー回路を構成する。pMOS トランジスタ P22 は、制御信号 CNT が高レベルの期間にオフし、制御信号 CNT が低レベルの期間にオンする。
10 制御信号 CSC の電圧は、制御信号 CNT が低レベル、かつ読み出し制御信号 RDP が低レベルで、nMOS トランジスタ N21、N22、N23 が全てオフしているときに、電源電圧 VDD に設定される。制御信号 CNT および読み出し制御信号 RDP は、制御回路 CONT から出力され、読み出し動作中の所定の期間にそれぞれ高レベルに変化する。

抵抗 1R (または 2R、4R) および nMOS トランジスタ N21 (または N21、N23) は、
15 制御信号 CSC の出力ノードと接地線 VSS との間に直列に接続されている。nMOS トランジスタ N21、N22、N23 のゲートは、不揮発性ラッチ NVLT の出力と読み出し制御信号 RDP とを受ける AND ゲートの出力 CIN1、CIN2、CIN3 にそれぞれ接続されている。不揮発性ラッチ NVLT は、ラッチしている論理値に応じて、それぞれ高レベルまたは低レベルを常時出力する。但し、不揮発性ラッチ NVLT が、ともに低レベル
20 を出力することは禁止している。

この電流源制御回路 CSCON では、読み出し動作中の所定の期間にオンする nMOS トランジスタ N21、N22、N22 の数に応じて、カレントミラー回路に流すべき電流が設定される。例えば、制御信号 CIN1、CIN2 が高レベル、制御信号 CIN3 が低レベルの場合、nMOS トランジスタ N21、N22 がオンし、nMOS トランジスタ N23 がオフする。このため、カレントミラー回路には、 $(VDD - V_T) / (R + 2R)$ に相当する
25 電流が流れる。ここで、 V_T は、pMOS トランジスタ P21 の閾値電圧 (絶対値) である。

制御信号 CSC の電圧は、不揮発性ラッチ NVLT から出力される 3 ビットの制御信号 CIN1、CIN2、CIN3 に応じて、読み出し動作時の所定の期間に、7 通りの低レベ

ル電圧のいずれに設定される。このため、不揮発性ラッチ NVLT にラッチされるデータに応じて、カレントミラー回路に流れる電流量を容易に調整できる。

不揮発性ラッチ NVLT に記憶する値は、強誘電体メモリの製造後に設定できる。すなわち、カレントミラー回路に流れる電流値は、強誘電体メモリの製造後に設定できる。このため、強誘電体メモリの製品仕様に合わせて、デバイス特性を変更できる。具体的には、電流値を大きく設定することで、高速アクセスを有する強誘電体メモリになる。電流値を小さく設定することで、書き換え回数の多い高信頼性を有する強誘電体メモリになる。1つのチップを、不揮発性ラッチ NVLT に記憶する値に応じて、仕様の異なる複数の製品にできるため、製品コストを削減できる。

図7は、図6に示した不揮発性ラッチ回路 NVLT の一例を示している。

不揮発性ラッチ回路 NVLT は、電源電圧 VDD および接地電圧 VSS を遮断するためのスイッチを有するラッチ回路 LT2 と、ラッチ回路 LT2 にデータを書き込むための2つの CMOS スイッチ SW と、プレート線 PL1、PL2 の間にラッチ回路 LT2 の入力ノード N を介して直列に接続された一対の強誘電体キャパシタ FC と、プレート線 PL1、PL2 の間にラッチ回路 LT2 の出力ノード NX を介して直列に接続された一対の強誘電体キャパシタ FC と、強誘電体キャパシタ FC をノード N、NX にそれぞれ接続するための複数の nMOS トランジスタ N30 と、強誘電体キャパシタ FC の一端がフローティングになることを防止する nMOS トランジスタ N31 とを有している。

nMOS トランジスタ N30 は、ストア信号 ST01、ST02 でそれぞれ制御される。nMOS トランジスタ N31 は、リセット信号 RES1、RES2 でそれぞれ制御される。CMOS スイッチ SW は、相補のクロック信号 CK、CKX でそれぞれ制御される。

不揮発性ラッチ回路 NVLT は、公知の回路であるため、詳細な説明は省略する。なお、本発明に適用するラッチ回路は、不揮発性ラッチ回路 NVLT に限定されない。

例えば、不揮発性ラッチ回路は、強誘電体キャパシタを有する不揮発性フリップフロップ回路または不揮発性 SRAM で構成してもよい。

不揮発性フリップフロップ回路は、2つの不揮発性ラッチ回路 NVLT あるいは不揮発性ラッチ回路 VNLT と揮発性ラッチ回路を縦続接続して構成される。不揮発性 SRAM は、メモリセルが不揮発性ラッチ回路 NVLT と同様な6個のトランジスタと

4個の強誘電体キャパシタとで構成される。ラッチ回路をメモリセル MC の強誘電体キャパシタと同じ構造の強誘電体キャパシタを用いて構成することで、製造プロセスが複雑になることが防止される。

図 8 は、図 5 に示した閾値電圧生成回路 VGEN の詳細を示している。

- 5 閾値電圧生成回路 VGEN は、周知の CMOS 回路で構成されるバンドギャップリファレンス VREF、オペアンプ OPAMP と、抵抗 R1、R2 とを有している。バンドギャップリファレンス BGR は、シリコンのバンドギャップの電圧である基準電圧（ほぼ 1.2 V）を生成する。オペアンプ OPAMP は、抵抗 R1、R2 による閾値電圧 V_{th} の分圧電圧と、基準電圧とが等しくなるように帰還制御し、一定の閾値電圧 V_{th}
- 10 （2.5 V）を生成する。基準電圧は、強誘電体メモリの動作温度、電源電圧の変化、および強誘電体メモリの製造工程でのプロセス条件の変化に依存せず、常に一定値に維持される。このため、閾値電圧生成回路 VGEN は、常に一定値の閾値電圧 V_{th} を生成できる。

図 9 は、図 5 に示したメモリコア CORE の要部の詳細を示している。

- 15 メモリセル MC は、強誘電体キャパシタ FC および伝達トランジスタ TR を有する 1T1C 型メモリセルである。強誘電体キャパシタ FC は、一端が伝達トランジスタ TR を介してビット線 BLE（または BLO）に接続され、他端がプレート線 PL に接続されている。伝達トランジスタ TR のゲートは、ワード線 WLE（または WLO）に接続されている。

- 20 マルチプレクサ MUX は、nMOS トランジスタおよび pMOS トランジスタを、ビット線 BLE、BLO 毎に有している。nMOS トランジスタおよび pMOS トランジスタは、ロウデコード信号の一種であるビット線選択信号 BLSE、BLS0 でそれぞれ制御される。ビット線選択信号 BLSE は、偶数のワード線 WLE が選択されるときに高レベルに変化する。ビット線選択信号 BLS0 は、奇数のワード線 WLO が選択されるときに
- 25 高レベルに変化する。

電流源 CS は、電流源制御回路 CSCON から出力される制御信号 CSC をゲートで受ける pMOS トランジスタ P31 を有している。電流源 CS は、制御信号 CSC が低レベル期間中に、低レベル電圧に応じた電流をビット線 BLE（または BLO）に与える。

センスアンプ SA は、差動増幅型アンプとコモンソース型アンプとを組み合わせ

て構成されている。差動増幅型アンプは、センスアンプ活性化信号 SAN を受けて活性化され、閾値電圧 V_{th} とビット線 BLE(または BL0)の電圧差を差動増幅する。読み出し動作の開始前に、ビット線 BLE、BL0 は接地電圧 VSS にプリチャージされている。また、センスアンプ SA に供給される閾値電圧 V_{th} は、常時生成される。

- 5 このため、読み出し開始時のビット線 BLE、BL0 の電圧は、閾値電圧 V_{th} より低い。したがって、読み出し動作の早い時期にセンスアンプ SA を活性化しても、誤動作することはない。この結果、センスアンプ SA の活性化タイミングを早く設定でき、読み出しアクセス時間を短縮できる。

- 10 コモンソース型アンプは、差動増幅型アンプの出力電圧を、CMOS レベルに変換し、データ信号 DT (読み出しデータ) として出力する。読み出し動作において、センスアンプ SA は、ビット線 BLE (または BL0) の電圧が閾値電圧を超えたときに、データ信号 DT を低レベルから高レベルに変化させる。

- 15 ラッチ回路 LT は、一対の CMOS インバータで構成されるラッチと、データ信号 DT をラッチに伝達する CMOS スイッチと、ラッチの帰還ループを遮断する nMOS トランジスタとを有している。CMOS スイッチは、ラッチ信号 LAT (/LAT) が低レベル (高レベル) のときにオンし、ラッチ信号 LAT (/LAT) が高レベル (低レベル) のときにオフする。nMOS トランジスタは、ラッチ信号 LAT が高レベルのときにループを導通させ、ラッチ信号 LAT が低レベルのときにループを遮断する。ラッチ回路 LT は、保持しているデータを、データ信号 DOUT として出力する。なお、nMOS
- 20 トランジスタの代わりに CMOS スイッチを使用してもよい。

なお、ビット線 BLEn、/BLEn に対応するセンスアンプ SA は、図 5 に示したように、データ信号 DTn、/DTn をそれぞれ出力する。データ信号 DTn は、ラッチ回路 LT だけでなく、適応型リファレンス生成回路 ADLY にも出力される。データ信号 /DTn は、適応型リファレンス生成回路 ADLY のみに出力される。

- 25 図 10 は、図 5 に示した適応型リファレンス生成回路 ADLY の詳細を示している。

適応型リファレンス生成回路 ADLY は、可変遅延回路 VDLY および遅延調整回路 DADJ を有している。可変遅延回路 VDLY は、直列に接続された一対の可変遅延段 VDLY1、VDLY2 と、AND ゲートと、OR ゲートとを有している。

AND ゲートは、データ信号 DTn、/DTn のうち遅く高レベルに変化する信号に同

期して、高レベルに変化する後着信号 LATE を出力する。すなわち、AND ゲートは、データ信号 DTn、/DTn のうち後から伝達される信号を選択し、選択した信号を遅延調整回路 DADJ に出力する後着判定回路として動作する。AND ゲートにより、後から伝達されるデータ信号を容易に検出できる。

- 5 OR ゲートは、データ信号 DTn、/DTn のうち早く高レベルに変化する信号に同期して、高レベルに変化する先着信号 EARY を出力する。すなわち、OR ゲートは、データ信号 DTn、/DTn のうち先に伝達される信号を選択し、選択した信号を可変遅延段 VDLY1 に出力する先着判定回路として動作する。OR ゲートにより、先に伝達されるデータ信号を容易に検出できる。

- 10 図 5 で説明したように、ビット線 BLEn に接続されるメモリセル MC (第 1 メモリセル) の強誘電体キャパシタ FC が“論理 0”を記憶しているとき、ビット線/BLEn に接続されるメモリセル MC (第 2 メモリセル) の強誘電体キャパシタ FC は、“論理 1”を記憶している。ビット線 BL0n、/BL0n でも同様である。“論理 0”を記憶する強誘電体キャパシタ FC の実効的な容量値 C0 は、“論理 1”を記憶する強誘電体
15 キャパシタ FC の実効的な容量値 C1 より小さい。このため、読み出し動作において、電流源 CS からビット線 BLEn、/BLEn に同じ電流量が供給されるとき、“論理 0”に対応するビット線 (例えば BLEn) の電圧は、“論理 1”に対応するビット線 (例えば /BLEn) の電圧は、早く上昇する。

- 20 センスアンプ SA は、ビット線 BLEn、/BLEn の電圧が閾値電圧 Vth を超えたときに出力をそれぞれ高レベルに変化させる。したがって、OR ゲートから出力される先着信号 EARY の立ち上がりエッジタイミングは、センスアンプ SA が“論理 0”を検出する時刻になる。AND ゲートから出力される後着信号 LATE の立ち上がりエッジタイミングは、センスアンプ SA が“論理 1”を検出する時刻になる。すなわち、先着信号 EARY および後着信号 LATE の立ち上がりエッジタイミングは、それぞれ“
25 論理 0”、“論理 1”の読み出しを意味する。このように、本発明では、ビット線 BLE、BL0 に読み出される読み出しデータの論理は、電圧差ではなく、時間差として検出される。

初段の可変遅延段 VDLY1 は、OR ゲートから出力される先着信号 EARY を所定時間 T1 だけ遅延させ、遅延させた信号をラッチ信号/LAT、LAT として出力する。後

段の可変遅延段 VDLY2 は、ラッチ信号 LAT を所定時間 T1 だけ遅延させ、遅延させた信号を遅延ラッチ信号 LATD として遅延調整回路 DADJ に出力する。初段および後段の可変遅延段 VDLY1、VDLY2 は、同じ遅延調整信号 ADJ0-2 を受けて常に同じ遅延時間 T1 に設定される。

- 5 各可変遅延段 VDLY1、VDLY2 は、先着信号 EARY の伝達経路（ラッチ信号 LAT の伝達経路）に nMOS トランジスタ N41、N42、N43 を介して接続された 3 つの容量 1Cd、2Cd、4Cd を有している。容量 1Cd、2Cd、4Cd の頭の数字は、これ等容量の容量比を示している。すなわち、容量 1Cd、2Cd、4Cd の容量値は、他の容量の 2 倍に順次設定されている。nMOS トランジスタ N41、N42、N43 のゲートは、遅延調整回路 DADJ から出力される遅延調整信号 ADJ0-2 をそれぞれ受けている。先着信号 EARY の伝達経路に付加される容量値は、3 ビットの遅延調整信号 ADJ0-2 の論理値に応じて 8 通り（0Cd-7Cd）に設定される。

- 15 遅延調整回路 DADJ は、読み出し動作毎に、先着信号 EARY を可変遅延段 VDLY1、VDLY2 で遅延させた遅延ラッチ信号 LATD と後着信号 LATE との到着時刻を比較する。遅延調整回路 DADJ は、遅延ラッチ信号 LATD の到着が後着信号 LATE の到着より早い場合、可変遅延回路 VDLY の遅延時間を増加させるために遅延調整信号 ADJ0-2 で示される論理値を "1" 増加する。

- 20 ここで、遅延調整信号 ADJ0 は、下位ビットに対応し、ADJ2 は、上位ビットに対応する。遅延調整回路 DADJ は、遅延ラッチ信号 LATD の到着が後着信号 LATE の到着より早い場合、可変遅延回路 VDLY の遅延時間を増加させるために遅延調整信号 ADJ0-2 を変更する。例えば、遅延調整信号 ADJ0-2 が 2 進数の "論理 011" から "論理 100" に変更され、先着信号 EARY の伝達経路に付加される容量値は、"3Cd" から "4Cd" に増加する。可変遅延段 VDLY1、VDLY2 の遅延時間は、ともに同じ時間だけ増加する。

- 25 また、遅延調整回路 DADJ は、遅延ラッチ信号 LATD の到着が後着信号 LATE の到着より遅い場合、可変遅延回路 VDLY の遅延時間を減少させるために遅延調整信号 ADJ0-2 を変更する。例えば、遅延調整信号 ADJ0-2 が 2 進数の "論理 011" から "論理 010" に変更され、先着信号 EARY の伝達経路に付加される容量値は、"3Cd" から "2Cd" に減少する。可変遅延段 VDLY1、VDLY2 の遅延時間 T1 は、ともに同じ時間だ

け減少する。このような遅延時間 T1 の調整は、遅延ラッチ信号 LATD の到着と後着信号 LATE の到着とが一致するまで、読み出し動作毎に実施される。

遅延ラッチ信号 LATD の立ち上がりエッジタイミングと後着信号 LATE の立ち上がりエッジタイミングとが等しくなったとき、ラッチ信号 LAT、/LAT の出力タイミングは、先着信号 EARY の立ち上がりエッジタイミングと後着信号 LATE の立ち上がりエッジタイミングとの中央に設定されている。すなわち、ラッチ信号 LAT、/LAT の出力タイミングは、センスアンプ SA が“論理 0”を検出する時刻と“論理 1”を検出する時刻との中央に設定される。この結果、“論理 0”を読み出すビット線の電圧が閾値電圧 V_{th} を超えてからラッチ信号 LAT、/LAT が出力されるまでの第 1 期間 P1 と、ラッチ信号 LAT、/LAT が出力されてから“論理 1”を読み出すビット線の電圧が閾値電圧 V_{th} を超えるまでの第 2 期間 P2 は、互いに等しくなる。換言すれば、読み出しマージンは、“論理 0”および“論理 1”に対してそれぞれ最大になる。

遅延時間は、読み出し動作毎に調整される。このため、強誘電体メモリの動作中の温度の変化、あるいは電源電圧 VDD の変化により、ラッチタイミングがずれる場合にも、最も読み出しマージンの大きいラッチタイミングに戻すことができる。さらに、強誘電体キャパシタ FC の劣化により残留分極値が変化する場合にも、読み出しマージンを“論理 0”および“論理 1”に対して常に最大にできる。

図 1 1 は、図 1 0 に示した遅延調整回路 DADJ の詳細を示している。

遅延調整回路 DADJ は、遅延ラッチ信号 LATD および後着信号 LATE の立ち上がりエッジの先着を判断し、アップ信号 UP またはダウン信号 DOWN を出力する差動増幅器 AMP と、アップ信号 UP またはダウン信号 DOWN を受けて動作するカウンタ COUNT とを有している。差動増幅器 AMP は、遅延ラッチ信号 LATD の立ち上がりエッジが後着信号 LATE の立ち上がりエッジより早いときに、アップ信号 UP を低レベルに変化する。差動増幅器 AMP は、遅延ラッチ信号 LATD の立ち上がりエッジが後着信号 LATE の立ち上がりエッジより遅いときに、ダウン信号 DOWN を低レベルに変化する。アップ信号 UP およびダウン信号 DOWN をそれぞれ受ける nMOS トランジスタのドレインは、差動増幅器 AMP の検出感度をわずかに鈍らすキーパートランジスタを介して互いに接続されている。

カウンタ COUNT は、アップ信号 UP の立ち下がりエッジに応答してカウントアップし、ダウン信号 DOWN の立ち下がりエッジに応答してカウントダウンし、カウンタ値を遅延調整信号 ADJ0-2 として出力する 3 ビットのアップダウンカウンタである。すなわち、カウンタ COUNT は、第 1 期間 P1 が第 2 期間 P2 より長いときに
5 カウントダウンし、第 1 期間 P1 が第 2 期間 P2 より短いときにカウントアップする。

アップ信号 UP およびダウン信号 DOWN がともに高レベルのとき、読み出し動作が実行されておらず差動増幅器 AMP は非動作状態である。このとき、カウンタ COUNT は動作しない。アップ信号 UP およびダウン信号 DOWN がともに低レベルの
10 とき、遅延ラッチ信号 LATD および後着信号 LATE の立ち上がりエッジタイミングは等しい。詳細には、遅延ラッチ信号 LATD および後着信号 LATE の立ち上がりの差が、可変遅延回路 VDLY の量子化誤差(最小の遅延調整時間)より小さいときに、アップ信号 UP およびダウン信号 DOWN は、ともに低レベルに設定される。このときも、カウンタ COUNT は動作しない。キーパートランジスタにより差動増幅器 AMP
15 の検出感度をわずかに鈍らしているため、立ち上がりエッジのわずかの違いにより、可変遅延回路 VDLY の遅延時間が読み出し動作毎に変化することが防止される。

図 1 2 は、第 1 の実施形態の強誘電体メモリの読み出し動作を示している。

予め、メモリセル MC には、外部からデータが書き込まれている。ビット線 BLE_n、BLE_n に接続されたメモリセル MC (第 2 メモリセル) には、ビット線/BLE_n、/BL0_n
20 に接続されたメモリセル MC (第 1 メモリセル) が記憶するデータの反転データが書き込まれている。

読み出しコマンドおよびデータを読み出すメモリセル MC を選択するアドレス信号 AD が、強誘電体メモリに供給されると、図 5 に示した制御回路 CONT は、制御信号 CNT および読み出し制御信号 RDP を出力する (図 1 2 (a、b))。ワード
25 ドドライバ WD は、アドレス信号 AD に対応するワード線 WLE (または WL0) を高レベルに変化させる。ロウデコーダ RDEC は、アドレス信号 AD に応じて、ビット線選択信号 BLSE (または BLS0) を高レベルに変化させる (図 1 2 (c))。

図 6 に示した電流源制御回路 CSCON は、読み出し制御信号 RDP の立ち上がりエッジに同期して、制御信号 CSC を低レベルに変化させる (図 1 2 (d))。制御

信号 CSC の低レベル電圧は、不揮発性ラッチ NVLT に記憶されているデータに応じて設定される。制御信号 CSC の変化により電流源 CS がオンし、ビット線 BLE (または BL0) に電流が供給される。ビット線 BLE (または BL0) の電圧は、ワード線 WLE (または WL0) により接続された強誘電体キャパシタ FC の残留分極値 (容量
5 値) に応じて徐々に上昇する (図 1 2 (e))。上述したように、“論理 0”を記憶する強誘電体キャパシタ FC に接続されたビット線の電圧は、“論理 1”を記憶する強誘電体キャパシタ FC に接続されたビット線の電圧より早く上昇する。

図 9 に示したセンスアンプ SA は、“論理 0”を記憶する強誘電体キャパシタ FC に接続されたビット線の電圧が閾値電圧 V_{th} を超えたとき、データ信号 DT を高レ
10 ベルに変化させる (図 1 2 (f))。同様に、別のセンスアンプ SA は、“論理 1”を記憶する強誘電体キャパシタ FC に接続されたビット線の電圧が閾値電圧 V_{th} を超えたとき、データ信号 DT を高レベルに変化させる (図 1 2 (g))。

図 1 0 に示した適応型リファレンス生成回路 ADLY の OR ゲートは、先着のデータ信号 DT (DT_n 、 $/DT_n$ のいずれか) に同期して、先着信号 EARY を出力する (図 1
15 2 (h))。AND ゲートは、後着のデータ信号 DT (DT_n 、 $/DT_n$ のいずれか) に同期して、後着信号 LATE を出力する (図 1 2 (i))。また、適応型リファレンス生成回路 ADLY は、先着信号 EARY を 2 つの可変遅延段 VDLY1、VDLY2 で遅延させ、遅延ラッチ信号 EARYD として出力する (図 1 2 (j))。

図 1 2 は、可変遅延回路 VDLY の遅延時間が最適に設定されている例を示している。
20 このため、遅延ラッチ信号 LATD の立ち上がりエッジは、後着信号 LATE の立ち上がりエッジと同じタイミングである。また、先着のデータ信号 DT の立ち上がりエッジからラッチ信号 LAT、 $/LAT$ の出力までの期間 P1 は、ラッチ信号 LAT、 $/LAT$ の出力から後着のデータ信号 DT の立ち上がりエッジまでの期間 P2 に等しい。さらに、これ等期間 P1、P2 は、可変遅延段 VDLY1、VDLY2 の遅延時間 T1 にも等しい。

25 可変遅延段 VDLY1 は、ラッチ信号 LAT、 $/LAT$ を出力する (図 1 2 (k))。ラッチ信号 LAT、 $/LAT$ の出力タイミングは、上述したように、読み出しマージンを“論理 0”および“論理 1”に対して最大にするタイミングである。図 9 に示したラッチ回路 LT は、ラッチ信号 LAT、 $/LAT$ に同期してラッチした読み出しデータをデータ信号 DOUT として出力する (図 1 2 (l))。

一方、期間 P1 が期間 P2 より短い場合、遅延調整回路 DADJ は、調整信号 ADJ0-2 の論理値を“011”から“100”に増加し、可変遅延回路 VDLY の遅延時間を増加させる（図 1 2（m））。このとき、ラッチ信号 LAT、/LAT の出力タイミングは、次の読み出し動作において、わずかに遅くなる。

- 5 制御回路 CONT は、センスアンプ SA がデータ信号 DT を出力した後、制御信号 CNT を低レベルに変化させる（図 1 2（n））。低レベルの制御信号 CNT により、制御信号 CSC は、高レベルに変化する（図 1 2（o））。また、センスアンプ活性化信号 SAN が低レベルに変化し、センスアンプ SA が非活性化される（図 1 2（p））。
- 10 読み出しデータが確定した後、図 5 に示したプレートドライバ PD は、アドレス信号 AD に応じたプレート線 PL を所定の期間高レベルに変化させる（図 1 2（q））。ビット線 BLE（または BL0）の電圧は、強誘電体キャパシタ FC の残留分極値に応じて変化する（図 1 2（r））。“論理 1”を記憶している強誘電体キャパシタ FC に接続されたビット線は、低レベルに変化し、“論理 0”を記憶している強誘電体
- 15 キャパシタ FC に接続されたビット線は、高レベルに変化する。そして、メモリセル MC から読み出されたデータが、再びメモリセル MC にライトバックされる。ライトバックが完了した後、ワード線 WLE（または WL0）が低レベルに変化し、読み出し動作が完了する（図 1 2（s））。

- プレート線 PL の立ち上げタイミングは、例えば、ラッチ信号 LAT の立ち上がり
- 20 エッジから所定時間後に設定される。ラッチ信号 LAT は、適応型リファレンス生成回路 ADLY により、データ信号 DT から生成される。このため、プレート線 PL は、動作環境によらず、データ信号 DT の出力から常に最適な時間で立ち上げ可能になる。この結果、読み出しデータ DOUT の出力中にライトバックを開始でき、読み出しサイクル時間を、短縮できる。これに対して、従来は、制御回路 CONT 内に
- 25 形成される遅延回路等でプレート線 PL の立ち上げタイミングを設定している。このため、ワーストの動作電圧、動作温度を考慮して、プレート線 PL の立ち上げタイミングを設定する必要があり、読み出しデータ DOUT の出力中にライトバックを開始できなかった。

以上、本実施形態では、メモリセル MC に記憶されているデータの論理値を時間

差として検出した。時間を検出する回路は、電圧を検出する回路より容易に形成でき、その精度も高い。このため、簡易な回路でデータを確実に読み出すことができる。

ビット線の電圧変化が小さくても、確実に時間差を生成できる。このため、強誘電体キャパシタ FC の残留分極値が小さい場合にも、メモリセル MC からデータを
5 確実に読み出すことができる。したがって、強誘電体キャパシタ FC が劣化した場合にも、データの読み出しマージンを確保できる。強誘電体キャパシタ FC が劣化してもデータが読み出せるため、データの書き換え可能回数を増加できる。

“論理 0”が出力されるタイミングと、“論理 1”が出力されるタイミングの中央
10 に、ラッチ信号 LAT、/LAT の出力タイミングを設定した。データの論理値を判定するタイミングを、2 つの論理値の読み出しタイミングの中央に設定することで、データの読み出しマージンを、2 つの論理値に対してそれぞれ最大にできる。

ラッチ信号 LAT、/LAT の出力タイミングを、読み出し動作毎にデータの出力タイミングに応じて調整することで、常に読み出しマージンを最大にできる。遅延
15 調整を読み出し動作毎に実施することで、強誘電体メモリの動作中に温度が変動し、あるいは電源電圧 VDD が変動する場合にも、ラッチ信号 LAT、/LAT の出力タイミングを常に最適に設定できる。

可変遅延段 VDLY1、VDLY2 を構成する容量 1Cd、2Cd、4Cd の容量値を 2 倍ずつ大きくなるように設定し、先着信号 EARY の伝達経路に接続される容量 1Cd、2Cd、
20 4Cd を、2 進カウンタのカウント値に応じて設定した。このため、2 進カウンタの重み付けに応じて遅延時間を等間隔に調整できる。

先着信号 EARY を可変遅延段 VDLY1、VDLY2 で遅らせた遅延ラッチ信号 LATD の遷移エッジと、後着信号 LATE の遷移エッジとのタイミング差に応じて、可変遅延段 VDLY1、VDLY2 の遅延時間 T1 を調整し、遅延時間 T1 が常に等しい 2 つの可変遅延
25 段 VDLY1、VDLY2 の接続ノードからラッチ信号 LAT、/LAT を出力した。このため、第 1 期間 P1 および第 2 期間 P2 の時間差を容易かつ確実に無くし、ラッチ信号 LAT、/LAT の遷移エッジを、先着信号 EARY の遷移エッジと後着信号 LATE の遷移エッジとの中央に設定できる。

ライトバック動作をラッチ信号 LAT の出力に応答して開始することで、ライト

バック動作をデータの読み出し中に重複して実行できる。この結果、読み出しサイクル時間を短縮できる。

先着判定回路として OR ゲートを形成したので、先に伝達されるデータ信号を容易に検出できる。また、後着判定回路として AND ゲートを形成したので、後から

5 伝達されるデータ信号を容易に検出できる。

読み出し動作前にビット線 BLE、BL0 をプリチャージするプリチャージ回路 PRE を形成したので、ビット線 BLE、BL0 の電圧を、強誘電体キャパシタ FC の実効的な容量値を正確に反映させて上昇させることができる。

強誘電体メモリ内に閾値電圧生成回路 VGEN を形成したので、変動のない所望の

10 閾値電圧 V_{th} を容易に生成できる。

なお、上述した実施形態では、本発明を強誘電体メモリチップに適用した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、本発明をシステム LSI に混載される強誘電体メモリコアに適用しても良い

可変遅延回路 VDLY は、差動増幅型の遅延回路を用いて相補の信号を遅延させて

15 もよい。この場合、ラッチ信号 LAT、 $\overline{\text{LAT}}$ の出力タイミングを等しくでき、ラッチ回路 LT を高速に動作できる。

以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

20

産業上の利用の可能性

本発明では、メモリセルに記憶されているデータの論理値を、時間差として検出することで、データを確実に読み出すことができる。具体的には、第 1 および第 2 メモリセルに接続されたビット線のいずれかの電圧が最初に閾値電圧を超えてから所定時間後に、通常メモリセルからビット線に読み出されるデータの論理値を判定することで、データを確実に読み出すことができる。ビット線の電圧変化が小さくても、確実に時間差を生成できるため、強誘電体キャパシタの残留分極値が小さい場合にも、メモリセルからデータを確実に読み出すことができる。

25 すなわち、電データの読み出しマージンを向上できる。さらに、強誘電体キャパ

シタが劣化した場合にも、データの読み出しマージンを確保できるため、データの書き換え可能回数を増加できる。

本発明では、データの論理値を判定するタイミングを、2つの論理値の読み出しタイミングの中央に設定することで、データの読み出しマージンを、2つの論理値に対してそれぞれ最大にできる。すなわち、読み出しマージンを向上できる。

本発明では、ラッチ信号の出力タイミングが、両遷移エッジの中央からずれている場合に、可変遅延回路の遅延時間を調整することで、出力タイミングを正しいタイミングに修正できる。

本発明では、可変遅延回路の遅延時間を、カウンタ値の増減に応じて容易に変更できる。ラッチ信号の出力タイミングをカウンタを用いて容易に変更できる。カウンタの各ビットの重み付けに応じて、容量値を所定値毎に増減できるため、可変遅延回路の遅延時間を、規則正しい間隔で調整できる。

本発明では、直列に接続された2つの可変遅延段の遅延時間を同時に調整することで、容易かつ確実に、第1および第2期間を等しくし、ラッチ信号を両遷移エッジの中央に設定できる。

本発明では、可変遅延回路の先着判定回路により、初段の可変遅延段は、第1および第2メモリセルに記憶されているデータの論理値に依存せず、先に出力される読み出しデータに基づいてラッチ信号を生成できる。

本発明では、可変遅延回路の後着判定回路により、遅延調整回路は、第1および第2メモリセルに記憶されているデータの論理値に依存せず、後に出力される読み出しデータに基づいてラッチ信号の出力タイミングを最適に調整できる。

本発明では、読み出しデータから生成されるラッチ信号によりライトバック動作が開始されるため、ライトバック動作を早く開始し、早く完了できる。したがって、読み出しサイクルを短縮できる。

本発明では、上記所定時間を読み出し動作毎に設定することで、強誘電体メモリの動作中に温度が変動し、あるいは電源電圧が変動する場合にも、ラッチ信号の出力タイミングを常に最適に設定できる。

本発明では、ビット線を読み出し動作前に所定の電圧にプリチャージすることで、ビット線の電圧を、第1および第2メモリセルの強誘電体キャパシタの実効

的な容量値を正確に反映させて上昇させることができる。したがって、ラッチ信号の出力タイミングを、先の読み出しデータの出力タイミングと後の読み出しデータの出力タイミングとの中央に正確に設定できる。

- 本発明では、閾値電圧を強誘電体メモリの内部で生成することで、所望の値の
- 5 閾値電圧を容易に生成できる。

請求の範囲

(1) 外部から供給されるデータをそれぞれ記憶する強誘電体キャパシタを有する複数の通常メモリセルと、

- 5 前記通常メモリセルのうち第1メモリセルに記憶される第1データの反転データを記憶する強誘電体キャパシタを有する第2メモリセルと、

前記通常メモリセルおよび前記第2メモリセルにそれぞれ接続されるビット線と、

- 10 読み出し動作の開始から所定の期間、前記ビット線に電流を供給する電流供給回路と、

読み出し動作において、前記第1および第2メモリセルに接続された前記ビット線のいずれかの電圧が最初に閾値電圧を超えてから所定時間後に、前記通常メモリセルから前記ビット線に読み出されるデータの論理値を判定する読み出し制御回路とを備えていることを特徴とする強誘電体メモリ。

- 15 (2) 請求の範囲1の強誘電体メモリにおいて、

前記読み出し制御回路は、前記所定時間を、前記第1および第2メモリセルに接続された一方の前記ビット線の電圧が前記閾値電圧を超えてから、前記第1および第2メモリセルに接続された他方の前記ビット線の電圧が前記閾値電圧を超えるまでの期間の半分に設定する可変遅延回路を備えていることを特徴とする強誘電体メモリ。

- 20

- (3) 請求の範囲2の強誘電体メモリにおいて、

前記読み出し制御回路は、

前記各ビット線の電圧と前記閾値電圧とをそれぞれ受ける複数の差動増幅型のセンスアンプと、

- 25 前記センスアンプで増幅された読み出しデータをラッチ信号に同期してそれぞれラッチする複数のラッチ回路とを備え、

前記可変遅延回路は、前記所定時間後に前記ラッチ信号を出力することを特徴とする強誘電体メモリ。

- (4) 請求の範囲3の強誘電体メモリにおいて、

前記読み出し制御回路は、前記第 1 および第 2 メモリセルに接続された一方の前記ビット線の電圧が前記閾値電圧を超えてから前記ラッチ信号が出力されるまでの第 1 期間と、前記ラッチ信号が出力されてから前記第 1 および第 2 メモリセルに接続された他方の前記ビット線の電圧が前記閾値電圧を超えるまでの第 2 期間との差を検出し、前記差を小さくするための調整信号を前記可変遅延回路に出力する遅延調整回路を備えていることを特徴とする強誘電体メモリ。

(5) 請求の範囲 4 の強誘電体メモリにおいて、

前記遅延調整回路は、前記第 1 期間が前記第 2 期間より長い場合と、前記第 1 期間が前記第 2 期間より短い場合とでカウント方向を逆転するカウンタを有し、前記カウンタのカウント値を前記調整信号として出力することを特徴とする強誘電体メモリ。

(6) 請求の範囲 5 の強誘電体メモリにおいて、

前記可変遅延回路は、

前記ラッチ信号の生成経路に接続される複数の負荷容量と、

前記カウンタ値に応じて負荷容量を前記生成経路に接続または非接続するスイッチとを備えていることを特徴とする強誘電体メモリ。

(7) 請求の範囲 6 の強誘電体メモリにおいて、

前記負荷容量の容量値は、2 倍ずつ大きくなるように設定されることを特徴とする強誘電体メモリ。

(8) 請求の範囲 4 の強誘電体メモリにおいて、

前記可変遅延回路は、遅延時間が常に等しく設定される直列に接続された 2 つの可変遅延段を備え、

初段の前記可変遅延段は、前記一方の前記ビット線の電圧が前記閾値電圧を超えてから前記所定時間後に前記ラッチ信号を出力し、

2 段目の前記可変遅延段は、前記ラッチ信号を遅延させた遅延ラッチ信号を出力し、

前記遅延調整回路は、前記遅延ラッチ信号の出力タイミングと、前記他方の前記ビット線の電圧が前記閾値電圧を超えるタイミングとの差に基づいて、前記第 1 および第 2 期間の差を検出することを特徴とする強誘電体メモリ。

(9) 請求の範囲 8 の強誘電体メモリにおいて、

前記可変遅延回路は、前記第 1 および第 2 メモリセルに対応する前記センスアンプから出力される読み出しデータのうち、先に出力される読み出しデータを選択し、初段の前記可変遅延段に出力する先着判定回路を備えていることを特徴とする強誘電体メモリ。

(10) 請求の範囲 8 の強誘電体メモリにおいて、

前記可変遅延回路は、前記第 1 および第 2 メモリセルに対応する前記センスアンプから出力される読み出しデータのうち、後に出力される読み出しデータを選択し、前記前記遅延調整回路に出力する後着判定回路を備えていることを特徴とする強誘電体メモリ。

(11) 請求の範囲 3 の強誘電体メモリにおいて、

前記メモリセルから読み出したデータを再び前記メモリセルに書き込むライトバック動作を、前記ラッチ信号に応答して開始することを特徴とする強誘電体メモリ。

(12) 請求の範囲 11 の強誘電体メモリにおいて、

前記強誘電体キャパシタにそれぞれ接続されるプレート線を備え、
前記ライトバック動作は、前記プレート線を駆動することで実行され、
前記プレート線の駆動開始タイミングは、前記ラッチ信号に応答して開始されることを特徴とする強誘電体メモリ。

(13) 請求の範囲 1 の強誘電体メモリにおいて、

前記読み出し制御回路は、前記所定時間を、読み出し動作毎に設定することを特徴とする強誘電体メモリ。

(14) 請求の範囲 1 の強誘電体メモリにおいて、

前記読み出し動作前に前記ビット線を所定の電圧にプリチャージするプリチャージ回路を備えていることを特徴とする強誘電体メモリ。

(15) 請求の範囲 1 の強誘電体メモリにおいて、

前記閾値電圧を生成する電圧生成回路を備えていることを特徴とする強誘電体メモリ。

(16) 外部から供給されるデータを記憶する強誘電体キャパシタをそれぞれ

有する複数の通常メモリセルと、前記通常メモリセルのうち第1メモリセルに記憶される第1データの反転データを記憶する強誘電体キャパシタを有する第2メモリセルと、前記通常メモリセルおよび前記第2メモリセルにそれぞれ接続されるビット線とを備えた強誘電体メモリの読み出し制御方法であって、

- 5 読み出し動作の開始から所定の期間、前記ビット線に電流を供給し、
 読み出し動作において、前記第1および第2メモリセルに接続された前記ビット線のいずれかの電圧が最初に閾値電圧を超えてから所定時間後に、前記通常メモリセルから前記ビット線に読み出されるデータの論理値を判定することを特徴とする強誘電体メモリのデータ読み出し方法。

- 10 (17) 請求の範囲16の強誘電体メモリのデータ読み出し方法において、
 前記所定時間を、前記第1および第2メモリセルに接続された一方の前記ビット線の電圧が前記閾値電圧を超えてから、前記第1および第2メモリセルに接続された他方の前記ビット線の電圧が前記閾値電圧を超えるまでの期間の半分に設定することを特徴とする強誘電体メモリのデータ読み出し方法。

- 15 (18) 請求の範囲16の強誘電体メモリのデータ読み出し方法において、
 前記所定時間後にラッチ信号を出力し、
 前記各ビット線の電圧と前記閾値電圧とを差動増幅することで得られる読み出しデータを、前記ラッチ信号でラッチすることを特徴とする強誘電体メモリのデータ読み出し方法。

- 20 (19) 請求の範囲18の強誘電体メモリのデータ読み出し方法において、
 前記第1および第2メモリセルに接続された一方の前記ビット線の電圧が前記閾値電圧を超えてから前記ラッチ信号が出力されるまでの第1期間と、前記ラッチ信号が出力されてから前記第1および第2メモリセルに接続された他方の前記ビット線の電圧が前記閾値電圧を超えるまでの第2期間との差を検出し、

- 25 前記差を小さくするための調整信号を出力することを特徴とする強誘電体メモリのデータ読み出し方法。

- (20) 請求の範囲19の強誘電体メモリのデータ読み出し方法において、

 前記一方の前記ビット線の電圧が前記閾値電圧を超えてから前記所定時間後に前記ラッチ信号を生成し、

前記ラッチ信号を前記所定時間遅らせて遅延ラッチ信号を生成し、

前記遅延ラッチ信号の出力タイミングと、前記他方の前記ビット線の電圧が前記閾値電圧を超えるタイミングとの差に基づいて、前記第1および第2期間の差を検出することを特徴とする強誘電体メモリのデータ読み出し方法。

- 5 (21) 請求の範囲18の強誘電体メモリのデータ読み出し方法において、

前記メモリセルから読み出したデータを再び前記メモリセルに書き込むライトバック動作を、前記ラッチ信号に応答して開始することを特徴とする強誘電体メモリのデータ読み出し方法。

- (22) 請求の範囲21の強誘電体メモリのデータ読み出し方法において、

- 10 強誘電体キャパシタにそれぞれ接続されるプレート線を駆動することで、前記ライトバック動作を実行し、

前記プレート線の駆動を前記ラッチ信号に応答して開始することを特徴とする強誘電体メモリのデータ読み出し方法。

- (23) 請求の範囲16の強誘電体メモリのデータ読み出し方法において、

- 15 前記所定時間を、読み出し動作毎に設定することを特徴とする強誘電体メモリのデータ読み出し方法。

- (24) 請求の範囲16の強誘電体メモリのデータ読み出し方法において、

前記読み出し動作前に前記ビット線を所定の電圧にプリチャージすることを特徴とする強誘電体メモリのデータ読み出し方法。

- 20 (25) 強誘電体キャパシタで構成されるメモリセルを有する強誘電体メモリのデータ読み出し方法であって、

書き込みデータを前記強誘電体キャパシタの容量値として記憶し、

読み出し動作において、前記強誘電体キャパシタの充電時間に応じて、前記メモリセルに記憶されているデータの論理値を判定することを特徴とする強誘電体
25 メモリのデータ読み出し方法。

- (26) 請求の範囲25記載の強誘電体メモリのデータ読み出し方法において、

前記メモリセルにそれぞれ接続されるビット線に電流を印加し、

前記ビット線の電圧が閾値電圧を超えるまでの時間に応じて、前記データの論理値を判定することを特徴とする強誘電体メモリのデータ読み出し方法。

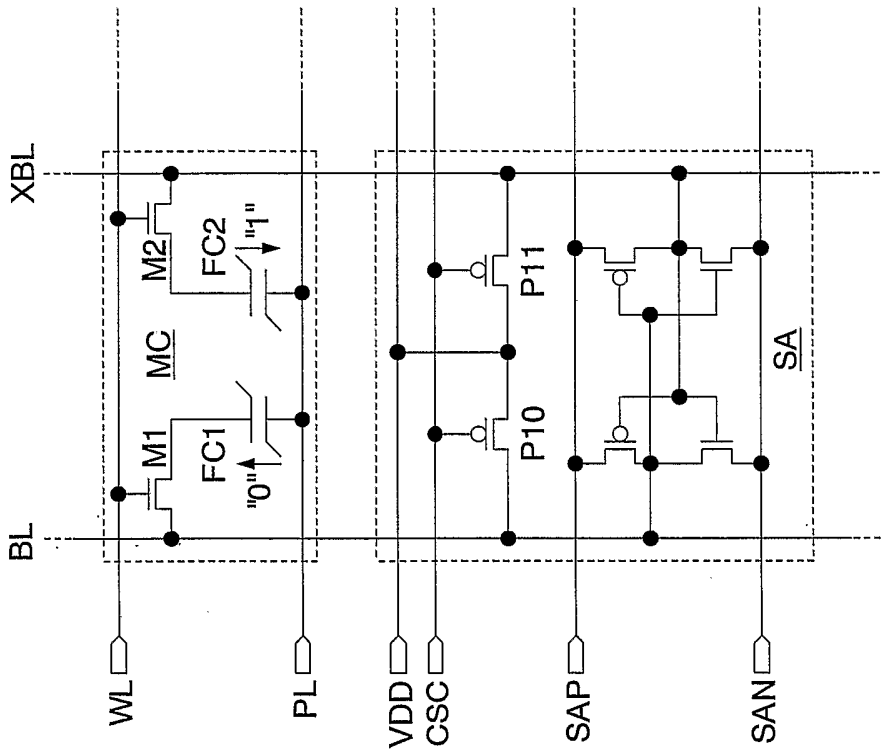


図 1

2 / 1 2

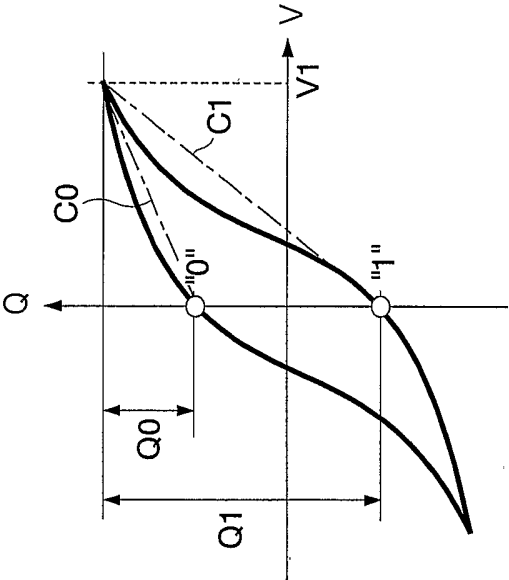


図 2

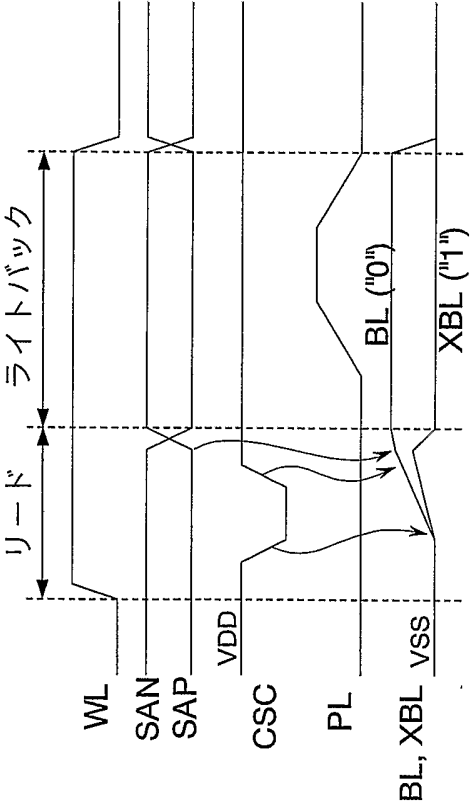


図 3

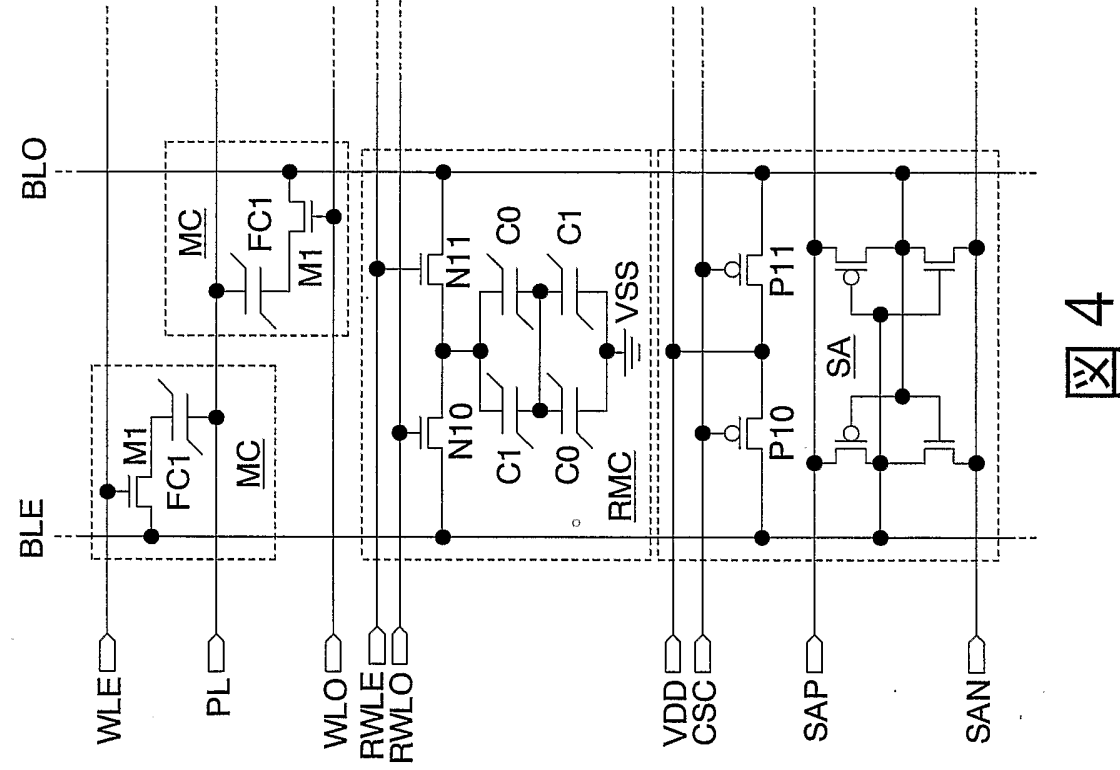


図 4

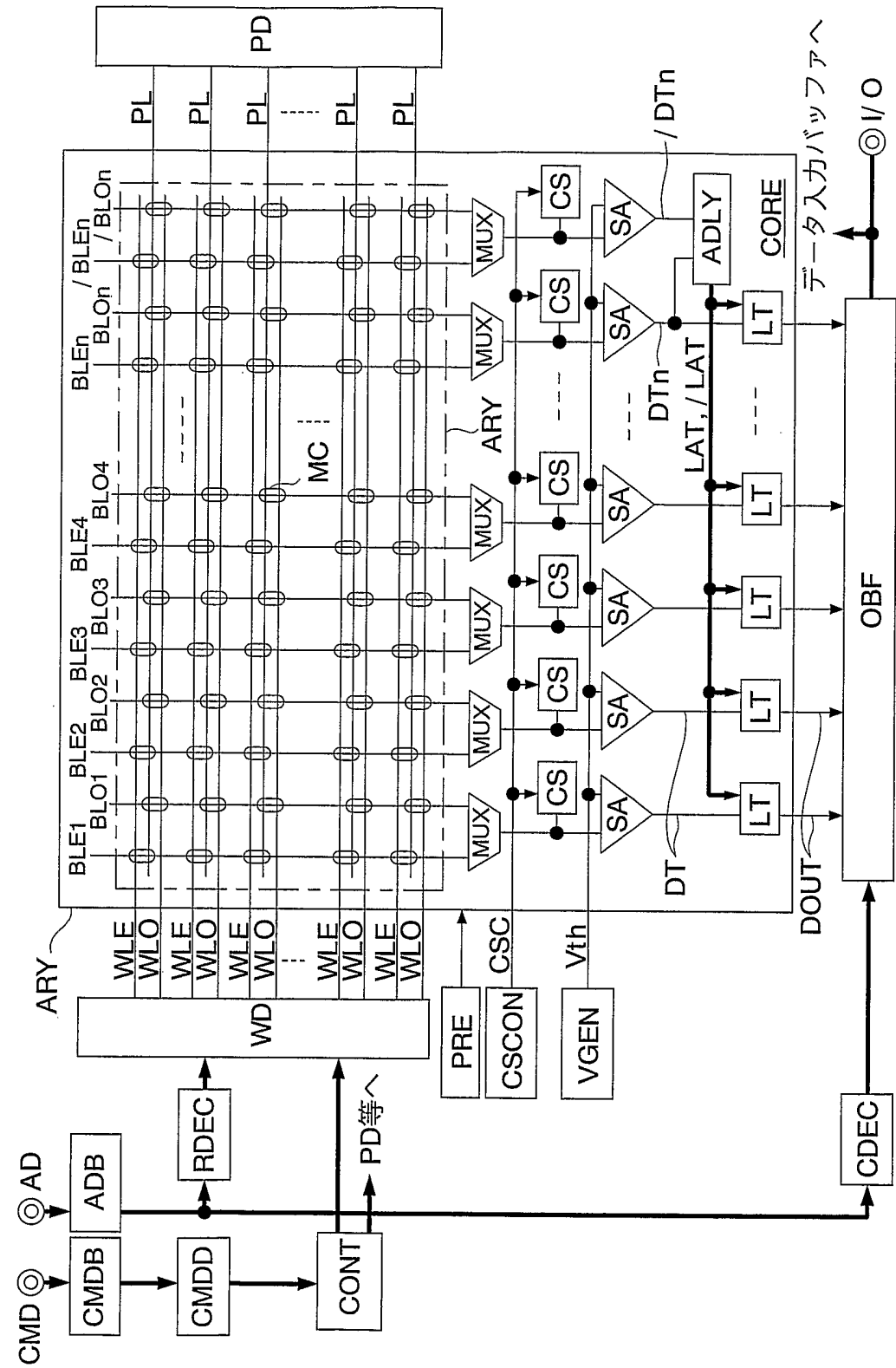
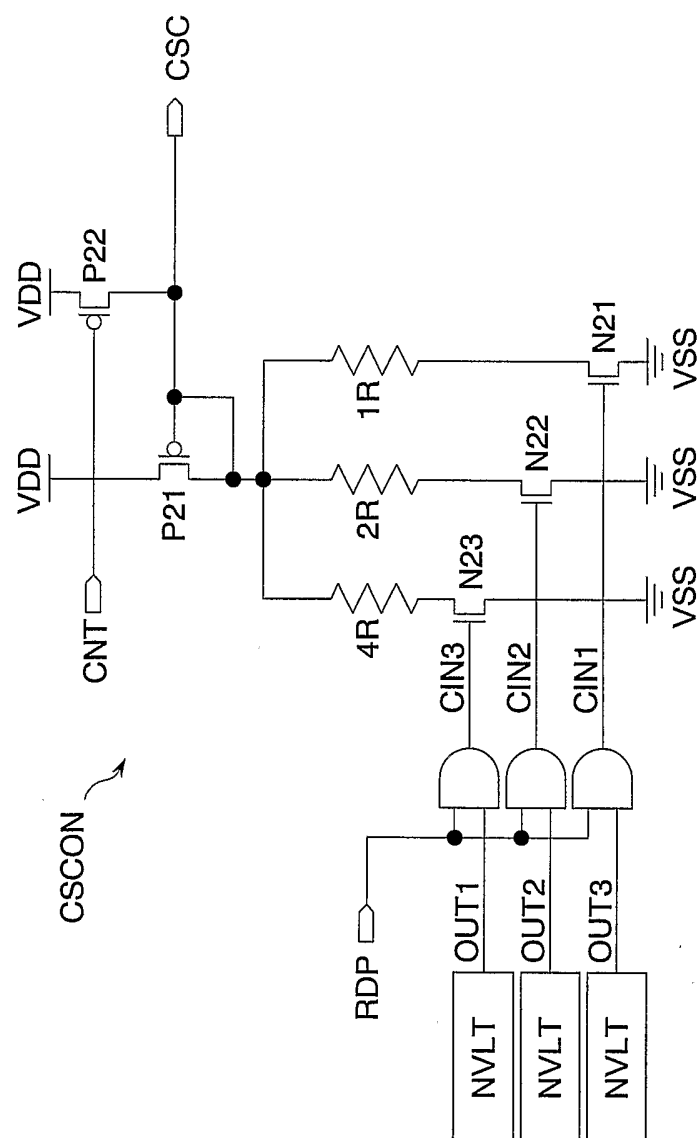


図 5



6

✗

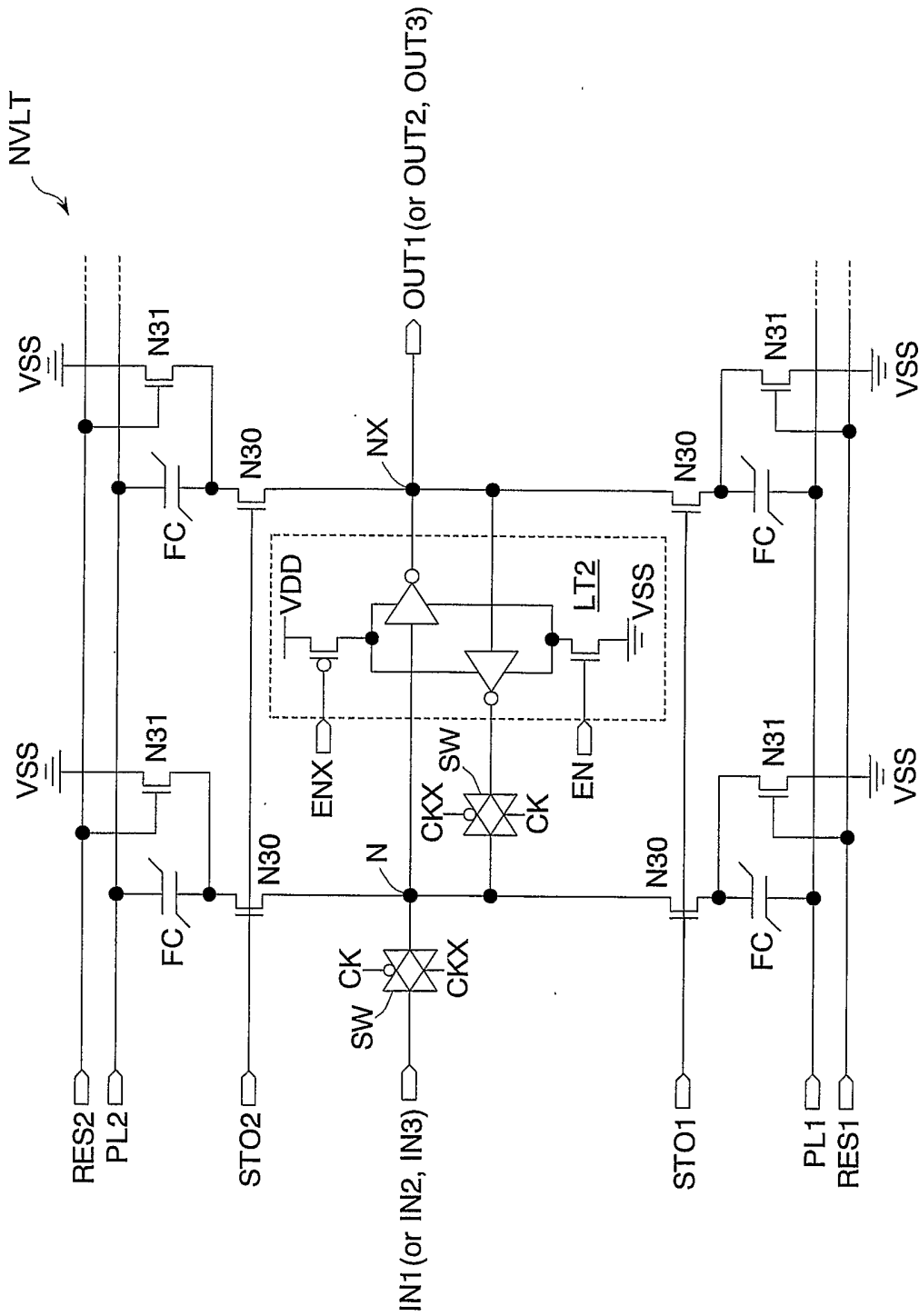
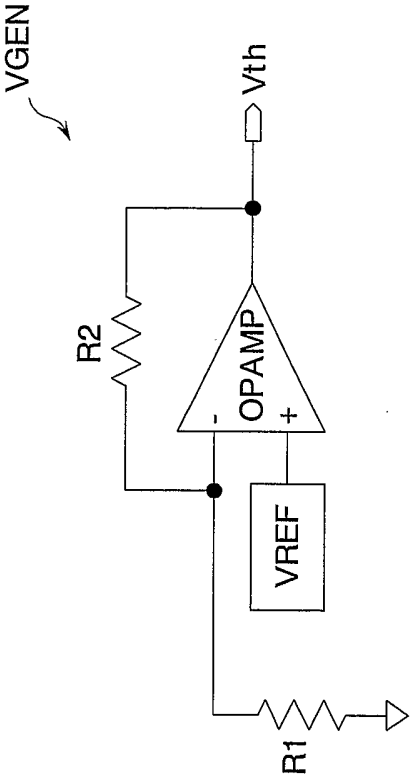


図 7



8

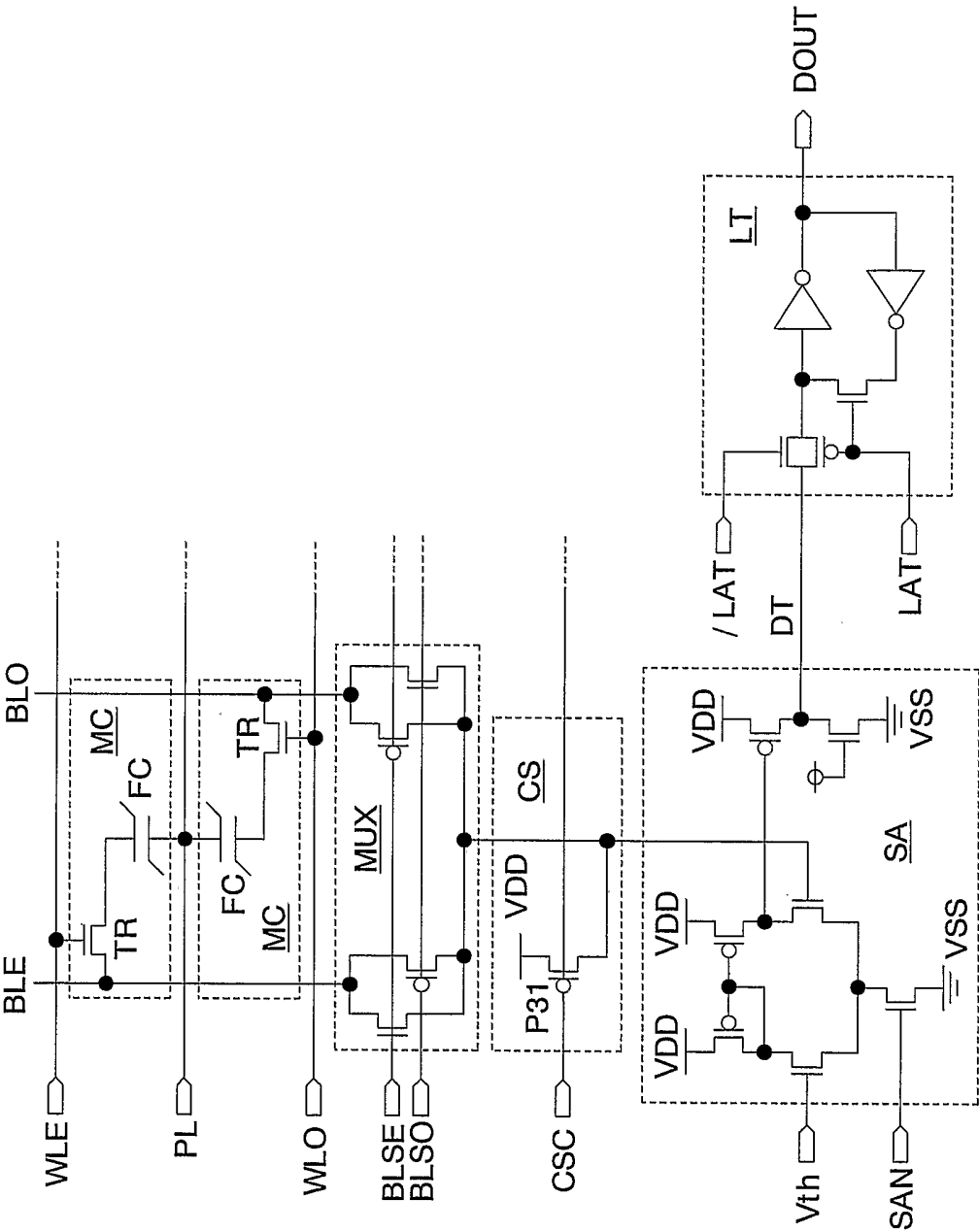


図 9

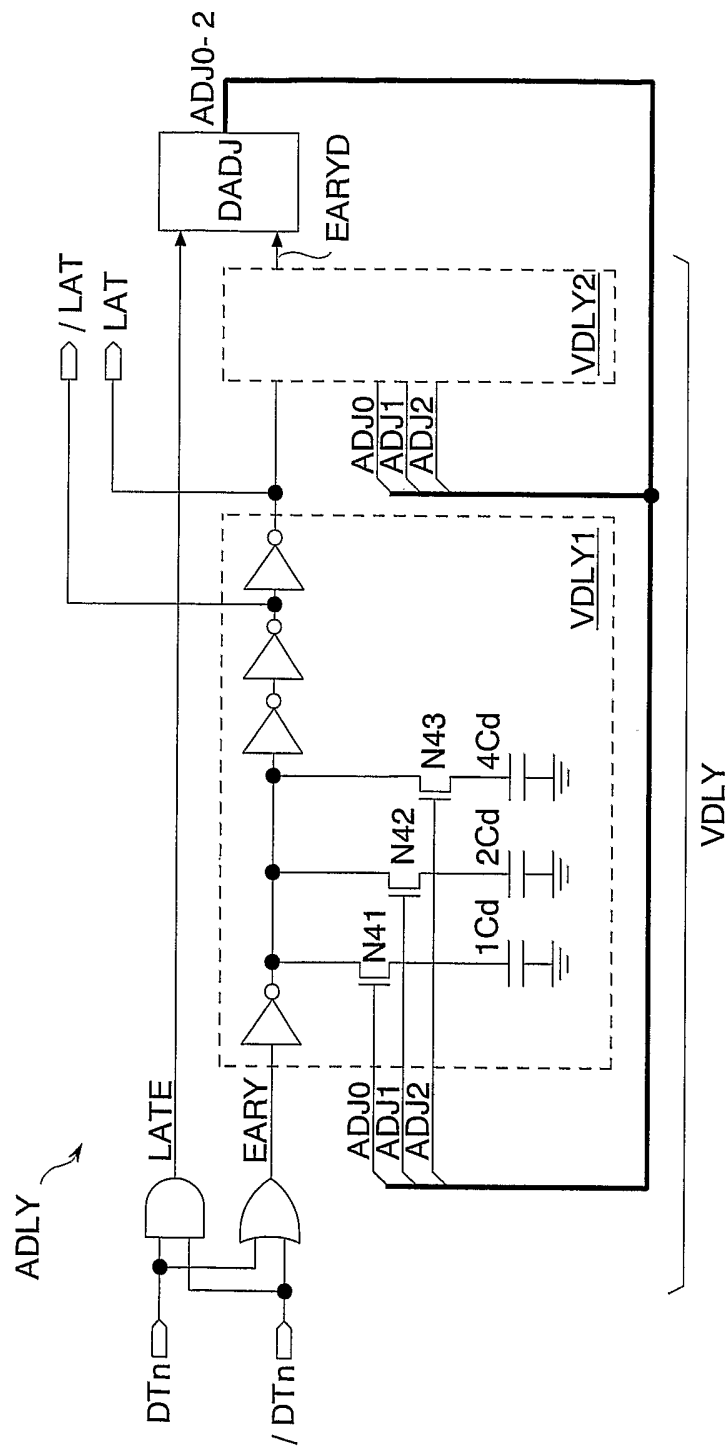


図 10

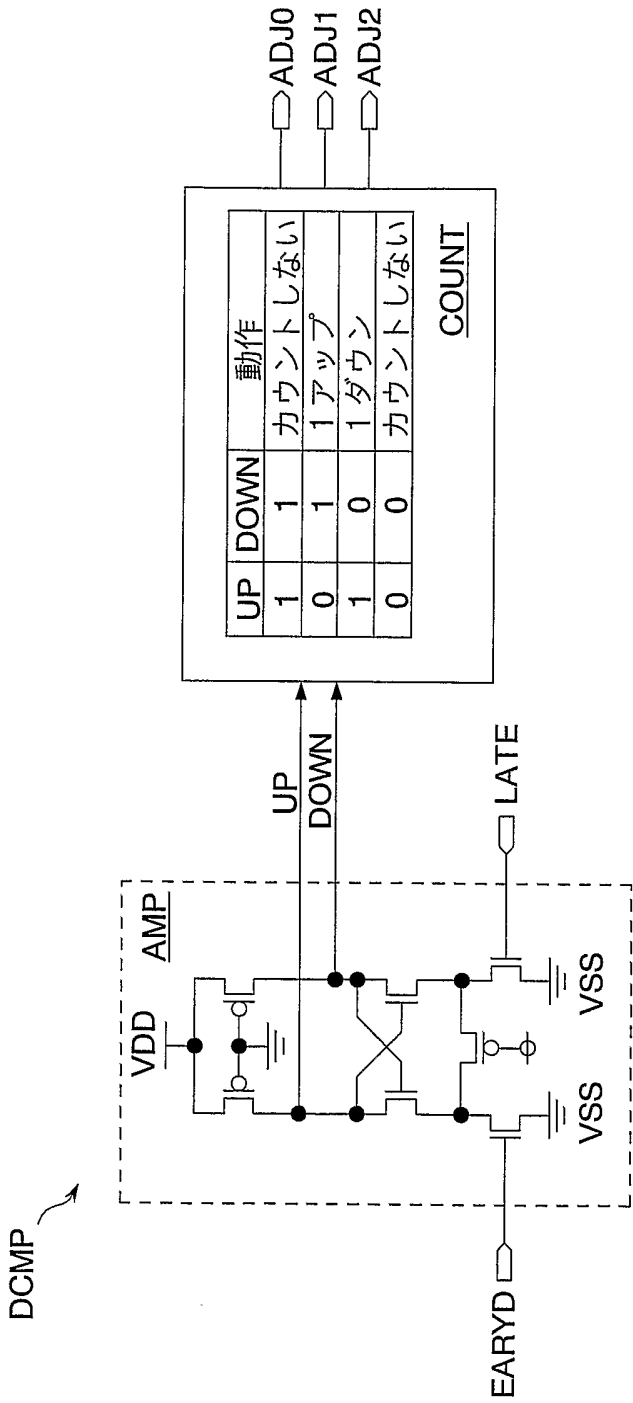


図 11

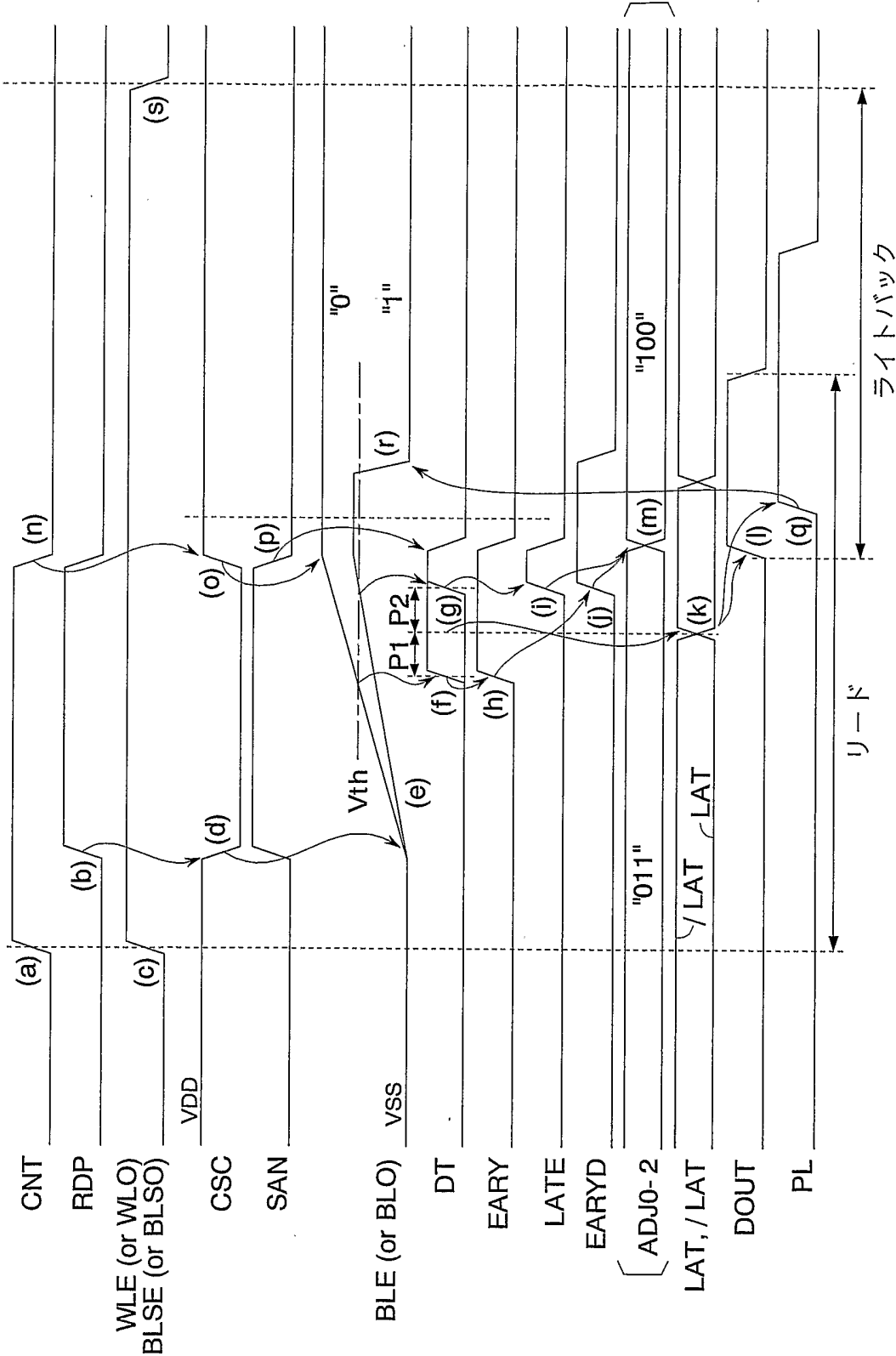


図 1 2

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/06601

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G11C11/22

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G11C11/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2002-32984 A (Matsushita Electric Industrial Co., Ltd.), 31 January, 2002 (31.01.02), Full text; all drawings & US 2002/6053 A1 & US 6525956 B2	1, 14, 16, 24-26 2-13, 15, 17-23
X	JP 11-185465 A (Rohm Co., Ltd.), 09 July, 1999 (09.07.99), Full text; all drawings & US 6038161 A	1, 14, 16, 24-26
X	Yadollah Eslami, Ali Sheikholeslami, Shoichi MASUI, Toru ENDO, and Shoichiro KAWASHIMA, A Differential-Capacitance Read Scheme for FeRAMs, 2002 SYMPOSIUM ON VLSI CIRCUITS DIGEST OF TECHNICAL PAPERS, 15-13 June, 2002 (15-13.06.02), pages 298 to 301	1, 14, 16, 24-26

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* "A" "E" "L" "C" "P"	Special categories of cited documents: document defining the general state of the art which is not considered to be of particular relevance earlier document but published on or after the international filing date document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) document referring to an oral disclosure, use, exhibition or other means document published prior to the international filing date but later than the priority date claimed	"T" "X" "Y" "&"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art document member of the same patent family
--------------------------------------	---	--------------------------	--

Date of the actual completion of the international search
06 August, 2003 (06.08.03)

Date of mailing of the international search report
19 August, 2003 (19.08.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int.Cl.⁷ G11C11/22

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int.Cl.⁷ G11C11/22

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2003年
日本国登録実用新案公報 1994-2003年
日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 2002-32984 A(松下電器産業株式会社) 2002.01.31, 全文, 全図 & US 2002/6053 A1 & US 6525956 B2	1, 14, 16, 24-26 2-13, 15, 17-23
X	JP 11-185465 A(ローム株式会社) 1999.07.09, 全文, 全図 & US 6038161 A	1, 14, 16, 24-26

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

06.08.03

国際調査報告の発送日

19.08.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

須原 宏光

5N

9057

電話番号 03-3581-1101 内線 3545

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	Yadollah Eslami, Ali Sheikholeslami, Shoichi Masui, Toru Endo, and Shoichiro Kawashima, A Differential-Capacitance Read Scheme for FeRAMs, 2002 SYMPOSIUM ON VLSI CIRCUITS DIGEST OF TECHNICAL PAPERS, 2002.06.13-15, p.298-301	1, 14, 16, 24-26