



(12)发明专利申请

(10)申请公布号 CN 110956911 A

(43)申请公布日 2020.04.03

(21)申请号 201811134277.8

(22)申请日 2018.09.27

(71)申请人 合肥鑫晟光电科技有限公司  
地址 230012 安徽省合肥市新站区工业园  
内

申请人 京东方科技集团股份有限公司

(72)发明人 袁繁 李永谦 袁志东 李蒙

(74)专利代理机构 北京市柳沈律师事务所  
11105

代理人 彭久云

(51)Int.Cl.  
G09G 3/00(2006.01)

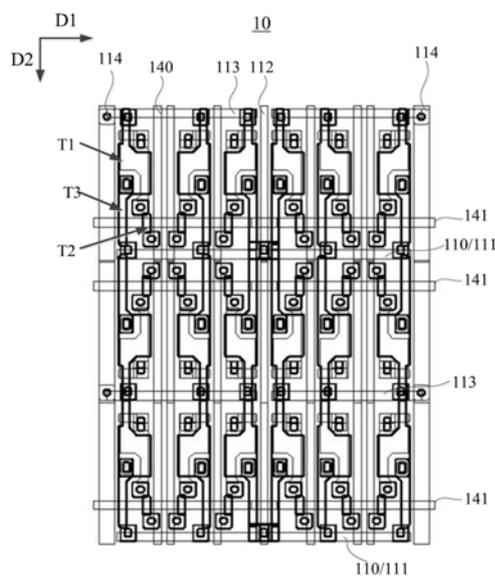
权利要求书2页 说明书9页 附图9页

(54)发明名称

阵列基板及其检测方法、显示面板

(57)摘要

一种阵列基板及其检测方法、显示面板,该阵列基板包括多个子像素以及多条第一检测线,多个子像素排布为多行多列的阵列,第一检测线沿阵列的行方向延伸;每个子像素包括发光元件以及驱动发光元件发光的第一晶体管,阵列中相邻的第n行和第n+1行子像素构成一个子像素行组,每个子像素行组的两行子像素之间设置有一条第一检测线,且第一检测线配置为与第n行和第n+1行子像素连接并用于检测子像素中的第一晶体管或发光元件的电特性,n为大于0的奇数或偶数。该阵列基板通过相邻行子像素交替共用第一检测线而减小了第一检测线的数量,减小了第一检测线与数据线的交叠,这不仅能够降低寄生电容,还能提高产品良率。



1. 一种阵列基板,包括多个子像素以及多条第一检测线,所述多个子像素排布为多行多列的阵列,所述第一检测线沿所述阵列的行方向延伸;

每个子像素包括发光元件以及驱动所述发光元件发光的第一晶体管,

其中,所述阵列中相邻的第n行和第n+1行子像素构成一个子像素行组,每个子像素行组的两行子像素之间设置有一条所述第一检测线,且所述第一检测线配置为与第n行和第n+1行子像素连接并用于检测所述子像素中的第一晶体管或发光元件的电特性,

n为大于0的奇数或偶数。

2. 如权利要求1所述的阵列基板,还包括沿所述行方向延伸的多条第一电源线,

其中,所述第一电源线设置于相邻的两个子像素行组之间,且所述多条第一电源线与所述多条第一检测线交替分布,每条所述第一电源线配置为和与之相邻的两行子像素连接并提供第一电源信号。

3. 如权利要求2所述的阵列基板,还包括多条第二电源线,其中,所述多条第二电源线沿所述阵列的列方向延伸,且分别与所述多条第一电源线交叉电连接。

4. 如权利要求1所述的阵列基板,还包括多条第二检测线,其中,所述多条第二检测线沿所述阵列的列方向延伸,并分别与所述多条第一检测线交叉电连接。

5. 如权利要求4所述的阵列基板,其中,每条第一检测线包括多个沿所述行方向依次布置且彼此绝缘的检测线段,

每个检测线段对应连接至少两个所述子像素且连接到不同的第二检测线。

6. 如权利要求5所述的阵列基板,其中,每m个子像素构成一个像素单元,每个检测线段对应连接同一行中的1个或2个所述像素单元,

m=2、3或4。

7. 如权利要求6所述的阵列基板,其中,在所述每个检测线段对应2个所述像素单元的情形,与所述检测线段连接的所述第二检测线设置于所述检测线段所对应的2个像素单元之间。

8. 如权利要求1所述的阵列基板,其中,每个子像素还包括第二晶体管、第三晶体管和第一电容;

所述第二晶体管的栅极和第一极分别配置为接收第一扫描信号和数据信号,所述第二晶体管的第二极连接所述第一晶体管的栅极;

所述第一晶体管的第一极配置为接收第一电源信号,所述第一晶体管的第二极分别与所述第三晶体管的第一极以及所述发光元件的第一电极连接;

所述第三晶体管的栅极配置为接收第二扫描信号,所述第三晶体管的第二极与所述子像素所连接的第一检测线相连;

所述发光元件的第二电极配置为接收第二电源信号;

所述第一电容的一端连接所述第一晶体管的栅极,另一端连接所述第一晶体管的第二极。

9. 如权利要求8所述的阵列基板,还包括多条沿所述行方向延伸的第一扫描线,

其中,所述多条第一扫描线分别与多行子像素一一对应连接,并分别与所对应的子像素中的第二晶体管的栅极连接以提供所述第一扫描信号。

10. 如权利要求9所述的阵列基板,其中,在每个子像素行组中,分别与所述第n行和第n

+1行子像素连接的两条第一扫描线设置于所述第n行和第n+1行子像素之间。

11. 如权利要求9所述的阵列基板,其中,在每个子像素行组中,与所述第n行和第n+1行子像素连接的第一检测线设置于与所述第n行和第n+1行子像素所分别连接的两条第一扫描线之间。

12. 如权利要求9-11任一所述的阵列基板,其中,所述第一扫描线还与所对应的子像素中的第三晶体管的栅极连接以提供所述第二扫描信号。

13. 如权利要求12所述的阵列基板,其中,在每个所述子像素中,所述第二晶体管和所述第三晶体管沿所述行方向并列设置,且所述第二晶体管的沟道长度方向和所述第三晶体管的沟道长度方向均沿所述阵列的列方向。

14. 如权利要求9-11任一所述的阵列基板,还包括多条沿所述行方向延伸的第二扫描线,

其中,所述多条第二扫描线分别与多行子像素一一对应连接,并分别与所对应的子像素中的第三晶体管的栅极连接以提供所述第二扫描信号。

15. 如权利要求1所述的阵列基板,其中,在每个子像素行组中,所述第n行和第n+1行子像素相对于与其相连的第一检测线对称设置。

16. 如权利要求1所述的阵列基板,其中,所述发光元件为顶发射有机发光管二极管。

17. 一种显示面板,包括如权利要求1-16任一所述的阵列基板。

18. 一种检测方法,用于如权利要求1-16任一所述的阵列基板,包括:

对于所述像素阵列中的目标子像素施加检测控制信号;

通过与所述目标子像素连接的第一检测线获取所述目标子像素中的第一晶体管或发光元件的电特性。

## 阵列基板及其检测方法、显示面板

### 技术领域

[0001] 本公开实施例涉及一种阵列基板及其检测方法、显示面板。

### 背景技术

[0002] 在显示领域,有机发光二极管(OLED)显示面板具有自发光、对比度高、能耗低、视角广、响应速度快、可用于挠曲性面板、使用温度范围广、制造简单等特点,具有广阔的发展前景。外部补偿电路被广泛应用于OLED显示面板中以使得显示面板具有均匀的显示效果。

### 发明内容

[0003] 本公开至少一个实施例提供一种有阵列基板,包括多个子像素以及多条第一检测线,所述多个子像素排布为多行多列的阵列,所述第一检测线沿所述阵列的行方向延伸;每个子像素包括发光元件以及驱动所述发光元件发光的第一晶体管,所述阵列中相邻的第 $n$ 行和第 $n+1$ 行子像素构成一个子像素行组,每个子像素行组的两行子像素之间设置有一条所述第一检测线,且所述第一检测线配置为与第 $n$ 行和第 $n+1$ 行子像素连接并用于检测所述子像素中的第一晶体管或发光元件的电特性, $n$ 为大于0的奇数或偶数。

[0004] 在一个示例中,所述阵列基板还包括沿所述行方向延伸的多条第一电源线,所述第一电源线设置于相邻的两个子像素行组之间,且所述多条第一电源线与所述多条第一检测线交替分布,每条所述第一电源线配置为和与之相邻的两行子像素连接并提供第一电源信号。

[0005] 在一个示例中,所述阵列基板还包括多条第二电源线,所述多条第二电源线沿所述阵列的列方向延伸,且分别与所述多条第一电源线交叉电连接。

[0006] 在一个示例中,所述阵列基板还包括多条第二检测线,所述多条第二检测线沿所述阵列的列方向延伸,并多条与所述多条第一检测线交叉电连接。

[0007] 在一个示例中,每条第一检测线包括多个沿所述行方向依次布置且彼此绝缘的检测线段,每个检测线段对应连接至少两个所述子像素且连接到不同的第二检测线。

[0008] 在一个示例中,每 $m$ 个子像素构成一个像素单元,每个检测线段对应连接同一行中的1个或2个所述像素单元, $m=2、3$ 或4。

[0009] 在一个示例中,在所述每个检测线段对应2个所述像素单元的情形,与所述检测线段连接的所述第二检测线设置于所述检测线段所对应的2个像素单元之间。

[0010] 在一个示例中,每个子像素还包括第二晶体管、第三晶体管和第一电容;所述第二晶体管的栅极和第一极分别配置为接收第一扫描信号和数据信号,所述第二晶体管的第二极连接所述第一晶体管的栅极;所述第一晶体管的栅极配置为接收第一电源信号,所述第一晶体管的第二极分别与所述第三晶体管的栅极以及所述发光元件的第一电极连接;所述第三晶体管的栅极配置为接收第二扫描信号,所述第三晶体管的第二极与所述子像素所连接的第一检测线相连;所述发光元件的第二电极配置为接收第二电源信号;所述第一电容的一端连接所述第一晶体管的栅极,另一端连接所述第一晶体管的第二极。

[0011] 在一个示例中,所述阵列基板还包括多条沿所述行方向延伸的第一扫描线,所述多条第一扫描线分别与多行子像素一一对应连接,并分别与所对应的子像素中的第二晶体管的栅极连接以提供所述第一扫描信号。

[0012] 在一个示例中,在每个子像素行组中,分别与所述第n行和第n+1行子像素连接的两条第一扫描线设置于所述第n行和第n+1行子像素之间。

[0013] 在一个示例中,在每个子像素行组中,与所述第n行和第n+1行子像素连接的第一检测线设置于与所述第n行和第n+1行子像素所分别连接的两条第一扫描线之间。

[0014] 在一个示例中,所述第一扫描线还与所对应的子像素中的第三晶体管的栅极连接以提供所述第二扫描信号。

[0015] 在一个示例中,在每个所述子像素中,所述第二晶体管和所述第三晶体管沿所述行方向并列设置,且所述第二晶体管的沟道长度方向和所述第三晶体管的沟道长度方向均沿所述阵列的列方向。

[0016] 在一个示例中,所述阵列基板还包括多条沿所述行方向延伸的第二扫描线,所述多条第二扫描线分别与多行子像素一一对应连接,并分别与所对应的子像素中的第三晶体管的栅极连接以提供所述第二扫描信号。

[0017] 在一个示例中,在每个子像素行组中,所述第n行和第n+1行子像素相对于与其相连的第一检测线对称设置。

[0018] 在一个示例中,所述发光元件为顶发射有机发光管二极管。

[0019] 本公开至少一实施例还提供一种显示面板,包括上述阵列基板。

[0020] 本公开至少一实施例还提供一种检测方法,用于检测上述阵列基板,所述检测方法包括:对于所述像素阵列中的目标子像素施加检测控制信号;通过所述第一检测线获取所述子像素中的第一晶体管或发光元件的电特性。

## 附图说明

[0021] 为了更清楚地说明本发明实施例的技术方案,下面将对实施例或相关技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅涉及本发明的一些实施例,并非对本发明的限制。

[0022] 图1A是一种阵列基板的框图;图1B是一种阵列基板的电路示意图;图1C是一种3T1C像素电路的示意图。

[0023] 图2为一种阵列基板的版图结构示意图。

[0024] 图3A为本公开实施例提供的阵列基板的示意图之一;图3B为本公开实施例提供的阵列基板的示意图之二。

[0025] 图4A为本公开一实施例提供的阵列基板的示意图;图4B是本公开另一实施例提供的阵列基板的示意图。

[0026] 图5示出了本公开实施例提供的阵列基板的剖视图。

[0027] 图6示出了图4A所示的阵列基板与图2所示的阵列基板的仿真对比图。

[0028] 图7为本公开实施例提供的显示面板的示意图。

## 具体实施方式

[0029] 下面将结合附图,对本发明实施例中的技术方案进行清楚、完整地描述参考在附图中示出并在以下描述中详述的非限制性示例实施例,更加全面地说明本发明的示例实施例和它们的多种特征及有利细节。应注意的是,图中示出的特征不是必须按照比例绘制。本发明省略了已知材料、组件和工艺技术的描述,从而不使本发明的示例实施例模糊。所给出的示例仅旨在有利于理解本发明示例实施例的实施,以及进一步使本领域技术人员能够实施示例实施例。因而,这些示例不应被理解为对本发明的实施例的范围的限制。

[0030] 除非另外特别定义,本公开使用的技术术语或者科学术语应当为本发明所属领域内具有一般技能的人士所理解的通常意义。本发明中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性,而只是用来区分不同的组成部分。此外,在本发明各个实施例中,相同或类似的参考标号表示相同或类似的构件。

[0031] 图1A是一种阵列基板10的框图,图1B是一种阵列基板的电路示意图。如图1A和图1B所示,阵列基板10包括分布为多行多列的阵列结构的多个子像素100,每个子像素100包括发光元件以及驱动该发光元件发光的像素电路。例如,该阵列基板是有机发光二极管(OLED)阵列基板,该发光元件为OLED。该显示面板还包括多条扫描线、多条数据线以用于为该多个子像素提供扫描信号和数据信号,从而驱动该多个子像素。根据需要,该显示面板还可以进一步包括电源线、感测线等。

[0032] 例如,每 $m$ 个子像素100构成一个像素单元,该 $m$ 个子像素例如分别包括发出不同颜色(基础色)光的OLED,从而实现彩色显示。例如, $m=2、3$ 或 $4$ 。例如,一个像素单元包括三个子像素100,三个子像素分别发出红光(R)、绿光(G)和蓝光(B)。又如,一个像素单元包括RGBW四个子像素100,三个子像素分别发出红光(R)、绿光(G)、蓝光(B)和白光(W)。为了使得像素单元发出彩色光,可以有多种实现方式,其包括但不限于,使用发出三原色光的OLED,或者使用发出白光的OLED配合彩色滤光片,或者使用发出蓝光的OLED配合光转换材料(例如荧光层或量子点层)等。

[0033] 图1C示出了一种用于OLED阵列基板(显示面板)的3T1C像素电路的示意图。根据需要,该像素电路还可以进一步包括补偿电路、复位电路等。请一并参照图1B和图1C,该像素电路包括第一晶体管T1、第二晶体管T2、第三晶体管T3、第一电容C1以及第一检测线111。第一晶体管T1的第一极连接第一电源线113,第二极分别连接OLED的阳极和第三晶体管T3的第一极,栅极连接第二晶体管T2的第二极,第一晶体管T1是驱动OLED发光的驱动晶体管。第二晶体管T2的栅极连接第一扫描线141以接收第一扫描信号SCN1,第一极连接数据线以接收数据信号DT。第一电容C1连接于第一晶体管T1的栅极和第二极之间。OLED的阴极连接到第二电源电压VSS,例如接地。第三晶体管T3的栅极连接第二扫描线142以接收第二扫描信号SCN2,第二极连接第一检测线111连接检测电路11以接收检测信号SE。第一检测线111配置为检测第一晶体管T1的电特性,该电特性例如包括第一晶体管T1的阈值电压和/或载流子迁移率,第一检测线111还可以配置为检测OLED的电特性,包括OLED的阈值电压、驱动电流等。例如,第一检测线111与检测电路11连接,从而将像素电路的电信号输出到检测电路11以进行分析和检测。该检测电路例如为包括数模转换器(DAC)和模数转换器(ADC)等的常规电路,本公开的实施例对此不作赘述。

[0034] 例如,第一扫描线141和第二扫描线142可以是不同的扫描线,也即第一扫描信号

SCN1和第二扫描信号SCN2可以为不同扫描线提供的信号。第一扫描信号SCN1和第二扫描信号SCN2也可以为同一扫描线提供的同一信号,也即第一扫描线141和第二扫描线142可以是相同的扫描线。第一扫描信号SCN1和第二扫描信号SCN2可以根据需要相同或不同。

[0035] 例如,该3T1C像素电路的一种检测过程包括,对其施加检测控制信号,然后通过与之连接的检测线获取驱动晶体管的电特性,具体如下所述。在写入阶段,第一扫描信号SCN1和第二扫描信号SCN2均为开启信号,第二晶体管T2和第三晶体管T3均导通,数据信号DT经第二晶体管T2传输至第一晶体管T1的栅极以及第一电容C1的第一电极,检测信号SE经第三晶体管T3传输至第一晶体管T1的第二极以及第一电容C1的第二电极,该检测信号SE的电压未达到OLED的点亮电压,因此OLED不发光。之后,将第一检测线111浮置,第二晶体管T2和第三晶体管T3均导通,在第一电源电压VDD的作用下,第一晶体管T1中产生驱动电流并将第一电容C1的第二电极充电至电压 $V_{data}-V_{th}$ ,其中, $V_{data}$ 为数据信号DT的电压, $V_{th}$ 为第一晶体管T1的阈值电压。此时,第一晶体管T1由开启状态转为截止状态。在检测阶段,第一扫描信号SCN1和第二扫描信号SCN2均为开启信号,第二晶体管T2和第三晶体管T3均导通,利用检测电路11通过第一检测线111对于第一晶体管T1的第二极(也即第一电容C1的第二电极)上的饱和电压 $V_{data}-V_{th}$ 进行采样,从而得到第一晶体管T1的阈值电压这一电特性。在该检测过程中,检测控制信号包括施加至第二晶体管T2、第三晶体管T3的扫描信号、数据信号、检测信号等。

[0036] 例如,该3T1C像素电路的另一种检测过程包括:对其施加检测控制信号,然后通过与之连接的检测线获取发光元件的电特性,具体如下所述。在第一阶段,第一扫描信号SCN1为关闭信号,第二扫描信号SCN2为开启信号,第二晶体管T2关断,第三晶体管T3导通,第一检测线111通过第三晶体管T3向OLED的阳极写入复位信号;在第二阶段,第一扫描信号SCN1为开启信号,第二扫描信号SCN2为关闭信号,第二晶体管T2导通,第三晶体管T3关断,数据信号DT经第二晶体管T2传输至第一晶体管T1的栅极,第一晶体管T1导通并产生驱动电流将OLED的阳极充电至工作电压;在第三阶段,第一扫描信号SCN1为关闭信号,第二扫描信号SCN2为开启信号,第二晶体管T2关断,第三晶体管T3导通,第一检测线111再次通过第三晶体管T3向OLED的阳极写入复位信号,此时由于第一电容C1的自举效应,第一电容C1两端的电压保持不变,将第一检测线111进行浮置,第一晶体管T1对第一检测线111进行充电直至饱和,再利用检测电路11对第一检测线111上的饱和电压取样从而得到OLED的电特性。在这个示例中,可以分别设置第一扫描线和第二扫描线以分别提供第一扫描信号SCN1和第二扫描信号SCN2。同样,在该检测过程中,检测控制信号包括施加至第二晶体管T2、第三晶体管T3的扫描信号、数据信号、检测信号等。

[0037] 例如,如图1A所示,阵列基板10还可以包括数据驱动电路13和扫描驱动电路14。数据驱动电路13配置为根据需要(例如输入显示装置的图像信号)可发出数据信号,例如上述数据信号DT;每个子像素的像素电路还配置为接收该数据信号并将该数据信号施加至该第一晶体管的栅极。扫描驱动电路14配置为输出各种扫描信号,例如包括上述第一扫描信号SCN1和第二扫描信号SCN2,其例如为集成电路芯片或者为直接制备在显示基板上的栅驱动电路(GOA)。

[0038] 例如,阵列基板10还包括控制电路12。例如,控制电路12配置为控制数据驱动电路13施加数据信号,以及控制栅极驱动电路施加扫描信号。该控制电路12的一个示例为时序

控制电路 (T-con)。控制电路12可以为各种形式,例如包括处理器121和存储器122,存储器121包括可执行代码,处理器121运行该可执行代码以执行上述检测方法。

[0039] 例如,处理器121可以是中央处理单元 (CPU) 或者具有数据处理能力和/或指令执行能力的其它形式的处理装置,例如可以包括微处理器、可编程逻辑控制器 (PLC) 等。

[0040] 例如,存储装置122可以包括一个或多个计算机程序产品,所述计算机程序产品可以包括各种形式的计算机可读存储介质,例如易失性存储器和/或非易失性存储器。易失性存储器例如可以包括随机存取存储器 (RAM) 和/或高速缓冲存储器 (cache) 等。非易失性存储器例如可以包括只读存储器 (ROM)、硬盘、闪存等。在计算机可读存储介质上可以存储一个或多个计算机程序指令,处理器121可以运行该程序指令期望的功能。在计算机可读存储介质中还可以存储各种应用程序和各种数据,例如在上述检测方法中获取的电特性参数等。

[0041] 图2为一种阵列基板的版图结构示意图。如图2所示,多条第一检测线111沿阵列的行方向D1延伸,分别与多行子像素对应连接;多条第一扫描线G1、G2沿行方向D1延伸,分别与多行子像素对应连接;多条第一电源线113沿行方向D1延伸,分别与多行子像素连接;也即,每一行子像素分别配置有一条第一检测线、第一扫描线以及第一电源线。多条数据线140沿阵列的列方向D2延伸,分别与多列子像素对应连接,例如分别与第一红色子像素列、第一绿色子像素列、第一蓝色子像素列、第二红色子像素列、第二绿色子像素列、第二蓝色子像素列等对应连接。该阵列基板还包括沿列方向D2延伸的多条第二检测线112以及多条第二电源线114,这些第二检测线112分别与多条第一检测线111交叉电连接,这些第二电源线114多条与多条第一电源线113交叉电连接。

[0042] 第一电源线113和第一检测线111在垂直于阵列基板的方向上均与沿列方向D2延伸的数据线发生交叠从而产生寄生电容,该交叠部分例如如图2中虚线框所示。该交叠部分产生的寄生电容,不仅影响了数据线以及第一检测线上的信号传输效率,还容易因静电等因素引起短路等良率问题。

[0043] 本公开实施例提供一种阵列基板,在该阵列基板的子像素阵列中,相邻的第n行和第n+1行子像素构成一个子像素行组,每个子像素行组的两行子像素之间设置有一条第一检测线,且该第一检测线配置为与第n行和第n+1行子像素连接并用于检测子像素中的第一晶体管或发光元件的电特性,其中n为大于0的奇数或偶数。该阵列基板通过相邻行子像素交替共用第一检测线而减小了第一检测线的数量,进而减小了第一检测线与数据线的交叠,这不仅能够提高产品良率,还降低了线间寄生电容,例如将第一检测线的寄生电容降低了20%左右,为高分辨率 (PPI) 的显示面板实现高频驱动提供了技术支持。

[0044] 需要说明的是,本公开中“行”和“列”不一定是沿直线分布,可能是沿曲线分布,如呈蛇形状等。

[0045] 图3A为本公开实施例提供的阵列基板的示意图之一,该阵列基板包括分布为多行多列的阵列结构的多个子像素,每个子像素包括发光元件以及驱动该发光元件发光的像素电路。例如,该阵列基板为有机发光二极管 (OLED) 显示面板的阵列基板,子像素的发光元件为OLED,该像素电路例如为上述3T1C像素电路或其他基于上述3T1C像素电路的具有补偿、复位等功能的像素电路,本公开的实施例对此不作限制。为了清楚表示本公开实施例中子像素共用第一检测线111的特征,图3A中简略地表示出一行子像素120,并仅示出了第一检

测线111和第一电源线113,为清楚起见省略了第二检测线、第二电源线和数据线等信号线。图中与一行子像素120的连接关系代表与该行子像素120中的每个子像素100均连接。

[0046] 如图3A所示,相邻的第 $n$ 行和第 $n+1$ 行子像素120构成一个子像素行组200(图3A中虚线框所示), $n$ 为大于0的奇数或偶数。每个子像素行组200的两行子像素100之间设置有一条第一检测线111,且该第一检测线配置为与该子像素行组200中的两行(第 $n$ 行和第 $n+1$ 行)子像素连接并用于检测该两行子像素中的第一晶体管或发光元件的电特性。

[0047] 例如,每 $m$ 个子像素100构成一个像素单元,该 $m$ 个子像素例如分别包括发出不同颜色光的发光元件,从而实现彩色显示。例如, $m=2,3$ 或 $4$ 。例如,一个像素单元中的 $m$ 个子像素排列为一行或者两行。例如,在一个像素单元中的 $m$ 个子像素排列为两行的情形,该第一检测线111设置于同一个像素单元中的两行子像素之间,以使得同一个像素单元中的子像素共用同一条第一检测线111。

[0048] 比起每一行子像素分别配置一条第一检测线的技术方案,在本公开实施例提供的阵列基板,每两行子像素共用一条第一检测线,将第一检测线的数量减少了一半,从而减小了第一检测线与数据线的交叠,不仅能够提高产品良率,还降低了线间寄生电容。

[0049] 例如,相邻的两个子像素行组200之间设置一条第一电源线113,由此在子像素阵列中,多条第一电源线113与多条第一检测线111交替分布,每条第一电源线113配置为和与之相邻的两行子像素120连接并提供第一电源信号,例如第一电源电压VDD。

[0050] 这样一来,本公开实施例提供的阵列基板进一步共用了第一电源线113,减少了第一电源线113的数量,从而减小了第一电源线与数据线的交叠,这进一步提高了产品良率,并降低了线间寄生电容。

[0051] 例如,每条第一检测线111包括多个沿行方向D1依次布置且彼此绝缘的检测线段,每个检测线段对应连接至少两个子像素100,且每个检测线段连接到不同的第二检测线112。

[0052] 例如,每个检测线段对应连接同一行中的1个或2个像素单元,从而避免每条检测线段因连接过多子像素而影响其信号传输速率,例如该检测线段的充电速率。

[0053] 例如,在 $m=4$ 的情形,也即一个像素单元包括4个子像素100(例如为RGBW四种子像素),一个检测线段对应连接同一行中1个像素单元的4个子像素,此时,该检测线段对应连接的第二检测线设置于该4个子像素的中间,例如该4个子像素相对于该第二检测线段对称设置。

[0054] 例如,在 $m=3$ 的情形,也即一个像素单元包括3个子像素100(例如为RGB三种子像素),一个检测线段对应连接同一行中2个像素单元的6个子像素,此时,该检测线段对应连接的第二检测线设置于该6个子像素的中间,例如该6个子像素相对于该第二检测线段对称设置。

[0055] 图3B为本公开实施例提供的阵列基板的示意图之二。该阵列基板包括分布为多行多列的阵列结构的多个子像素,每个子像素包括发光元件以及驱动该发光元件发光的像素电路。例如,该阵列基板为有机发光二极管(OLED)显示面板的阵列基板,子像素的发光元件为OLED,该像素电路例如为上述3T1C像素电路或其他基于上述3T1C像素电路的具有补偿、复位等功能的像素电路。如图3B所示,阵列基板10包括阵列排布的多个像素单元130,每个像素单元130包括 $m$ 个子像素100,例如该 $m$ 个子像素100位于同一行。

[0056] 如图3B所示,每条第一检测线111包括多个沿行方向D1依次布置且彼此绝缘的检测线段110,每个检测线段110对应连接同一行中2个像素单元130,且每个检测线段110连接到不同的第二检测线112。例如,与检测线段110连接的第二检测线112设置于该检测线段所对应的两个像素单元130之间。

[0057] 例如,相邻的第 $x$ 列和第 $x+1$ 列像素单元130构成一个像素单元列组210(图3B中虚线框所示), $x$ 为大于0的奇数或偶数。相邻的像素单元列组210之间设置有一条第二电源线114,该第二电源线沿列方向D2延伸并与第一电源线113交叉连接。例如,多条第二电源线114与多条第二检测线112在行方向D1上交替排布。

[0058] 以下仍然以图1B-1C所示的3T1C像素电路为例、并结合图4A-4B对本公开实施例提供的阵列基板进行进一步说明,然而,本公开实施例对于像素电路的具体结构不作限制。

[0059] 图4A为本公开一实施例提供的阵列基板的示意图,为了清楚起见,图中仅示出了3行6列子像素100。例如,该阵列基板为有机发光二极管(OLED)显示面板的阵列基板,子像素的发光元件为OLED。

[0060] 请一并参照图1C、图3A-3B和图4A,多条第一扫描线141沿行方向D1延伸,分别与多行子像素中的第二晶体管T2的栅极对应连接以提供第一扫描信号SCN1。

[0061] 例如,第一扫描线141还与所对应的子像素中的第三晶体管T3的栅极连接以提供第二扫描信号,也即在图4A所示的实施例中,第一扫描信号SCN1和第二扫描信号SCN2均为由第一扫描线114提供的扫描信号。

[0062] 例如,在每个子像素100中,第二晶体管T2和第三晶体管T3沿行方向D1并列设置,且第二晶体管T2的沟道长度方向和第三晶体管T3的沟道长度方向均沿列方向D2。

[0063] 例如,在每个子像素行组200中,分别与第 $n$ 行和第 $n+1$ 行子像素连接的两条第一扫描线141设置于该第 $n$ 行和第 $n+1$ 行子像素之间。

[0064] 例如,在每个子像素行组200中,与第 $n$ 行和第 $n+1$ 行子像素连接的第一检测线111设置于与该第 $n$ 行和第 $n+1$ 行子像素所分别连接的两条第一扫描线141之间,且该两条第一扫描线111相对于该第一检测线111对称设置。

[0065] 例如,在每个子像素行组200中,第 $n$ 行和第 $n+1$ 行子像素相对于与其相连的第一检测线111对称设置。

[0066] 例如,在图4A中示出的每个检测线段110对应连接同一行中2个像素单元130的情形,与检测线段110连接的第二检测线112设置于该检测线段所对应的两个像素单元130之间,且该检测线段110所对应连接的2个像素单元130相对于该第二检测线112对称设置。

[0067] 例如,对于每行子像素,第 $y$ 与 $y+1$ 个子像素100相对于列方向D2轴对称设置,其中 $y$ 为奇数。

[0068] 图4B是本公开另一实施例提供的阵列基板的示意图。例如,该阵列基板为有机发光二极管(OLED)显示面板的阵列基板,子像素的发光元件为OLED。如图4B所示,阵列基板10还包括沿行方向D1延伸的多条第二扫描线142,多条第二扫描线142分别与多行子像素一一对应连接,并分别与所对应的子像素中的第三晶体管T3的栅极连接以提供所述第二扫描信号SCN2,也即,第二晶体管T2和第三晶体管T3的栅极分别连接第一扫描线141和第二扫描线142,第一扫描信号SCN1和第二扫描信号SCN2分别由不同的信号线提供。

[0069] 例如,在每个子像素行组200中,与第 $n$ 行和第 $n+1$ 行子像素连接的第一检测线111

设置于与该第n行和第n+1行子像素所分别连接的两条第一扫描线141和两条第二扫描线142之间,且该两条第一扫描线111和两条第二扫描线142分别相对于该第一检测线111对称设置。

[0070] 图5示出了本公开至少一个实施例提供的阵列基板的剖视图。例如,该阵列基板为有机发光二极管(OLED)显示面板的阵列基板,子像素的发光元件为OLED。为了清楚起见,图中仅示出了第一晶体管T1和发光元件170。如图所示,发光元件170包括第一电极131、发光层132和第二电极133,第一电极131和第二电极133之一为阳极,另一个为阴极。例如,发光元件170为有机发光二极管。例如,发光元件除了发光层132之外还可以包括空穴注入层、空穴传输层、电子注入层、电子传输层等。

[0071] 第一晶体管T1包括栅极151、有源层152、源极153和漏极154。本公开的实施例对于第一晶体管T1的类型、材料、结构不作限制,例如其可以为顶栅型、底栅型等,第一晶体管T1的有源层可以为非晶硅、多晶硅(例如低温多晶硅或高温多晶硅)、氧化物半导体(例如IGZO)等,且第一晶体管120可以为N型或P型。

[0072] 例如,发光元件170为顶发射结构,第一电极131具有反射性而第二电极133具有透射性或半透射性。例如,第一电极131为高功函数的材料以充当阳极,例如为ITO/Ag/ITO叠层结构;第二电极133为低功函数的材料以充当阴极,例如为半透射的金属或金属材料,例如为Ag/Mg合金材料。

[0073] 在本公开实施例提供的阵列基板中,例如请参照图4A和图4B,由于像素中的透光区域(也即晶体管以外的区域,图中的空白区)集中在第一检测线111的两侧,而第一检测线111并不是均匀分布在整个显示区域,因此,顶发射结构的发光元件可以使得发光元件可以均匀分布而不局限于像素的透光区域,有助于显示面板实现均匀的显示效果。

[0074] 图6示出了图4A所示的阵列基板与图2所示的阵列基板的仿真对比图。曲线A示出了图2所示的阵列基板中第一检测线的充电过程,曲线B示出了图4A所示的阵列基板中第一检测线的充电过程。用于比较的两个阵列基板,除了所示出的版图设计的区别之外,其他特征(例如尺寸、材料等)相同。如图所示,在图2所示的阵列基板中,第一检测线的电压从0充电到2V所需要的时间约为120 $\mu$ s;而图4A所示的本公开实施例提供的阵列基板中第一检测线的电压从0充电到2V所需要的时间约为96 $\mu$ s,与图2所示的阵列基板相比,充电速度提高了25%。

[0075] 如图7所示,本公开实施例还提供一种显示面板300,包括上述阵列基板10。例如,该显示面板为OLED显示面板,相应地其包括的阵列基板为OLED阵列基板,子像素的发光元件为OLED。例如,该显示面板还包括设置于阵列基板10上的封装层301和盖板302,该封装层301配置为对发光元件170进行密封以防止外界的湿气和氧向该发光元件及像素电路的渗透而造成对器件的损坏。例如,封装层301包括有机薄膜或者包括有机薄膜及无机薄膜交替层叠的结构。例如,该封装层301与阵列基板10之间还可以设置吸水层(未示出),配置为吸收发光元件170在前期制作工艺中残余的水汽或者溶胶。盖板302例如为玻璃盖板。例如,盖板302和封装层301可以为一体的结构。

[0076] 本公开实施例还提供一种检测方法,用于检测上述阵列基板,该检测方法包括:对于所述像素阵列中的目标子像素施加检测控制信号;通过该第一检测线获取该子像素中的第一晶体管或发光元件的电特性。

[0077] 在本公开的实施例中,由于相邻的第 $n$ 行和第 $n+1$ 行子像素120构成一个子像素行组200(例如,图3A中虚线框所示),每个子像素行组200的两行子像素100之间设置有一条第一检测线111,且该第一检测线111配置为与该子像素行组200中的两行(第 $n$ 行和第 $n+1$ 行)子像素连接并用于检测该两行子像素中的第一晶体管或发光元件的电特性。为此,对于每个子像素行组200,需要采用分时复用的方法,使得被共享的第一检测线111可以分时连接到该子像素行组200中的各个子像素,对该子像素行组200中的各个子像素实现检测。例如对于上述3T1C像素电路,可以通过是否开启第三晶体管T3来确定是否选择某一子像素。对于上述3T1C像素电路,在施加了检测控制信号的情况下,该检测方法例如参照前文的描述,此处不再赘述。

[0078] 虽然上文中已经用一般性说明及具体实施方式,对本发明作了详尽的描述,但在本公开实施例基础上,可以对之作一些修改或改进,这对本领域技术人员而言是显而易见的。因此,在不偏离本公开精神的基础上所做的这些修改或改进,均属于本公开要求保护的

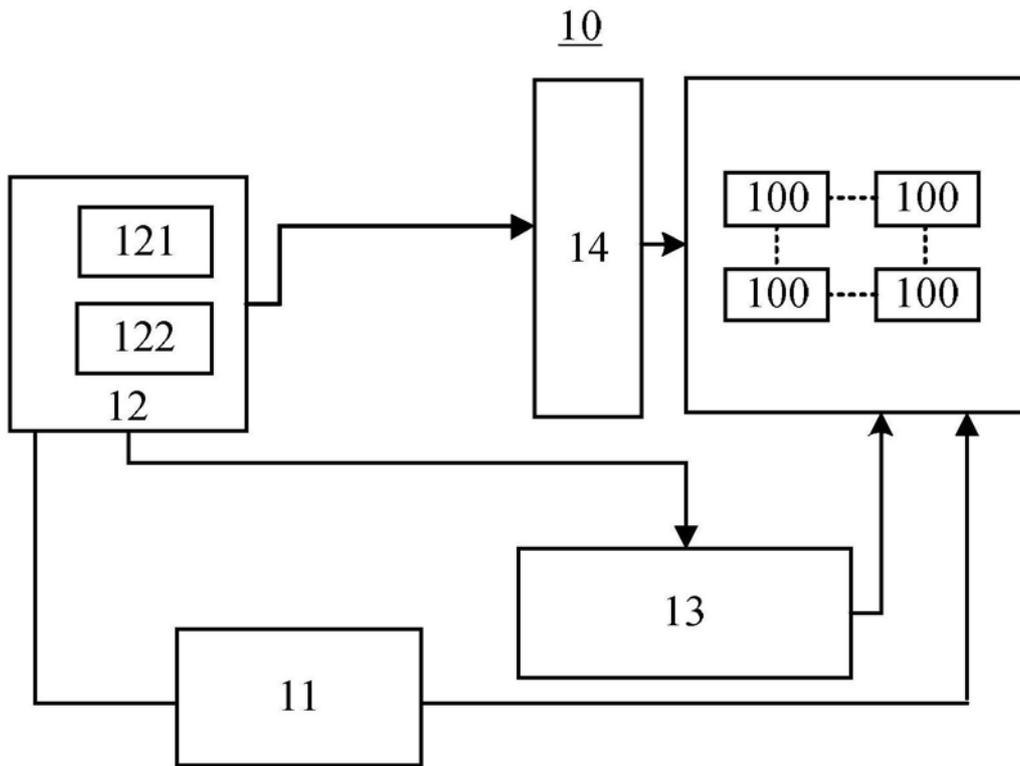


图1A

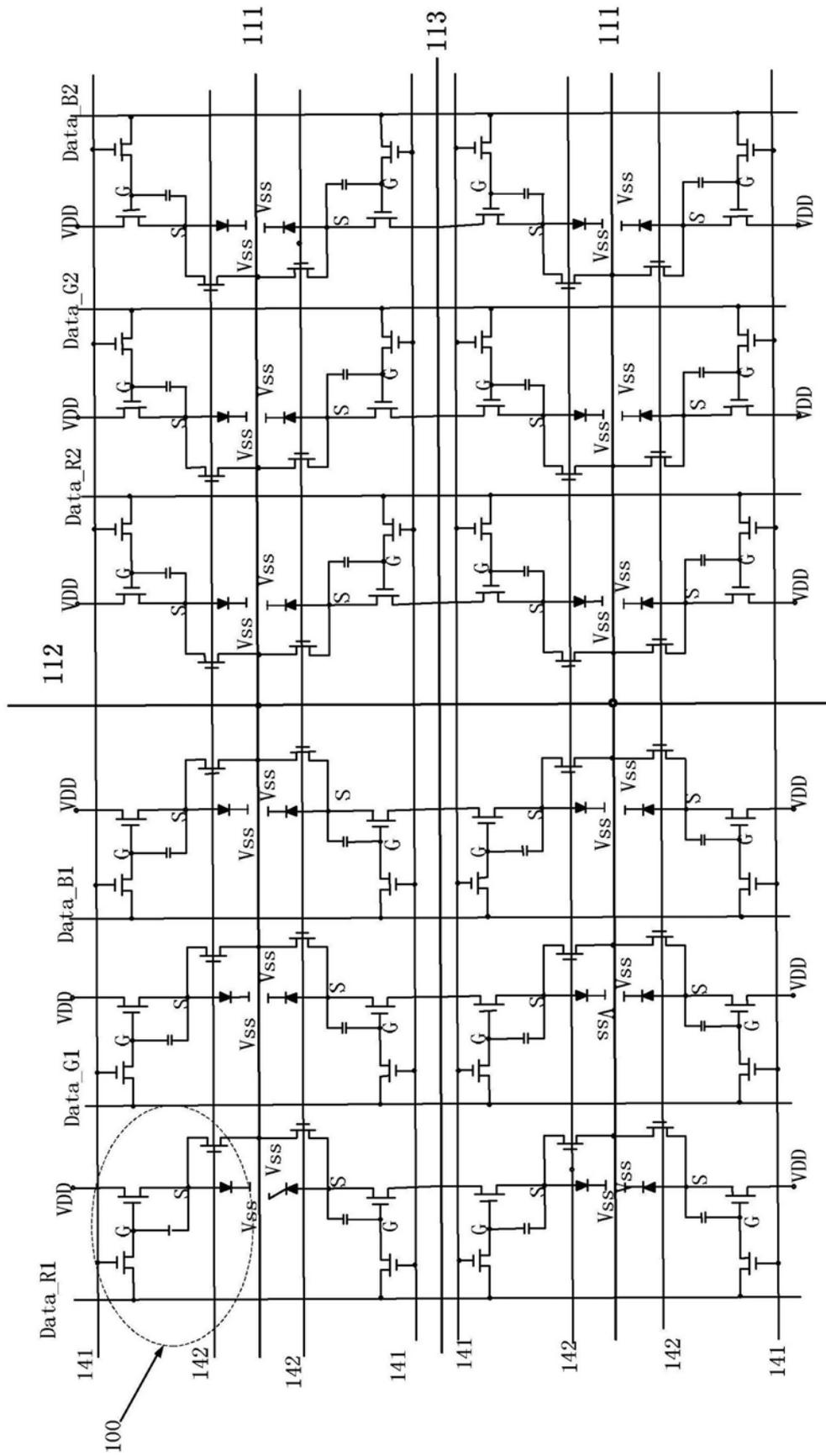


图1B

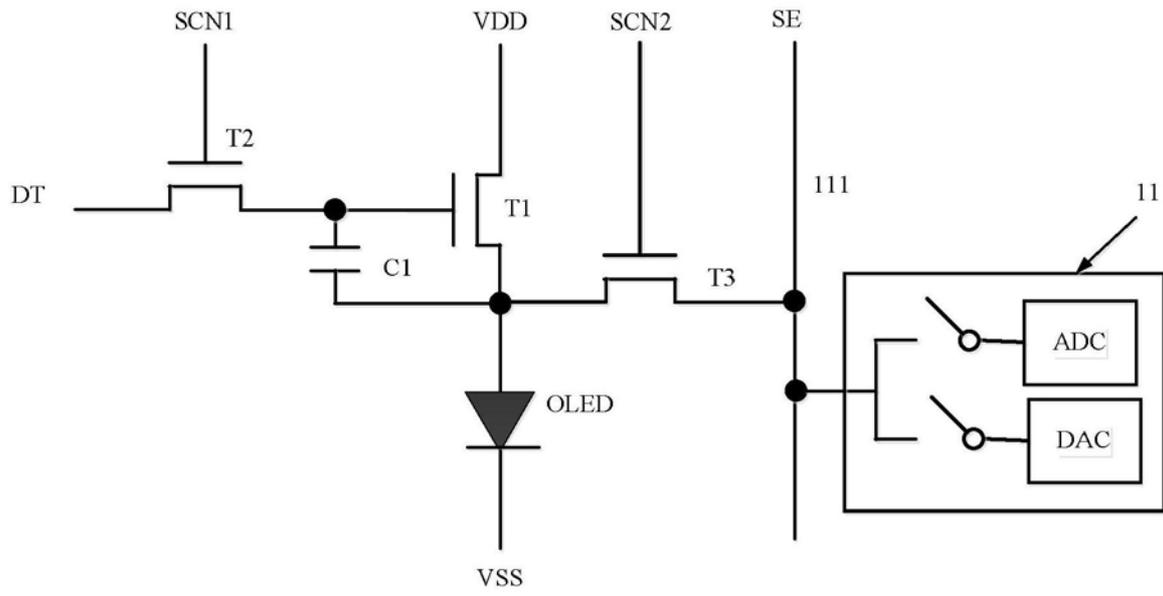


图1C

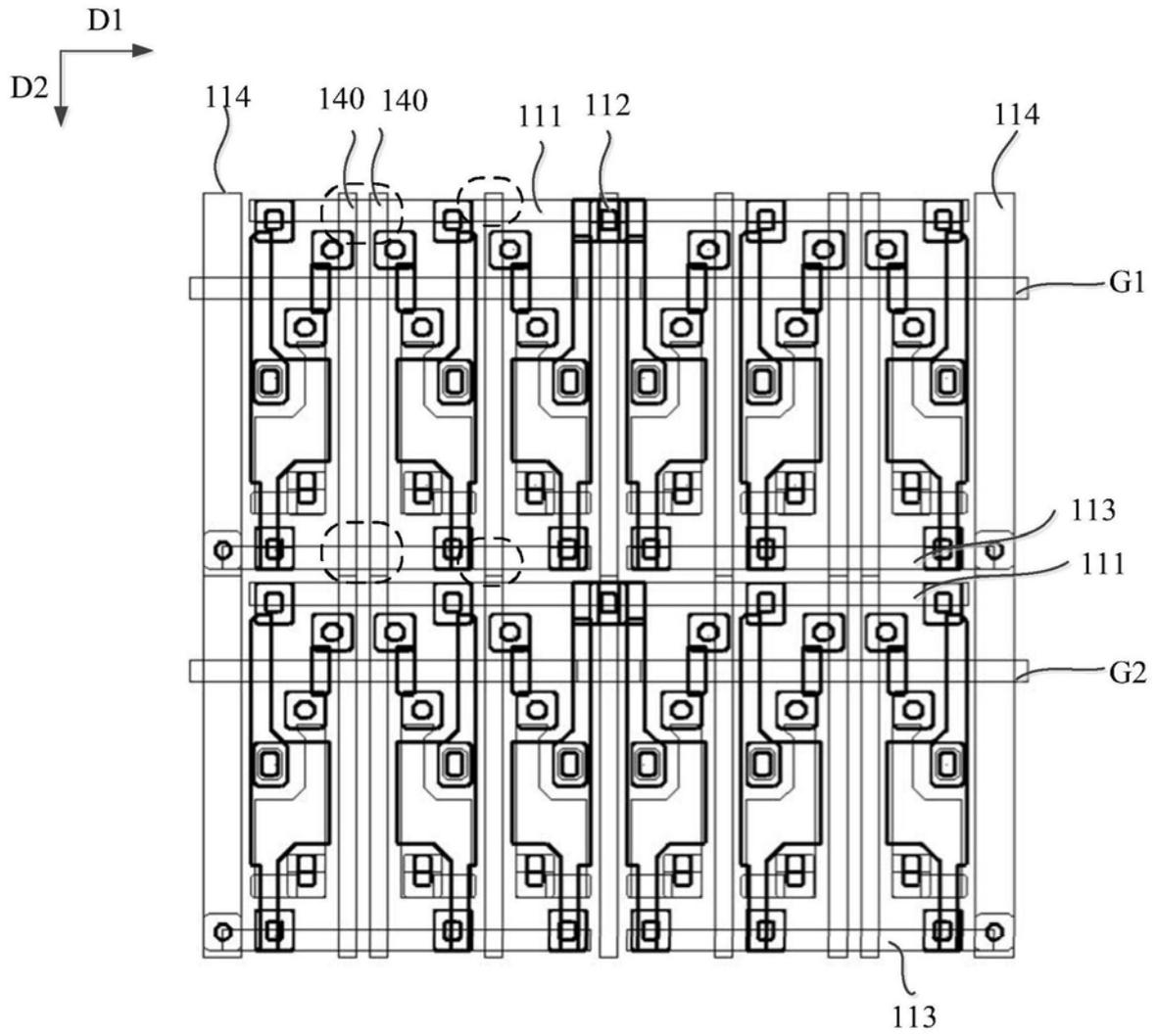


图2

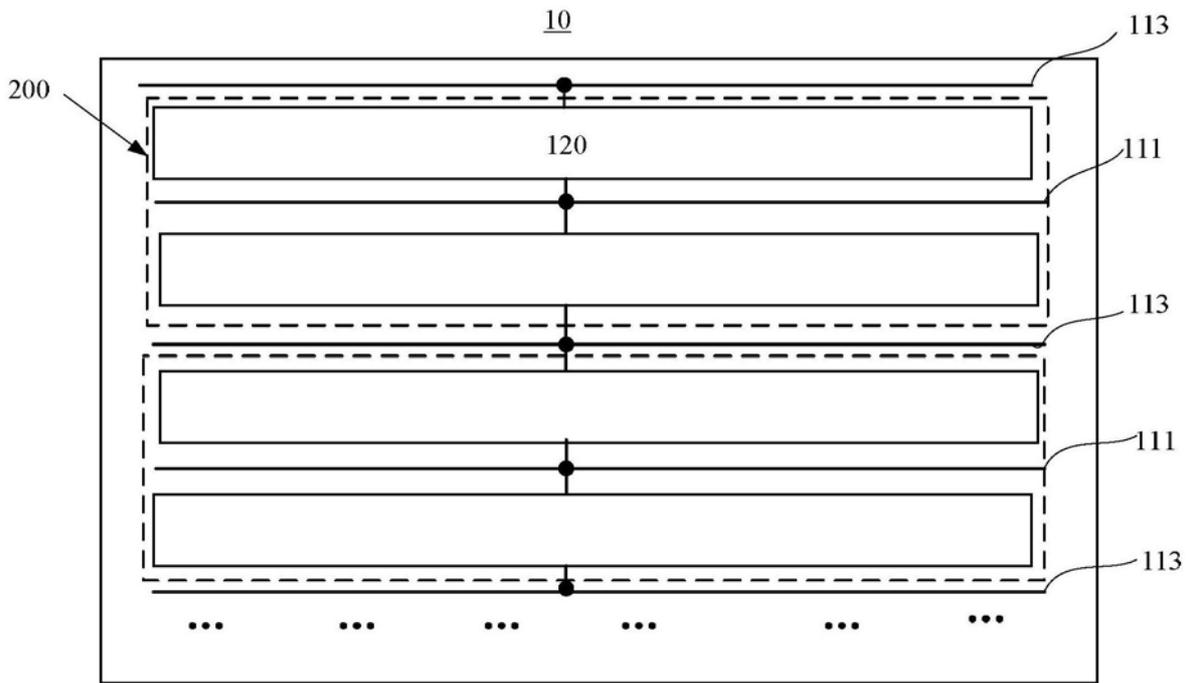


图3A

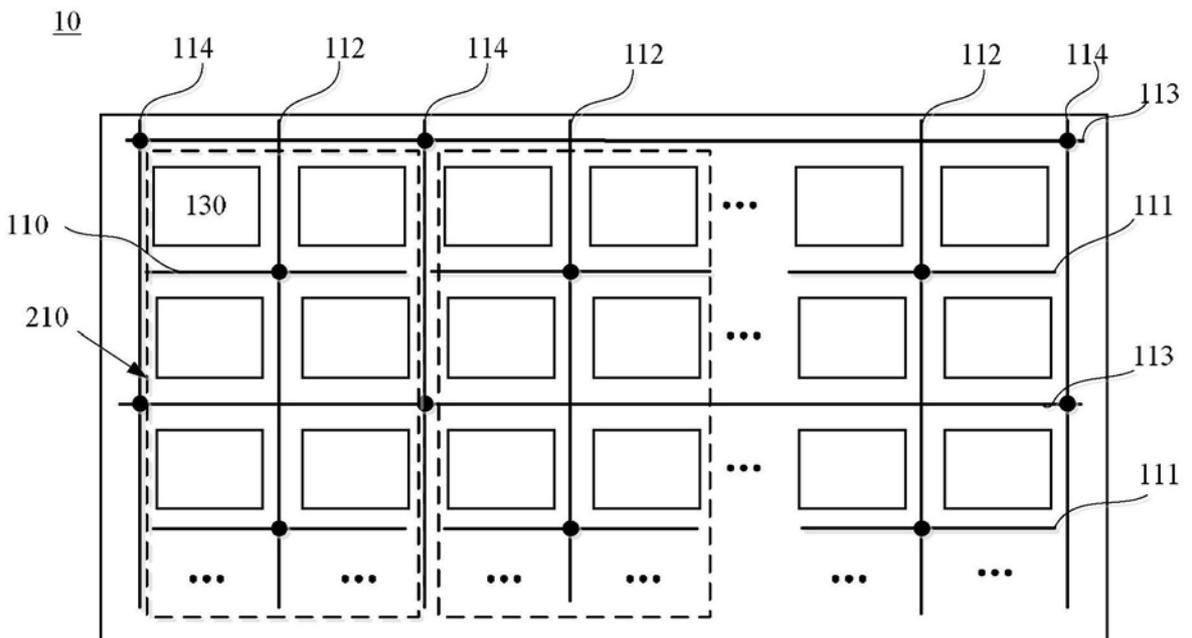


图3B

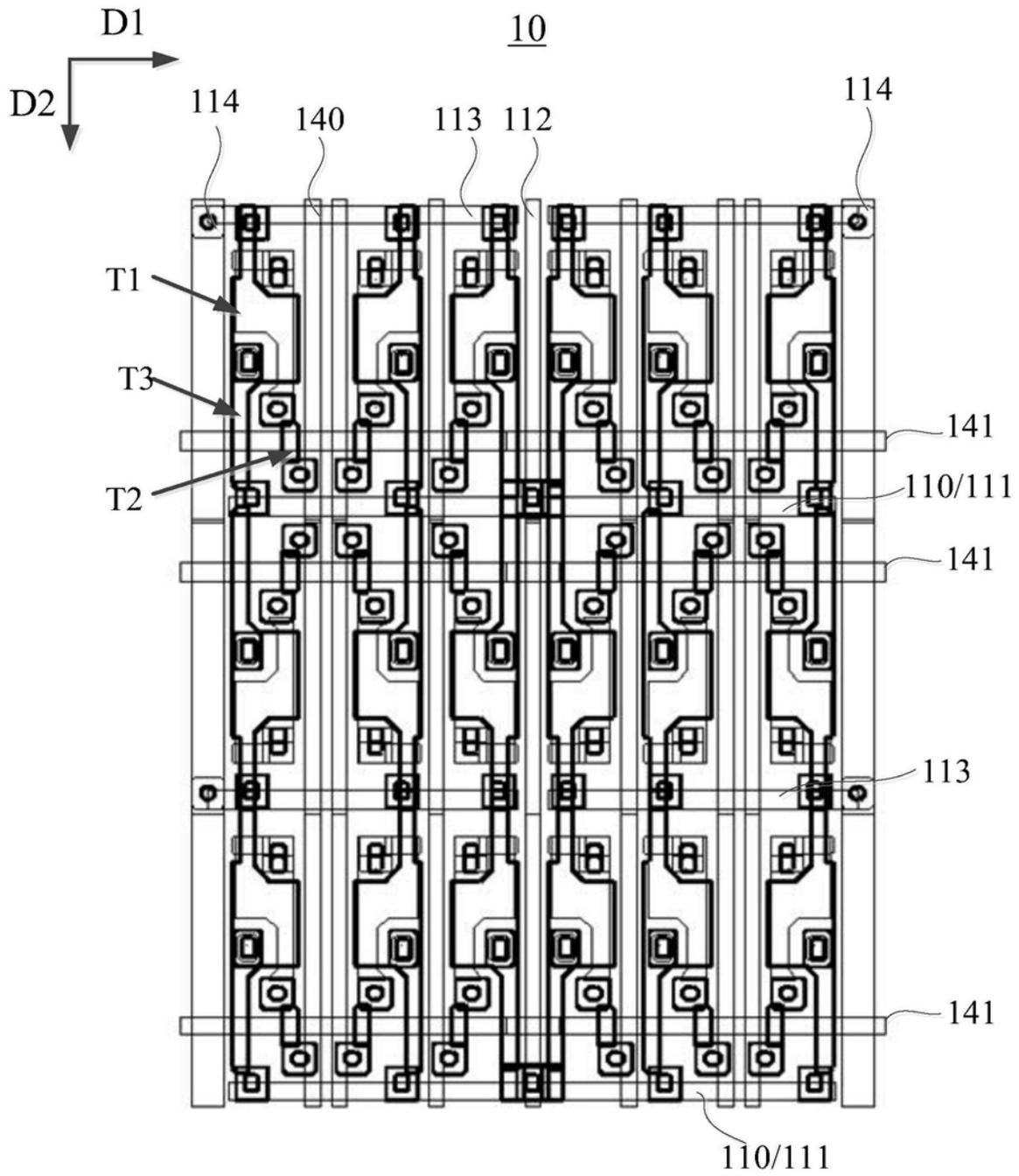


图4A

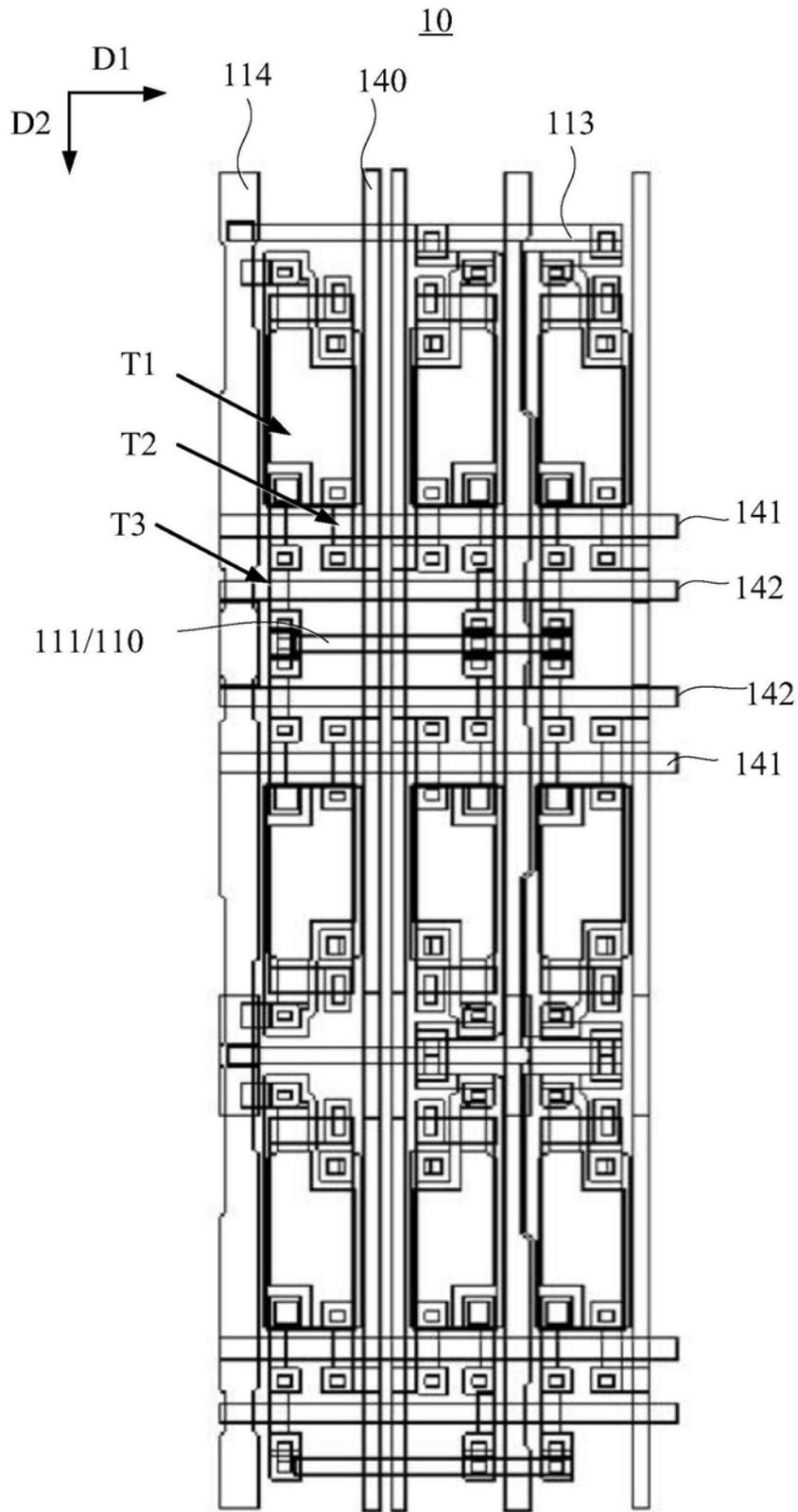


图4B

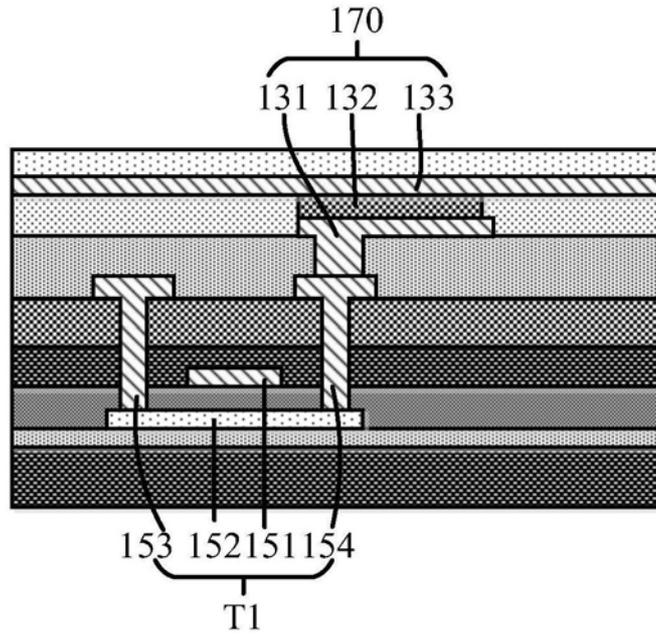


图5

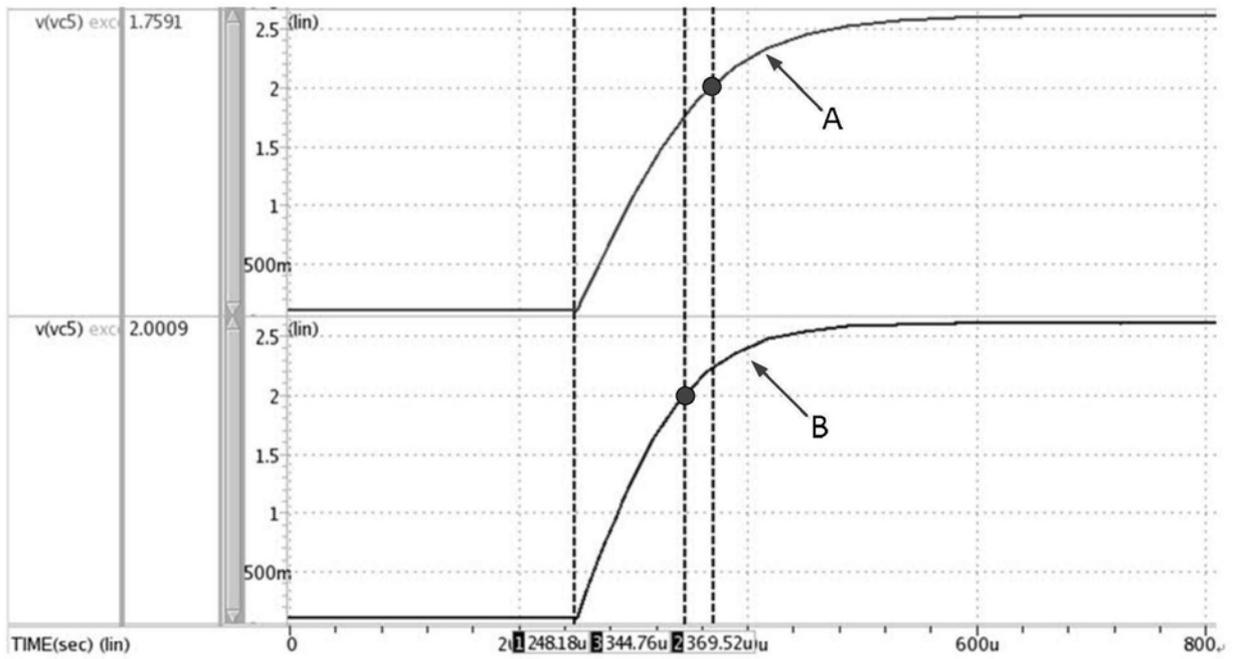


图6

300

302
301
10

图7