

I267981

青田期 91.6.27

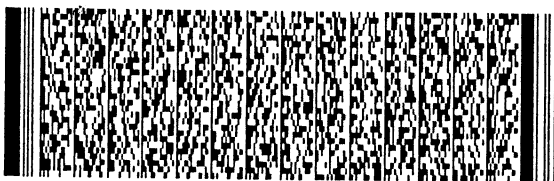
案號：91114152

HOTL-7/15 29/88

各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	非揮發性半導體記憶裝置
	英文	NONVOLATILE SEMICONDUCTOR MEMORY DEVICE
二、 發明人	姓名 (中文)	1. 西岡奈保 2. 辻直樹
	姓名 (英文)	1. Naho NISHIOKA 2. Naoki TSUJI
	國籍	1. 日本 2. 日本
	住、居所	1. 日本國東京都千代田區丸の内二丁目2番3號 三菱電機株式會社內 2. 同1
三、 申請人	姓名 (名稱) (中文)	1. 三菱電機股份有限公司
	姓名 (名稱) (英文)	1. Mitsubishi Denki Kabushiki Kaisha (三菱電機株式會社)
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都千代田區丸の内二丁目2番3號
	代表人 姓名 (中文)	1. 谷口一郎
	代表人 姓名 (英文)	1. Ichiro TANIGUCHI



本案已向

國(地區)申請專利

日本 JP

申請日期

2002/01/08 2002-001138

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



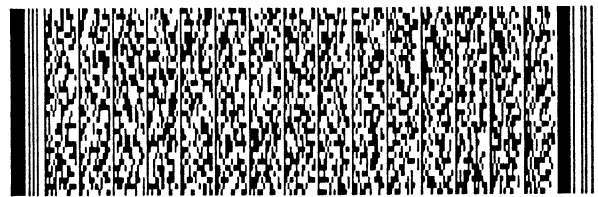
五、發明說明 (2)

於各個井內設置二種電晶體161、162。電晶體161為具有閘氧化膜127，且電晶體162為具有比其更厚膜厚之閘氧化膜137。於此些閘氧化膜127、137上，於兩者情況均具備與控制閘相同厚度方向構成的導電層113、和WSi膜114、和絕緣膜115。周邊電路部R2之電晶體為具備於矽基板上所設置之低濃度雜質區域116、117、和使用閘極側面之側壁間隔物做為罩幕並再植入雜質之高濃度雜質區域119、120。於高濃度雜質區域119、120，接續將層間絕緣膜124上所配置之佈線126予以導通的插頭佈線125。

其次，使用圖面說明先前之非揮發性半導體裝置的製造方法。

首先，於<100>之p導電型矽基板101之主表面形成元件隔離帶102(參照圖35)。其次，於矽基板101之主表面，將光阻圖型用作為罩幕，於記憶單元部R1形成將磷，例如以3MeV之加速能量、 $1.0E13$ 之密度進行離子植入且形成n導電型底部井區域103，除去光阻膜。尚，以後之說明為省略關於除去光阻膜處理之說明。

其次，於周邊電路部R2之形成p導電型MOS(金屬氧化物半導體)電晶體之區域中，將光阻圖型使用作為罩幕，將磷例如以1.2MeV之加速能量、 $1.0E13$ 之密度進行離子植入。更且，於相同區域中，將通道切斷用之磷例如以700KeV、 $3.0E12$ 進行離子植入，又，將抵銷摻雜用之硼例如以20KeV、 $1.5E12$ 進行離子植入。經由此些離子植入，則可形成n導電型井區域104(參照圖35)。



五、發明說明 (6)

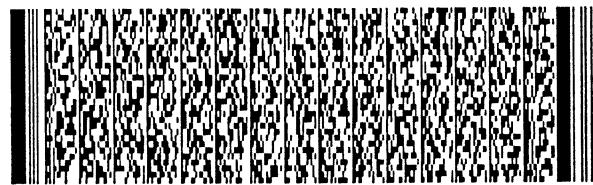
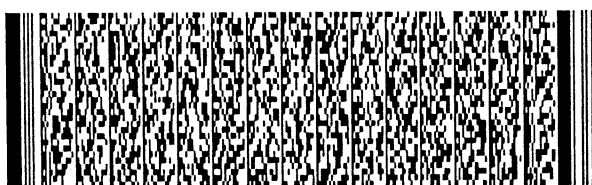
20KeV之加速能量、 $2.0E15$ 之密度進行離子植入。如此，形成p導電型MOS電晶體之高濃度雜質區域(圖43)。其後，使用通常的佈線形成技術，形成佈線。經由使用如上述的製造方法，則可製造先前的非揮發性半導體記憶裝置。

通常，於非導電性半導體中，於程式形成時，於控制閘110外加20V左右的高電壓 V_{pp} ，並將n導電型擴散區域108a, 108b、與矽基板101予以接地。如此，於n導電型擴散層108a, 108b間之區域所形成之通道中發生電子。此電子為經由隧道絕緣膜106穿透能量障壁，並植入浮動閘107。其結果，記憶單元的臨限電壓上升。

又，於消去程式時，通常於控制閘113外加-20V左右的高電壓 V_{pp} ，並將n導電型擴散區域108a、108b與矽基板101接地。經由形成此電路，產生隧道現象，且由浮動閘107放出電子至矽基板101。其結果，記憶單元的臨限電壓下降。

另一方面，將選擇之記憶單元讀出動作時，於控制閘113例如外加3.3V($V_{cg}=3.3V$)、於n導電型擴散層之汲極108a外加3.3V之電壓，且將n導電型擴散層之源極108b與矽基板101接地。若 $V_{thp}>3.3V>V_{the}$ ，則於程式讀入狀態下，於記憶電晶體之源極與汲極間未流過電流，於程式消去狀態下流過電流。

讀出時之非選擇的記憶電晶體為將控制閘113接地($V_{cg}=0V$)，對n導電型擴散區域之汲極108a外加3.3V之電壓，並將n導電型擴散區域之源極108b和矽基板101接地。若



五、發明說明 (7)

$V_{thp} > V_{the} > 0V$ ，則於 $V_{cg} = 0V$ 下，於記憶電晶體之源極與汲極之間未流過電流。

選擇之記憶電晶體中，僅程式讀入狀態於源極和汲極之間流過電流，且如此可檢測各記憶單元的資料。

因此，於非揮發性半導體記憶裝置之周邊電路部，必須具有(1)為了令讀出動作高速化，乃令閘氧化膜為薄，且電流驅動力高並且低耐壓的電晶體、和(2)具有可耐高外加電壓之閘氧化膜的高耐壓電晶體等二種電晶體。

但是，先前之製造方法中，記憶電晶體、與周邊電路部中之閘氧化膜厚度不同的二種電晶體必須分別以不同時機形成不可。因此，於閘氧化膜形成時，必須進行多回高溫熱處理，於高溫熱處理上耗費長時間。因此，產生如下之問題。

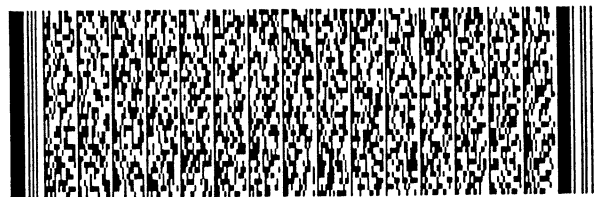
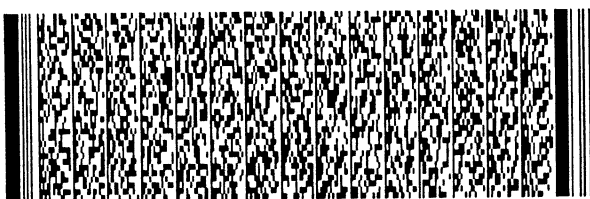
(1)耗費費用之過程的熱氧化處理步驟數增大。

(2)因為於高溫熱處理中長時間曝露，故經由離子植入所形成之擴散區域廣，妨礙半導體元件的微細化。

(3)因為高溫熱處理之次數多，故將矽基板蝕刻並埋入氧化矽膜構造之元件隔離膜，經由其氧化矽膜與矽基板之熱膨脹係數的不同，對於溝渠隔離102周圍的矽基板加以應力，並於矽基板內產生結晶缺陷。

發明之概要

本發明為以提供可將高溫熱處理之次數減少至最小限度，加上可將周邊電路部及記憶單元部之電晶體分開製作，特別於周邊電路部中重視高耐壓電晶體和動作速度的



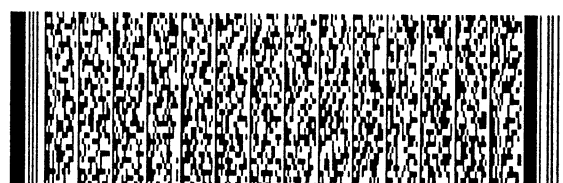
五、發明說明 (8)

低耐壓電晶體可簡便地分別製作的非揮發性半導體記憶裝置及其製造方法。

本發明之非揮發半導體記憶裝置為於半導體基板上具備記憶單元部及位於其周邊的周邊電路部。於記憶單元部，具備閘絕緣膜上之浮動閘、和位於此浮動閘上之閘間絕緣膜、和具有位於閘間絕緣膜上之控制閘的記憶電晶體。

又，於周邊電路部中，具備含有第一閘絕緣膜的第一電晶體及含有第二閘絕緣膜的第二電晶體。此非揮發性半導體記憶裝置中，於第一及第二電晶體之至少一者，於其閘絕緣膜之上，由下方開始依序具備於彼此接觸位置的下方導電層和中間絕緣膜和上方導電層。下方導電層為具有與浮動閘相同之厚度方向之構成，中間絕緣膜為含有與閘間絕緣膜相同之厚度方向構成的絕緣膜，且上方導電層為具有與控制閘之導電層相同之厚度方向構成。更且，中間絕緣膜為具備將上方導電層與下方導電層予以電性接續的導通部。

經由此構成，於記憶單元部經由絕緣膜所絕緣之浮動閘與控制閘，可於周邊電路部中予以電性接續。因此，於周邊電路部中，浮動閘及控制閘任一者均可使用做為閘極。因此，(A)可將記憶單元部之非揮發性電晶體之閘部、與周邊電路部之電晶體之閘部可於相同時機中以相同厚度方向構成所形成，可省略步驟。又，例如，(B)經由將非揮發性電晶體之閘氧化膜、與周邊電路部之例如第一電晶體之閘氧化膜於相同時機中以相同厚度方向構成予以共同製



五、發明說明 (9)

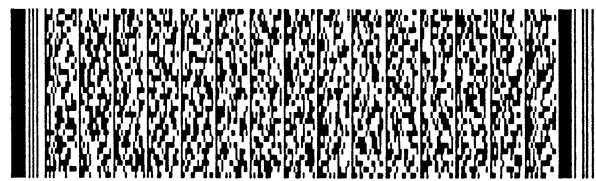
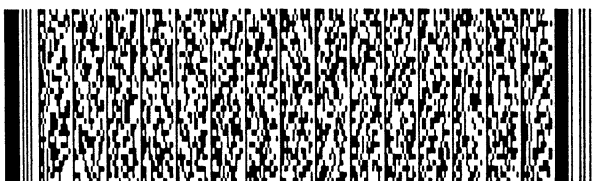
造，則可再促進省略步驟。其結果，(B1)可抑制熱氧化處理，抑制半導體基板中發生結晶缺陷。更且，經由抑制加至半導體基板的熱經歷，(B2)不會令雜質擴散區域之大小擴大，且不會成為非揮發性半導體記憶裝置之小型化的阻礙要因。

上述，第一及第二電晶體通常一者為高耐壓電晶體，另一者為應用被分類為不需要如此高的耐壓性且重視高速動作的電晶體。即，第一閘氧化膜與第二閘氧化膜的厚度為不同。但是，並非必定限定於上述分類，其他之分類亦可。於n導電型及p導電型兩者之井中，形成上述第一及第二電晶體。

尚，與浮動閘相同厚度方向構成之下方導電層為指浮動閘層形成時，於周邊電路部中亦與此浮動閘層於相同時機中形成相同層，並且將其使用做為下方導電層。於其他層亦使用相同之意義。因此，二個層於相同厚度方向構成之情形中，(a)厚度尺寸、(b)厚度方向之化學組成分佈為相同。

尚，第一及第二電晶體兩者均於各個閘絕緣膜上，具備與浮動閘相同厚度方向構成之下方導電層、和含有與閘間絕緣膜相同厚度方向構成之絕緣膜的中間絕緣膜、和與控制閘相同厚度方向構成之上方導電層亦可。

上述本發明之非揮發性半導體記憶裝置中，第一電晶體為於第一閘絕緣膜上，具備與浮動閘相同厚度方向構成之下方導電層、和含有與閘間絕緣膜相同方向構成之絕緣膜



五、發明說明 (10)

的中間絕緣膜、和與控制閘相同厚度方向構成之上方導電層亦可。又，第二電晶體為於第二閘絕緣膜上，可具備與控制閘相同厚度方向構成之導電層。

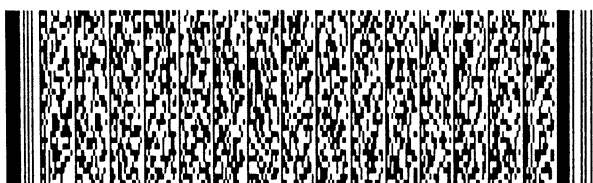
經由此構成，亦可取得與本發明上述(A)、(B)、(B1)、(B2)相同的作用效果。

本發明之非揮發性半導體記憶裝置之製造方法係具備有：於形成有半導體基板上的周邊電路部的第2電晶體之領域上形成下層絕緣膜的步驟；形成覆蓋住半導體基板以及下層絕緣膜之閘絕緣膜之步驟；在閘絕緣膜的上方。

形成構成浮動閘之浮動導電層的步驟、和於浮動導電層之上，形成閘間絕緣膜的步驟、和於形成第一及第二電晶體區域之閘間絕緣膜開口出達至浮動導電層之貫穿孔的步驟。

根據此方法，則可令第一電晶體之閘絕緣膜與記憶電晶體之閘絕緣膜於相同時機中以相同組成予以共同製造。又，第二電晶體之閘絕緣膜為比第一電晶體之閘絕緣膜，僅於下層絕緣膜部分形成較厚。上述步驟因為不必要將記憶單元部與周邊電路部分開，來形成電晶體之閘氧化膜，故亦可抑制熱氧化處理。因此，可抑制於半導體基板發生結晶缺陷。又，因為抑制加至半導體基板的熱處理經歷，故抑制雜質擴散區域的擴大，不會成為非揮發性半導體記憶裝置微細化的阻礙要因。

上述製造方法為具備以雜質摻雜矽膜形成浮動導電層，且對閘間絕緣膜開口出貫穿孔之步驟後，僅對周邊電路部



五、發明說明 (11)

區域之雜質摻雜矽膜，再植入雜質之步驟。

根據此方法，則可簡單增加周邊電路部中做為電晶體閘極的浮動導電層的雜質濃度。其結果，並非確保做為非揮發性電晶體之浮動閘，而為確保做為電晶體之閘極更合適的導電性。

本發明之其他非揮發性半導體記憶裝置之製造方法為具備令記憶單元部和周邊電路部共同地，將閘絕緣膜、和於此閘絕緣膜上成為浮動閘的浮動導電層、和於此導電層上為閘間絕緣膜予以依序疊層的步驟。又，具備將依序疊層之閘絕緣膜、和浮動導電層、和閘間絕緣膜僅於平面上察見形成第二電晶體區域之範圍除去，露出半導體基板的步驟，和僅於第二電晶體區域，形成比閘絕緣膜更厚之第二閘絕緣膜的步驟。更且，具備將形成第一電晶體區域之於閘間絕緣膜開口出達至浮動導電層之貫穿孔的步驟、和橫過記憶單元部和周邊電路部，將貫穿孔掩埋，覆蓋第二閘絕緣膜形成做為控制閘之控制導電層的步驟。

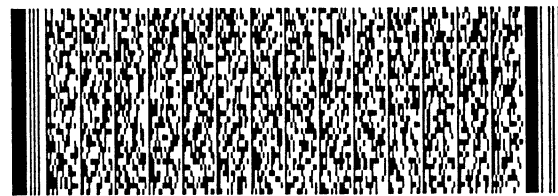
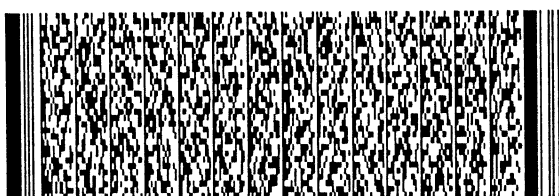
根據此方法，即使僅於第一電晶體於閘極部具有與記憶單元部之閘間絕緣膜相同厚度方向構成之絕緣膜，且第二電晶體僅於上方導電層疊層時，亦可令第一電晶體與記憶電晶體之閘氧化膜的形成步驟共同化，實現省略步驟。

較佳具體例之描述

其次使用圖面，說明本發明之實施形態。

(實施形態1)

參照圖1，此非揮發性半導體記憶裝置為被區分成記憶



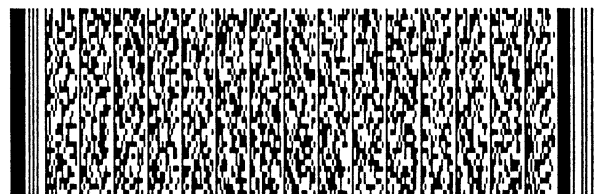
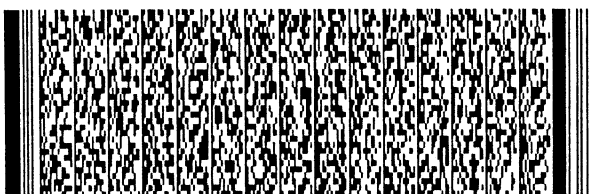
五、發明說明 (13)

膜10中開以貫穿孔，並形成導通浮動閘8與控制閘12的導通部。因為此導通部，使得浮動閘8與控制閘12可使用做為通常的電晶體的閘極。圖3為圖1中B部放大圖。經由比較圖2及圖3，則可知由閘氧化膜上之閘部的層合構造為與記憶單元部R1之記憶電晶體50、和周邊電路部R2之二種電晶體61、62相同。因此，周邊電路部之電晶體的閘極，可與含有浮動閘和控制閘之記憶電晶體之閘部以相同時機製造。

周邊電路部為於電晶體具備矽基板所設置之低濃度雜質區域15、16，和將閘極側面之側壁間隔物17使用作為罩幕並再植入雜質之高濃度雜質區域18、19。於高濃度雜質區域18、19中，接續導通至層間絕緣膜22上所配置之佈線26的插頭佈線23。

其次，說明關於圖1所示非揮發半導體記憶裝置之製造方法。首先，於<100>之結晶方位之p導電型矽基板101之主表面上，形成矽氧化膜所構成之元件隔離區域2(圖4)。其次，於矽基板1之主表面，將光阻圖型使用作為罩幕，並於記憶單元形成區域將磷例如以3MeV之加速能量、 $1.0E13$ 之密度進行離子植入。如此，形成n導電型底部井區域3，並除去光阻物(圖5)。

其次，於周邊電路部R2之p導電型MOS電晶體形成區域中，將光阻圖型使用作為罩幕，(a)將磷例如以1.2MeV之加速能量、 $1.0E13$ 之密度進行離子植入。更且，於相同區域，(b)將通道切斷用之磷例如以700KeV、 $3.0E12$ ，又，



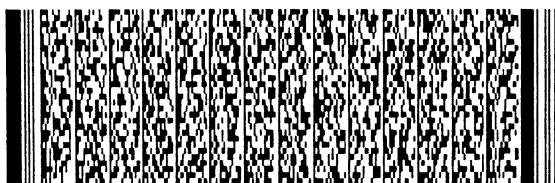
五、發明說明 (14)

(c) 將抵銷摻雜用之硼例如以20KeV、 $1.5E12$ 分別進行離子植入。經由此些離子植入則可形成n導電型井區域4。

其後，於周邊電路部R2之n導電型MOS電晶體形成區域、與記憶單元部之記憶電晶體形成區域，將光阻圖型使用作為罩幕，進行下列之離子植入(a)、(b)、(c)。例如，(a)將硼以加速能量700KeV、密度 $1.0E13$ 左右進行離子植入，又(b)以加速能量270KeV、密度 $3.5E12$ ，將p通道切斷用之硼進行離子植入。更且(c)以加速能量50KeV、密度 $1.2E12$ ，將通道摻雜用之硼進行離子植入。經由上述(a)、(b)、(c)之離子植入，則可形成p導電型井區域5(圖7)。

於矽基板1之主表面上，使用熱氧化法則可成膜出厚度20nm左右的氧化矽膜6。其次，於此氧化矽膜上經由光微影術，形成光阻圖型，並將此光阻圖型使用作為罩幕，將記憶電晶體形成區域、與周邊電路部之低耐壓電晶體61形成區域的上述氧化矽膜6予以蝕刻除去。因此，如圖8所示般，僅於周邊電路部之高耐壓電晶體62形成區域中，配置厚度20nm左右的氧化矽膜6。

其次，於上述氧化矽膜6及矽基板1的主表面上，使用熱氧化法，形成厚度10nm之氧化矽膜7。其次，於其上形成厚度200nm左右之摻雜磷多晶矽膜8。此時，周邊電路部之低耐壓電晶體區域之氧化矽膜厚度為20nm以上且未滿30nm之厚度。其次，於摻雜磷多晶矽膜8上經由光微影術，形成光阻圖型。將此光阻圖型使用作為罩幕，並將摻雜磷多



五、發明說明 (15)

晶矽膜8予以圖案加工(圖9)。

於記憶單元部之記憶電晶體所形成區域中，將光阻圖型使用作為罩幕，將砷例如以加速能量35KeV，密度 $3.0E15$ 予以植入，形成n導電型雜質擴散層28a、28b(圖10)。

其後，於矽基板1上，經由減壓CVD法沉積成厚度800nm之氧化矽膜9。其次，將此氧化矽膜9予以全面蝕刻，露出摻雜磷多晶矽膜8的表面(圖11)。

其次，於矽基之主表面全面上，形成疊層三層之三層絕緣膜10(圖12)。此三層絕緣膜10的形成為首先使用熱氧化法，形成厚度5nm的氧化矽膜。其次，於其上，使用減壓CVD法形成厚度10nm之氮化矽膜，再於其上，使用減壓CVD法形成厚度5nm之氧化矽膜。

其後，於三層絕緣膜10上形成摻雜磷多晶矽膜11。其次，於矽基板之主表面全面，經由光微影術形成光阻圖型，並將周邊電路部之摻雜磷多晶矽膜11及三層絕緣膜10予以圖案加工。經由此圖案加工，如圖13所示般，於周邊電路部之高耐壓及低耐壓電晶體所形成區域中，令接觸孔25開口。

使用HF溶液等，除去摻雜磷多晶矽膜11上所附著之自然氧化膜後，於其上形成厚度200nm之摻雜磷多晶矽膜12。其次，於其上形成厚度100nm左右之WSi膜13後，形成厚度200nm左右之氧化矽膜14。其後，經由光微影術形成光阻圖型，並將此光阻圖型使用作為罩幕，將氧化矽膜14予圖案加工。其次，將此氧化矽膜14使用作為罩幕，將WSi膜



五、發明說明 (16)

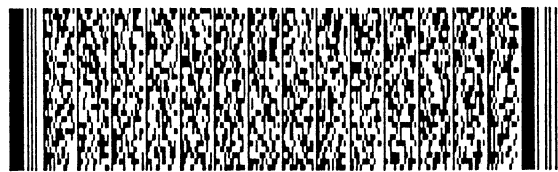
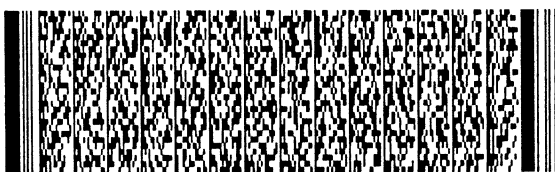
13，其次以摻雜磷多晶矽膜12、摻雜磷多晶矽膜11、三層絕緣膜10、摻雜磷多晶矽膜依序圖案加工(圖14)。

圖15為圖14C部之放大圖。貫穿三層絕緣膜10及摻雜磷多晶矽膜11所開啟的接觸孔，令控制閘的摻雜磷多晶矽膜12為電性接續至浮動閘8。

其次，於周邊電路部R2之n導電型MOS電晶體所形成區域中，將光阻圖型使用作為罩幕，並將磷例如以加速能量50KeV、密度 $4.0E13$ 左右，植入離子，形成n導電型MOS電晶體之低濃度雜質區域15(圖16)。其次，於周邊電路部之p導電型MOS電晶體所形成區域中，將光阻物使用作為罩幕，並將硼例如以加速能量50KeV、密度 $1.5E13$ 左右植入離子，形成p導電型MOS電晶體的低濃度雜質區域16(圖17)。

其後，以CVD(Chemical Vapor Deposition)法形成氧化矽膜，其次，以氧化膜異向性蝕刻形成側壁間隔物17(圖18)。接著，於周邊電路部R2之n導電型MOS電晶體所形成區域中，將光阻圖型使用作為罩幕，並將砷例如以加速能量35KeV、密度 $4.0E15$ 左右植入離子，形成n導電型MOS電晶體的高濃度雜質區域18(圖19)。其次，於周邊電路部R2之p導電型MOS電晶體所形成區域中，將光阻物使用作為罩幕，並將BF₂例如以加速能量20KeV、密度 $2.0E15$ 左右植入離子，並且形成p導電型MOS電晶體的高密度雜質區域19(圖20)。

於上述之非揮發性半導體記憶裝置中，於記憶單元部經



五、發明說明 (17)

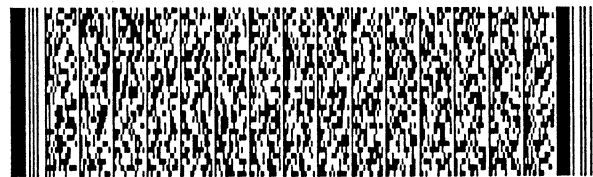
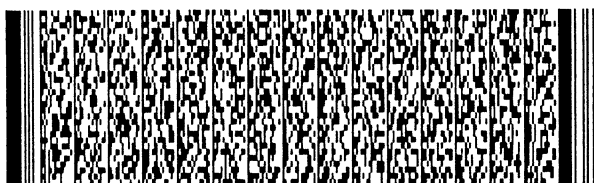
由三層絕緣膜10所構成之閘間絕緣膜所絕緣的浮動閘(FG)與控制閘(CG)，於周邊電路部為呈導通狀態，並且做為通常的閘極。因此，可將記憶單元部之非揮發性電晶體50的閘絕緣膜、與周邊電路部之低耐壓電晶體的閘絕緣膜，於相同時機中製造。又，可令記憶單元部之非揮發性電晶體的閘部、與周邊電路部之電晶體的閘部於相同時機中並行地製造。其結果，可省略處理步驟，並且可抑制熱氧化處理時所發生之半導體基板的結晶缺陷。更且，經由削減加至記憶單元部的熱處理時間，則可抑制雜質區域的擴大，並且不會阻礙記憶單元部的微細化。

又，於三層絕緣膜上沉積薄膜的摻雜磷多晶矽膜，令摻雜磷多晶矽膜及三層絕緣膜中開口出接觸孔25後，將此摻雜磷多晶矽上附著的自然氧化膜，例如使用HF溶液等則可除去。因此，於周邊電路部中，令浮動導電層與控制導電層確實導通。

(實施形態2)

本發明實施形態2中之非揮發性半導體記憶裝置之構造為與圖1所示之非揮發性半導體記憶裝置相同。本實施形態中之非揮發性半導體記憶裝置之周邊電路部R2中之摻雜磷多晶矽膜8的磷濃度，比實施形態1中摻雜磷多晶矽膜的磷濃度更高為其特徵。

本實施形態2中非揮發性半導體記憶裝置之製造方法為基本上與實施形態1之製造方法相同。實施形態1中之圖1～圖13之步驟為就其原樣使用。如圖13所示般，於三層絕



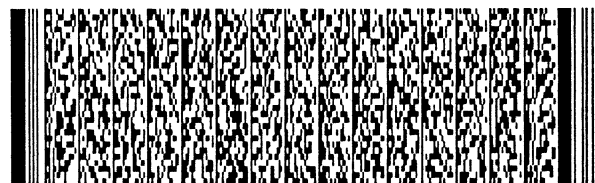
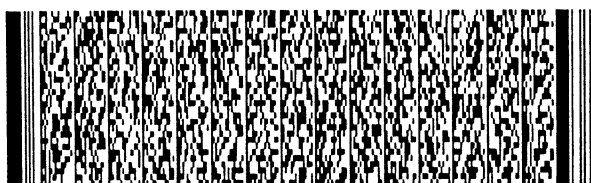
五、發明說明 (18)

緣膜10及摻雜磷多晶矽膜11開口出接觸孔25後，將光阻圖型使用作為罩幕，並於周邊電路部植入磷離子。因此，周邊電路部之摻雜磷多晶矽膜8為比做為記憶單元部之浮動閘的摻雜磷矽膜8，具有更高的磷濃度。其後之製造步驟為與示出實施形態1之製造步驟的圖14~20相同。

上述實施形態2中之非揮發性半導體記憶裝置為於實施形態1之非揮發性半導體記憶裝置之作用效果，加上具有下列的作用效果。通常，摻雜磷多晶矽膜11之雜質濃度為根據記憶單元部之記憶電晶體特性而決定，且其雜質濃度例如為 $4E20/cm^3$ 左右。另一方面，為了作成周邊電路部之電晶體的閘極，乃期望比記憶單元部本身更高濃度，以抑制此閘材料的空洞化。若根據本實施形態，則對實施形態1之處理步驟將離子植入步驟僅以一步驟追加即可。其結果，經由變更簡單的步驟，則可令記憶單元部之電晶體與周邊電路部之電晶體，取得雜質濃度不同的閘材料。

上述之非揮發性半導體記憶裝置可使用下列之製造方法進行製造。首先，根據實施形態1之圖1~圖10之手續進行製造。圖10為於三層絕緣膜10之上形成摻雜磷多晶矽膜11，並於周邊電路部之電晶體形成區域，將貫穿孔開口達至摻雜磷多晶矽膜8之狀態的截面圖。

本實施形態其後為如圖19所示般，僅於除去記憶單元部的周邊電路部植入磷。經由對周邊電路區域植入磷，則可令周邊電路部之摻雜磷多晶矽膜8的磷濃度，比記憶單元部本身更高。



五、發明說明 (19)

其後之製造步驟為根據實施形態1之圖11～圖18的處理步驟而進行。

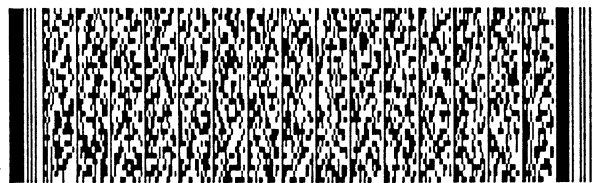
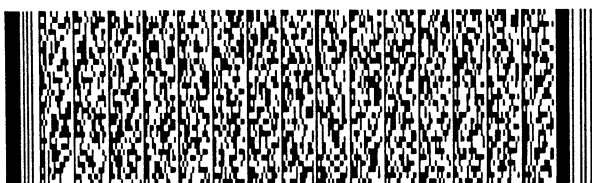
上述之非揮發性半導體記憶裝置為於上述實施形態1之非揮發性半導體記憶裝置所得之優點之外，還可取得下列優點。

摻雜磷多晶矽膜11為必須根據記憶單元的特性，決定其濃度。通常，其濃度例如為 $4 \times 10^{20} / \text{cm}^3$ 左右。另一方面，周邊電路部之電晶體之閘極之情況，為了抑制閘極材料的空洞化，乃期望比其更高之濃度。若根據本實施形態之製造方法，則對於實施形態1之製造步驟將離子植入步驟僅以一步驟追加，即可令記憶單元和周邊電路，改變閘極的雜質濃度。

(實施形態3)

參考圖22。本實施形態中之非揮發性半導體記憶裝置，於周邊電路部R2中之高耐壓電晶體62與低耐壓電晶體61不僅於閘絕緣膜之厚度，且於層合構造上亦有不同。圖23為圖22之周邊電路部的D部放大圖。於圖23中，高耐壓電晶體62之閘絕緣膜37為單層，比低耐壓電晶體61之閘絕緣膜7更厚。

又，低耐壓電晶體61之閘部的疊層構造為與記憶電晶體之閘部的疊層構造相同。但，於閘間絕緣膜10中接觸孔25為開口，且控制閘的導電層為被埋入，並將控制閘與浮動閘予以電性接續。若除去此導通部之部分，則與記憶電晶體同樣地，於閘氧化膜7之上，配置浮動閘層8，於其上配



五、發明說明 (20)

置閘間絕緣膜10，又於其上配置控制閘層12，於其上配置WSi層，再於其上配置絕緣膜14。

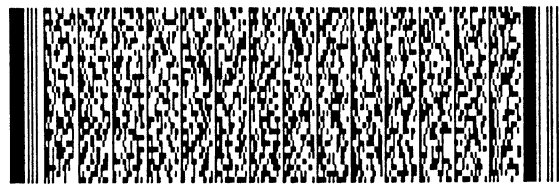
另一方面，高耐壓電晶體62為於閘氧化膜37之上，配置控制閘層12，又於其上配置WSi層13，再於其上配置絕緣膜14。高耐壓電晶體為不含有閘間絕緣膜。

其次，說明本實施形態中之非揮發性半導體記憶裝置的製造方法。

其次，說明圖23所示之非揮發性半導體記憶裝置的製造方法。首先，於<100>結晶方位之p導電型矽基板101之主表面，形成氧化矽膜所構成的元件隔離區域2(參照圖4)。其次，於矽基板1之主表面，將光阻圖型使用作為罩幕，於記憶單元形成區域中，將磷例如以3MeV之加速能量、 $1.0E13$ 之密度植入離子，形成n導電型底部井區域3(參照圖5)。

其次，於周邊電路部R2之p導電型MOS電晶體所形成之區域中，將光阻圖型使用作為罩幕，(a)磷例如以1.2MeV之加速能量， $1.0E13$ 之密度進行離子植入。更且，於相同區域中，(b)通道切斷用之磷例如以700KeV、 $3.0E12$ ，又，(c)抵銷摻雜用之硼例如以20KeV、 $1.5E12$ 進行離子植入。經由此些離子植入則可形成n導電型井區域4(參照圖6)。

其後，於周邊電路部R2之n導電型MOS電晶體形成區域、和記憶單元部之記憶電晶體形成區域中，將光阻圖型使用作為罩幕，例如，(a)硼以加速能量700KeV、密度 $1.0E13$ 左右進行離子植入。又，(b)以加速能量270KeV、密度



五、發明說明 (21)

3.5E12，將p通道切斷用之硼進行離子植入。更且(c)以加速能量50KeV、密度1.2E12，將通道摻雜用之硼進行離子植入。經由上述(a)、(b)、(c)之離子植入，則可形成p導電型井區域5(參照圖5)。

其次，於矽基板1之主表面，使用熱氧化法，形成厚度10nm的氧化矽膜7。其次，於其上形成厚度200nm左右之摻雜磷多晶矽膜8。其次，於摻雜磷多晶矽膜8之上，經由光微影術形成光阻圖型，並將此光阻圖型使用作為罩幕，將摻雜磷多晶矽膜8予以圖案加工(圖24)。

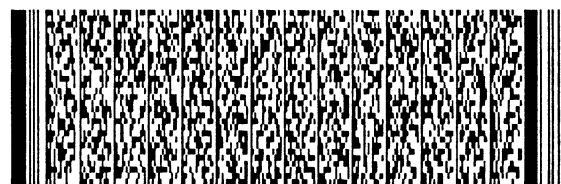
於記憶單元部之記憶電晶體所形成區域中，將光阻圖型使用作為罩幕，將砷例如以加速能量35KeV、密度3.0E15植入，形成n導電型雜質擴散層28a、28b(圖25)。

其後，於矽基板1之上，經由減壓CVD法將厚度800nm之氧化矽膜9沉積。其次將此氧化矽膜9予以全面蝕刻，使得摻雜磷多晶矽膜8之表面露出(圖26)。

其次，於矽基板之主表面全面上，使用熱氧化法形成厚度5nm的氧化矽膜。其次，於其上使用減壓CVD法形成厚度10nm的氮化矽膜。更且，於其上使用減壓CVD法形成厚度5nm的氧化矽膜形成疊層三層之三層絕緣膜10(圖27)。

其後，將三層絕緣膜上所形成之光阻圖型使用作為罩幕，如圖28所示般，將周邊電路部R2之高耐壓電晶體所形成區域上之三層絕緣膜10及摻雜磷多晶矽膜8予以蝕刻除去。

其次，使用熱氧化法，如圖29所示般，於矽基板上形成



五、發明說明 (22)

厚度20nm左右的氧化矽膜37。此氧化矽膜37為做為高耐壓電晶體的閘絕緣膜。此氧化矽膜37形成時，於記憶單元部、與周邊電路部之低耐壓電晶體區域之矽基板表面為經由三層絕緣膜中的氮化矽膜，而被防止熱氧化。

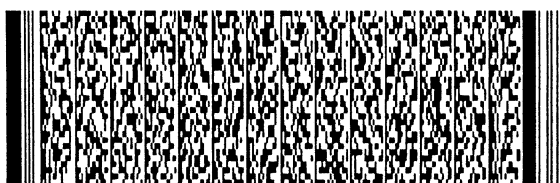
其次，於周邊電路部之低耐壓電晶體所形成區域上之三層絕緣膜10，將接觸孔25開口達至摻雜磷多晶矽膜12(圖30)。

其次，一邊埋入接觸孔25，一邊於三層絕緣膜10及氧化矽膜37之上，形成厚度200nm之摻雜磷多晶矽膜12。其次，於摻雜磷多晶矽膜12之上形成厚度100nm左右的WSi膜13，再於其上形成厚度200nm左右之氧化矽膜14。其後，經由光微影術形成光阻圖型，並將此光阻圖型使用作為罩幕，將氧化矽膜14予以圖案加工。其次將此氧化矽膜14使用作為罩幕，並將WSi膜13、其次摻雜磷多晶矽膜12、摻雜磷多晶矽膜11、三層絕緣膜10、摻雜磷多晶矽膜8依序圖案加工(圖31)。

圖32為放大圖31E部之圖。貫穿三層絕緣膜10所打開的接觸孔25，且控制閘之摻雜磷多晶矽膜12為電性接續至浮動閘8。

其後之製造步驟為根據實施形態1所示之圖16～圖20之製造步驟進行處理。

本實施形態中之非揮發性半導體記憶裝置之記憶單元部的記憶電晶體為令浮動閘與控制閘，經由閘間絕緣膜而被絕緣。但，於周邊電路部之低耐壓電晶體中，與浮動閘和



五、發明說明 (23)

控制閘對應之二個導電層為以電性接續。因此，低耐壓電晶體中，與浮動閘和控制閘對應之導電層任一者均可使用做為閘極。又，周邊電路部之高耐壓電晶體中，將對應於控制閘的導電層使用於閘極。因此，記憶電晶體之閘氧化膜7、和低耐壓電晶體之閘氧化膜7可呈現共通。其結果，可立即達成削減氧化步驟。又，於熱氧化處理時可抑制矽基板所發生的結晶缺陷。更且，經由削減加至記憶單元部的熱氧化處理時間，則不會阻礙記憶單元的微細化。

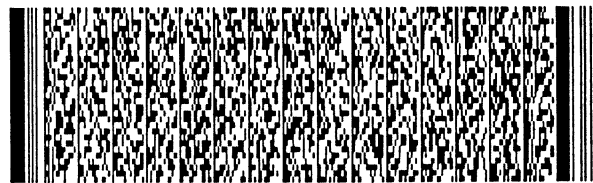
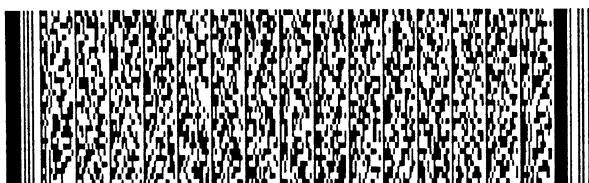
(實施形態4)

本發明實施形態4中之非揮發性半導體記憶裝置之構造為與圖22所示之非揮發性半導體記憶裝置相同。本實施形態中之非揮發性半導體記憶裝置之周邊電路部R2中之摻雜磷多晶矽膜8的磷濃度，比實施形態3中摻雜磷多晶矽膜的磷濃度更高為其特徵。

本實施形態4中非揮發性半導體記憶裝置之製造方法為基本上與實施形態3之製造方法相同。實施形態1中之圖4～圖7之步驟及實施形態3中之圖24～圖31之步驟為就其原樣使用。

即，於圖7狀態之矽基板1之主表面，使用熱氧化法，形成厚度10nm的氧化矽膜7。其次，於其上形成厚度200nm左右之摻雜磷多晶矽膜8。此時，於摻雜磷多晶矽膜8之上，經由光微影術形成光阻圖型，並將此光阻圖型使用作為罩幕，將摻雜磷多晶矽膜8予以圖案加工(參照圖24)。

於記憶單元部之記憶電晶體所形成區域中，將光阻圖型



五、發明說明 (24)

使用作為罩幕，將砷例如以加速能量35KeV，密度 $3.0E15$ 植入，形成n導電型雜質擴散層28a、28b(參照圖25)。

其後，於矽基板1之上，經由減壓CVD法將厚度800nm之氧化矽膜9沉積。其次將此氧化矽膜9予以全面蝕刻，使得摻雜磷多晶矽膜8之表面露出(參照圖26)。

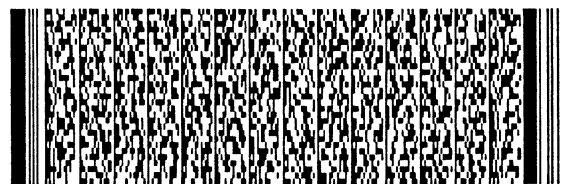
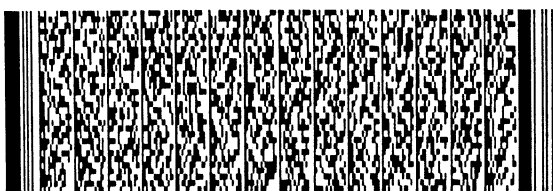
其次，於矽基板之主表面全面上，使用熱氧化法形成厚度5nm的氧化矽膜。其次，於其上使用減壓CVD法形成厚度10nm的氮化矽膜。更且，於其上使用減壓CVD法形成厚度5nm之氧化矽膜，形成疊層三層之三層絕緣膜10(參照圖27)。

其後，將三層絕緣膜上所形成之光阻圖型使用作為罩幕，將周邊電路部R2之高耐壓電晶體所形成區域上之三層絕緣膜10及摻雜磷多晶矽膜8予以蝕刻除去(參照圖28)。

其次，使用熱氧化法，於矽基板上形成厚度20nm左右的氧化矽膜37(參照圖29)。此氧化矽膜37為做為高耐壓電晶體的閘絕緣膜。此氧化矽膜37形成時，於記憶單元部、與周邊電路部之低耐壓電晶體區域之矽基板表面為經由三層絕緣膜中的氮化矽膜，而被防止熱氧化。

其次，於周邊電路部之低耐壓電晶體所形成區域上之三層絕緣膜10，將接觸孔25開口達至摻雜磷多晶矽膜12(參照圖30)。

其後，如圖33所示般，於周邊電路部R2之低耐壓電晶體之區域中將磷予以離子植入。摻雜磷多晶矽膜之雜質濃度為根據記憶電晶體所要求之特性而決定。此雜質濃度例如



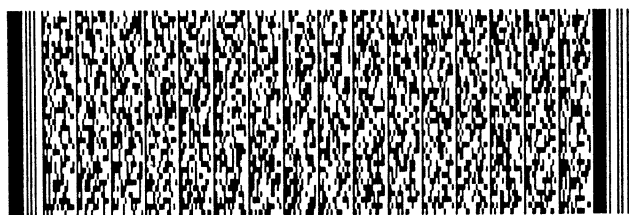
五、發明說明 (25)

為 $4E20/cm^3$ 左右，做為導電層之閘極的雜質濃度為低濃度。於周邊電路部之電晶體的閘極，為了抑制此閘極的空洞化，期望比上述值更高濃度。僅增加此離子植入步驟，即可將周邊電路部之低耐壓電晶體之閘極的雜質濃度，作成比記憶電晶體之閘極更高濃度。

尚，周邊電路部之高耐壓電晶體的閘極，為與原來雜質濃度高之記憶電晶體控制閘所對應的導電層相同，故即使未追加提高雜質濃度的處理，亦可含有周邊電路部之電晶體閘極所必要的雜質。

元件編號之說明

- | | |
|----|---------|
| 1 | 矽基板 |
| 2 | 元件隔離絕緣膜 |
| 3 | 底部井 |
| 4 | n導電型井 |
| 5 | p導電型井 |
| 6 | 閘氧化膜下層 |
| 7 | 閘絕緣膜 |
| 8 | 浮動閘 |
| 9 | 氧化矽膜 |
| 10 | 三層絕緣膜 |
| 11 | 摻雜磷多晶矽膜 |
| 12 | 控制閘 |
| 13 | WSi層 |
| 14 | 絕緣膜 |



五、發明說明 (26)

- 15、16 低濃度雜質區域
- 17 側壁間隔物
- 18、19 高濃度雜質區域
- 22 層間絕緣膜
- 23 插頭佈線
- 25 接觸孔
- 26 佈線
- 28a、28b 源極、汲極
- 37 高耐壓電晶體之閘氧化膜
- 50 記憶電晶體
- 61 低耐壓電晶體
- 62 高耐壓電晶體
- 101 矽基板
- 102 元件隔離帶
- 103 n 導電型底部井
- 104 n 導電型井
- 105 p 導電型井
- 106 氧化矽膜
- 107 閘絕緣膜
- 108 浮動閘
- 108a、108b n 導電型井內之源極、汲極區域
- 109 絕緣區域
- 110 閘絕緣膜
- 111、112 氧化矽膜



五、發明說明 (27)

- 113 摻雜磷多晶矽
- 114 WSi 膜
- 115 氧化矽膜
- 116、117 低濃度雜質區域
- 119、120 高濃度雜質區域
- 124 層間絕緣膜
- 125 插頭佈線
- 126 佈線
- 127 閘絕緣膜
- 150 記憶電晶體
- 161、162 電晶體



圖式簡單說明

圖1為本發明實施形態1中非揮發性半導體記憶裝置之截面圖。

圖2為圖1之A部放大圖。

圖3為圖1之B部放大圖。

圖4為圖1所示之非揮發性半導體記憶裝置之製造時，於矽基板形成元件隔離絕緣膜階段的截面圖。

圖5為於記憶單元部之底部形成底部井階段的截面圖。

圖6為於形成周邊電路部之p導電型電晶體之區域中形成n導電型井階段的截面圖。

圖7為於形成記憶單元部及周邊電路部之n導電型電晶體之區域中形成p導電型井階段的截面圖。

圖8為於形成周邊電路部之高耐壓電晶體之區域中，形成閘氧化膜之下層氧化膜階段的截面圖。

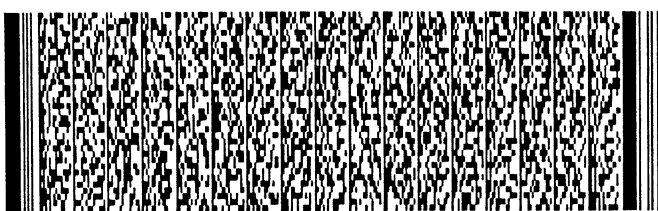
圖9為覆蓋下層氧化膜與矽基板般，形成閘氧化膜，其次，於橫過記憶單元部與周邊電路部形成做為浮動閘的導電層，並以記憶單元部予以圖案加工階段的截面圖。

圖10為於記憶單元部之矽基板中植入n導電型雜質，形成記憶電晶體之源極、汲極區域階段的截面圖。

圖11為於記憶單元之源極、汲極區域上形成氧化矽膜階段的截面圖。

圖12為橫過記憶單元部和周邊電路部，沉積做為閘間絕緣膜之三層絕緣膜階段的截面圖。

圖13為更且於形成摻雜磷多晶矽膜後，於周邊電路部中，將形成高耐壓電晶體及低耐壓電晶體區域上之三層絕



圖式簡單說明

緣膜及摻雜磷多晶矽膜之接觸孔予以開口階段的截面圖。

圖14為將摻雜磷多晶矽膜沉積，其次，將WSi膜、絕緣膜依序疊層後，將記憶單元部及周邊電路部之電晶體閘部予以圖案加工階段的截面圖。

圖15為圖14之C部放大圖。

圖16為於周邊電路部之n導電型電晶體之矽基板植入n導電型雜質階段的截面圖。

圖17為於周邊電路部之p導電型電晶體之矽基板植入p導電型雜質階段的截面圖。

圖18為於記憶單元部及周邊電路部之閘部側面形成側壁間隔物階段的截面圖。

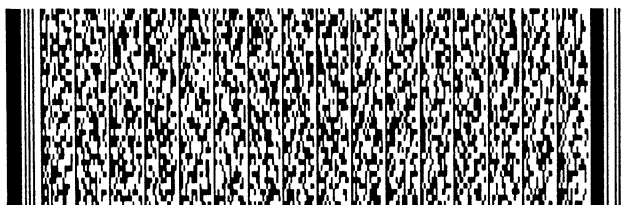
圖19為將側壁間隔物使用作為罩幕，於n導電型電晶體之源極、汲極區域植入n導電型雜質，形成高濃度n導電型雜質區域階段的截面圖。

圖20為將側壁間隔物使用作為罩幕，於p導電型電晶體之源極、汲極區域植入p導電型雜質，形成高濃度p導電型雜質區域階段的截面圖。

圖21為於本發明實施形態2之非揮發性半導體記憶裝置之製造中，將三層絕緣膜與摻雜磷多晶矽膜開口出接觸孔後，於周邊電路部之浮動閘導電層再植入磷之階段的截面圖。

圖22為本發明實施形態3之非揮發性半導體記憶裝置之截面圖。

圖23為圖22之D部放大圖。



圖式簡單說明

圖24為圖22所示之非揮發性半導體記憶裝置製造時，於矽基板上形成閘絕緣膜後，將做為浮動閘的導電層予以沉積，並且圖案加工之階段的截面圖。

圖25為形成做為記憶電晶體之源極、汲極區域之n導電型雜質區域之階段的截面圖。

圖26為於記憶電晶體之源極、汲極區域上形成氧化矽膜之階段的截面圖。

圖27為形成做為閘間絕緣膜之三層絕緣膜之階段的截面圖。

圖28為將周邊電路部形成高耐壓電晶體區域上之閘絕緣膜、浮動閘導電層及三層絕緣膜予以蝕刻除去，露出矽基板階段的截面圖。

圖29為於露出之矽基板上形成比閘氧化膜厚度更厚之閘氧化膜之階段的截面圖。

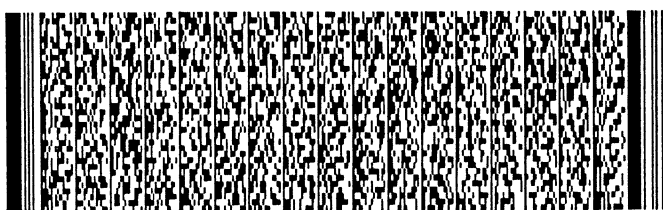
圖30為於周邊電路部形成低耐壓電晶體區域上之三層絕緣膜開口出接觸孔之階段的截面圖。

圖31為於形成低耐壓電晶體區域上之浮動閘導電層中植入磷，並將記憶單元部與周邊電路部之電晶體閘部予以圖案加工之階段的截面圖。

圖32為圖31之E部放大圖。

圖33為於本發明實施形態4中非揮發性半導體記憶裝置之製造中，於三層絕緣膜上開口出接觸孔後，於周邊電路部之浮動閘導電層再植入磷之階段的截面圖。

圖34為先前之非揮發性半導體記憶裝置的截面圖。



圖式簡單說明

圖35為於圖34之非揮發性半導體記憶裝置之製造時，形成閘氧化膜、浮動導電層及三層絕緣膜後，將周邊電路部之閘氧化膜、浮動導電層及三層絕緣膜予以蝕刻除去，露出周邊電路部之矽基板階段的截面圖。

圖36為於周邊電路部形成高耐壓電晶體區域中，形成厚閘絕緣膜階段的截面圖。

圖37為再僅於周邊電路部形成閘絕緣膜，並於橫過周邊電路部和記憶單元部中，由下方依序沉積控制閘導電層、WSi層及絕緣層，且僅將周邊電路部之電晶體閘部予以圖案加工之階段的截面圖。

圖38為將記憶單元部之電晶體閘部予以圖案加工之階段的截面圖。

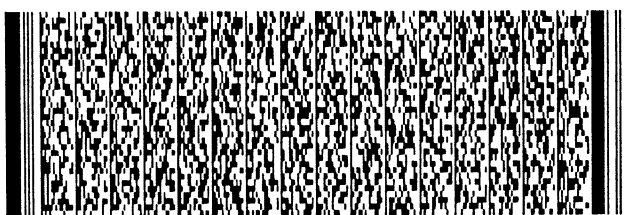
圖39為於做為周邊電路部之n導電型電晶體之源極、汲極區域之矽基板區域中，植入n導電型雜質之階段的截面圖。

圖40為於做為周邊電路部之p導電型電晶體之源極、汲極區域之矽基板區域中，植入p導電型雜質之階段的截面圖。

圖41為於記憶單元部及周邊電路部之閘部側面形成側壁間隔物之階段的截面圖。

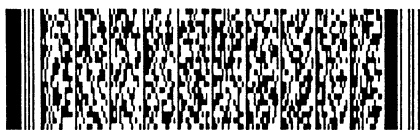
圖42為將側壁間隔物使用作為罩幕，並於n導電型電晶體之源極、汲極區域中再植入n導電型雜質，形成高濃度n導電型雜質區域之階段的截面圖。

圖43為將側壁間隔物使用作為罩幕，並於p導電型電晶



圖式簡單說明

體之源極、汲極區域中再植入p導電型雜質，形成高濃度p導電型雜質區域之階段的截面圖。

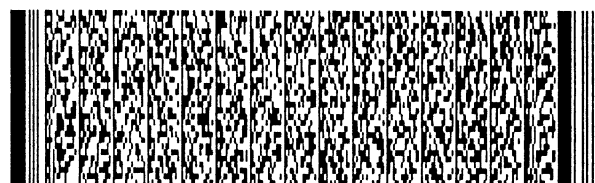
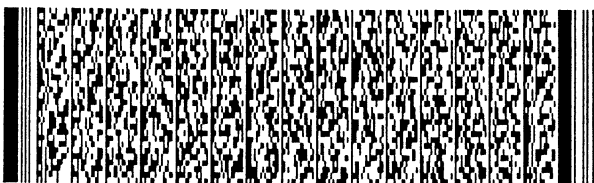


四、中文發明摘要 (發明之名稱：非揮發性半導體記憶裝置)

本發明係關於既可取得可將高溫熱處理之次數減少至最小限度，又可將周邊電路部中之電晶體、與記憶單元部中之電晶體簡便地分別製作的非揮發性半導體記憶裝置及製造方法。於周邊電路部中，於第一電晶體(61)及第二電晶體(62)之至少一者，於其閘絕緣膜(6,7)上，由下開始依序具備與浮動閘相同厚度方向構成之下方導電部(8)、和含有與閘間絕緣膜相同厚度方向構成之絕緣膜的中間絕緣膜(10)、和與控制閘之導電層相同厚度方向構成之上方導電部(12)，且中間絕緣膜(10)為具備將上方導電層和下方導電層予以電性接續的導通部。

英文發明摘要 (發明之名稱：NONVOLATILE SEMICONDUCTOR MEMORY DEVICE)

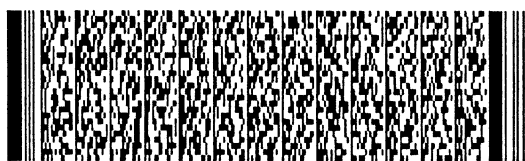
A nonvolatile semiconductor memory device capable of readily distinctively forming transistors in a peripheral circuit part and a transistor in a memory cell part while minimizing the number of times of high-temperature heat treatment are obtained. In the peripheral circuit part, at least one of a first transistor and a second transistor includes a lower conductive layer having the same perpendicular structure as a floating gate, an intermediate insulator film



四、中文發明摘要 (發明之名稱：非揮發性半導體記憶裝置)

英文發明摘要 (發明之名稱：NONVOLATILE SEMICONDUCTOR MEMORY DEVICE)

including an insulator film of the same perpendicular structure as an inter-gate isolation film and an upper conductive layer of the same perpendicular structure as a conductive layer of a control gate in ascending order on a gate insulator film thereof, and the intermediate insulator film includes a conduction part electrically connecting the upper conductive layer and the lower conductive layer with each other.



91114152

Fig 1

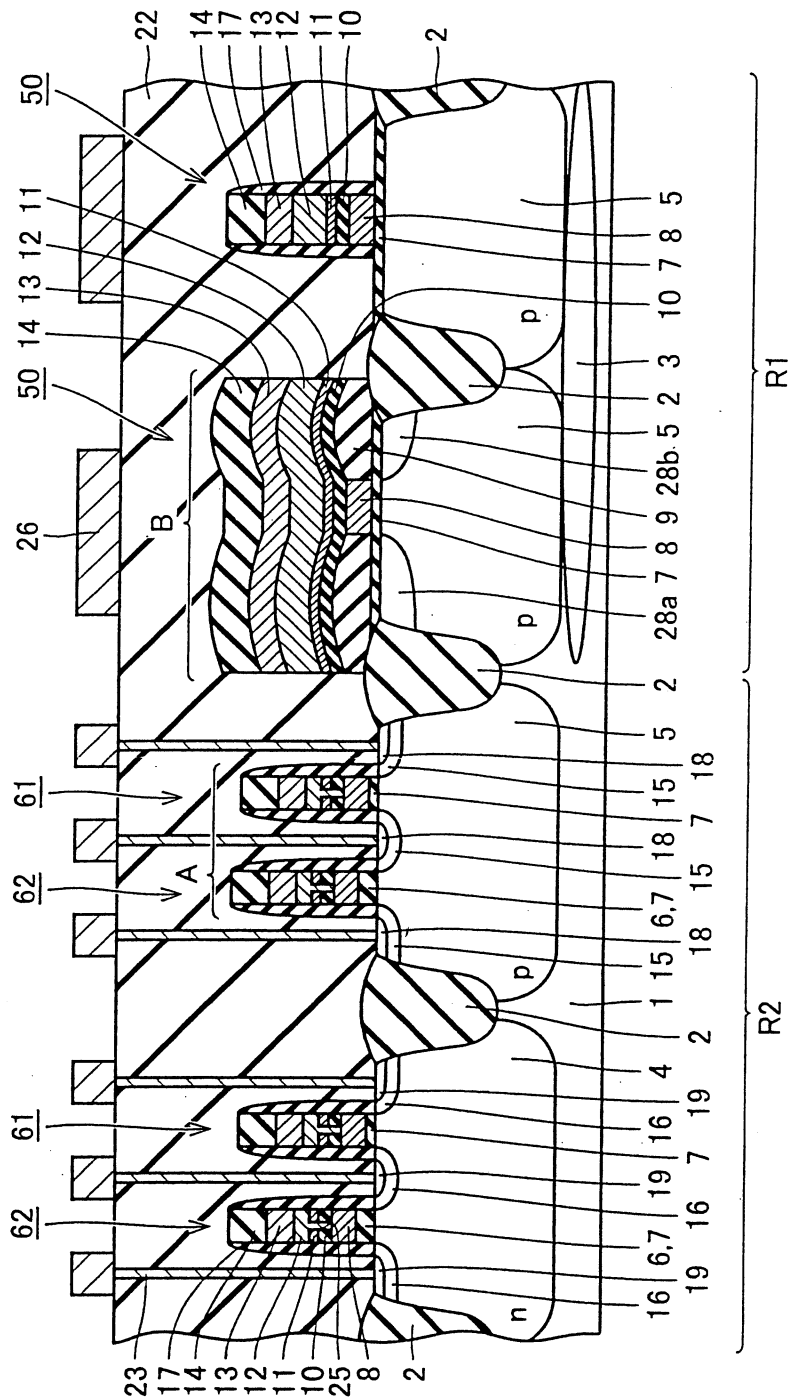


圖 2

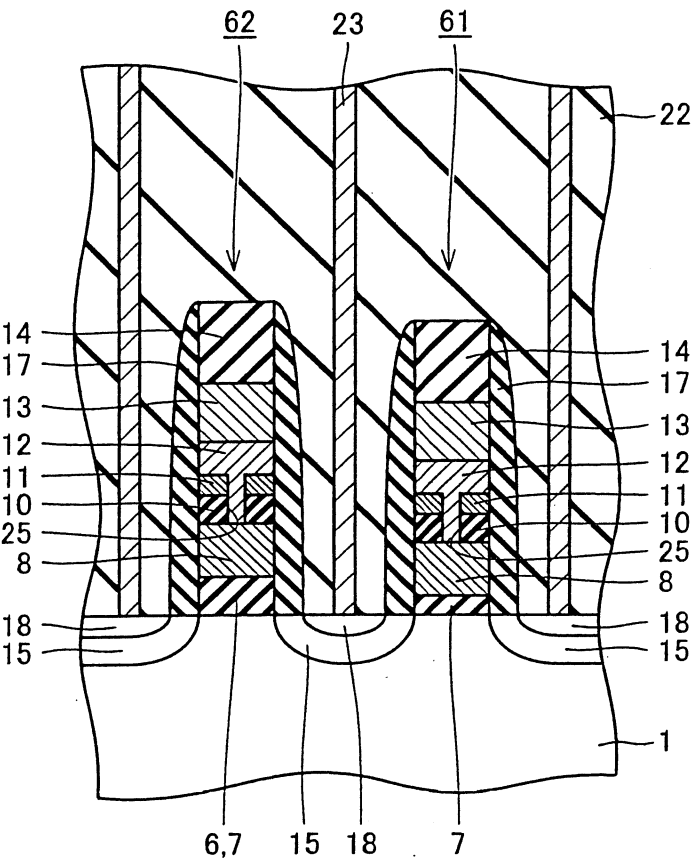


圖 3

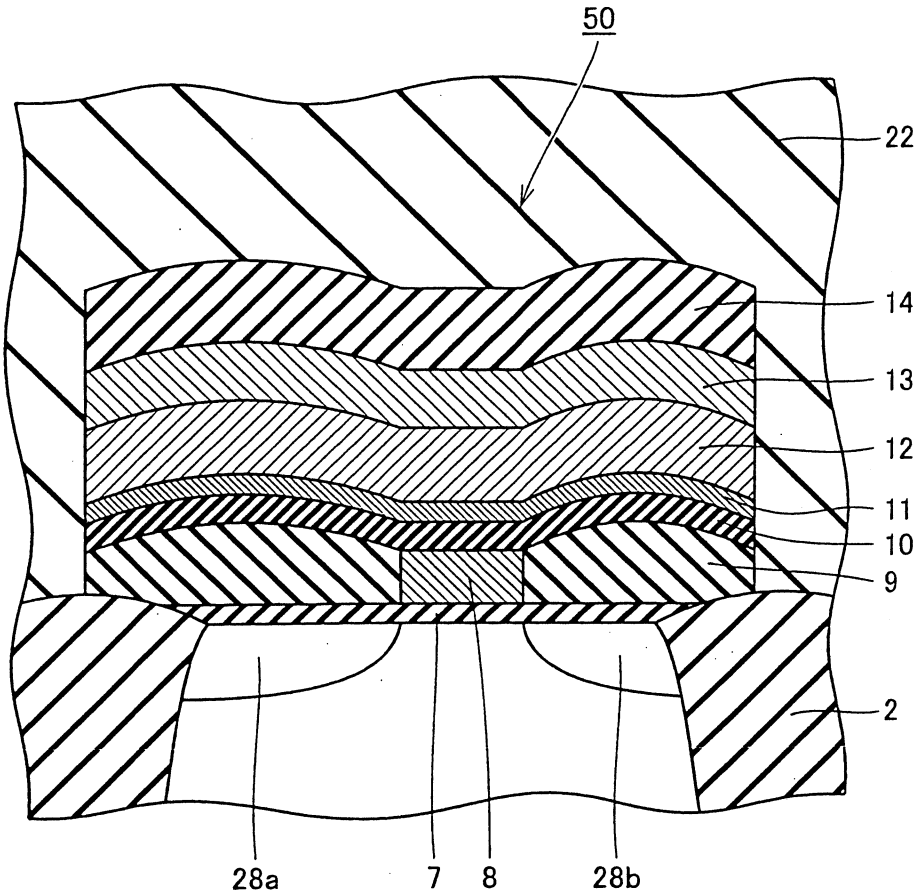
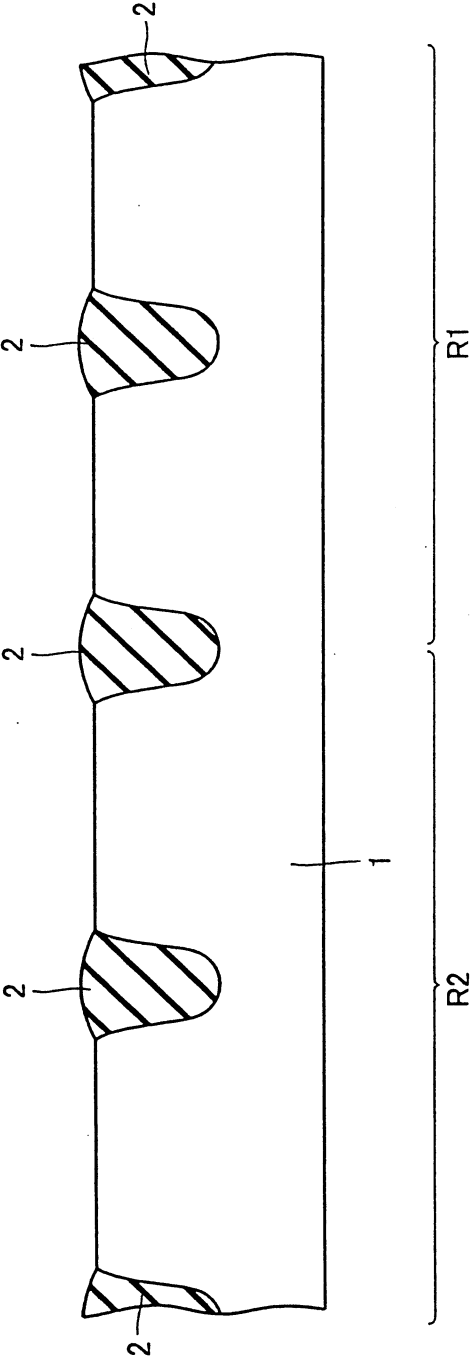
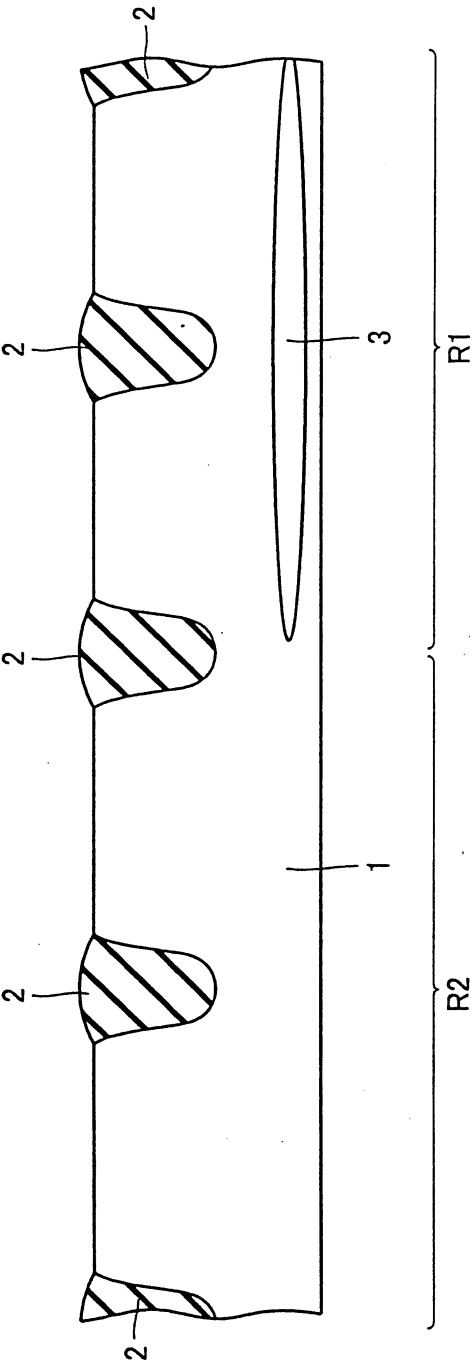


圖 4





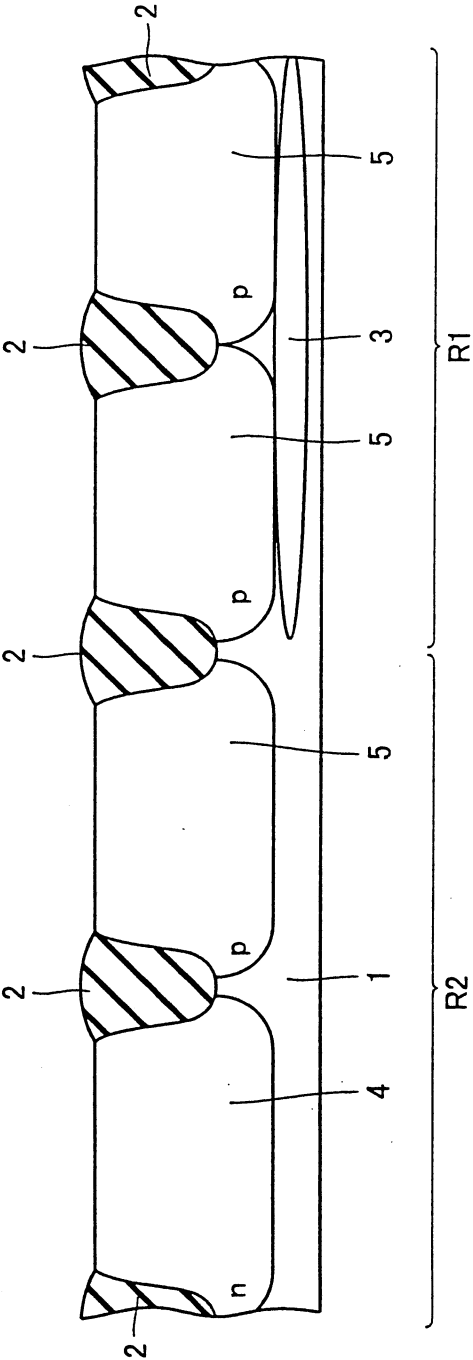


圖 8

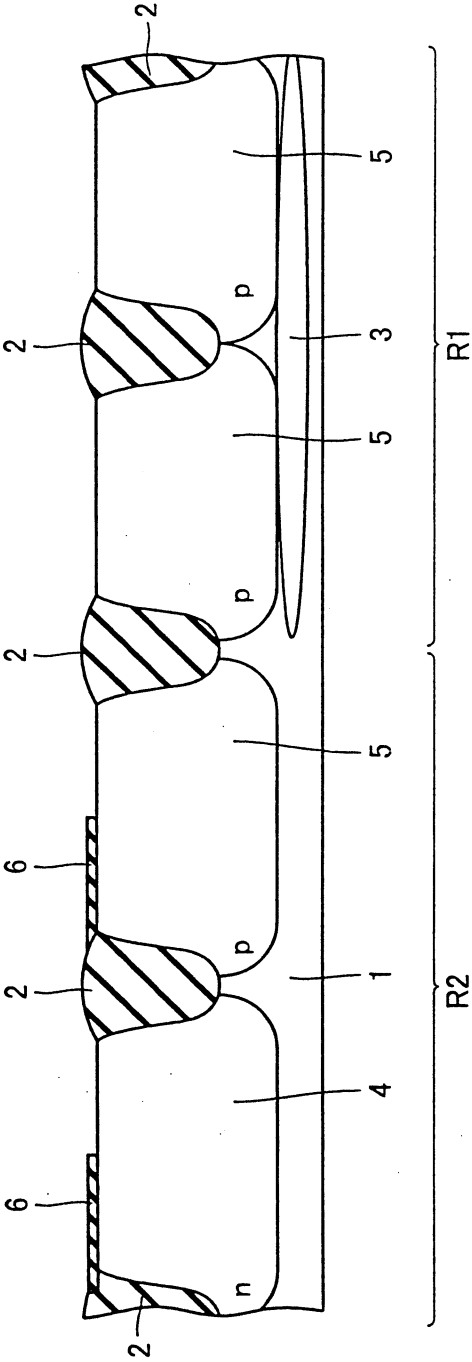


圖9

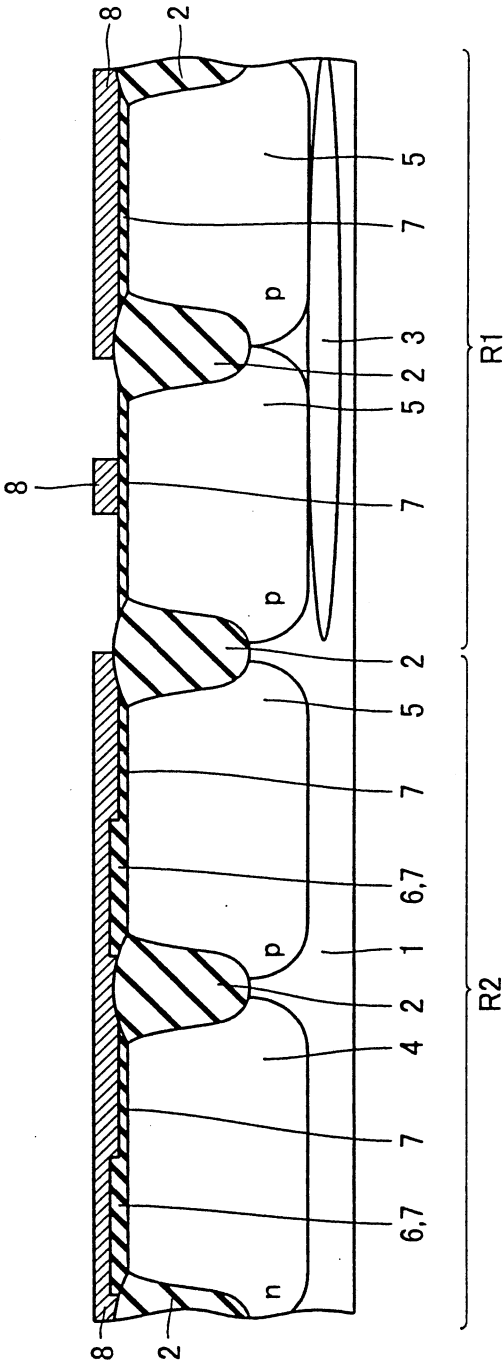


圖10

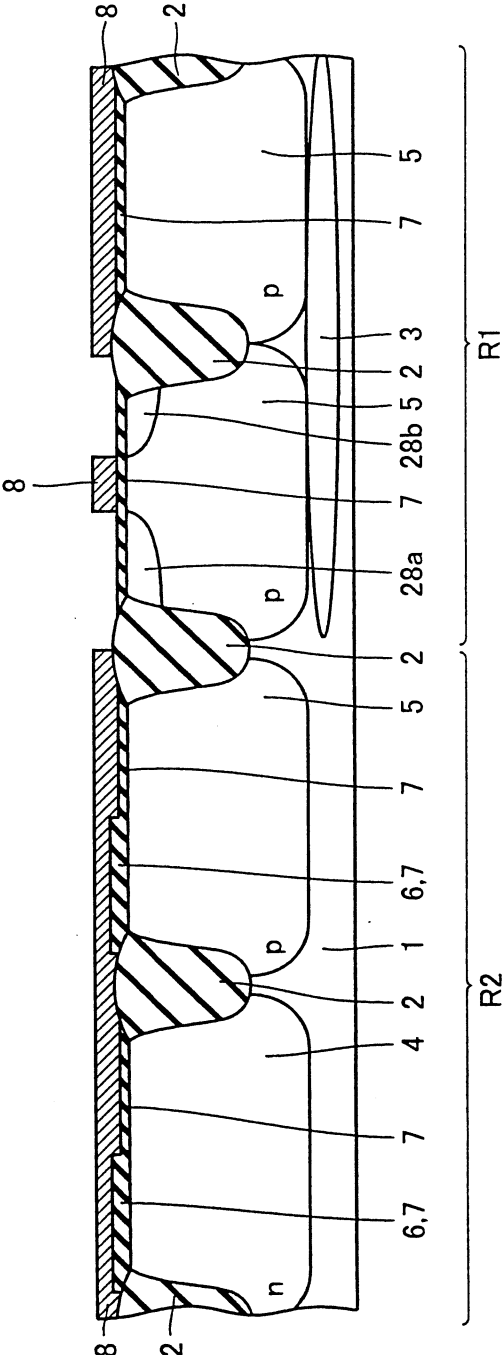


圖12

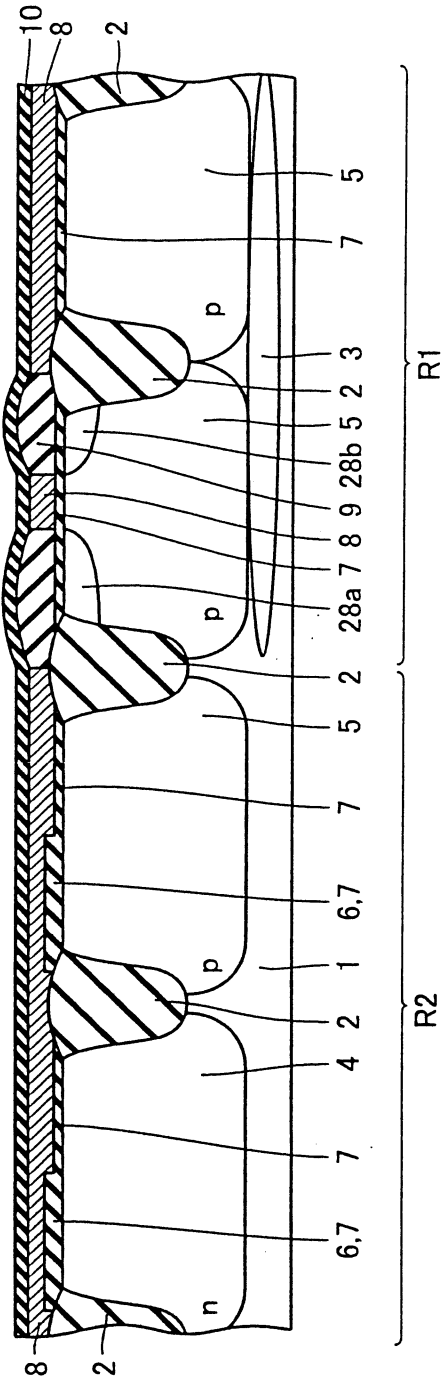


图13

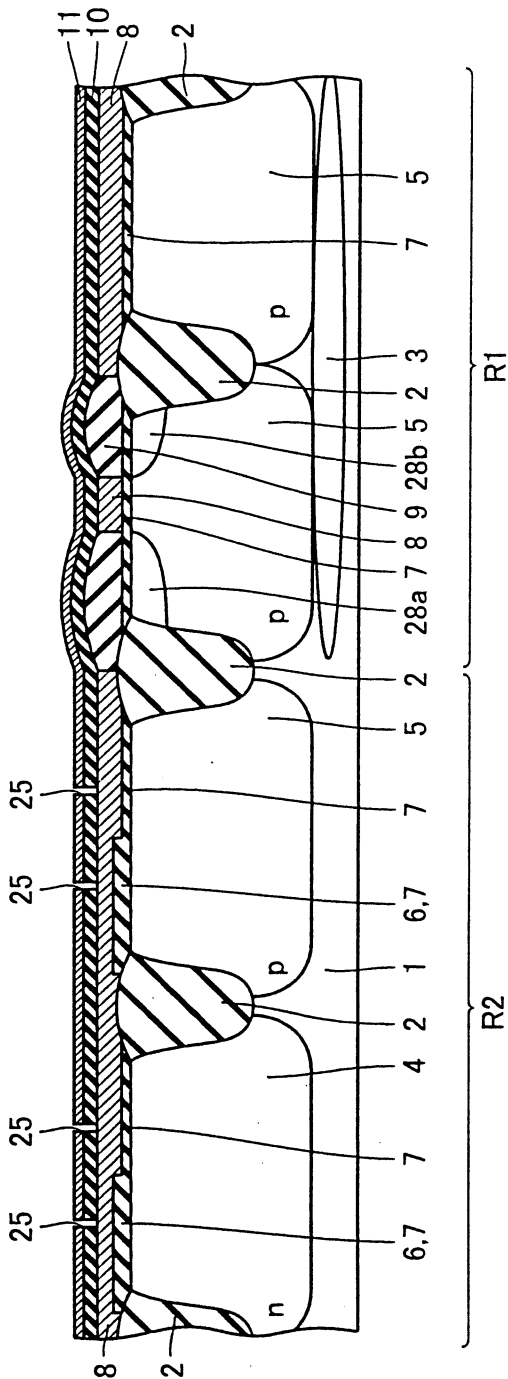


圖14

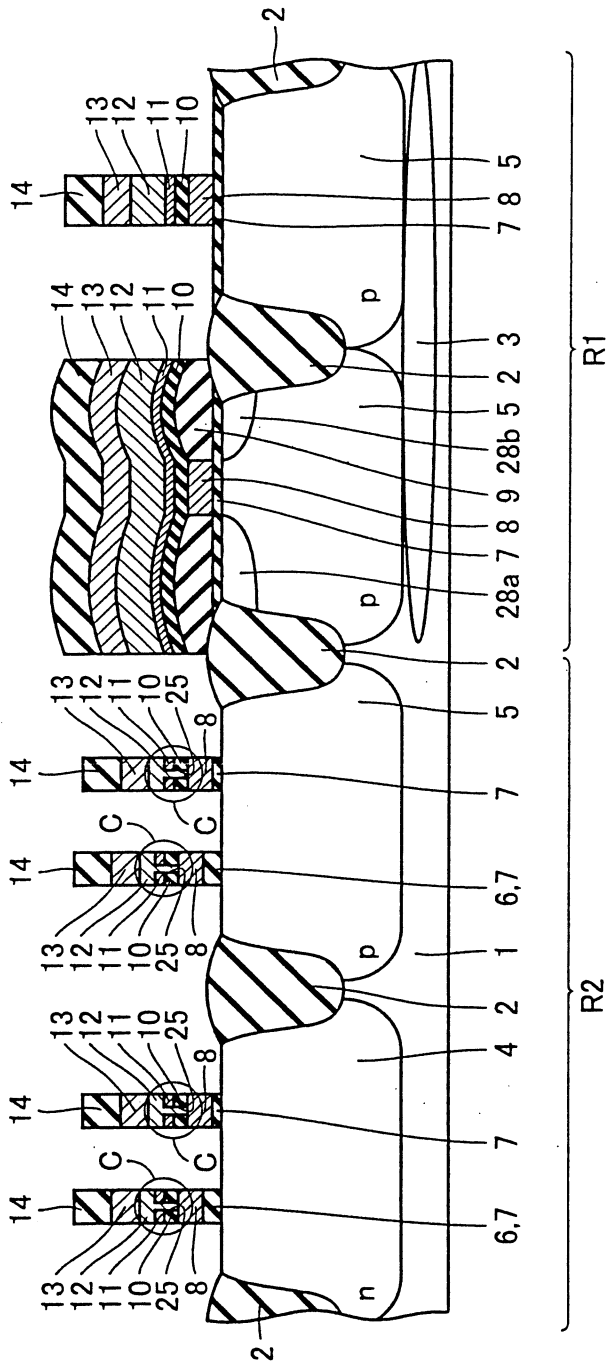


圖 15

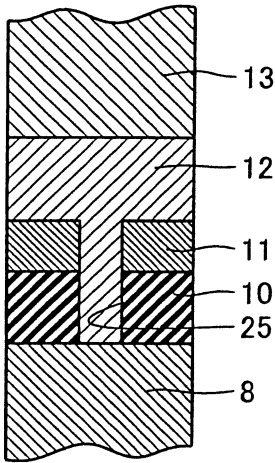


圖16

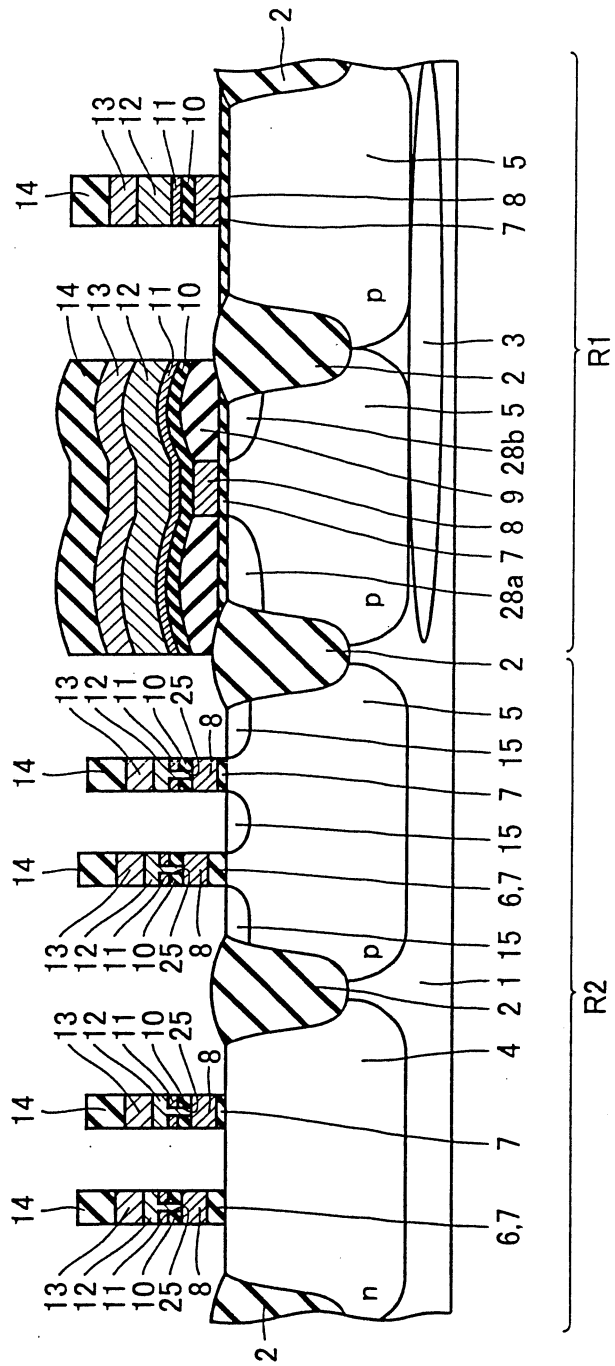


圖17

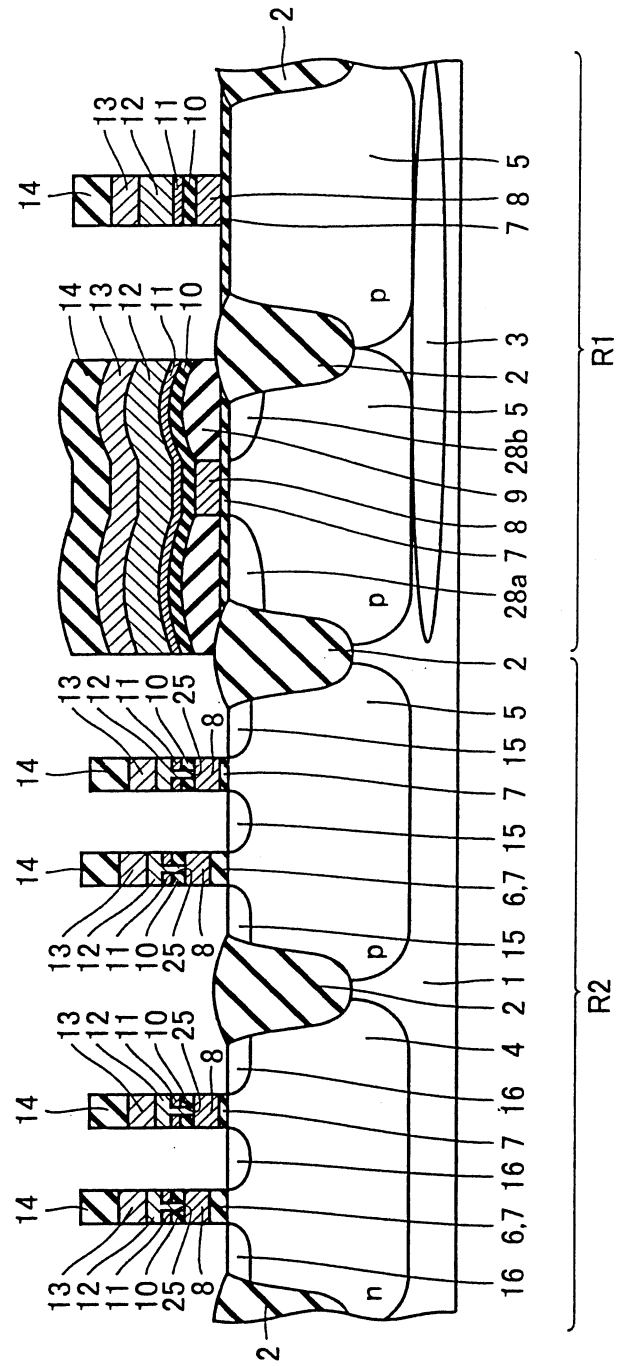
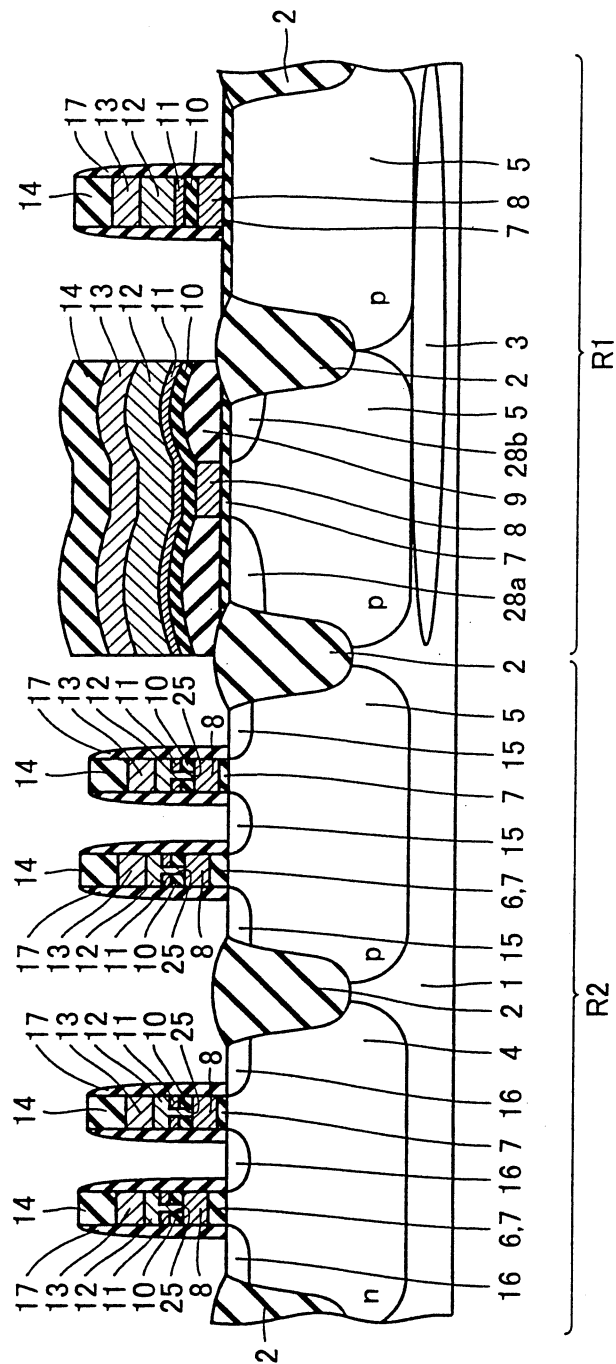
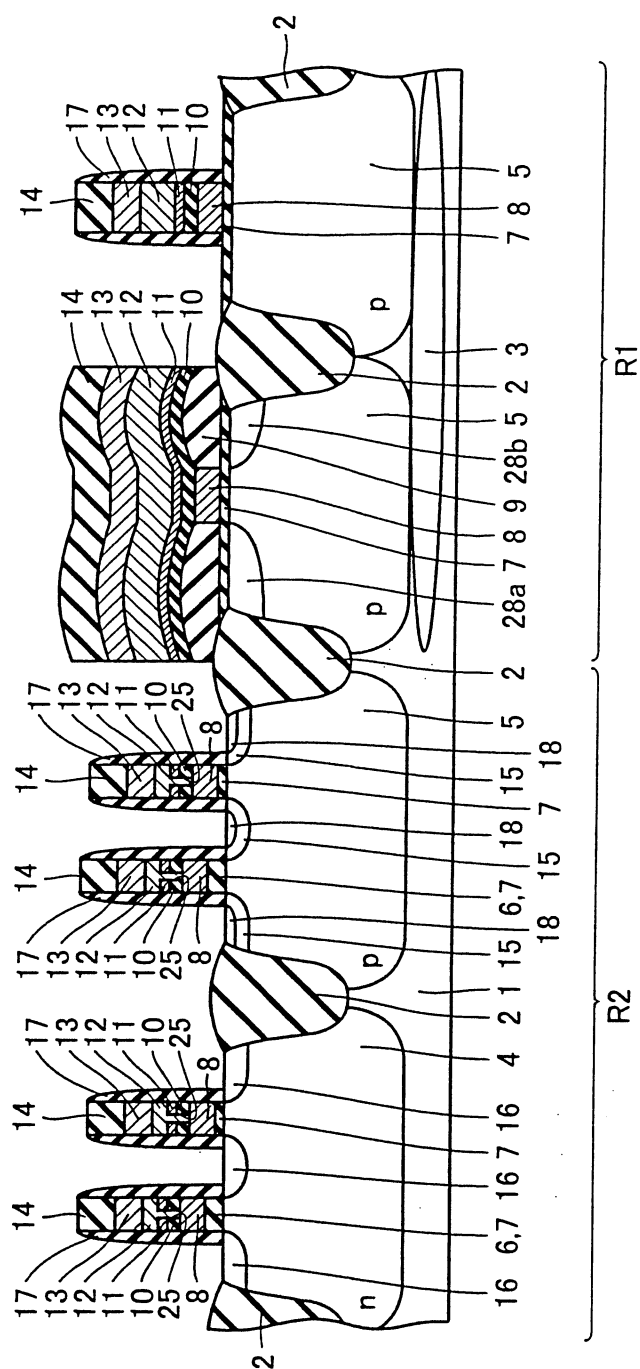


圖18



19



20

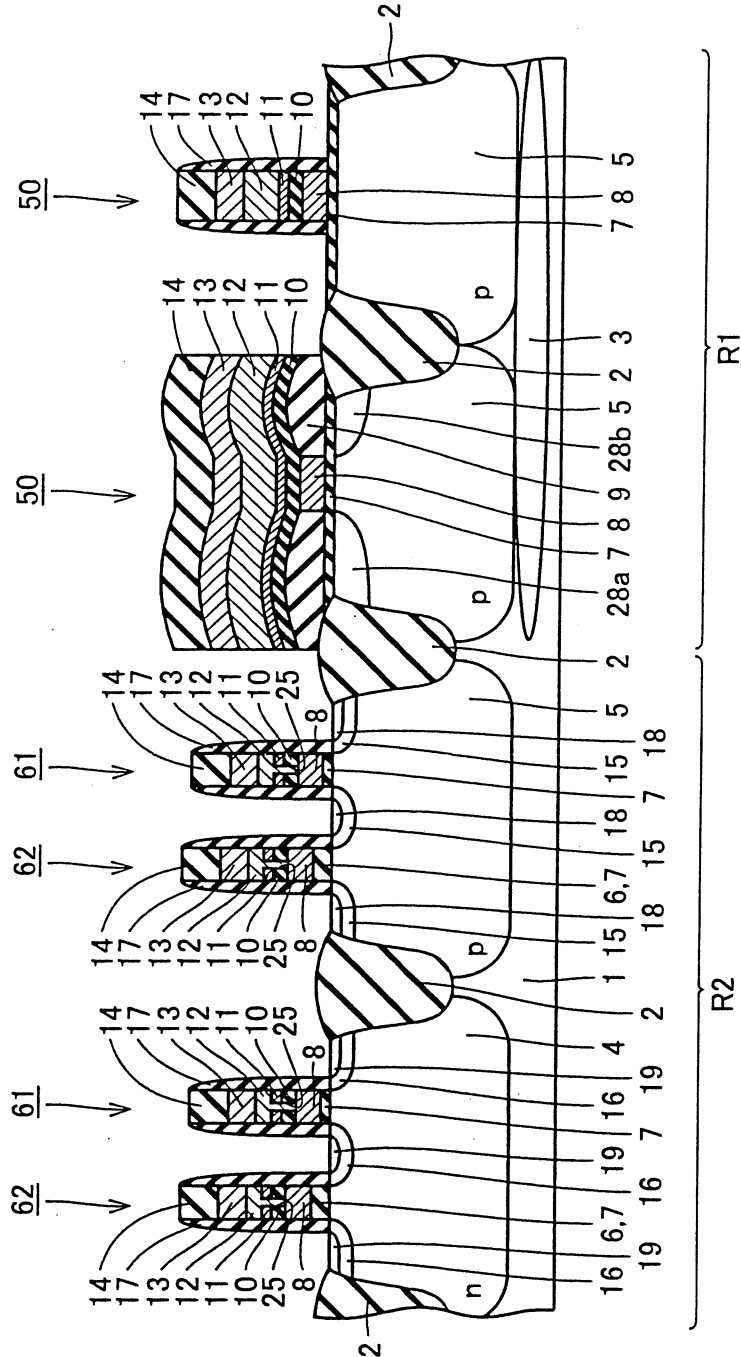


圖21

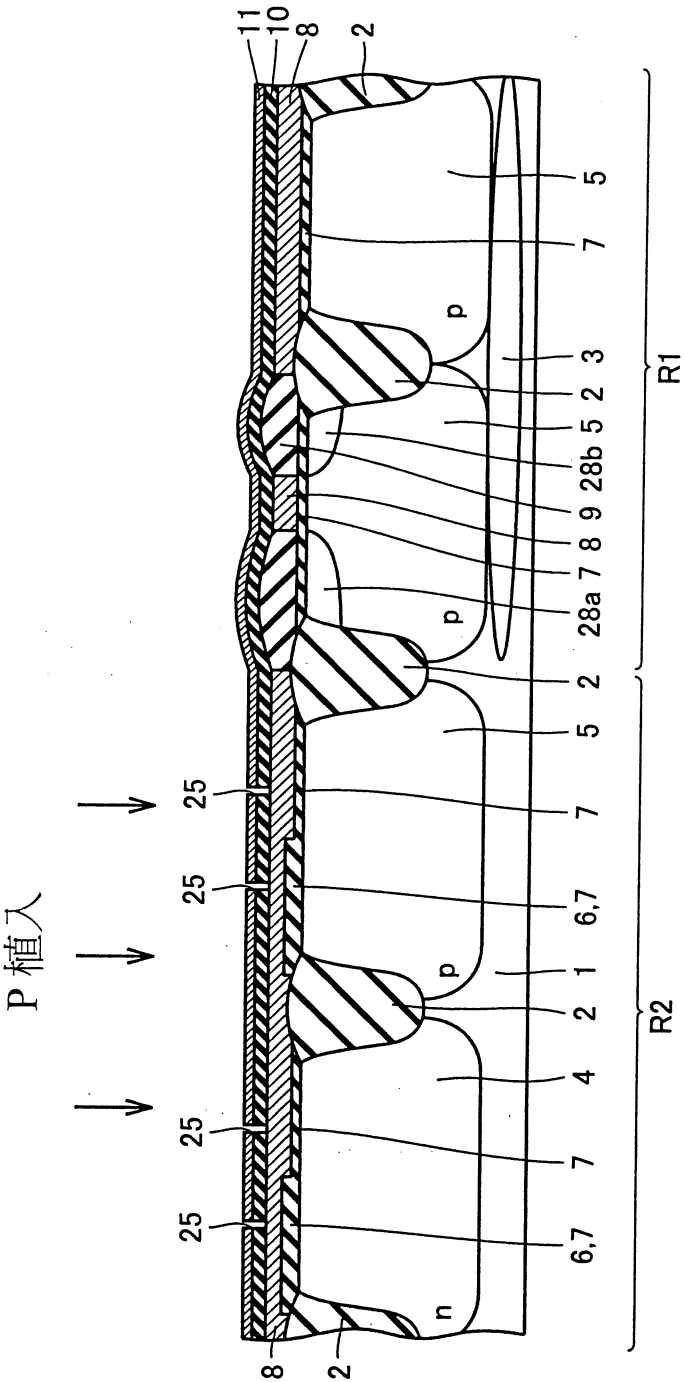


圖 22

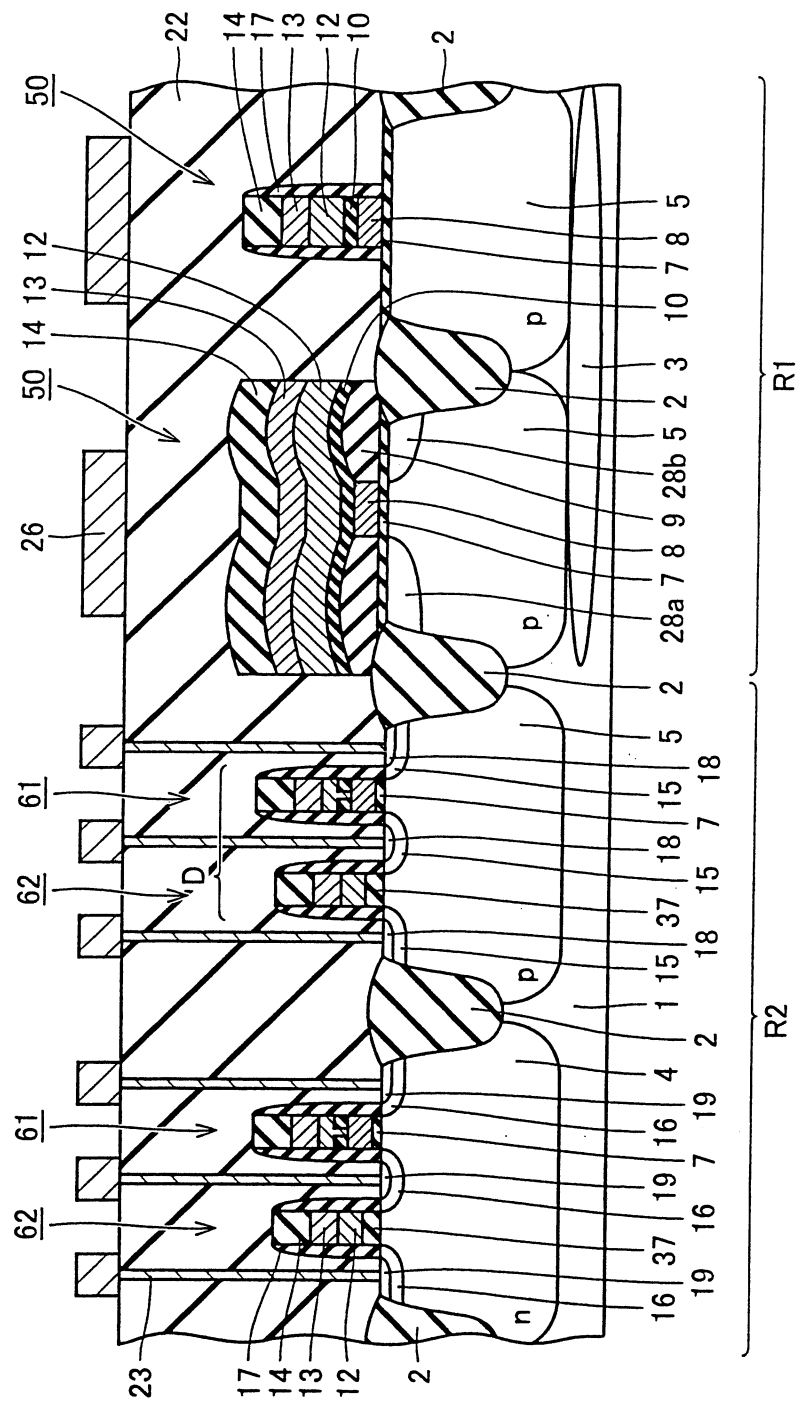
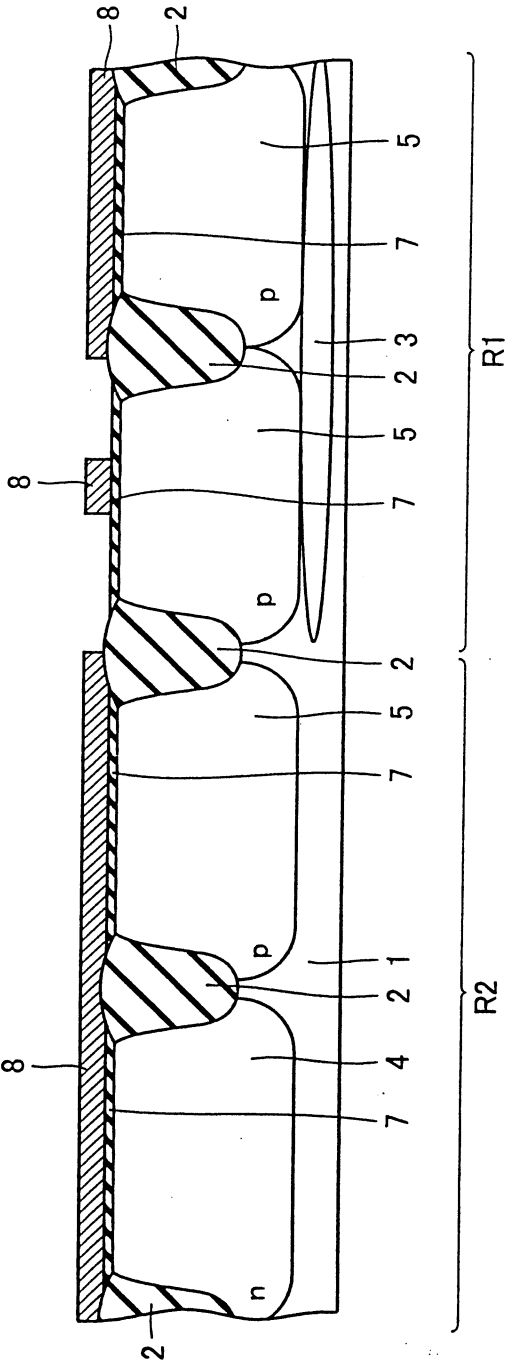


圖24



25

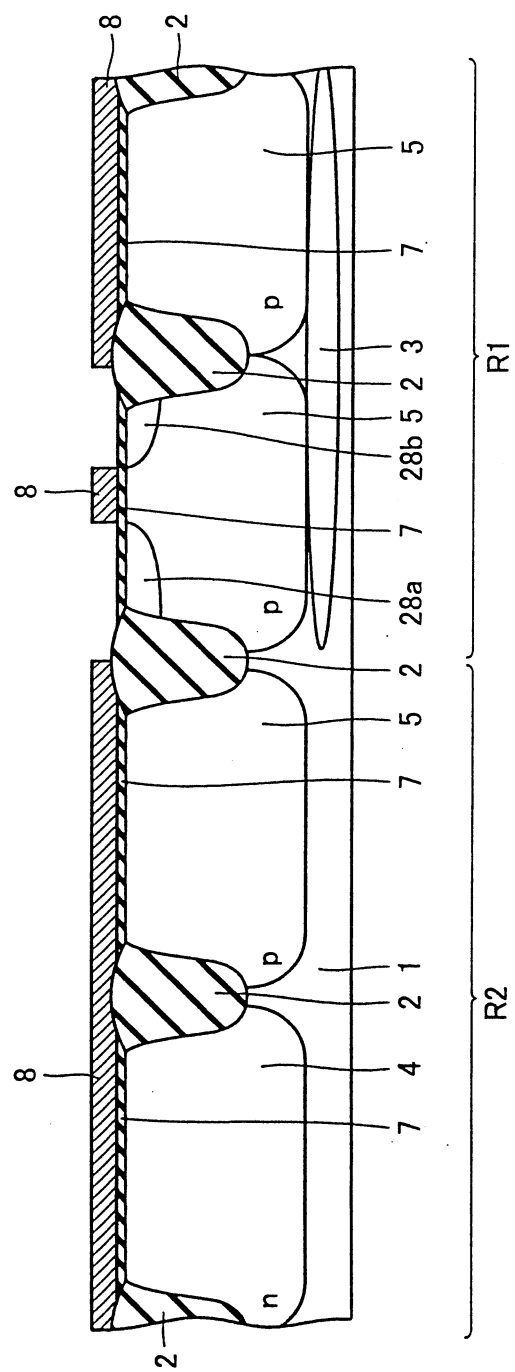


圖 26

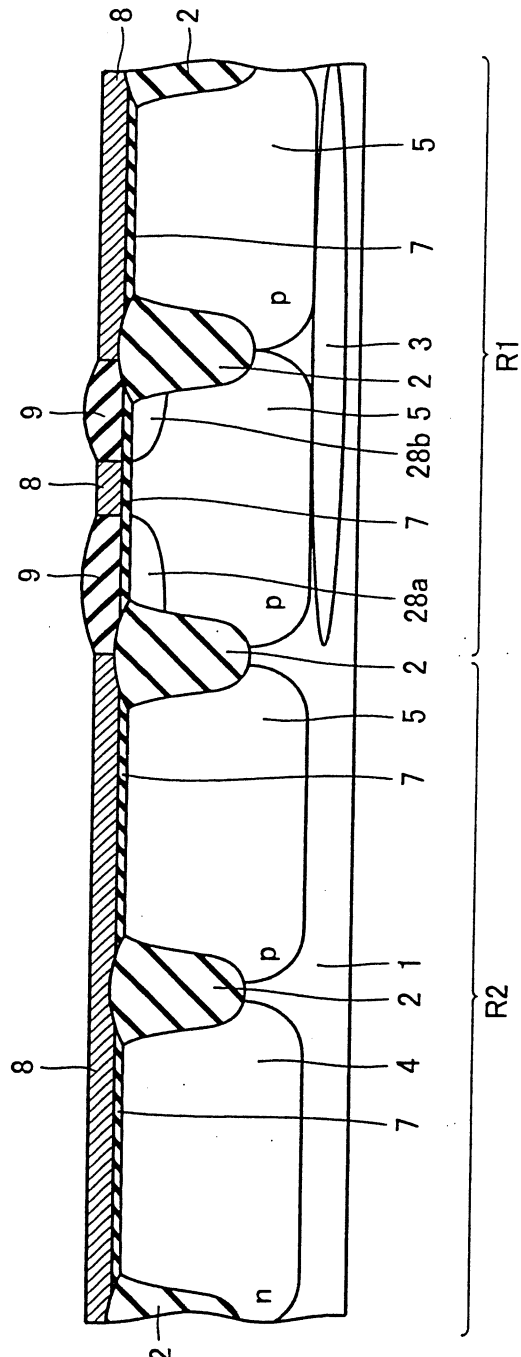


圖 27

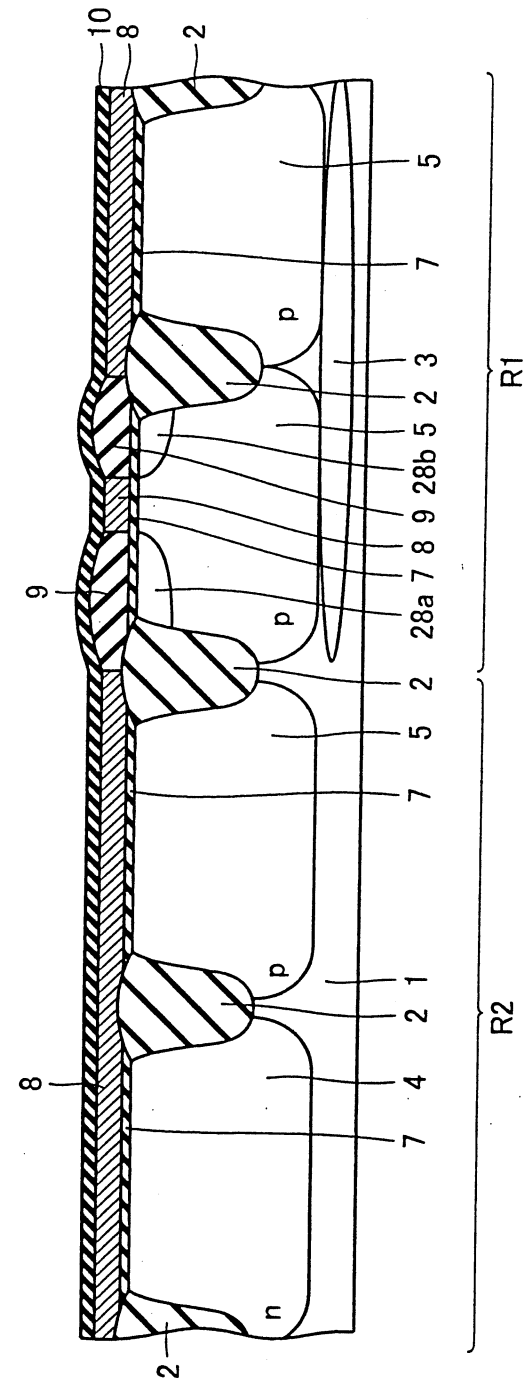
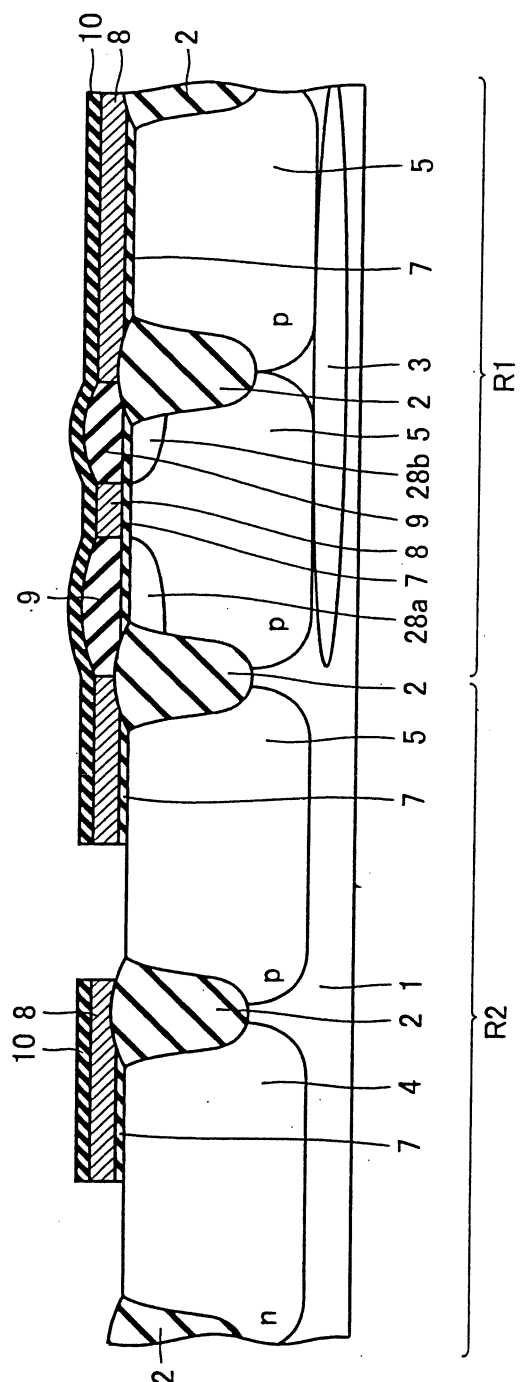


图 28



29

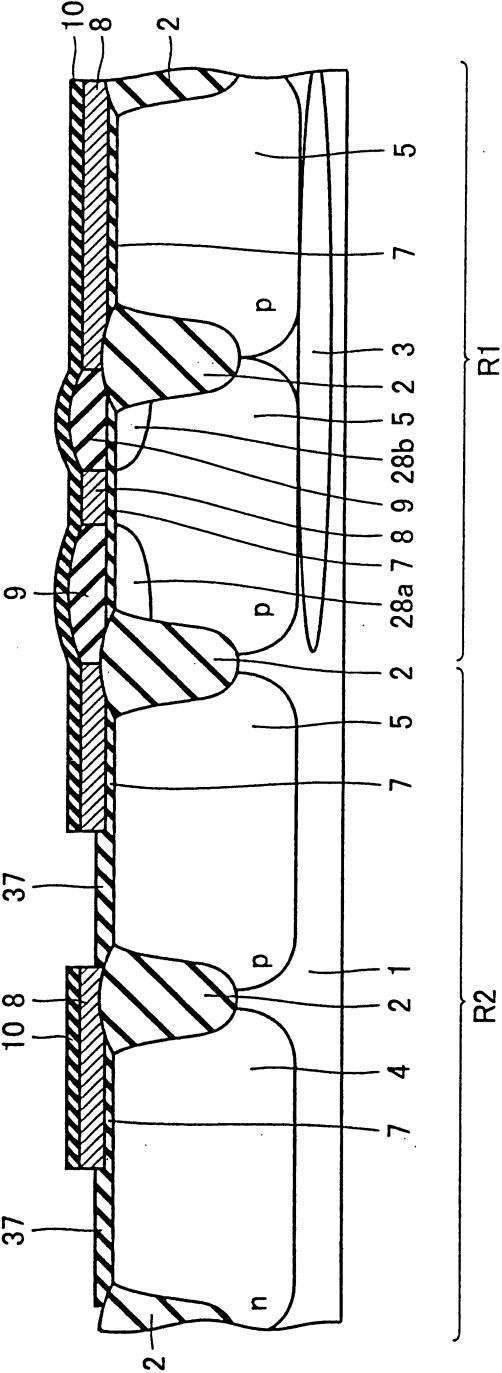


圖 30

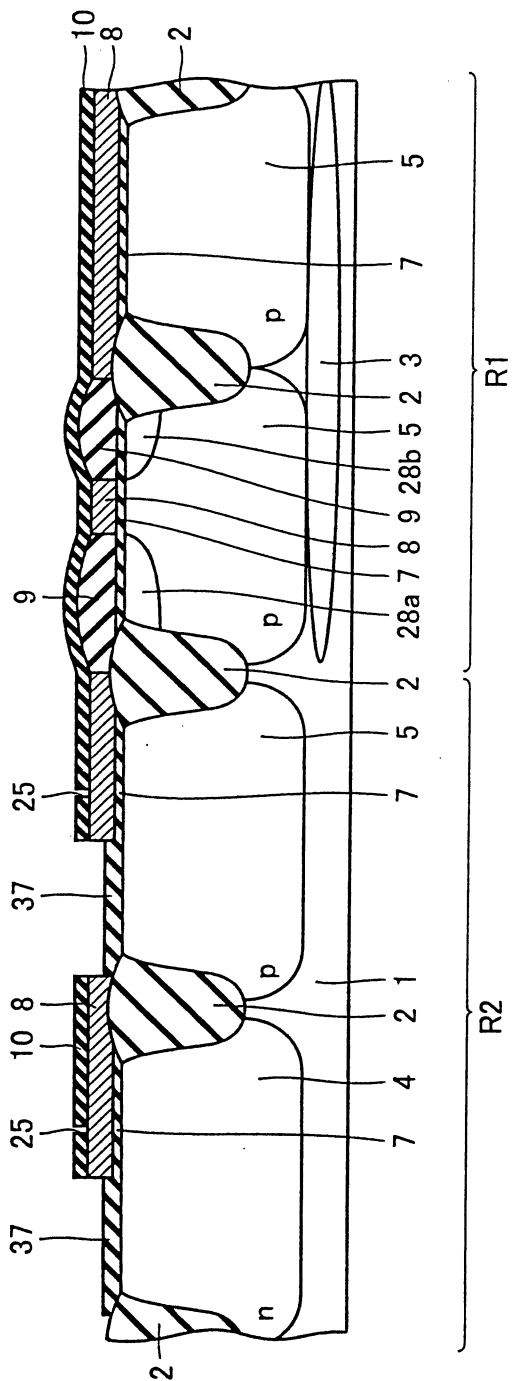


圖 31

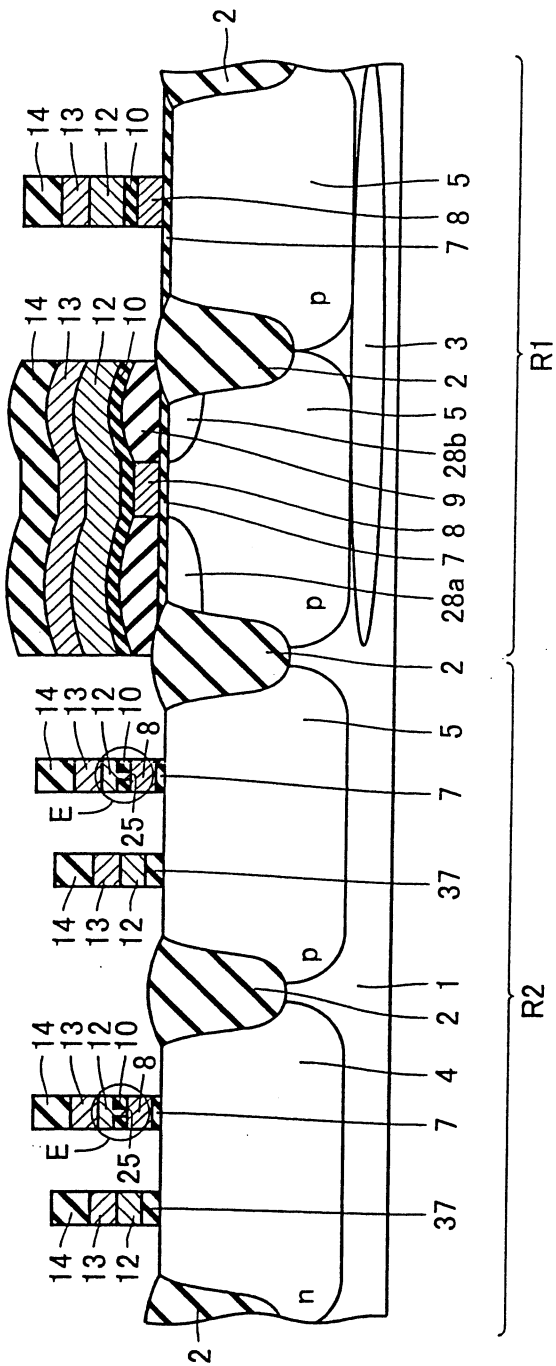


圖 32

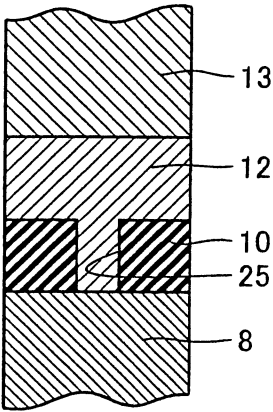


圖 33

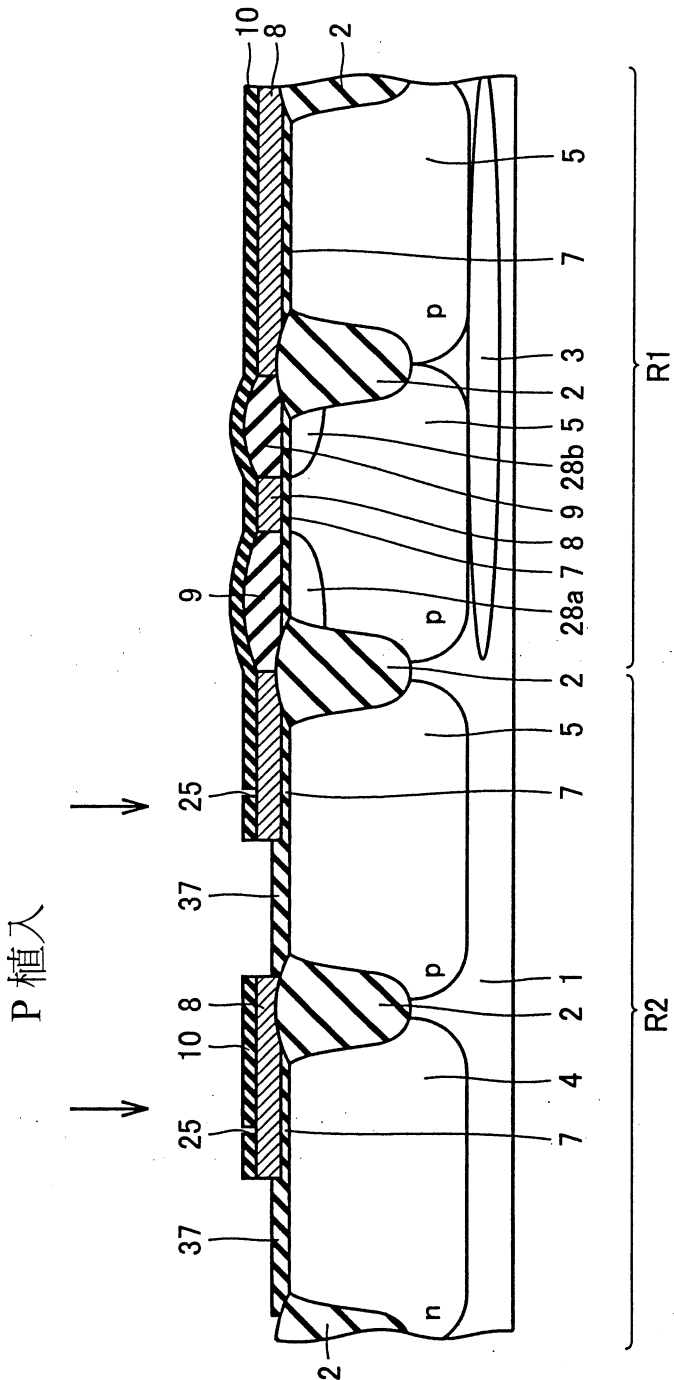


圖34

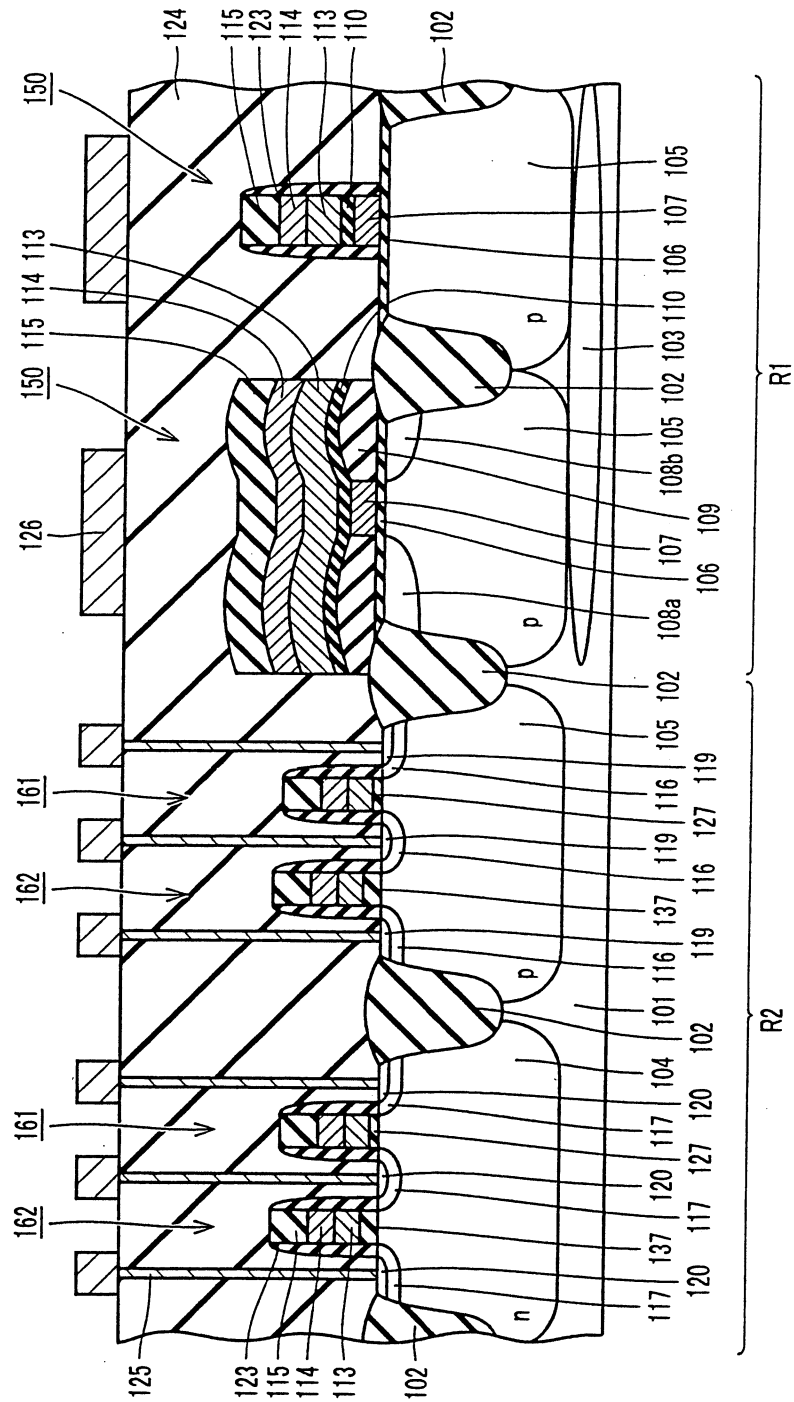


圖 35

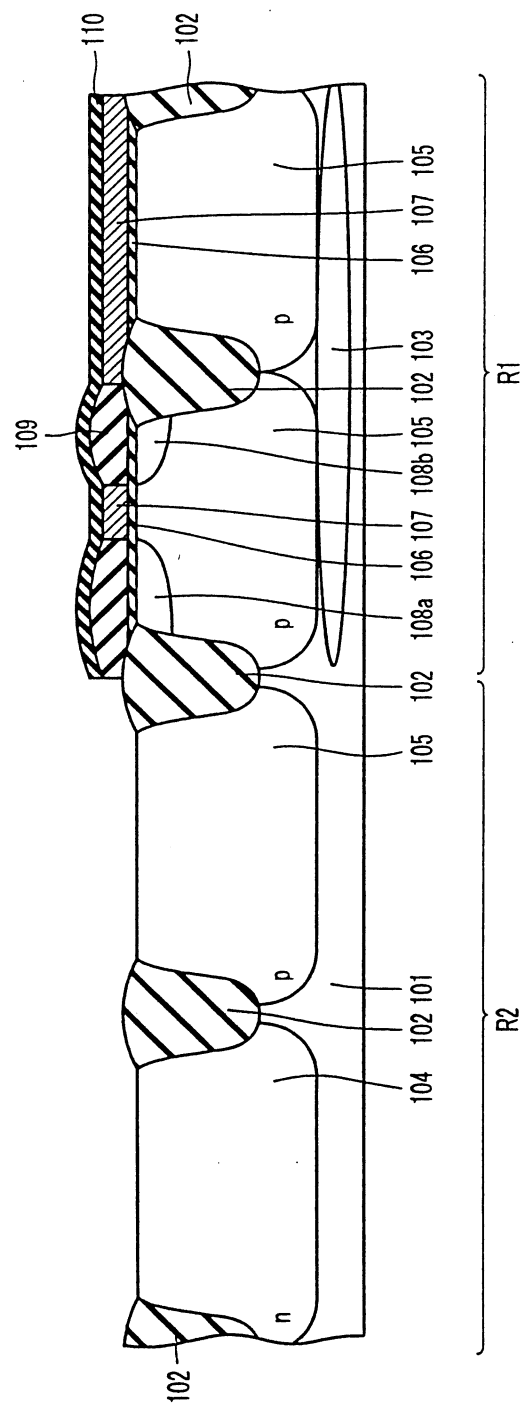


圖 36

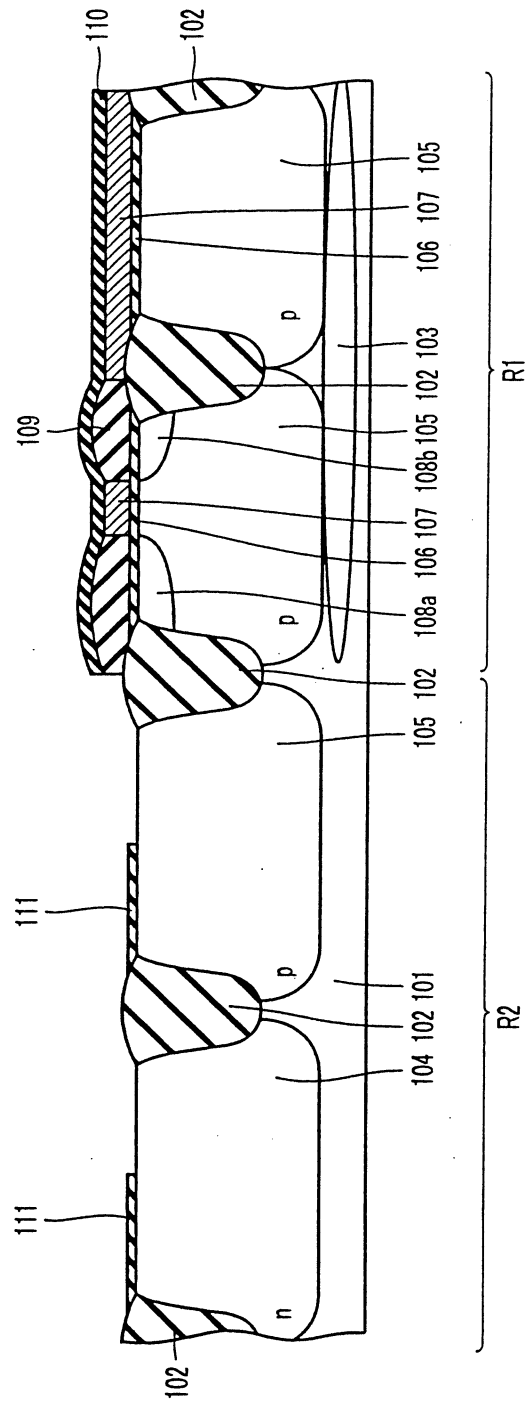


圖 37

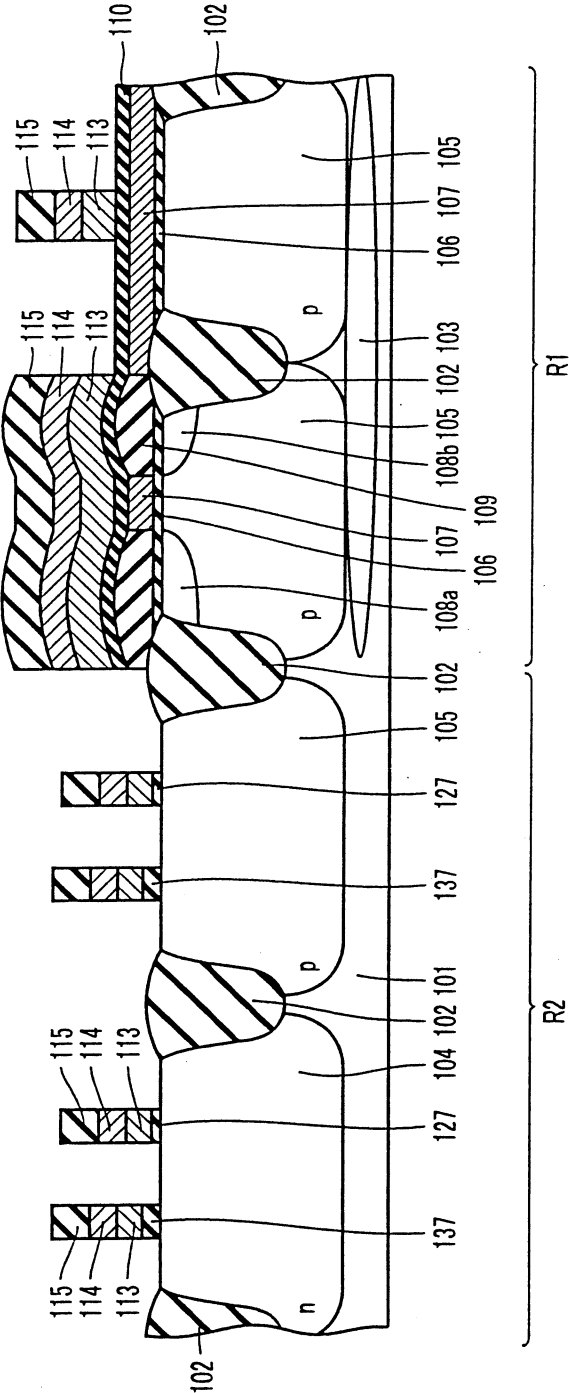


圖 39

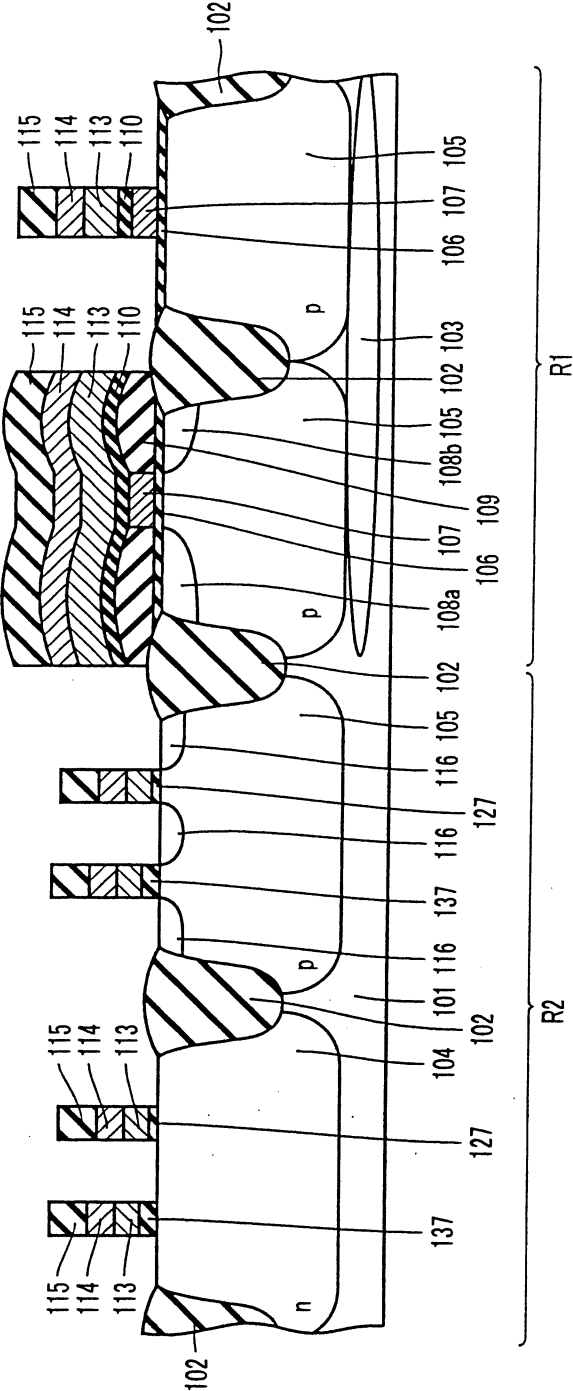


圖 40

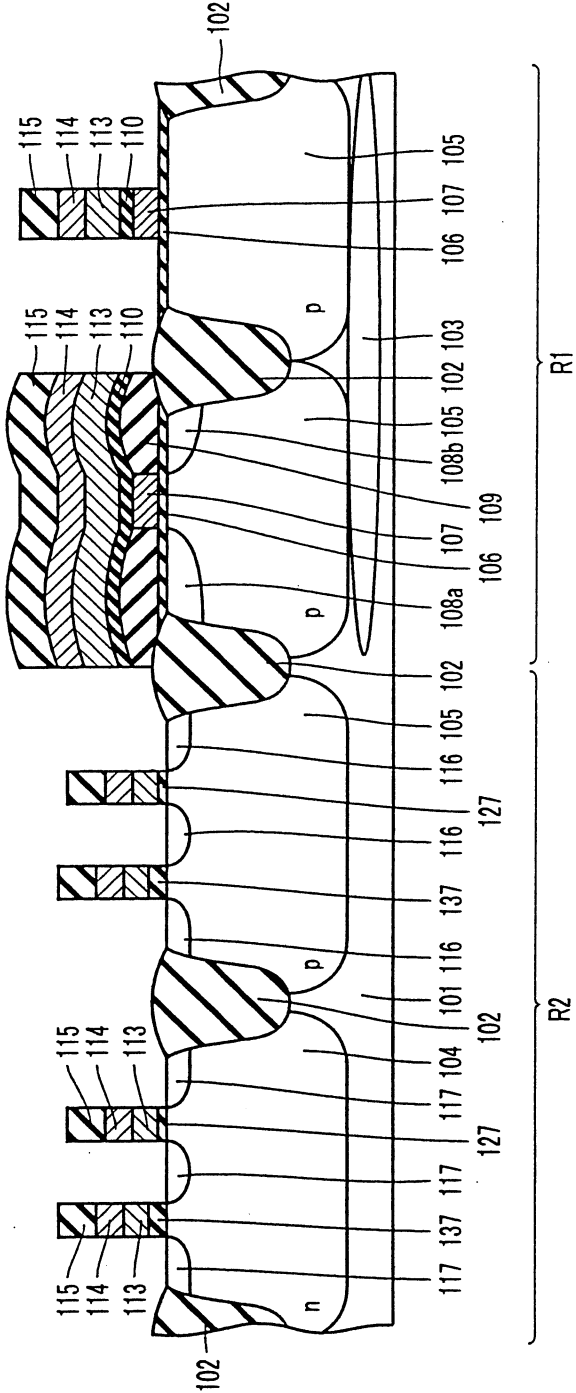


圖41

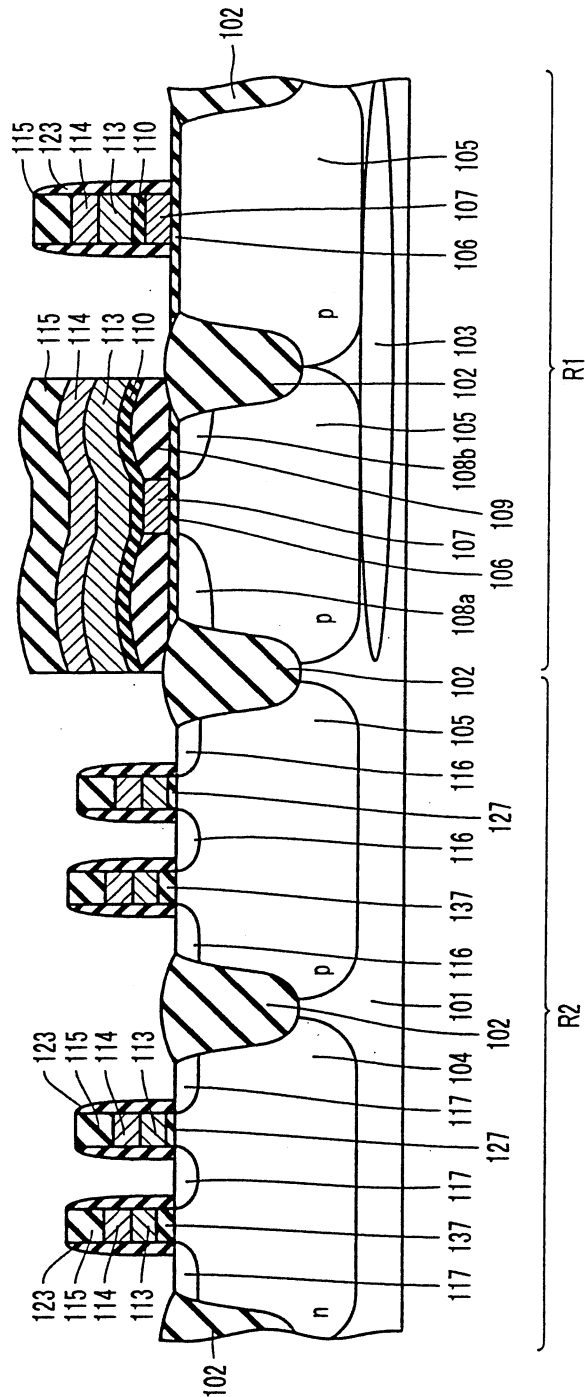


圖42

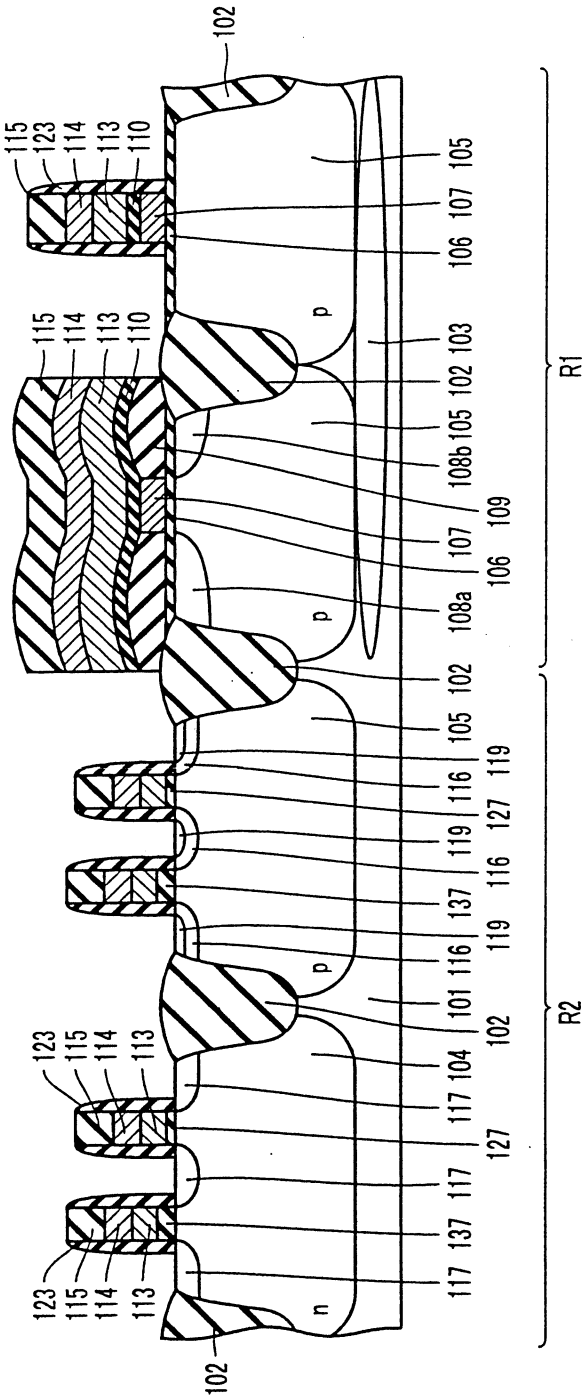
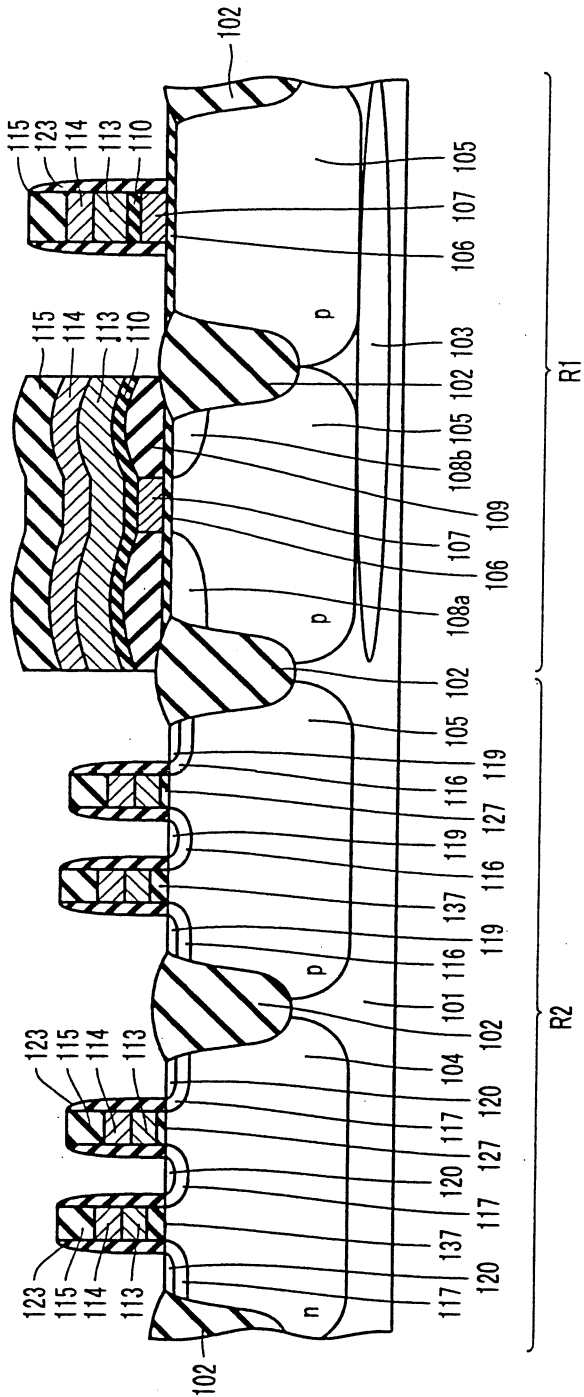


圖 43



五、發明說明 (1)

發明背景發明領域

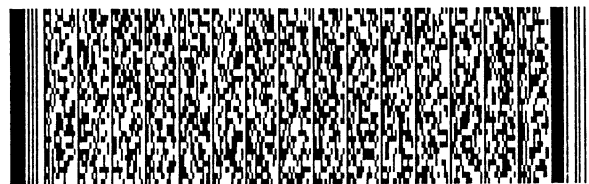
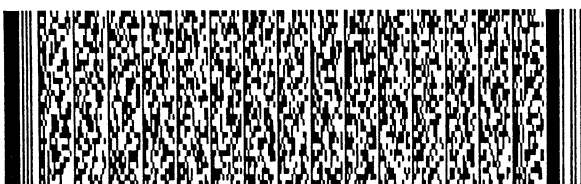
本發明為關於非揮發性半導體記憶裝置，更具體而言，為關於可抑制高溫加熱處理回數，加上可將記憶單元部之電晶體與周邊電路部之電晶體簡便地分別製作的非揮發性半導體記憶裝置。

背景技術之描述

參照圖34，此先前的非揮發性半導體記憶裝置為區分成記憶單元部R1、和其周邊之周邊電路部R2。於記憶單元部R1為配置有記憶電晶體150，而於周邊電路部R2則配置二種電晶體161、162。此二種電晶體之差異為如後述般，在於閘絕緣膜127、137之厚度為不同。

圖34示出記憶單元部之記憶電晶體150為沿著位元(bit)線之截面、與沿著字(word)線之截面的二個截面。於經由元件隔離帶102而與周邊電路部R2隔離之記憶單元部R1之矽基板底面，設置n導電型底部井103。於其上形成p導電型井105。記憶電晶體150為具有p導電型井用之源極、汲極區域108a、108b，並再具備於矽基板101上所配置的閘絕緣膜106。於閘絕緣膜106上，配置由絕緣區域109圍住的浮動閘107。於浮動閘107上形成氧化矽膜和氮化矽膜和氧化矽膜之三層絕緣膜所構成的閘間絕緣膜110。於此閘間絕緣膜上，配置控制閘113。再於其上配置WSi所構成的層114、和絕緣膜115。

於周邊電路部R2設置n導電型井104、和p導電型井105。



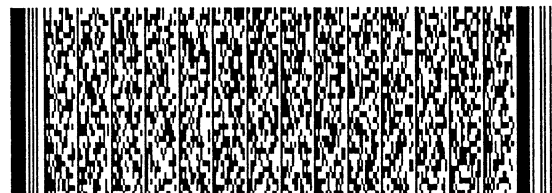
五、發明說明 (3)

其後，於周邊電路部R2之n導電型MOS電晶體形成區域、與記憶單元形成區域R1中，將光阻圖型使用作為罩幕，並依據下列之(a)、(b)、(c)則可形成p導電型井區域105(參照圖35)。(a)例如以700KeV之加速能量、 $1.0E13$ 左右之密度將硼進行離子植入。又，(b)例如以270KeV之加速能量、 $3.5E12$ 之密度將p通道切斷用之磷進行離子植入。更且，(c)例如以50eV之加速能量、 $1.2E12$ 之密度將通道摻雜用之硼進行離子植入。

其後，於矽基板101之主表面上，使用熱氧化法成膜出10nm左右的氧化矽膜106。其次，形成厚度200nm左右之摻雜磷多晶矽膜107。其後，於矽基板101之主表面全面，以光微影術形成光阻圖型。將此光阻圖型使用作為罩幕，將摻雜磷多晶矽膜予以圖案加工，於形成記憶電晶體之區域中形成浮動閘107。

其次，於矽基板101之記憶單元所形成之區域中，將光阻圖型使用作為罩幕，並將砷例如以35KeV之加速能量， $3.0E15$ 左右之密度進行離子植入，形成n導電型雜質擴散區域108a、108b，並做為源極、汲極區或。其後，於矽基板101上，以減壓CVD法沉積厚度800nm的氧化矽膜109。其次，將此氧化矽膜109予以全面蝕刻，令摻雜磷多晶矽膜107之表面露出(參照圖35)。

其次，於矽基板之主表面形成三層絕緣膜110。於三層絕緣膜之形成上，首先，使用熱氧化法形成厚度5nm的氧化矽膜。其次，於其上使用減壓CVD法形成厚度10nm的氮



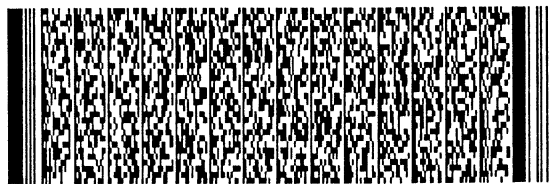
五、發明說明 (4)

化矽膜。更且，於其上使用減壓CVD法形成厚度5nm的氧化矽膜，則可形成三層絕緣膜110。

其後，於矽基板上以光微影術形成光阻圖型。使用此光阻圖型，如圖35所示般，於周邊電路部R2中圖案加工出三層絕緣膜110、和摻雜磷多晶矽膜107、和閘氧化膜106。

其後，使用熱氧化法，將厚度20nm左右之氧化矽膜111，於形成周邊電路部R2之厚閘絕緣膜之區域中成膜，即於形成高耐壓電晶體之區域中成膜。此時，記憶單元部R1為以三層絕緣膜110中之氮化矽膜係防止基底層的熱氧化。接著，於周邊電路部R2之高耐壓電晶體形成區域、與記憶單元部，經由光微影術形成光阻圖型，並且將周邊電路部之低耐壓電晶體區域之氧化矽膜111予以圖案加工(圖36)。

於矽基板101上使用熱氧化法，令做為周邊電路部R2之低耐壓電晶體之閘氧化膜的厚度10nm左右之氧化矽膜127成長。此時，記憶單元部R1中，三層絕緣膜110之氮化矽膜為防止基底層的熱氧化。另一方面，做為周邊電路部R2之高耐壓電晶體區域之閘氧化膜的氧化矽膜137為厚於20nm，且薄於30nm的氧化膜。其後，由下方開始依序，將200nm左右之摻雜磷多晶矽膜113、和厚度100nm左右之WSi膜114、和厚度200nm左右之氧化矽膜115予以沉積。其後，以光微影術形成光阻圖型，並將光阻圖型使用作為罩幕，將氧化矽膜115予以圖案加工。其次，將此氧化矽膜115使用作為罩幕，並將WSi膜114、和摻雜磷矽多晶矽113



五、發明說明 (5)

予以圖案加工(圖37)。

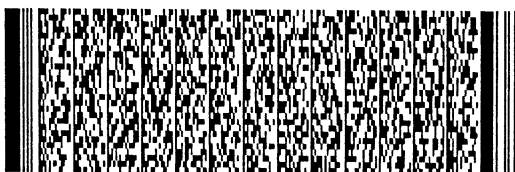
其後，於矽基板101之記憶單元部中將摻雜磷多晶矽膜113、和WSi膜114、和厚度200nm左右之氧化矽膜115使用作為罩幕，將三層絕緣膜110和摻雜磷多晶矽膜107予以圖案加工(圖38)。

其次，於矽基板101之形成周邊電路之n導電型MOS電晶體之區域中，將光阻圖型使用作為罩幕，將磷例如以50KeV之加速能量， $4.0E13$ 左右之密度進行離子植入。如此，形成周邊電路部之n導電型MOS電晶體的低濃度雜質區域116(圖39)。

其次，於矽基板101之周邊電路部中，於形成p導電型MOS電晶體之區域，將光阻圖型使用作為罩幕，將硼例如以50KeV之加速能量、 $1.5E13$ 左右之密度進行離子植入。如此，於周邊電路部形成p導電型MOS電晶體之低濃度雜質區域117(圖40)。於矽基板101上，以CVD法形成100nm左右的氧化矽膜。其次，以異向性蝕刻形成側壁間隔物123(圖41)。

其次，於矽基板101之周邊電路部之n導電型MOS電晶體形成區域中，將光阻圖型使用作為罩幕，並將砷例如以35KeV之加速能量、 $4.0E15$ 左右之密度進行離子植入。如此，形成n導電型MOS電晶體之高濃度雜質區域119(圖42)。

更且，於矽基板101之周邊電路部之p導電型MOS電晶體形成區域中，將光阻圖型使用作為罩幕，並將BF₂例如以



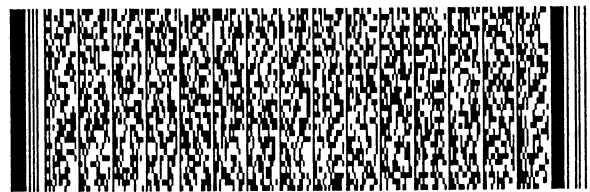
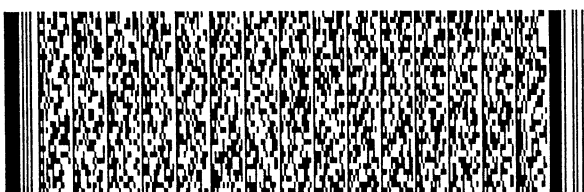
五、發明說明 (12)

單元部R1、與其周邊之周邊電路部R2。於記憶單元部R1配置記憶電晶體50，於周邊電路部R2，分別於n導電型井4及p導電型井5配置二種電晶體61、62。此二種電晶體之差異為如後述般，在於閘絕緣膜厚度為不同。

圖1為示出記憶單元部之記憶電晶體50沿著右側位元線之截面、和沿著左側字線之截面。於經由元件隔離帶2與周邊電路部R2隔離之記憶單元部R1的矽基板底部，設置n導電型底部井3，並於其上形成p導電型井5。記憶電晶體50為於p導電型井內具有n導電型之源極、汲極區域28a、28b，並再具備於矽基板1之上所配置的閘絕緣膜7。於閘絕緣膜7之上，配置由絕緣區域9圍住之導電層的浮動閘8。於浮動閘8之上形成由氧化矽膜與氮化矽膜與氧化矽膜之三層絕緣膜所構成的閘間絕緣膜10。於此閘間絕緣膜上，配置摻雜磷多晶矽膜11，且於其上設置導電層之控制閘12，再於其上配置WSi所構成之層13、和其上之絕緣膜14。

於周邊電路部R2中，設置n導電型井4、和p導電型井5，且於各井內，設置如上述二種之電晶體61、62。電晶體61為具有閘氧化膜7，且電晶體62為具有比其更厚膜厚之閘氧化膜6、7。於此些閘氧化膜6、7之上，兩者電晶體均具備與記憶電晶體相同膜厚構成的疊層構造。即，於閘氧化膜上配置浮動閘8，於其上為閘絕緣膜10，再將摻雜磷多晶矽膜11、控制閘12、WSi層13及絕緣膜14依序疊層。

將圖1中A部放大之圖示於圖2。若根據圖2，於閘間絕緣



六、申請專利範圍

1. 一種非揮發性半導體記憶裝置，其特徵為：

於半導體基板上具備記憶單元部和位於其周邊的周邊電路部；

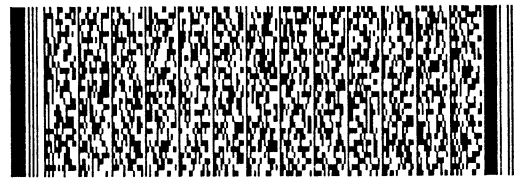
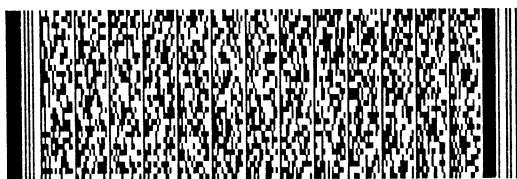
於該記憶單元中，具備具有位於閘絕緣膜上之浮動閘、和位於此浮動閘上之閘間絕緣膜、和位於該閘間絕緣膜上之控制閘的記憶電晶體，又於該周邊電路部中，具備含有第一閘絕緣膜的第一電晶體及含有第二閘絕緣膜的第二電晶體；

該第一及第二電晶體之至少一者為於其閘絕緣膜之上，具有由下方開始依序位於彼此連接的下方導電層和中間絕緣膜和下方導電層，且該下方導電層為具有與該浮動閘相同厚度方向之構成，該中間絕緣膜為含有與該閘間絕緣膜相同厚度方向構成的絕緣膜，該上方導電層為具有與該控制閘之導電層相同厚度方向之構成；更且

該中間絕緣膜為具備將該上方導電層和該下方導電層予以電性接續的導通部。

2. 如申請專利範圍第1項之非揮發性半導體記憶裝置，其中該第一及第二電晶體兩者均分別於其閘絕緣膜上，具備與該浮動閘相同厚度方向構成之下方導電層、和含有與該閘間絕緣膜相同厚度方向構成之絕緣膜的中間絕緣膜、和與該控制閘相同厚度方向構成之上方導電層，且該中間絕緣膜為具備將該上方導電層和該下方導電層予以電性接續的導通部。

3. 如申請專利範圍第1項之非揮發性半導體記憶裝置，



六、申請專利範圍

其中該第一電晶體為於該第一閘絕緣膜上，具備與該浮動閘相同厚度方向構成之下方導電層、和與該閘間絕緣膜相同厚度方向構成之絕緣膜的中間絕緣膜、和與該控制閘相同厚度方向構成之上方導電層，且該中間絕緣膜為具備將該上方導電層和該下方導電層予以電性接續的導通部，該第二電晶體為於該第二閘絕緣膜上具備與該控制閘相同厚度方向構成的導電層。

4. 如申請專利範圍第1項之非揮發性半導體記憶裝置，其中該第一電晶體為於該半導體基板上具有與該記憶電晶體之閘絕緣膜相同厚度方向構成之第一閘絕緣膜，且該第二電晶體為於該半導體基板上具備比該第一閘絕緣膜更厚之第二閘絕緣膜。

5. 如申請專利範圍第4項之非揮發性半導體記憶裝置，其中該第二閘絕緣膜為含有與該第一閘絕緣膜相同厚度方向構成之絕緣膜且再附加其他絕緣膜的絕緣膜。

6. 如申請專利範圍第1項之非揮發性半導體記憶裝置，其中於該周邊電路部中，於該中間絕緣膜與該上方導電層之間再具備含有雜質的摻雜矽膜，且於該摻雜矽膜中亦設置上述導通部。

7. 如申請專利範圍第1項之非揮發性半導體記憶裝置，其中該記憶單元部中之浮動閘及該周邊電路部之下方導電層為由含有雜質的摻雜矽所構成，且該下方導電層之雜質濃度為比該浮動閘之雜質濃度更高。

8. 一種非揮發性半導體記憶裝置，其特徵為：



六、申請專利範圍

於半導體基板上具備記憶單元部和位於其周邊的周邊電路部；

於該記憶單元中，具備具有位於閘絕緣膜上之浮動閘、和位於此浮動閘上之閘間絕緣膜、和位於該閘間絕緣膜上之控制閘的記憶電晶體，又於該周邊電路部中，具備含有第一閘絕緣膜的第一電晶體及含有第二閘絕緣膜的第二電晶體；

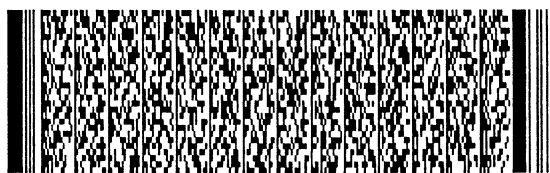
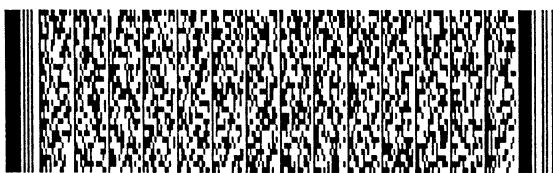
該第一及第二電晶體之兩者為於其閘絕緣膜之上，具有由下方開始依序位於彼此連接的下方導電層和中間絕緣膜和下方導電層，且該下方導電層為具有與該浮動閘相同膜厚，該中間絕緣膜為含有與該閘間絕緣膜相同膜厚的絕緣膜，該上方導電層為具有與該控制閘之導電層相同膜厚，更且該中間絕緣膜為具備將該上方導電層和該下方導電層予以電性接續的導通部；

該第一電晶體為於該半導體基板上具有與該記憶電晶體之閘絕緣膜相同膜厚之第一閘絕緣膜，且該第二電晶體為於該半導體基板上具備比該第一閘絕緣膜更厚之第二閘絕緣膜；

該記憶單元部中之浮動閘及該周邊電路部之下方導電層為由含有雜質的摻雜矽所構成，且該下方導電層之雜質濃度為比該浮動閘之雜質濃度更高。

9. 如申請專利範圍第8項之非揮發性半導體記憶裝置，其中該控制閘之該導電層的膜厚係大於該浮動閘的膜厚。

10. 如申請專利範圍第9項之非揮發性半導體記憶裝置，



六、申請專利範圍

其中該第二閘絕緣膜為含有與該第一閘絕緣膜相同膜厚之絕緣膜且再附加其他絕緣膜的絕緣膜。

11. 如申請專利範圍第9項之非揮發性半導體記憶裝置，其中於該周邊電路部中，於該中間絕緣膜與該上方導電層之間再具備含有雜質的摻雜矽膜，且於該摻雜矽膜中亦設置上述導通部。

12. 一種非揮發性半導體記憶裝置，其特徵為：

於半導體基板上具備記憶單元部和位於其周邊的周邊電路部；

於該記憶單元中，具備具有位於閘絕緣膜上之浮動閘、和位於此浮動閘上之閘間絕緣膜、和位於該閘間絕緣膜上之控制閘的記憶電晶體，又於該周邊電路部中，具備含有第一閘絕緣膜的第一電晶體及含有第二閘絕緣膜的第二電晶體；

該第一電晶體為於其閘絕緣膜之上，具有由下方開始依序位於彼此連接的下方導電層和中間絕緣膜和下方導電層，且該下方導電層為具有與該浮動閘相同膜厚，該中間絕緣膜為含有與該閘間絕緣膜相同膜厚的絕緣膜，該上方導電層為具有與該控制閘之導電層相同膜厚，更且該中間絕緣膜為具備將該上方導電層和該下方導電層予以電性接續的導通部；

該第二電晶體為於該第二閘絕緣膜上具備與該控制閘相同膜厚的導電層；

該第一電晶體為於該半導體基板上具有與該記憶電晶體



六、申請專利範圍

之閘絕緣膜相同膜厚之第一閘絕緣膜，且該第二電晶體為於該半導體基板上具備比該第一閘絕緣膜更厚之第二閘絕緣膜；

該記憶單元部中之浮動閘及該周邊電路部之下方導電層為由含有雜質的摻雜矽所構成，且該下方導電層之雜質濃度為比該浮動閘之雜質濃度更高。

13. 如申請專利範圍第12項之非揮發性半導體記憶裝置，其中該控制閘之該導電層的膜厚係大於該浮動閘的膜厚。

14. 如申請專利範圍第13項之非揮發性半導體記憶裝置，其中該第二閘絕緣膜為含有與該第一閘絕緣膜相同膜厚之絕緣膜且再附加其他絕緣膜的絕緣膜。

15. 如申請專利範圍第13項之非揮發性半導體記憶裝置，其中於該周邊電路部中，於該中間絕緣膜與該上方導電層之間再具備含有雜質的摻雜矽膜，且於該摻雜矽膜中亦設置上述導通部。



92.10.24
修正
替換補充

圖 23

