

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-183293

(P2014-183293A)

(43) 公開日 平成26年9月29日(2014.9.29)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/115 (2006.01)	HO 1 L 27/10 4 3 4	5 F 0 8 3
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1	5 F 1 0 1
HO 1 L 21/336 (2006.01)	HO 1 L 27/10 4 8 1	
HO 1 L 29/788 (2006.01)		
HO 1 L 29/792 (2006.01)		

審査請求 未請求 請求項の数 6 O L (全 28 頁) 最終頁に続く

(21) 出願番号 特願2013-58557 (P2013-58557)
 (22) 出願日 平成25年3月21日 (2013.3.21)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 110000567
 特許業務法人 サトー国際特許事務所
 (72) 発明者 武木田 秀人
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内

最終頁に続く

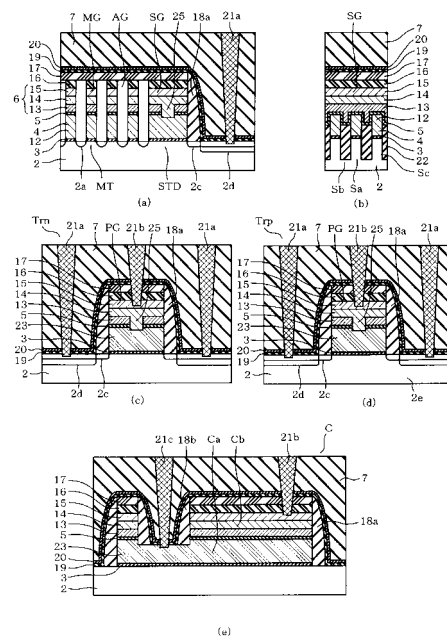
(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】浮遊ゲート電極や制御ゲート電極の多結晶シリコンに導入する不純物や導電型を変更しても、周辺回路等の再設計が必要がなく、コスト上昇を回避した不揮発性半導体記憶装置を提供し、単位面積当たりの容量値が大きな容量素子を提供する。

【解決手段】実施形態は、p型の半導体基板とゲート絶縁膜を介して形成されたメモリセルトランジスタ及び周辺回路トランジスタを備える。メモリセルトランジスタは、p型の第1多結晶シリコン膜を有する浮遊ゲート電極と、電極間絶縁膜と、p型の第2多結晶シリコン膜を有する制御ゲート電極とを積層したメモリゲート電極を備える。周辺回路トランジスタは、n型の第3多結晶シリコン膜を有する下部電極と、電極間絶縁膜と、電極間絶縁膜に設けた開口を介して第2多結晶シリコン膜と第3多結晶シリコン膜とが接触するようにして設けた上部電極とを積層したゲート電極を備える。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

p 型の半導体基板と、

前記半導体基板上にゲート絶縁膜を介して形成されたメモリセルトランジスタ及び周辺回路トランジスタを備え、

前記メモリセルトランジスタは、p 型の第 1 多結晶シリコン膜を有する浮遊ゲート電極と、電極間絶縁膜と、p 型の第 2 多結晶シリコン膜を有する制御ゲート電極とを積層したメモリゲート電極を備え、

前記周辺回路トランジスタは、n 型の第 3 多結晶シリコン膜を有する下部電極と、前記電極間絶縁膜と、前記第 2 多結晶シリコン膜を前記電極間絶縁膜の開口を介して前記第 3 多結晶シリコン膜に接触するように設けた上部電極とを積層したゲート電極を備えたことを特徴とする不揮発性半導体記憶装置。

10

【請求項 2】

前記周辺回路トランジスタは、前記下部電極に接触するように形成された第 1 コンタクトを有することを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】

p 型の半導体基板と、

前記半導体基板上にゲート絶縁膜を介して形成されたメモリセルトランジスタ及び容量性素子を備え、

前記メモリセルトランジスタは、p 型の第 1 多結晶シリコン膜を有する浮遊ゲート電極と、電極間絶縁膜と、p 型の第 2 多結晶シリコン膜を有する制御ゲート電極とを積層したメモリゲート電極を備え、

前記容量性素子は、前記半導体基板及び前記ゲート絶縁膜を介して設けられる n 型の第 3 多結晶シリコン膜を有する第 1 導電体の対向部分からなる第 1 容量と、前記第 1 導電体及び前記電極間絶縁膜を介して設けられる前記第 2 多結晶シリコン膜を有する第 2 導電体の対向部分からなる第 2 容量と、前記第 1 導電体に接触するように接続されたコンタクトとを備えた

ことを特徴とする不揮発性半導体記憶装置。

20

【請求項 4】

前記コンタクトは、前記第 2 容量を構成する前記第 2 導電体の除去領域を介して前記第 1 導電体の前記第 3 多結晶シリコン膜と接触するように形成されていることを特徴とする請求項 3 記載の不揮発性半導体記憶装置。

30

【請求項 5】

請求項 1 または請求項 2 に記載の不揮発性半導体記憶装置であって、

さらに、前記半導体基板上に形成された容量性素子を備え、

前記容量性素子は、前記半導体基板及び前記ゲート絶縁膜を介して設けられる前記第 3 多結晶シリコン膜を有する第 1 導電体の対向部分からなる第 1 容量と、前記第 1 導電体及び前記電極間絶縁膜を介して設けられる前記第 2 多結晶シリコン膜を有する第 2 導電体の対向部分からなる第 2 容量と、前記第 1 導電体に接触するように接続された第 2 コンタクトとを備えた

ことを特徴とする不揮発性半導体記憶装置。

40

【請求項 6】

p 型の半導体基板と、

前記半導体基板上にゲート絶縁膜を介して形成されたメモリセルトランジスタ及び周辺回路トランジスタを備え、

前記メモリセルトランジスタは、p 型の第 1 多結晶シリコン膜を有する浮遊ゲート電極と、電極間絶縁膜と、n 型の第 2 多結晶シリコン膜を有する制御ゲート電極とを積層したメモリゲート電極を備え、

前記周辺回路トランジスタは、n 型の第 3 多結晶シリコン膜を有する下部電極と、前記電極間絶縁膜と、前記第 2 多結晶シリコン膜を前記電極間絶縁膜の開口を介して前記第 3

50

多結晶シリコン膜に接触するように設けた上部電極とを積層したゲート電極を備えたことを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、不揮発性半導体記憶装置に関する。

【背景技術】

【0002】

NAND型フラッシュメモリのような不揮発性半導体記憶装置において、メモリセルトランジスタのゲート電極は、浮遊ゲート電極と制御ゲート電極とが電極間絶縁膜を介して積層して形成されている。浮遊ゲート電極及び制御ゲート電極には不純物が導入された多結晶シリコンを使用している。また、周辺回路の回路素子（トランジスタ、抵抗性素子、容量性素子など）は、メモリセル領域と一括して形成する関係上、例えば周辺回路トランジスタのゲート電極や容量性素子の容量電極は、メモリセルトランジスタの膜構成を利用して形成される場合が多い。しかし、メモリセルトランジスタに合わせて浮遊ゲート電極と制御ゲート電極の導電型の組み合わせを決めると、周辺トランジスタ、または、容量性素子の特性に影響を与える場合がある。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2005 235987号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0004】

メモリセルトランジスタの浮遊ゲートに依存しない回路素子を有する不揮発性半導体記憶装置を提供することである。

【課題を解決するための手段】

【0005】

本実施形態の不揮発性半導体記憶装置は、p型の半導体基板と、半導体基板にゲート絶縁膜を介して形成されたメモリセルトランジスタ及び周辺回路トランジスタを備える。メモリセルトランジスタは、p型の第1多結晶シリコン膜を有する浮遊ゲート電極と、電極間絶縁膜と、p型の第2多結晶シリコン膜を有する制御ゲート電極とを積層したメモリゲート電極を備える。周辺回路トランジスタは、n型の第3多結晶シリコン膜を有する下部電極と、電極間絶縁膜と、第2多結晶シリコン膜を電極間絶縁膜の開口を介して第3多結晶シリコン膜に接触するように設けた上部電極とを積層したゲート電極を備える。

30

【図面の簡単な説明】

【0006】

【図1】実施形態におけるNAND型フラッシュメモリ装置の電氣的構成をブロック図により概略的に示す図の一例である。

【図2】メモリセル領域の一部のレイアウトパターンを模式的に示す平面図の一例である。

40

【図3】図2中AA線に沿う部分の断面構造を簡略的に示す図の一例である。

【図4】図4(a)は周辺回路領域PAの周辺回路トランジスタPTの平面レイアウトを模式的に示す図の一例、図4(b)は容量性素子Cの平面レイアウトを模式的に示す図の一例、図4(c)は図4(b)に示した容量性素子Cの等価回路を示す図の一例である。

【図5】第1の実施形態のNAND型フラッシュメモリ装置の構造及び製造工程を模式的に示す図の一例である(図5(a)は、図2のBB線に沿う部分の断面構造を模式的に示す図の一例、図5(b)は、図2のCC線に沿う部分の断面構造を模式的に示す図の一例、図5(c)及び(d)は、図4(a)のDD線に沿う部分の断面構造を模式的に示す図の一例であり、図5(c)はnチャネル型トランジスタTrnの断面構造を、図5(d)

50

は p チャンネル型トランジスタ T_{rp} の断面構造を示す図の一例である。図 5 (e) は、図 4 (b) の E E 線に沿う部分の断面構造を示す図の一例である。図 6 ~ 図 2 2 における各図 (a) ~ (e) について同じ。)。

【図 6】第 1 の実施形態の N A N D 型フラッシュメモリ装置の製造工程を説明するための途中工程を示す図の一例 (その 1) である。

【図 7】第 1 の実施形態の N A N D 型フラッシュメモリ装置の製造工程を説明するための途中工程を示す図の一例 (その 2) である。

【図 8】第 1 の実施形態の N A N D 型フラッシュメモリ装置の製造工程を説明するための途中工程を示す図の一例 (その 3) である。

【図 9】第 1 の実施形態の N A N D 型フラッシュメモリ装置の製造工程を説明するための途中工程を示す図の一例 (その 4) である。

【図 1 0】第 1 の実施形態の N A N D 型フラッシュメモリ装置の製造工程を説明するための途中工程を示す図の一例 (その 5) である。

【図 1 1】第 1 の実施形態の N A N D 型フラッシュメモリ装置の製造工程を説明するための途中工程を示す図の一例 (その 6) である。

【図 1 2】第 1 の実施形態の N A N D 型フラッシュメモリ装置の製造工程を説明するための途中工程を示す図の一例 (その 7) である。

【図 1 3】第 1 の実施形態の N A N D 型フラッシュメモリ装置の製造工程を説明するための途中工程を示す図の一例 (その 8) である。

【図 1 4】第 1 の実施形態の N A N D 型フラッシュメモリ装置の製造工程を説明するための途中工程を示す図の一例 (その 9) である。

【図 1 5】第 1 の実施形態の N A N D 型フラッシュメモリ装置の製造工程を説明するための途中工程を示す図の一例 (その 1 0) である。

【図 1 6】第 1 の実施形態の N A N D 型フラッシュメモリ装置の製造工程を説明するための途中工程を示す図の一例 (その 1 1) である。

【図 1 7】第 2 の実施形態の N A N D 型フラッシュメモリ装置の構造及び製造工程を模式的に示す図の一例である。

【図 1 8】第 2 の実施形態の N A N D 型フラッシュメモリ装置の製造工程を説明するための途中工程を示す図の一例 (その 1) である。

【図 1 9】第 2 の実施形態の N A N D 型フラッシュメモリ装置の製造工程を説明するための途中工程を示す図の一例 (その 2) である。

【図 2 0】第 2 の実施形態の N A N D 型フラッシュメモリ装置の製造工程を説明するための途中工程を示す図の一例 (その 3) である。

【図 2 1】第 2 の実施形態の N A N D 型フラッシュメモリ装置の製造工程を説明するための途中工程を示す図の一例 (その 4) である。

【図 2 2】第 3 の実施形態の N A N D 型フラッシュメモリ装置の構造及び製造工程を模式的に示す図の一例である。

【図 2 3】実施形態及び比較例における容量性素子のエネルギーバンド図を模式的に示す図の一例である。

【図 2 4】第 2 の実施形態の周辺回路トランジスタの平面レイアウトの一例である。

【発明を実施するための形態】

【 0 0 0 7 】

(第 1 の実施形態)

以下、第 1 の実施形態について、不揮発性半導体記憶装置として N A N D 型のフラッシュメモリ装置に適用したものを図 1 ~ 図 1 6 及び図 2 3 を参照して説明する。尚、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは必ずしも一致しない。また、上下左右の方向についても、後述する半導体基板における回路形成面側を上とした場合の相対的な方向を示し、必ずしも重力加速度方向を基準としたものとは一致しない。

【 0 0 0 8 】

10

20

30

40

50

図1は、NAND型フラッシュメモリ装置の電氣的構成を概略的に示すブロック図の一例である。図1に示すように、NAND型フラッシュメモリ装置1は、多数のメモリセルをマトリクス状に配設したメモリセルアレイArと、メモリセルアレイArの各メモリセルの読出/書込/消去を行う周辺回路PCとを有すると共に、図示しない入出力インタフェース回路等を備えている。

【0009】

メモリセル領域M内のメモリセルアレイArには、ユニットメモリセルUCが複数配設されている。ユニットメモリセルUCには、ビット線 $BL_0 \sim BL_{n-1}$ との接続側に選択ゲートトランジスタSTDが、ソース線SL側に選択ゲートトランジスタSTSが設けられている。これら選択ゲートトランジスタSTD - STS間に2のk乗個(例えば32 (=m)個)のメモリセルトランジスタ $MT_0 \sim MT_{m-1}$ が直列接続されている。

10

【0010】

複数のユニットメモリセルUCはメモリセルブロックを構成し、複数のメモリセルブロックはメモリセルアレイArを構成する。すなわち、1つのブロックは、ユニットメモリセルUCを行方向(図1中左右方向)にn列並列に配列したものである。メモリセルアレイArは、ブロックを列方向(図1中上下方向)に複数配列したものである。尚、説明を簡略化するため図1には1つのブロックを示している。

【0011】

制御線SGDは、選択ゲートトランジスタSTDのゲートに接続される。ワード線 WL_{m-1} は、ビット線 $BL_0 \sim BL_{n-1}$ に接続されるm番目のメモリセルトランジスタ MT_{m-1} の制御ゲートに接続される。ワード線 WL_2 は、ビット線 $BL_0 \sim BL_{n-1}$ に接続される3番目のメモリセルトランジスタ MT_2 の制御ゲートに接続される。ワード線 WL_1 は、ビット線 $BL_0 \sim BL_{n-1}$ に接続される2番目のメモリセルトランジスタ MT_1 の制御ゲートに接続される。ワード線 WL_0 は、ビット線 $BL_0 \sim BL_{n-1}$ に接続される1番目のメモリセルトランジスタ MT_0 の制御ゲートに接続される。制御線SGSは、ソース線SLに接続される選択ゲートトランジスタSTSのゲートに接続される。制御線SGD、ワード線 $WL_0 \sim WL_{m-1}$ 、制御線SGS及びソース線SLは、ビット線 $BL_0 \sim BL_{n-1}$ とそれぞれ交差する。

20

【0012】

周辺回路領域PAはメモリセル領域Mの周辺に設けられており、周辺回路PCは周辺回路領域PAに形成されている。この周辺回路PCは、アドレスデコーダADC、センスアンプSA、チャージポンプ回路を有する昇圧回路BS、転送トランジスタ部WTB等を具備している。アドレスデコーダADCは、昇圧回路BSを介して転送トランジスタ部WTBに電氣的に接続されている。周辺回路PCには、ここでは図示はしていないが回路素子として容量性素子Cが含まれている。

30

【0013】

アドレスデコーダADCは、外部からアドレス信号が与えられることに依じて1つのブロックを選択する。昇圧回路BSは、アドレスデコーダADCの外部から駆動電圧 $V_{RD_{EC}}$ が供給されるようになっており、ブロックBの選択信号が与えられると駆動電圧 $V_{RD_{EC}}$ を昇圧して転送ゲート線TGを介して各転送ゲートトランジスタ $WTGD$ 、 $WTGS$ 、 $WT_0 \sim WT_{m-1}$ に所定電圧を供給する。

40

【0014】

転送トランジスタ部WTBは、選択ゲートトランジスタSTDに対応して設けられた転送ゲートトランジスタ $WTGD$ 、選択ゲートトランジスタSTSに対応して設けられた転送ゲートトランジスタ $WTGS$ 、各メモリセルトランジスタ $MT_0 \sim MT_{m-1}$ に対応してそれぞれ設けられたワード線転送ゲートトランジスタ $WT_0 \sim WT_{m-1}$ 等を備えている。転送トランジスタ部WTBは、各ブロックに設けられる。

【0015】

転送ゲートトランジスタ $WTGD$ は、ドレイン/ソースのうち一方が選択ゲートドライバ線DR1に接続されており、他方が選択ゲートトランジスタSTDを制御する制御線S

50

G Dに接続されている。転送ゲートトランジスタW T G Sは、ドレイン/ソースのうち一方が選択ゲートドライバ線D R 2に接続されており、他方が選択ゲートトランジスタS T Sを制御する制御線S G Sに接続されている。また、転送ゲートトランジスタW T ₀ ~ W T _{m - 1}は、ドレイン/ソースのうち一方がワード線駆動信号線W D L ₀ ~ W D L _{m - 1}にそれぞれ接続されており、他方がメモリセルアレイA r (メモリセル領域M)内に設けられるワード線W L ₀ ~ W L _{m - 1}にそれぞれ接続されている。

【0016】

行方向に配列された複数のユニットメモリセルU Cの選択ゲートトランジスタS T Dは、そのゲート電極が制御線S G Dによって電氣的に接続されている。同じく行方向に配列された複数のユニットメモリセルU Cの選択ゲートトランジスタS T Sは、そのゲート電極が制御線S G Sによって電氣的に接続されている。選択ゲートトランジスタS T Sのソースは、ソース線S Lに共通接続されている。

10

【0017】

行方向に配列された複数のユニットメモリセルU CのメモリセルトランジスタM T ₀ ~ M T _{m - 1}は、それぞれ、そのゲート電極がワード線W L ₀ ~ W L _{m - 1}によって電氣的に接続されている。

【0018】

各転送ゲートトランジスタW T G D、W T G S、W T ₀ ~ W T _{m - 1}は、ゲート電極が転送ゲート線T Gによって互いに共通接続されており、昇圧回路B Sの昇圧電圧供給端子に接続されている。センスアンプS Aは、ビット線B L ₀ ~ B L _{n - 1}に接続されており、データの読出時に当該データを一時的に保存するラッチ回路に接続されている。なお、図5以降では、周辺回路領域P Aに形成される周辺回路トランジスタの代表例として、nチャンネル型トランジスタをT r n、pチャンネル型トランジスタをT r pと称して用いる。

20

【0019】

図2は、メモリセル領域Mの一部のレイアウトパターンを模式的に示した平面図の一例である。なお、以下、個々のビット線B L ₀ ~ B L _{n - 1}をビット線B Lと、ワード線W L ₀ ~ W L _{m - 1}をワード線W Lと、メモリセルトランジスタM T ₀ ~ M T _{m - 1}をメモリセルトランジスタM Tと称する。

【0020】

図2において、ソース線S L、制御線S G S、ワード線W L、及び制御線S G Dが、Y方向(図において上下方向。図1における列方向。)に互いに離間されX方向(図において左右方向。図1における行方向。)に延伸して並列配置される。ビット線B LがX方向に互いに所定の間隔で離間されY方向に延伸して並列配置される。

30

【0021】

このビット線B Lの下方の、シリコン基板2のメモリセル領域には、トレンチ内に絶縁膜を埋め込むS T I (shallow trench isolation)構造の素子分離領域S bが図中Y方向に沿って延伸して形成されている。この素子分離領域S bは、図中X方向に所定間隔で複数形成される。これにより、素子領域S aがY方向に沿って延伸形成されることになり、シリコン基板2の表層部に複数の素子領域S aがX方向に分離して形成される。すなわち、素子領域S a間には素子分離領域S bが設けられており、半導体基板は素子分離領域S bによって複数の素子領域S aに分離されている。

40

【0022】

ワード線W Lは、素子領域S aと直交する方向(図2中X方向)に沿って延伸形成されている。ワード線W Lは、図中Y方向に所定間隔で複数本形成されている。ワード線W Lと素子領域S aの交点部分にはメモリセルトランジスタM Tが配置されている。同様に、制御線S G S、S G Dと素子領域S aの交点部分には選択ゲートトランジスタS T S、S T Dが配置されている。

【0023】

Y方向に隣接した複数のメモリセルトランジスタM TはN A N D列(メモリセルストリング)の一部となる。選択ゲートトランジスタS T S、S T Dは、N A N D列の端部のメ

50

メモリセルトランジスタMTのY方向両外側に隣接して設けられる。ソース線SL側の選択ゲートトランジスタSTSはX方向に複数設けられており、複数の選択ゲートトランジスタSTSのゲート電極は制御線SGSにより電氣的に接続されている。選択ゲートトランジスタSTSのゲート電極SGは制御線SGSと素子領域Saが交差する部分に形成されている。ソース線コンタクトSLCは、ソース線SLとビット線BLの交差部分に設けられる。

【0024】

選択ゲートトランジスタSTDは、図中X方向に複数設けられており、選択ゲートトランジスタSTDのゲート電極SGは制御線SGDによって電氣的に接続されている。選択ゲートトランジスタSTDは制御線SGDと素子領域Saが交差する部分に形成されている。ビット線コンタクトBLCは、隣接する選択ゲートトランジスタSTD間の、それぞれの素子領域Sa上に形成されている。

10

【0025】

図3は、図2中AA線に沿う部分の断面構造を簡略的に示した図の一例である。図3において、シリコン基板2の上面にゲート絶縁膜3を介して、メモリセルトランジスタMTのゲート電極MG、及び選択ゲートトランジスタSTS及びSTDのゲート電極SGが形成されている。メモリセルトランジスタMTは、ゲート絶縁膜3上に形成されたゲート電極MGとソース/ドレイン領域2aとを含む構成である。メモリセルトランジスタMTは図における左右方向に複数隣接して形成されている。これらメモリセルトランジスタMTの端部のものに隣接して一对の選択ゲートトランジスタSTSが一端側に形成され、一对の選択ゲートトランジスタSTDが他端側に形成されている。

20

【0026】

メモリセルトランジスタMTのゲート電極MGは、ゲート絶縁膜3上に形成されており、電荷を蓄積するための浮遊ゲート電極4、電極間絶縁膜5、制御ゲート電極6を備えている。

【0027】

ゲート電極MG-MG間、SG-MG間に位置するシリコン基板2の表層にはソース/ドレイン領域2aが設けられている。また、ゲート電極SG-SG間に位置するシリコン基板2の表層には高濃度に不純物が導入されたソース/ドレイン領域2bが設けられている。

30

【0028】

選択ゲートトランジスタSTD及びSTSのゲート電極SGは、図3では簡略的に示しているが、メモリセルトランジスタMTのゲート電極MGとほぼ同様の構造であり、ゲート絶縁膜3上に、浮遊ゲート電極4に相当する膜、電極間絶縁膜5、制御ゲート電極6に相当する膜が積層されている。ゲート電極SGにおいては、電極間絶縁膜5の中央部には開口部25(図5(c)(d)参照)を形成することで浮遊ゲート電極4に相当する膜と制御ゲート電極6に相当する膜とが電氣的に導通した状態とされ、これにより浮遊ゲート電極を持たない通常のトランジスタのゲート電極として機能する。

【0029】

上記構成の各ゲート電極MG、SGの上部には層間絶縁膜7が設けられている。図3には詳しく図示していないが、ゲート電極MG-MG間、MG-SG間には層間絶縁膜7を埋め込まないでエアギャップ(空隙部)AGを設けて絶縁するエアギャップ構造(図5(a)参照)を有することができる。

40

【0030】

ソース線コンタクトSLCは、層間絶縁膜7を貫通して、選択ゲートトランジスタSTSのゲート電極SG-SG間のシリコン基板2のソース/ドレイン領域2bに接触するように設けられている。また、ビット線コンタクトBLCは、層間絶縁膜7を貫通して、選択ゲートトランジスタSTDのゲート電極SG-SG間のシリコン基板2のソース/ドレイン領域2bに接触するように設けられている。層間絶縁膜7にはソース線SLとビット線BLが設けられており、それぞれソース線コンタクトSLC及びビット線コンタクトB

50

LCと接続している。ソース線SLとビット線BLとは、相互に直交する方向に延伸して形成されている。以上が、第1の実施形態が適用されるNAND型フラッシュメモリ装置の基本的な構成である。

【0031】

次に、図4～図16を参照して、本実施形態の周辺回路素子の具体的な構成について説明する。

図4(a)は周辺回路トランジスタPTの平面レイアウトを模式的に示した図の一例、図4(b)は容量性素子Cの平面レイアウトを模式的に示した図の一例、図4(c)は図4(b)に示した容量性素子Cの等価回路図の一例である。図4(a)～(c)についての説明は後述する。

10

【0032】

図5(a)は、図2のBB線に沿う部分の断面構造を模式的に示した図の一例であり、メモリセルトランジスタから選択ゲートトランジスタSTD及びビット線コンタクトBLCまでに至る部分の断面構造を示している。図5(b)は、図2のCC線に沿う部分の断面構造を模式的に示した図の一例であり、メモリセルのワード線に沿う方向での断面構造を示している。図5(c)及び(d)は、図4(a)のDD線に沿う部分の断面構造を模式的に示した図の一例であり、周辺回路トランジスタPTのゲート長方向の断面構造を示している。

【0033】

ここで、図5(c)はnチャネル型トランジスタTrnの断面構造を示した図の一例であり、図5(d)はpチャネル型トランジスタTrpの断面構造を示した図の一例である。図5(e)は、図4(b)のEE線に沿う部分の断面構造を示した図の一例であり、容量性素子Cの断面構造の一例を示している。

20

【0034】

次に、図5(a)及び(b)を参照して、メモリセル領域のメモリセルトランジスタMTからビット線側の選択ゲートトランジスタSTD及びそのコンタクト領域に至る領域の構成について詳細に説明する。なお、ソース線側の選択ゲートトランジスタSTSの構成も以下に説明するビット線側の選択ゲートトランジスタSTDと略同じである。

【0035】

図5(a)において、シリコン基板2は、素子領域Saに相当している。シリコン基板2上にメモリセルトランジスタMTのゲート電極MG及び選択ゲートトランジスタSTDのゲート電極SGが設けられている。シリコン基板2としてはp型のシリコン基板を用いている。メモリセルトランジスタMTのゲート電極MGは、ゲート絶縁膜3上に、浮遊ゲート電極4、電極間絶縁膜5、制御ゲート電極6を順に積層して形成されている。

30

【0036】

ゲート絶縁膜3は例えばシリコン酸化膜により形成されている。浮遊ゲート電極4は例えば不純物が導入された第1多結晶シリコン膜12により形成されている。第1多結晶シリコン膜12には不純物として例えばボロンが導入されており、その導電型はp型となっている。なお、以下の説明において、シリコン若しくは多結晶シリコンについて、単にp型、n型という場合は、その導電型がp型、n型であることを意味するものとする。

40

【0037】

電極間絶縁膜5は、例えばONO(oxide-nitride-oxide)膜やNONON(nitride-oxide-nitride-oxide-nitride)膜あるいは高誘電率を有する絶縁膜等により形成されている。制御ゲート電極6は、不純物がドーブされた第2多結晶シリコン膜13及び第3多結晶シリコン膜14とタンゲステン等により形成された金属膜15を含む積層膜により形成されている。第2多結晶シリコン膜13、第3多結晶シリコン膜14には、不純物として例えばボロンが導入されており、p型となっている。浮遊ゲート電極4と制御ゲート電極6は電極間絶縁膜5により相互に絶縁されている。

【0038】

メモリセルトランジスタMTは、ゲート電極MGとその両側のシリコン基板2に形成さ

50

れたソース/ドレイン領域 2 a により構成されている。メモリセルトランジスタ M T は複数隣接して形成され、隣接するソース/ドレイン領域 2 a を共有するようにして形成されている。最端に位置するメモリセルトランジスタ M T に隣接して選択ゲートトランジスタ S T D が設けられている。

【 0 0 3 9 】

選択ゲートトランジスタ S T D のゲート電極 S G は、メモリセルトランジスタ M T のゲート電極 M G とほぼ同様の膜構造であり、ゲート絶縁膜 3 上に、第 1 多結晶シリコン膜 1 2、電極間絶縁膜 5、第 2 多結晶シリコン膜 1 3、第 3 多結晶シリコン膜 1 4 及び金属膜 1 5 が積層された構造である。第 1 多結晶シリコン膜 1 2 はゲート電極 M G では浮遊ゲート電極 4 に相当する膜（以下、下部電極膜と称する）であり、第 2 多結晶シリコン膜 1 3、第 3 多結晶シリコン膜 1 4 及び金属膜 1 5 はゲート電極 M G では制御ゲート電極 6 に相当する膜（以下、上部電極膜と称する）である。

10

【 0 0 4 0 】

第 1 多結晶シリコン膜 1 2、第 2 多結晶シリコン膜 1 3、第 3 多結晶シリコン膜 1 4 には、上述のように不純物として例えばボロンが導入されており、p 型となっている。上部電極膜と下部電極膜とは、電極間絶縁膜 5 に設けられた開口部 2 5 部分で接続しており、電氣的に導通した状態とされている。これにより選択ゲートトランジスタ S T D は、通常のトランジスタとして機能する。金属膜 1 5 の上部にはシリコン窒化膜 1 6 が形成されている。

【 0 0 4 1 】

ゲート電極 M G - M G 間、及びゲート電極 M G - S G 間に位置するシリコン基板 2 の表層にはソース/ドレイン領域 2 a が設けられている。ソース/ドレイン領域 2 a には不純物として例えばリンが導入されている。ゲート電極 S G の他方の側面に隣接するシリコン基板 2 の表層には L D D (lightly doped drain) 構造のドレイン領域に対応する低濃度ソース/ドレイン領域 2 c が設けられている。ソース/ドレイン領域 2 a 及び低濃度ソース/ドレイン領域 2 c は、シリコン基板 2 の表層に不純物を導入して形成することができる。また、ゲート電極 S G の側面に設けられたスペーサ 1 8 a に隣接する位置のシリコン基板 2 の表層には高濃度で不純物が導入された高濃度ソース/ドレイン領域 2 d が形成されている。低濃度ソース/ドレイン領域 2 c と高濃度ソース/ドレイン領域 2 d により L D D 構造が形成されている。

20

30

【 0 0 4 2 】

ゲート電極 M G - M G 間、ゲート電極 S G - M G 間にはエアギャップ A G が設けられている。ゲート電極 M G、ゲート電極 S G、及びエアギャップ A G 上には、エアギャップ A G 上部に蓋をするように形成された第 1 絶縁膜 1 7 が設けられている。第 1 絶縁膜 1 7 は例えばシリコン酸化膜によって形成されている。ゲート電極 S G のエアギャップ A G が形成されていない側の側壁には、スペーサ 1 8 a が形成されている。スペーサ 1 8 a は例えばシリコン酸化膜を用いて形成されている。

【 0 0 4 3 】

第 1 絶縁膜 1 7 上には、第 2 絶縁膜 1 9 及び第 3 絶縁膜 2 0 が、第 1 絶縁膜 1 7 上を覆うように形成されている。第 3 絶縁膜 2 0 上には層間絶縁膜 7 が、ゲート電極 S G - S G 間の凹部を埋めると共に、ゲート電極 M G、S G の上面を覆うように形成されている。コンタクトプラグ 2 1 a は、層間絶縁膜 7 を上部から下部に貫通し、さらに第 3 絶縁膜 2 0、第 2 絶縁膜 1 9 を貫通して、ゲート電極 S G に隣接する領域のシリコン基板 2 に達するように形成されている。

40

【 0 0 4 4 】

図 5 (b) は前述の図 5 (a) に対して直角方向の断面である。図 5 (b) において、素子領域 S a は素子分離領域 S b により図において左右方向（図 2 の X 方向）に分離されている。素子領域 S a 上には、ゲート絶縁膜 3 が設けられており、その上に浮遊ゲート電極 4 が設けられている。浮遊ゲート電極 4 は不純物としてボロンが導入された p 型の第 1 多結晶シリコン膜 1 2 により形成されている。

50

【 0 0 4 5 】

素子分離領域 S b には素子分離絶縁膜 2 2 が充填形成されており、その上面が浮遊ゲート電極 4 のおよそ中ほどに達している。電極間絶縁膜 5 が、浮遊ゲート電極 4 と素子分離絶縁膜 2 2 の表面を覆うように設けられており、その上には、第 2 多結晶シリコン膜 1 3、第 3 多結晶シリコン膜 1 4 及び金属膜 1 5 により形成された制御ゲート電極 6 が設けられている。金属膜 1 5 の上部にはシリコン窒化膜 1 6 が形成されている。

【 0 0 4 6 】

上述のように、メモリセルトランジスタ M T は、p 型のシリコン基板 2 上に、ゲート絶縁膜 3 を介して形成された浮遊ゲート電極 4 が p 型の多結晶シリコンで形成されており、ソース/ドレイン領域 2 a は n 型の不純物領域となっている。従って、メモリセルトランジスタ M T は、いわゆる p ゲート - n チャンネル型トランジスタとなるため、埋め込みチャンネル型の n チャンネル M I S F E T となる。

10

【 0 0 4 7 】

選択ゲートトランジスタ S T D は、p 型のシリコン基板 2 上に、ゲート絶縁膜 3 を介して形成された下部電極膜が p 型の多結晶シリコンで形成されており、ソース/ドレイン領域 2 c、2 d は n 型の不純物領域となっている。従って、選択ゲートトランジスタ S T D は、いわゆる p ゲート - n チャンネル型トランジスタとなるため、埋め込みチャンネル型の n チャンネル M I S F E T となる。

【 0 0 4 8 】

次に図 4 (a)、図 5 (c) 及び (d) を参照して、周辺回路トランジスタ P T の構成について説明する。

20

図 4 (a) は周辺回路トランジスタ P T の平面レイアウトを説明するための図の一例であり、図 5 (c) 及び (d) で後述する n チャンネル型トランジスタ T r n 及び p チャンネル型トランジスタ T r p に共通する態様を示している。n チャンネルトランジスタと p チャンネルトランジスタの平面レイアウトはほぼ同じであるため、図 4 (a) でそれぞれの平面レイアウトを表している。図 4 (a) を参照すると、シリコン基板 2 には、矩形状の素子領域 S a を残すように素子分離領域 S b が形成されている。素子領域 S a には、これを横切るように孤立したゲート電極 P G が形成され、その両側に位置するシリコン基板 2 に不純物を拡散して形成したソース/ドレイン領域 P D が設けられている。

【 0 0 4 9 】

次に図 5 (c) 及び (d) を参照して、周辺回路トランジスタ P T の断面構造について説明する。n チャンネル型トランジスタ T r n は図 5 (c) に示されており、p チャンネル型トランジスタ T r p は図 5 (d) に示されている。

30

【 0 0 5 0 】

図 5 (c) 及び (d) において、ゲート絶縁膜 3 はシリコン基板 2 の上面に設けられている。ゲート絶縁膜 3 の膜厚は、適用されるトランジスタの耐圧によって異なり、耐圧が高い場合は厚い膜厚で形成されている。ゲート絶縁膜 3 上にゲート電極 P G が設けられている。ゲート電極 P G は、第 4 多結晶シリコン膜 2 3 を有する下部電極膜と、電極間絶縁膜 5 と、第 2 多結晶シリコン膜 1 3、第 3 多結晶シリコン膜 1 4 及び金属膜 1 5 を有する上部電極膜とにより形成されている。金属膜 1 5 の上にはシリコン窒化膜 1 6 が積層されている。シリコン窒化膜 1 6 の上には、第 1 絶縁膜 1 7 が形成されている。

40

【 0 0 5 1 】

ゲート電極 P G においては、電極間絶縁膜 5 の中央部に開口部 2 5 が設けられ、この部分で、下部導電層と上部電極層とが接触して電氣的に導通した状態となる。第 4 多結晶シリコン膜 2 3 は、不純物として例えばリン若しくはヒ素が導入された n 型の多結晶シリコンである。第 2 多結晶シリコン膜 1 3 及び第 3 多結晶シリコン膜 1 4 は、図 5 (a) 及び (b) において説明した第 2 多結晶シリコン膜 1 3 及び第 3 多結晶シリコン膜 1 4 と同じ多結晶シリコン膜であり、不純物として例えばボロンが導入された p 型の多結晶シリコンである。

【 0 0 5 2 】

50

スペーサ 18 a は、ゲート電極 P G の両側壁に形成されている。第 2 絶縁膜 19 及び第 3 絶縁膜 20 は、ゲート電極 P G の上面、側面のスペーサ 18 a の表面、ゲート電極 P G の両脇のシリコン基板 2 の表面のゲート絶縁膜 3 を覆うように設けられている。ゲート電極 P G の両脇のシリコン基板 2 には、低濃度ソース/ドレイン領域 2 c と高濃度ソース/ドレイン領域 2 d が設けられており、これらにより L D D 構造が形成されている。

【 0 0 5 3 】

層間絶縁膜 7 は、第 3 絶縁膜 20 を覆うように形成されている。コンタクトプラグ 21 a は、層間絶縁膜 7、第 3 絶縁膜 20 及び第 2 絶縁膜 19 を上面から貫通して、高濃度ソース/ドレイン領域 2 d 上に達するように形成されている。コンタクトプラグ 21 b は、層間絶縁膜 7、第 3 絶縁膜 20、第 2 絶縁膜 19、第 1 絶縁膜 17 及びシリコン窒化膜 16 を上面から貫通して、金属膜 15 上に達するように形成されている。

10

【 0 0 5 4 】

ここで、図 5 (c) に示す n チャネル型トランジスタ T r n では、低濃度ソース/ドレイン領域 2 c には例えばリンが、高濃度ソース/ドレイン領域 2 d には例えばヒ素が導入されており、n 型の不純物拡散領域となっている。また、シリコン基板 2 は p 型のシリコン基板を用いているため、この p 型のシリコン基板 2 上に n チャネル型トランジスタ T r n を形成しても良いし、p 型のシリコン基板 2 にさらに p ウェル領域を設けて、この p ウェル領域に n チャネル型トランジスタ T r n を形成しても良い。

【 0 0 5 5 】

一方、図 5 (d) に示す p チャネル型トランジスタ T r p では、低濃度ソース/ドレイン領域 2 c 及び高濃度ソース/ドレイン領域 2 d に濃度を変えてボロンが導入されており、p 型の不純物拡散領域となっている。また、シリコン基板 2 に n ウェル領域 2 e を形成し、この n ウェル領域 2 e に p チャネル型トランジスタ T r p が形成されている。

20

【 0 0 5 6 】

上記 n チャネル型トランジスタ T r n は、p 型のシリコン基板 2 若しくは p ウェル上に形成されており、シリコン基板 2 に対向するゲート電極が n 型の第 4 多結晶シリコン膜 23 である。従って、n チャネル型トランジスタ T r n は、いわゆる n ゲート - n チャネル型トランジスタとなるため、表面チャネル型の M I S F E T となる。一方、上記 p チャネル型トランジスタ T r p は、シリコン基板 2 に形成された n ウェル領域 2 e 上に形成されており、シリコン基板 2 に対向するゲート電極が n 型の第 4 多結晶シリコン膜 23 である。従って、p チャネル型トランジスタ T r p は、いわゆる n ゲート - p チャネル型トランジスタとなるため、埋め込みチャネル型の M I S F E T となる。

30

【 0 0 5 7 】

ここで、n 型の第 4 多結晶シリコン膜 23 と、p 型の第 2 多結晶シリコン膜 13 及び第 3 多結晶シリコン膜 14 の接触部分には p n 接合が形成されるが、第 2 及び第 3 多結晶シリコン膜 12、14 に正の電圧を印加する場合は、p n 接合が順方向バイアスになるので n 型の第 4 多結晶シリコン膜 23 にキャリアが移動できる。なお、第 4 多結晶シリコン膜 23、第 2 多結晶シリコン膜 13 及び第 3 多結晶シリコン膜 14 には不純物が高濃度 (例えば $1 \times 10^{20} \sim 1 \times 10^{21}$ a t m s / c m ³ 程度) に導入されている。n 型の第 4 多結晶シリコン膜 23 と、p 型の第 2 多結晶シリコン膜 13 及び第 3 多結晶シリコン膜 14 の接触部分には p n 接合が形成されるが、上述のように高濃度の n 型 / p 型領域において接触するため、この部分ではトンネルダイオードに近い状態となる。従って、この p n 接合に対して逆方向のバイアス電圧を印加しても、トンネル現象によりキャリアの移動が生じる。すなわち、この構成であれば、コンタクトプラグ 21 b から金属膜 15、第 2 多結晶シリコン膜 13 及び第 3 多結晶シリコン膜 14 を介して p n 接合に対して順方向 / 逆方向のどちらの電圧を印加する場合にも、第 4 多結晶シリコン膜 23 と導通状態となり、第 4 多結晶シリコン膜 23 に印加する電圧を制御することが可能である。

40

【 0 0 5 8 】

次に、図 4 (b)、(c) 及び図 5 (e) を参照して、容量性素子 C の構成について説明する。図 4 (b) は、周辺回路領域に形成される容量性素子 C の平面図のレイアウトを

50

模式的に示した図の一例である。容量性素子Cは素子領域S aに形成されている。この素子領域S a上には、ゲート絶縁膜3を介して、第4多結晶シリコン膜23が形成されている。第4多結晶シリコン膜23は、容量性素子Cの第1導電体C aを構成する。第1導電体C aの上には、メモリセルトランジスタのゲート構造を形成する制御ゲート電極6と同様の構成が第2導電体C bとして形成されている。第1導電体C aと第2導電体C bの間には、電極間絶縁膜5が設けられている。

【0059】

第1導電体C a上には、第2導電体及び電極間絶縁膜5が設けられていない領域（以下、第2導電体除去領域Zという）が設けられている。第2導電体除去領域Zの第1導電体C a上にコンタクトプラグ21cが形成されており、コンタクトプラグ21cと第1導電体C aは電氣的に接続されている。第2導電体C b上にはコンタクトプラグ21bが形成されており、コンタクトプラグ21bと第2導電体C bは電氣的に接続されている。なお、第2導電体除去領域Zは方形に限られず、円形、楕円形などでも良い。また、第2導電体C bを左右に分離するような直線状でも良い。

10

【0060】

上記のように形成された容量性素子Cの等価回路の一例が、図4(c)に示されている。容量性素子Cは、素子領域S aのシリコン基板2と第1導電体C aとそれらの間に設けられたゲート絶縁膜3とにより形成された並行平板型の第1容量性素子C1と、第1導電体C aと第2導電体C bとそれらの間に設けられた電極間絶縁膜5とにより形成された並行平板型の第2容量性素子C2を直列に接続してなる容量性素子Cである。

20

【0061】

図5(e)を参照して、容量性素子Cの断面構造について説明する。図5(e)は、図4(b)のEE線に沿う部分の断面構造を示す図の一例である。シリコン基板2は、素子領域S aに相当し、周囲が素子分離領域S bにより絶縁分離されている。シリコン基板2の上面にゲート絶縁膜3が設けられている。ゲート絶縁膜3には、例えばシリコン酸化膜が用いられる。ゲート絶縁膜3の上面に容量性素子Cの第1導電体C aとしての第4多結晶シリコン膜23が設けられている。第4多結晶シリコン膜23には不純物としてリン又はヒ素がドーブされており、n型の多結晶シリコンとなっている。第4多結晶シリコン膜23の上部には電極間絶縁膜5が設けられている。電極間絶縁膜5の上部には、容量性素子Cの第2導電体C bとしての第2多結晶シリコン膜13、第3多結晶シリコン膜14及び金属膜15が設けられている（メモリセルトランジスタMTにおける制御ゲート電極6を構成する膜構成に相当する）。

30

【0062】

第1導電体C aと第2導電体C bは、電極間絶縁膜5により絶縁されている。第2多結晶シリコン膜13、第3多結晶シリコン膜14には不純物として例えばボロンがドーブされており、p型の多結晶シリコンとなっている。金属膜15の上部にはシリコン窒化膜16が設けられており、その上には第1絶縁膜17が設けられている。

【0063】

第4多結晶シリコン膜23上には、第2導電体除去領域Zが設けられており、第2導電体除去領域Z端部での第2導電体C b、シリコン窒化膜16及び第1絶縁膜17で形成された積層膜の側壁には、スペーサ18bが形成されている。また、容量性素子Cの端部において、第1導電体C a、電極間絶縁膜5、第2導電体C b、シリコン窒化膜16及び第1絶縁膜17で形成された積層膜の側面にはスペーサ18aが形成される。スペーサ18a、18bは例えばシリコン酸化膜を用いて形成されている。

40

【0064】

上記構成の上部には、第2絶縁膜19、第3絶縁膜20、及び層間絶縁膜7が設けられている。第2導電体除去領域Zにおける第1導電体C a上には、層間絶縁膜7、第3絶縁膜20及び第2絶縁膜19を上面から貫通して、第4多結晶シリコン膜23の表層部分まで達するコンタクトプラグ21cが設けられている。第2導電体C b上には、層間絶縁膜7、第3絶縁膜20、第2絶縁膜19、第1絶縁膜17及びシリコン窒化膜16を上面か

50

ら貫通して、金属膜 15 の表層部分まで達するコンタクトプラグ 21b が設けられている。こうして、シリコン基板 2 と第 1 導電体 Ca により構成された第 1 容量性素子 C1、及び、第 1 導電体 Ca と第 2 導電体 Cb によって構成された第 2 容量性素子 C2 を具備する容量性素子 C が構成される。

【0065】

図 4(c) に、上記容量性素子 C の等価回路を示す。図において、容量性素子 C は、端子 V2、V3 間に直列に接続された第 1 容量性素子 C1 と第 2 容量性素子 C2 を有している。第 1 容量性素子 C1 と第 2 容量性素子 C2 間の電極に接続する端子 V1 は、上述のコンタクトプラグ 21c に相当する。コンタクトプラグ 21c は、第 1 導電体 Ca に接続しており、第 1 容量性素子 C1 と第 2 容量性素子 C2 の第 1 導電体 Ca に共通に所定の電位を与える。

10

【0066】

第 1 容量性素子 C1 の他方の端子 V2 はシリコン基板 2 (素子領域 Sa) に相当する。シリコン基板 2 は、上述のゲート絶縁膜 3 を介して第 1 導電体 Ca と対向し、第 1 容量性素子 C1 を構成する。

【0067】

第 2 容量性素子 C2 の他方の端子 V3 はコンタクトプラグ 21b に相当する。コンタクトプラグ 21b は、上述の第 2 導電体 Cb に接続している。第 2 導電体 Cb は電極間絶縁膜 5 を介して第 1 導電体 Ca と対向し、第 2 容量性素子 C2 を構成する。

【0068】

すなわち、容量性素子 C は、第 1 導電体 Ca を共通しに、それぞれ素子領域 Sa と第 2 導電体 Cb との間に形成された、第 1 容量性素子 C1 と第 2 容量性素子 C2 により構成されている。端子 V2 - V3 間には第 1 容量性素子 C1 と第 2 容量性素子 C2 とが直列に接続されており、一体として容量性素子 C を構成している。

20

【0069】

次に、上記容量性素子 C の動作について説明する。上述のように、容量性素子 C は、p 型のシリコン基板 2、n 型の第 4 多結晶シリコン膜 23 により形成された第 1 導電体 Ca、及び、p 型の第 2 多結晶シリコン膜 13、第 3 多結晶シリコン膜 14 及び金属膜 15 により形成された第 2 導電体 Cb により形成されている。ここで、シリコン基板 2 及び第 2 導電体 Cb に対してマイナスとなる電圧を、第 1 導電体 Ca に印加する。図 23(a) に、この場合のシリコン基板 2、ゲート酸化膜 3、第 1 導電体 Ca の第 4 多結晶シリコン膜 23、電極間絶縁膜 5、及び第 2 導電体 Cb の第 2 多結晶シリコン膜 13 及び第 3 多結晶シリコン膜 14 のエネルギーバンド図の一例を模式的に示している。

30

【0070】

図 23(a) において、左から、シリコン基板 2、ゲート酸化膜 3、第 1 導電体 Ca (第 4 多結晶シリコン膜 23)、電極間絶縁膜 5、第 2 導電体 Cb (第 2 多結晶シリコン膜 13 及び第 3 多結晶シリコン膜 14) が順に並んでおり、縦方向は電子のエネルギーを表している。シリコン基板 2、第 1 導電体 Ca、第 2 導電体 Cb の各バンドにおいて、上側の実線 CB は伝導帯の底を示し、下側の実線 VB は価電子帯の頂上を示す。実線 CB - VB 間はバンドギャップを表し、バンドギャップ中の波線 F はフェルミ準位を表わしている。

40

【0071】

図 23(a) において、第 1 導電体 Ca にマイナスの電圧を印加した場合、第 1 導電体 Ca のエネルギーが上昇する。これに伴い、ゲート酸化膜 3 のバンドが曲げられると共に、シリコン基板 2 のゲート酸化膜 3 との界面近傍でのバンドが、図における上方向に曲げられる。同様に、電極間絶縁膜 5 のバンドと、第 2 導電体 Cb の第 2 多結晶シリコン膜 13 及び第 3 多結晶シリコン膜 14 の電極間絶縁膜 5 との界面付近でのバンドが、上方向に曲げられる。また、第 1 導電体 Ca のゲート絶縁膜 3 界面近傍、及び第 2 導電体 Cb の電極間絶縁膜 5 との界面近傍のバンドは下方向に曲げられる。

【0072】

50

上述のように、シリコン基板 2 は p 型であり、第 1 導電体 C a の第 4 多結晶シリコン膜 2 3 は n 型であり、第 2 導電体 C b の電極間絶縁膜 5 と接する第 2 多結晶シリコン膜 1 3 及び第 3 多結晶シリコン膜 1 4 は p 型である。従って、ゲート絶縁膜 3 界面近傍でのシリコン基板 2、ゲート絶縁膜 3 界面近傍及び電極間絶縁膜 5 界面近傍での第 1 導電体 C a、電極間絶縁膜 5 界面近傍の第 2 導電体 C b は蓄積状態となる。すなわち、シリコン基板 2 のゲート絶縁膜 3 界面近傍ではホールが蓄積しており、第 1 導電体 C a のゲート絶縁膜 3 界面近傍及び電極間絶縁膜 5 界面近傍では電子が蓄積しており、第 2 導電体 C b の電極間絶縁膜 5 界面近傍ではホールが蓄積している。

【 0 0 7 3 】

従って、容量性素子 C の容量値は、ゲート絶縁膜 3 をシリコン基板 2 及び第 1 導電体 C a でサンドイッチした構造の第 1 容量性素子 C 1 と、電極間絶縁膜 5 を第 1 導電体 C a 及び第 2 導電体 C b でサンドイッチした構造の第 2 容量性素子 C 2 の容量値の和となる。

10

【 0 0 7 4 】

図 2 3 (b) は、上述の容量性素子 C と比較するための比較例の容量性素子 C d におけるバンド図の一例を示している。比較例における容量性素子 C d では、シリコン基板 2 及び、第 1 導電体 C a を構成する多結晶シリコン、第 2 導電体 C b を構成する多結晶シリコンは共に p 型である。

【 0 0 7 5 】

この構造は、例えば、第 1 導電体 C a を構成する多結晶シリコン、第 2 導電体 C b を構成する多結晶シリコンを、メモリセルトランジスタの浮遊ゲート電極 4 及び制御ゲート電極 6 を構成する多結晶シリコンと共通の工程で形成した場合を想定している。第 1 の実施形態におけるメモリセルトランジスタの浮遊ゲート電極 4 は p 型の第 1 多結晶シリコン膜 1 2 を用いており、制御ゲート電極 6 は p 型の第 2 多結晶シリコン膜 1 3 及び第 3 多結晶シリコン膜 1 4 を用いている。すなわち、比較例における第 1 導電体 C a は p 型の第 1 多結晶シリコン膜 1 2 により形成されており、第 2 導電体 C b は p 型の第 2 多結晶シリコン膜 1 3 及び第 3 多結晶シリコン膜 1 4 により形成されている場合を想定している。

20

【 0 0 7 6 】

この構造の場合、容量性素子 C d の第 1 導電体 C a にマイナスの電圧を印加すると、ゲート酸化膜 3 界面近傍のシリコン基板 2、及び電極間絶縁膜 5 界面近傍の第 2 導電体 C b (第 2 多結晶シリコン膜 1 3 及び第 3 多結晶シリコン膜 1 4) は蓄積状態となる。一方、第 1 導電体 C a を構成する第 1 多結晶シリコン膜 1 2 は p 型であるため、第 1 導電体 C a のゲート絶縁膜 3 界面近傍及び電極間絶縁膜 5 界面近傍では空乏状態となる。すなわち、第 1 導電体 C a のゲート絶縁膜 3 界面近傍及び電極間絶縁膜 5 界面近傍には空乏層が形成される。空乏層は電気的には絶縁領域として振る舞う。そのため、容量性素子 C d の容量絶縁膜は、それぞれ、ゲート絶縁膜 3 と空乏層、電極間絶縁膜 5 と空乏層により構成されることになり、空乏層が存在しない場合の容量値に比較して空乏層が生じた分だけ小さくなる。

30

【 0 0 7 7 】

以上より、空乏層が存在しない容量性素子 C の容量値は、空乏層が存在する容量性素子 C d の容量値よりも大きい値となる。従って、第 1 の実施形態によれば、単位面積当たりの容量値が大きな容量性素子を得ることが可能となるため、不揮発性半導体記憶装置のチップ面積縮小に寄与し、ひいてはコスト削減につながる。

40

【 0 0 7 8 】

次に、図 5 ~ 図 1 6 を参照して、第 1 の実施形態に係る不揮発性半導体記憶装置の製造方法について説明する。

先ず、図 6 に示すように、シリコン基板 2 上に、ゲート酸化膜 3 を形成する。シリコン基板 2 は p 型のシリコン基板を用いている。ゲート酸化膜 3 はドライ O₂ による熱酸化により形成することが可能である。

【 0 0 7 9 】

次いで、図 7 に示すように、ゲート酸化膜 3 上に、C V D (Chemical Vapor Deposition

50

)法を用いて不純物を導入していない多結晶シリコンを成膜し、次に、リソグラフィ法を用いてレジストマスクを形成しイオン注入法により不純物を注入することによって、p型の第1多結晶シリコン膜12と、n型の第4多結晶シリコン膜23を形成する。p型の第1多結晶シリコン膜12は図7(a)(b)に示すメモリセル領域に形成され、n型の第4多結晶シリコン膜23は図7(c)(d)(e)に示す周辺回路領域に形成される。第1多結晶シリコン膜12及び第4多結晶シリコン膜23上に、マスクシリコン窒化膜24を形成する。

【0080】

なお、上述のように、第1多結晶シリコン膜12及び第4多結晶シリコン膜23の形成方法について、一旦不純物が導入されていない多結晶シリコンを成膜し、その後リソグラフィ法を用いてマスクを形成しイオン注入法により不純物を打ち分けることによってn型及びp型の多結晶シリコンを形成する方法を示したが、この方法に代えて、以下に示す方法を用いることができる。すなわち、多結晶シリコンのCVD法による成膜中に不純物として例えばボロンを導入しながら成膜してp型の多結晶シリコンを形成した後、メモリセル領域以外のp型多結晶シリコンを除去する。次いで、同様の手法によりn型多結晶シリコンを形成した後に、メモリセル領域のn型多結晶シリコンを除去する。この方法を用いても図7に示す構成を実現できる。

10

【0081】

次に、図8に示すように、リソグラフィ法によって素子領域Sa、素子分離領域Sbを形成するためのレジストマスクを形成し、これをマスクにして、マスクシリコン窒化膜24、第1多結晶シリコン膜12、第4多結晶シリコン膜23、ゲート酸化膜3、シリコン基板2を異方性条件にて順にドライエッチングする。これにより、第1多結晶シリコン膜12及び第4多結晶シリコン膜23をパターンニングすると共に、素子分離溝Scを形成する。

20

【0082】

次いで、素子分離溝Scに素子分離絶縁膜22を充填するように成膜し、さらにCMP(chemical mechanical polishing)によりマスクシリコン窒化膜24上の位置まで素子分離絶縁膜22を研磨除去する。素子分離絶縁膜22は、例えば塗布型のシリコン酸化膜を用いて成膜することができる。CMPによる素子分離絶縁膜22の研磨はマスクシリコン窒化膜24をストップ膜として行い、CMP後に、ホットリン酸を用いてマスクシリコン窒化膜24を除去する。この工程により、素子領域Sa及び素子分離領域Sbが画定される。なお、この素子分離領域Sbの形成では、同時に周辺回路領域の素子分離領域Sbも形成される。

30

【0083】

次に、図9に示すように、さらにエッチバック処理を行なってメモリセル領域の素子分離溝Sc内の素子分離絶縁膜22の上面を下げ、上面が第1多結晶シリコン膜12の中間部位程度に位置するように加工する。その後、全面に電極間絶縁膜5、第2多結晶シリコン膜13を形成する。電極間絶縁膜5は例えばONO膜により形成することができる。第2多結晶シリコン膜13はCVD法により形成することができる。その後、第2多結晶シリコン膜13に、イオン注入法により例えばボロンを注入して、p型の多結晶シリコンとする。

40

【0084】

その後、図10に示すように、リソグラフィ法を用いて、選択ゲートトランジスタSTD、STSのゲート電極SGに該当する部分、及び周辺回路におけるトランジスタのゲート電極PGに該当する箇所において第2多結晶シリコン膜13及び電極間絶縁膜5の一部を選択的に除去し(図10(a)、(c)、(d)参照)、開口部25を形成する。

【0085】

次いで、図11に示すように、全面に不純物が導入されていない第3多結晶シリコン膜14をCVD法を用いて成膜し、イオン注入法により例えばボロンを注入して、p型の多結晶シリコンとする。これにより、第3多結晶シリコン膜14は、開口部25を介して第

50

1 多結晶シリコンと接触し、第 1 多結晶シリコン膜 1 2 と、第 2 多結晶シリコン膜 1 3 及び第 3 多結晶シリコン膜 1 4 との間が電氣的に導通される。次いで、金属膜 1 5 及びシリコン窒化膜 1 6 を順次成膜する。金属膜 1 5 は、例えばスパッタリング法を用いてタングステン (W) を成膜することにより形成することができる。シリコン窒化膜 1 6 は CVD 法を用いて成膜することができる。なお、ここで、第 3 多結晶シリコン膜 1 4 と金属膜 1 5 の間にバリア膜として窒化タングステン (WN) 等を形成しても良い。

【0086】

上述のように、第 2 多結晶シリコン膜 1 3 及び第 3 多結晶シリコン膜 1 4 の成膜方法について、一旦不純物が導入されていない多結晶シリコンを成膜し、その後イオン注入法により多結晶シリコンにボロンを導入する形成方法を示したが、以下の方法に代えることができる。すなわち、多結晶シリコンを CVD 法により成膜する際に、不純物として例えばボロンを導入しながら成膜する方法を用いて、不純物が導入された多結晶シリコンを形成する方法としても良い。

10

【0087】

次に、図 1 2 に示すように、リソグラフィ法を用いて、メモリセルトランジスタ MT のゲート電極 MG を形成するための加工を行う。ゲート電極 MG の加工は、リソグラフィ法で形成したレジストマスクをエッチングのマスクとして使い、異方性ドライエッチングにより行う。異方性ドライエッチングは、シリコン窒化膜 1 6、金属膜 1 5、第 3 多結晶シリコン膜 1 4、第 2 多結晶シリコン膜 1 3、電極間絶縁膜 5 及び第 1 多結晶シリコン膜 1 2 を順次エッチングすることにより行う。この工程により、選択ゲートトランジスタ STD のゲート電極 SG のメモリセルトランジスタ MT 側の側面も加工される。続いて、イオン注入を施すことにより、ゲート電極 MG 間、及びゲート電極 MG - SG 間のシリコン基板 2 に不純物を導入する。不純物としてはリンを用いることができる。この工程により、メモリセルトランジスタ MT のソース/ドレイン領域 2 a が形成される。

20

【0088】

次に、図 1 3 に示すように、全面に第 1 絶縁膜 1 7 を形成する。第 1 絶縁膜 1 7 は例えばシリコン酸化膜を CVD 法により形成する、この場合、第 1 絶縁膜 1 7 は被覆性の悪い条件にて成膜する。メモリセルトランジスタ MT のゲート電極 MG 間、及び選択ゲートトランジスタ STD のゲート電極 SG とゲート電極 MG 間の間隔は狭くなっている。従って、第 1 絶縁膜 1 7 は、メモリセルトランジスタ MT のゲート電極 MG 間、及び選択ゲートトランジスタ STD のゲート電極 SG とゲート電極 MG 間を埋設することなく、メモリセルトランジスタ MT のゲート電極 MG 間、及び選択ゲートトランジスタ STD のゲート電極 SG とゲート電極 MG 間の隙間に蓋をするように上部に成膜される。

30

【0089】

結果として、メモリセルトランジスタ MT のゲート電極 MG 間、及び選択ゲートトランジスタ STD のゲート電極 SG とゲート電極 MG 間に、第 1 絶縁膜 1 7 により埋設されていないエアギャップ AG を形成できる。このエアギャップ AG により、ゲート電極 MG 間の配線間容量を低減することができる。なお、ゲート電極 MG 間のゲート絶縁膜 3 は、第 1 絶縁膜 1 7 の成膜前の前処理によって除去されている。

40

【0090】

次に、図 1 4 に示すように、リソグラフィ法を用いて、異方性ドライエッチングにより、第 1 絶縁膜 1 7、シリコン窒化膜 1 6、金属膜 1 5、第 3 多結晶シリコン膜 1 4、第 2 多結晶シリコン膜 1 3、電極間絶縁膜 5 及び第 4 多結晶シリコン膜 2 3 を順次エッチングし、選択ゲートトランジスタ STD のゲート電極 SG、周辺回路トランジスタ PT のゲート電極 PG、及び容量性素子 C の外形となるパターンを形成する。次いで、リソグラフィ法及びイオン注入法を用いて、選択ゲートトランジスタ STD のメモリセル領域と反対側のソース/ドレイン領域、及び周辺回路トランジスタ PT の n チャネル型トランジスタ Trn のソース/ドレイン領域に、例えばリンを低濃度で注入する。同じく p チャネル型トランジスタ Trp のソース/ドレイン領域に例えばボロンを低濃度で注入する。この工程により、トランジスタの LDD 構造における低濃度ソース/ドレイン領域 2 c を形成する

50

ことができる。

【0091】

次に、リソグラフィ法を用いて、容量性素子Cの第2導電体除去領域Zの、第1絶縁膜17、シリコン窒化膜16、金属膜15、第3多結晶シリコン膜14、第2多結晶シリコン膜13、電極間絶縁膜5を除去する。このエッチングにより、第2導電体除去領域Zにおける第4多結晶シリコン膜23表面が露呈する。

【0092】

次に、図15に示すように、全面にCVD法により被覆性の良い条件によって絶縁膜を形成し、続いて異方性エッチングによってエッチバックすることにより、ゲート電極SG、PG、及び容量性素子Cを形成する電極の側面に、各ゲート電極の上面高さからシリコン基板2表面高さまでに及ぶスペーサ18aが形成される。同時に、容量性素子Cの第2導電体除去領域Zにおける第2導電体の側面にも、容量性素子Cの第2導電体上面高さから、第4多結晶シリコン膜23表面高さまでに及ぶスペーサ18bが形成される。スペーサ18a、18bを形成する絶縁膜としては、例えばシリコン酸化膜を用いることができる。次いで、イオン注入法によって、選択ゲートトランジスタSTDのメモリセル領域と反対側のソース/ドレイン領域、及び周辺回路トランジスタのnチャネル型トランジスタTrnのソース/ドレイン領域のスペーサ18aに覆われていない領域に、例えばリン又はヒ素を、同じくpチャネル型トランジスタTrpのソース/ドレイン領域のスペーサ18aに覆われていない領域に、例えばボロンを高濃度で注入する。この工程により、トランジスタのLDD構造における高濃度ソース/ドレイン領域2dを形成することができる。

10

20

【0093】

次に、図16に示すように、上記工程を経たシリコン基板2の表面を覆うように第2絶縁膜19、第3絶縁膜20を順次成膜する。第2絶縁膜19は、CVD法で成膜したシリコン酸化膜を用いることができる。第3絶縁膜20は、CVD法で成膜したシリコン窒化膜を用いることができる。

【0094】

次いで、図5に示すように、上記工程を経たシリコン基板2上面に、層間絶縁膜7を形成する。その後、周辺回路トランジスタのソース/ドレイン領域、周辺回路トランジスタのゲート電極PG上及び容量性素子Cの第2導電体Cb上、第2導電体除去領域Zにおける第1導電体Ca上にそれぞれ達するコンタクトプラグ21a、21b、21cを形成する。

30

【0095】

コンタクトプラグ21a、21b、21cの形成は、以下の工程により行う。すなわち、リソグラフィ法で形成したレジストマスクをエッチングマスクとして、層間絶縁膜7、第3絶縁膜20、第2絶縁膜19、第1絶縁膜17、及びシリコン窒化膜16を順次エッチングする条件にて異方性ドライエッチングを施す。このエッチングにより、層間絶縁膜7表面から、それぞれ、シリコン基板2、金属膜15、若しくは第4多結晶シリコン膜23表面に達するコンタクト穴が形成される。次に、コンタクト穴内に導電物を充填する。コンタクト穴に充填する導電物は、例えば窒化チタン(TiN)をバリヤ膜として用いたタングステン(W)を用いることができる。以上の工程により、コンタクトプラグ21a、21b、21cが形成される。

40

【0096】

以上説明した製造方法により、第1の実施形態に係るNAND型のフラッシュメモリ装置が形成される。

上記構成のNAND型のフラッシュメモリ装置によれば、メモリセルトランジスタMTのゲート電極MGにおいて、p型の第1多結晶シリコン膜12とした浮遊ゲート電極4を適用しているため、n型の多結晶シリコンを用いた浮遊ゲート電極に比較して、浮遊ゲート電極内に蓄積された電子の放出が生じにくいという利点を有する。従って、データ保持特性が向上したNAND型のフラッシュメモリ装置を得ることができる。

50

【0097】

ここで、メモリセルトランジスタの特性改善に合わせて浮遊ゲート電極をp型の多結晶シリコンにすると、周辺トランジスタの素子特性、例えばしきい値電圧特性やパンチスルー特性が調整できなくなる場合がある。しかし、本実施形態のように、周辺回路領域では、メモリセル領域と周辺回路領域の浮遊ゲート電極（周辺回路領域においては下層ゲート電極に相当）を作り分けることにより、メモリセルトランジスタと周辺トランジスタの特性を容易に調整することが可能となる。

【0098】

ここで、従来は、周辺回路トランジスタPTを形成する電極を、メモリセルトランジスタMTのゲート電極MGと同じ膜材料を用いた場合が多かった。この場合、周辺回路トランジスタPTの下部電極層を構成する多結晶シリコンはp型となる。また、周辺回路トランジスタのnチャンネル型トランジスタTrnは、第1の実施形態においてnゲート-nチャンネル型トランジスタであったものが、pゲート-nチャンネル型トランジスタとなる。そうすると、nチャンネル型トランジスタTrnのチャンネルとなるシリコン基板2に対向するゲート電極の仕事関数が変化することになる。また、シリコン基板2はp型であるため、nチャンネル型トランジスタTrnは、表面チャンネル型から埋め込みチャンネル型のトランジスタとなる。

10

【0099】

一方、pチャンネル型トランジスタTrpにおいては、第1の実施形態においてnゲート-pチャンネル型トランジスタであったものが、pゲート-pチャンネル型トランジスタとなる。そうすると、pチャンネル型トランジスタTrpのチャンネルとなるシリコン基板2に対向するゲート電極の仕事関数が変わることになる。また、シリコン基板2はn型のnウェルが形成されている領域であるため、pチャンネル型トランジスタTrpは、埋め込みチャンネル型から表面チャンネル型のトランジスタになる。

20

【0100】

従って、メモリセルトランジスタの性能改善を試みるとnチャンネル型トランジスタTrn、pチャンネル型トランジスタTrpの双方においてその特性が大幅に変更されることになる。このような状況においては、不揮発性半導体記憶装置の周辺回路を再設計することによりしきい値電圧等の調整は有る程度可能となるが、これは煩雑であり開発時間の時長を招くことになる。しかし、本実施形態のように、周辺回路領域では、メモリセル領域の第1多結晶シリコン膜12に相当する膜を形成しないこととし、n型の多結晶シリコン（第4多結晶シリコン膜23）を形成することとすれば、周辺回路等の再設計を行う必要がなく、コストの上昇を招くことがない。

30

【0101】

また、容量性素子Cの第1導電膜Caを形成する多結晶シリコンに、メモリセルトランジスタMTのゲート電極MGに使用する第1多結晶シリコン12を用いると、容量性素子Cの使用時に第1導電膜Caにおいて空乏層が生じ、容量性素子Cの容量値が低下することになる。しかし、第1の実施形態の構成を採れば、上述のような空乏層が形成されることがない。従って、単位面積当たりの容量値が大きな容量性素子Cを得ることが可能となるため、不揮発性半導体記憶装置のチップ面積縮小に寄与し、ひいてはコスト削減につながる。

40

【0102】

（第2の実施形態）

次に、図17～21、図24を参照して、第2の実施形態について説明する。図24は第2の実施形態の周辺回路トランジスタの平面レイアウトの一例である。図17は、第2の実施形態のNAND型フラッシュメモリ装置の構造及び製造工程を模式的に示す図の一例である。なお、図17(c)(d)は図24のDD線に沿った断面の一例である。図24以外の平面レイアウトは図2、図4と同様であるので説明を省略する。

【0103】

第2の実施形態において、第1の実施形態と異なる点は、図17(c)(d)に示すよ

50

うに、周辺回路トランジスタPTのゲート電極PG上へのコンタクトが、ゲート電極PGを構成する第4多結晶シリコン膜23に直接接続されている点である。従って、第1の実施形態のように、ゲート電極PGへのコンタクトが金属膜15上に接続されている場合に比較して、金属膜15と第3多結晶シリコン膜14との間の界面抵抗を回避することができる。

【0104】

また、第3多結晶シリコン膜14 - 第4多結晶シリコン膜23間のpn接合によるトンネルダイオードにおいて、順方向バイアス時に若干の負性抵抗が生じるが、ゲート電極PGへのコンタクトを第4多結晶シリコン膜23に接続することによって、この負性抵抗特性による動作遅延を回避することが可能となる。

10

【0105】

次に、図17~図21を参照して、第2の実施形態における不揮発性半導体記憶装置の製造方法を説明する。先ず第1の実施形態において説明した図6~図9までの工程を進める。次に、図18に示すように、リソグラフィ法を用いて、選択ゲートトランジスタSTDのゲート電極SGに該当する箇所の表面の一部の第2多結晶シリコン膜13及び電極間絶縁膜5を選択的に除去し、開口部25を形成する。第1の実施形態と異なる点は、図18(c)及び(d)に示すように、周辺回路トランジスタのゲート電極PG部には開口部25を形成しない点である。

【0106】

次に、第1の実施形態で説明した図11~図13までの工程を進める。

20

続いて、図19に示すように、リソグラフィ法を用いて、第1絶縁膜17、シリコン窒化膜16、金属膜15、第3多結晶シリコン膜14、第2多結晶シリコン膜13、電極間絶縁膜5及び第1多結晶シリコン膜12に順次異方性ドライエッチングを施す。このエッチングにより、選択ゲートトランジスタSTDのゲート電極SG、周辺回路トランジスタのゲート電極PG、及び容量性素子Cの外形となるパターンが形成される。

【0107】

次いで、イオン注入法によって、選択ゲートトランジスタSTDのメモリセル領域と反対側のソース/ドレイン領域、及び周辺回路トランジスタのnチャネル型トランジスタTrnのソース/ドレイン領域に、例えばリンを低濃度でイオン注入する。また、同じくpチャネル型トランジスタTrpのソース/ドレイン領域に例えばボロンを低濃度でイオン注入する。この工程により、トランジスタのLDD構造における低濃度ソース/ドレイン領域2cを形成することができる。

30

【0108】

次に、図20に示すように、リソグラフィ法を用いて、容量性素子Cの第2導電体除去領域Z及び、周辺回路トランジスタのゲート電極PG上の上部電極層除去領域Z2の、第1絶縁膜17、シリコン窒化膜16、金属膜15、第3多結晶シリコン膜14、第2多結晶シリコン膜13、電極間絶縁膜5を除去する。このエッチングにより、第2導電体除去領域Z及び上部電極層除去領域Z2における第4多結晶シリコン膜23表面が露呈する。

【0109】

次に、第1実施形態における図15において説明した工程を経ると、図21に示すように、ゲート電極SG、PG、及び容量性素子Cを形成する電極の側面に、各ゲート電極の上面高さからシリコン基板2表面高さまでに及ぶ、スペーサ18aが形成される。同時に、容量性素子Cの第2導電体除去領域Zにおける第2導電体Cbの側面、及びゲート電極PGの上部電極層除去領域Z2における上部電極層の側面に、それぞれの上面高さから、第4多結晶シリコン膜23表面高さまでに及ぶスペーサ18bが形成される。

40

【0110】

次に、図17に示すように、シリコン基板2の表面を覆うように第2絶縁膜19、第3絶縁膜20を順次成膜した後、層間絶縁膜7を形成する。次いで、リソグラフィ法を用いて、選択ゲートトランジスタSTD及び周辺回路トランジスタのソース/ドレイン領域上に達するコンタクトプラグ21a、容量性素子Cの第2導電体Cb上に達するコンタクト

50

プラグ 2 1 b、第 2 導電体除去領域 Z における第 1 導電体 C a 上、及び、上部電極層除去領域 Z 2 におけるゲート電極 P G の下部電極層（第 4 多結晶シリコン膜 2 3）上に達するコンタクトプラグ 2 1 c を形成する。

【0111】

以上説明した製造方法により、本実施形態に係る N A N D 型のフラッシュメモリ装置が形成される。

なお、上述のように、本実施形態では、n チャンネル型トランジスタ T r n 及び p チャンネル型トランジスタ T r p のゲート電極 P G へのコンタクトを、第 4 多結晶シリコン膜 2 3 に直接接続するように形成した例を示したが、これに代えて、以下の構成を採ることができる。すなわち、例えば、n チャンネル型トランジスタ T r n のゲート電極 P G に対するコンタクトを、金属膜 1 5 上に接続するコンタクトとし（図 5（c）参照）、p チャンネル型トランジスタ T r p のゲート電極 P G に対するコンタクトを第 4 多結晶シリコン膜 2 3 に直接接続するコンタクト（図 1 7（c）参照）として形成しても良い。

【0112】

（第 3 の実施形態）

次に、図 2 2 を参照して、第 3 の実施形態について説明する。第 3 実施形態において、第 1 の実施形態と異なる点は、第 2 多結晶シリコン膜 1 3 及び第 3 多結晶シリコン膜 1 4 が、n 型の第 5 多結晶シリコン膜 2 6 及び第 6 多結晶シリコン膜 2 7 である点であり、その他の構成は同じである。従って、メモリセルトランジスタのゲート電極 M G は、浮遊ゲート電極を構成する第 1 多結晶シリコン膜 1 2 が p 型となり、制御ゲートを構成する第 5 多結晶シリコン膜 2 6 及び第 6 多結晶シリコン膜 2 7 が n 型となる。一方、選択ゲートトランジスタのゲート電極 S G は、p 型の第 1 多結晶シリコン膜 1 2 と、n 型の第 5 多結晶シリコン膜 2 6 及び第 6 多結晶シリコン膜 2 7 とが、開口部 2 5 において接続している構造となる。また、周辺回路トランジスタにおいては、n 型の第 4 多結晶シリコン膜 2 3 と、n 型の第 5 多結晶シリコン膜 2 6 及び第 6 多結晶シリコン膜 2 7 とが、開口部 2 5 において接続している構造となる。

【0113】

ここで、選択ゲートトランジスタのゲート電極 S G では、開口部 2 5 において p 型の第 1 多結晶シリコン膜 1 2 と、p 型の第 6 多結晶シリコン膜 2 7 間で、p n 接合が生じる。しかし、第 1 の実施形態における周辺回路トランジスタと同様に、第 1 多結晶シリコン膜 1 2 及び第 6 多結晶シリコン膜 2 7 には不純物が高濃度（例えば $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ 程度）に導入されている。そのため、開口部 2 5 において形成される p n 接合は、高濃度の n 型 / p 型領域において形成されるトンネルダイオードに近い状態となる。従って、この p n 接合に対して逆方向のバイアス電圧を印加しても、トンネル現象によりキャリアの移動が生じ、順方向 / 逆方向のどちらの電圧制御を行う場合にも導通状態となる。

【0114】

一方、周辺回路トランジスタでは、メモリセルトランジスタの浮遊ゲート電極 4 である第 1 多結晶シリコン膜 1 2 とは異なる導電型の第 4 多結晶シリコン膜 2 3 を用いている。その結果、メモリセルトランジスタと周辺トランジスタの特性を別々に調整することが可能となる。また、開口部 2 5 において p n 接合は形成されないため、第 1 の実施形態のように p n 接合によって形成されたトンネルダイオードを介して導通を図る必要がなくなり、トランジスタの動作速度を速くすることが可能である。

【0115】

なお、第 3 の実施形態において、選択ゲートトランジスタのゲート電極 S G に対するコンタクトの構造を、第 2 の実施形態の周辺回路トランジスタのゲート電極 P G に対するコンタクトのように、第 1 多結晶シリコン膜 1 2 に直接接続する構造としても良い。この場合、選択ゲートトランジスタのゲート電極 S G において、金属膜 1 5 と第 6 多結晶シリコン膜 2 7 との界面抵抗を回避することができる。また、開口部 2 5 における p n 接合のトンネルダイオードにおいて、順方向バイアス時に若干の負性抵抗が生じるが、ゲート電極

10

20

30

40

50

P Gへのコンタクトを第1多結晶シリコン膜12に接続することによって、この負性抵抗特性による動作遅延を回避することが可能となる。従って、選択ゲートトランジスタの高速動作が可能となる。

【0116】

第3の実施形態の構成を実現するための製造方法は、第1の実施形態において、図9～図11に至る工程での第2多結晶シリコン膜13及び第3多結晶シリコン膜14の形成に代えて、n型の第5多結晶シリコン膜26及び第6多結晶シリコン膜27を形成する工程とすれば足りる。なお、第5多結晶シリコン膜26及び第6多結晶シリコン膜27に導入する不純物は、例えばリン又はヒ素等とすれば良い。

【0117】

(他の実施形態)

上記実施形態で説明したもの以外に次のような変形をすることができる。

容量性素子Cの一例として、図4(c)に示す等価回路に適用した例を示したが、これ以外の等価回路を構成する場合、例えば、第1容量性素子C1と第2容量性素子C2を並列に接続した容量性素子Cに適用しても良い。

【0118】

NAND型のフラッシュメモリ装置に適用した一例を示したが、その他、NOR型のフラッシュメモリ装置、EEPROM等の不揮発性半導体記憶装置に適用しても良い。

上述のように、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0119】

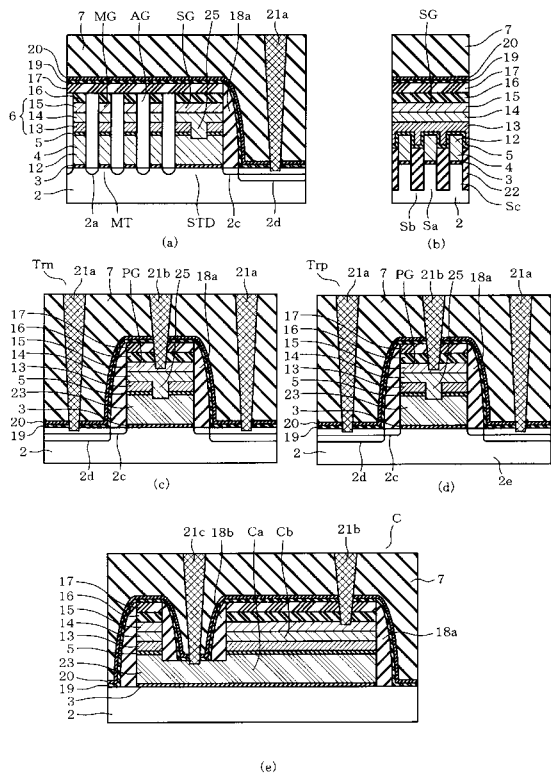
図面中、1はNAND型フラッシュメモリ装置、2はシリコン基板、3はゲート絶縁膜、4は浮遊ゲート電極、5は電極間絶縁膜、12は第1多結晶シリコン膜、13は第2多結晶シリコン膜、14は第3多結晶シリコン膜、21a、21b及び21cはコンタクトプラグ、25は開口部、MTはメモリセルトランジスタ、PTは周辺回路トランジスタ、MG及びPGはゲート電極、Cは容量性素子、C1は第1容量性素子、C2は第2容量性素子、Caは第1導電層、Cbは第2導電層である。

10

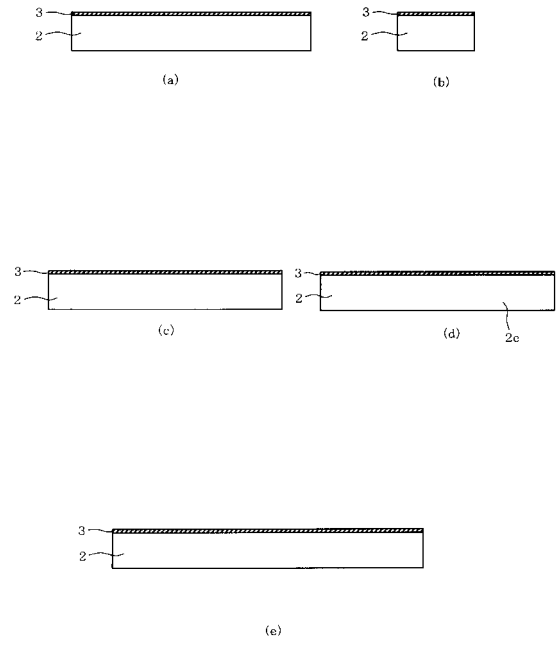
20

30

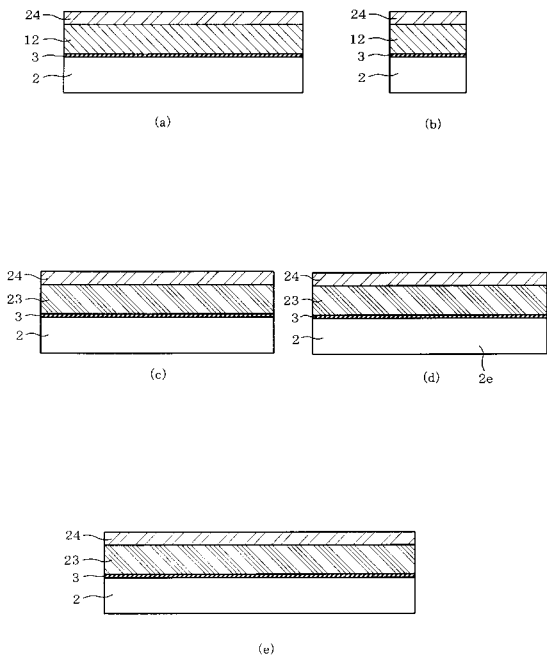
【 図 5 】



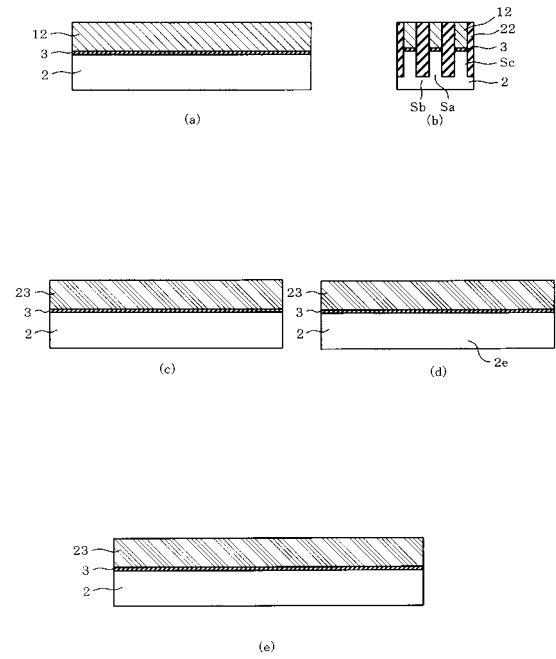
【 図 6 】



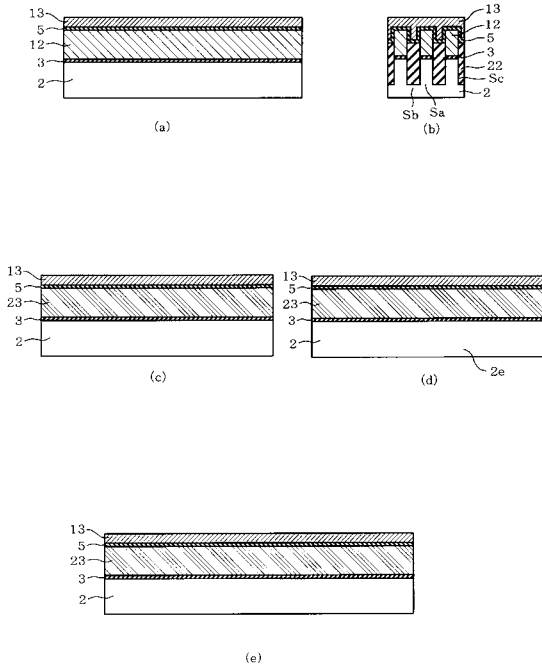
【 図 7 】



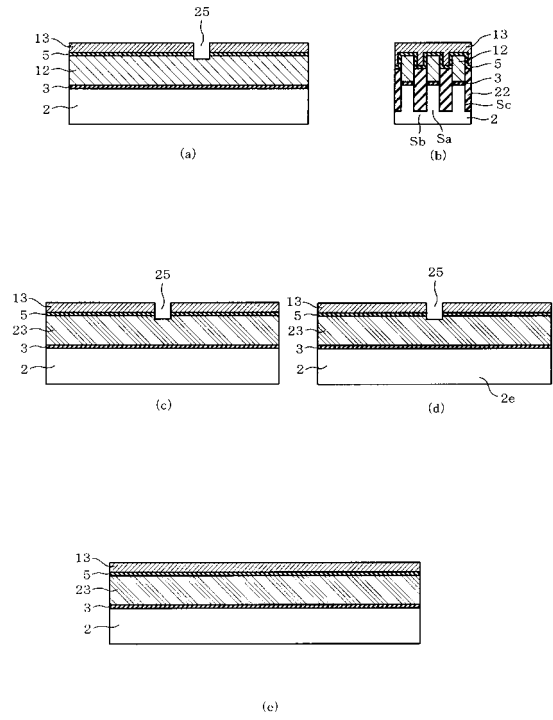
【 図 8 】



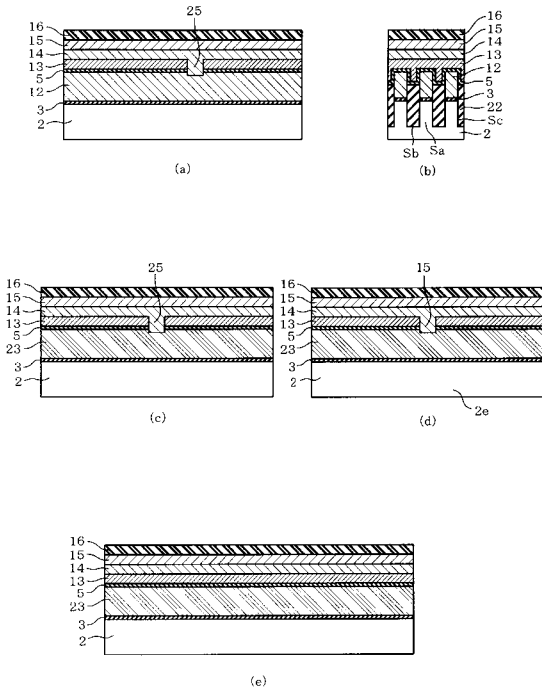
【 図 9 】



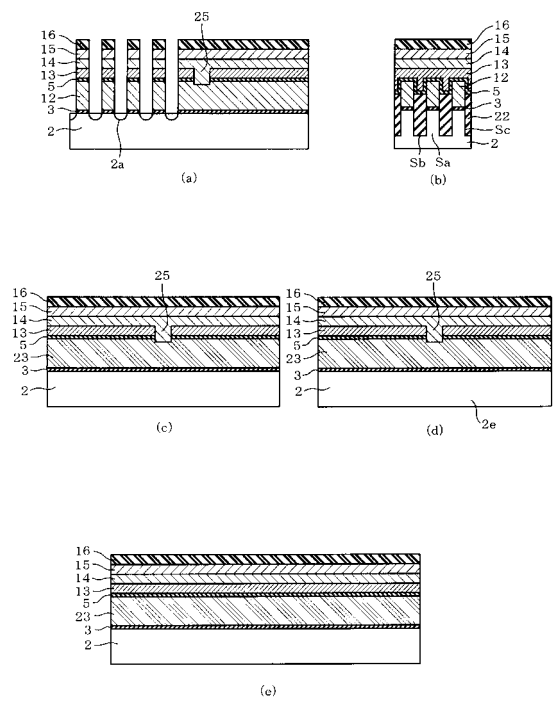
【 図 1 0 】



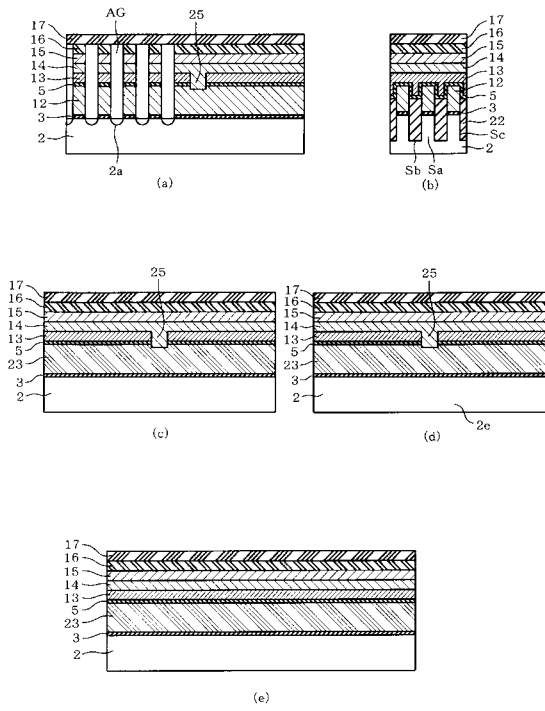
【 図 1 1 】



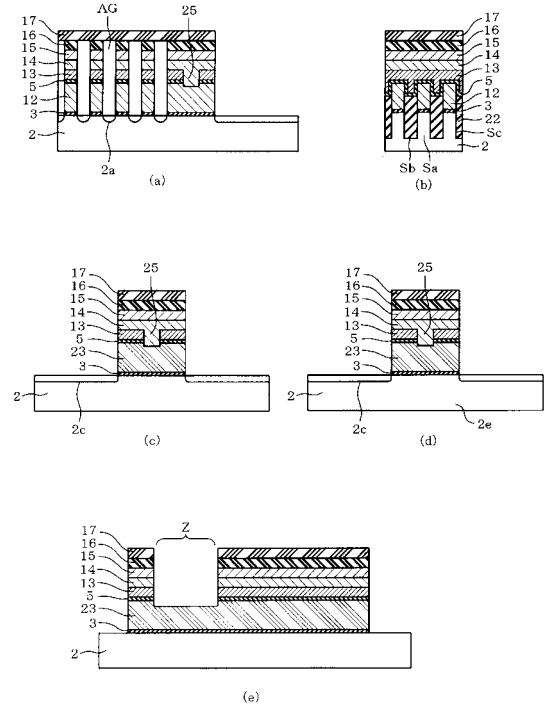
【 図 1 2 】



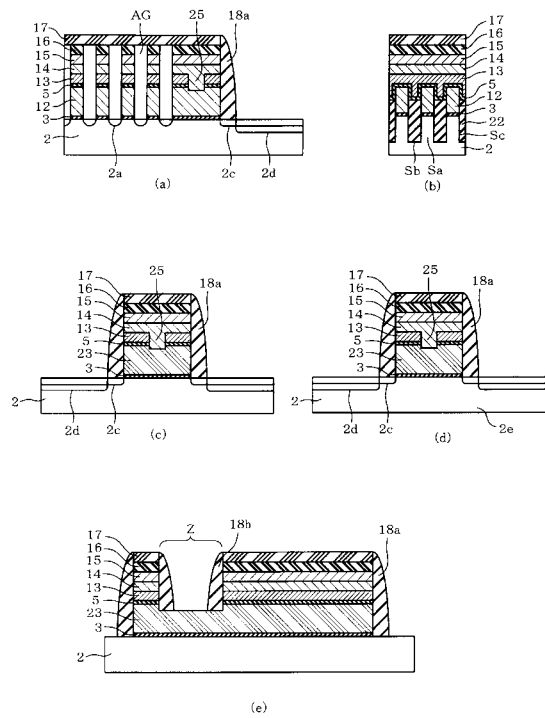
【 図 1 3 】



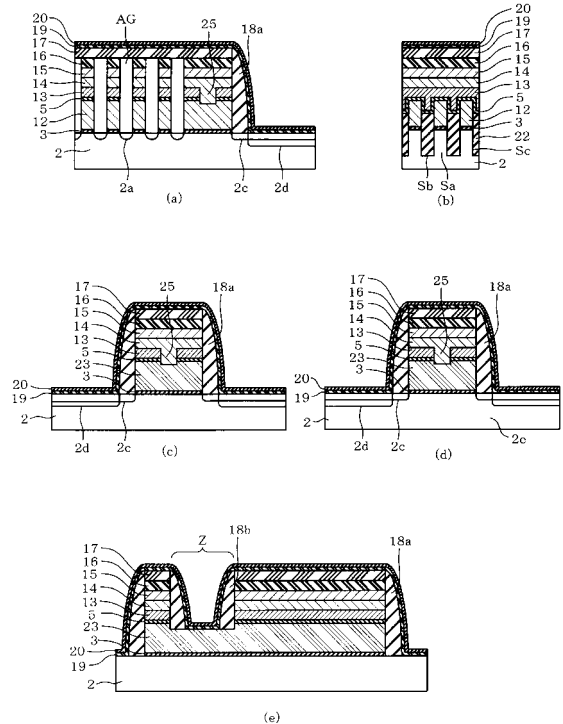
【 図 1 4 】



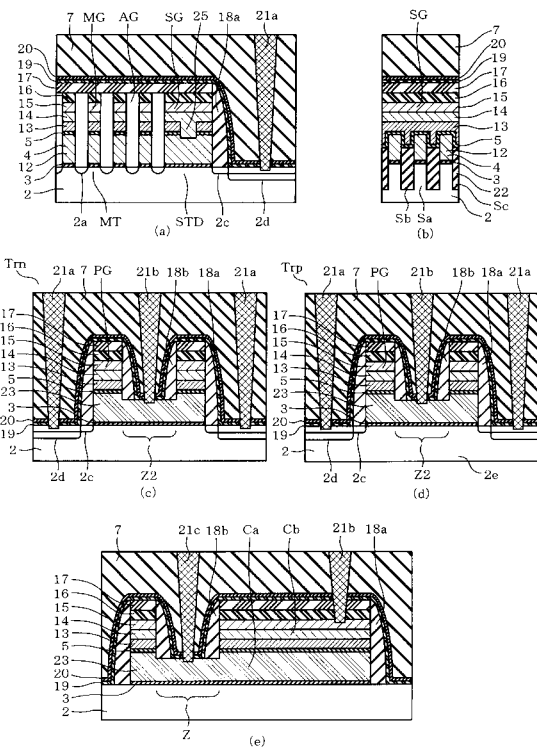
【 図 1 5 】



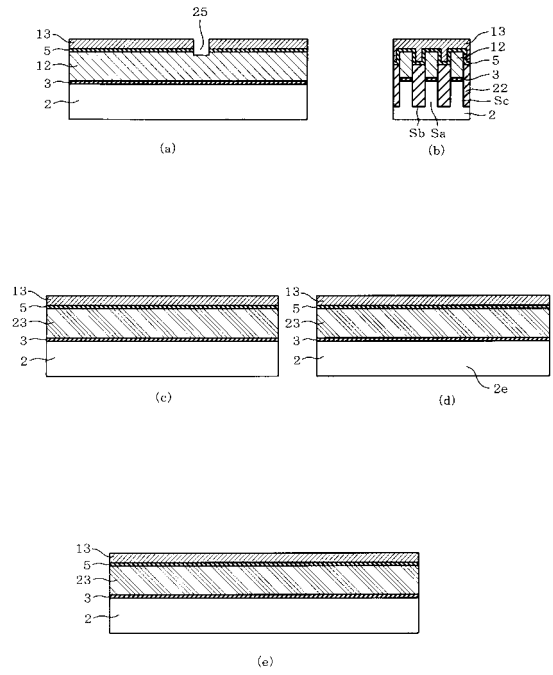
【 図 1 6 】



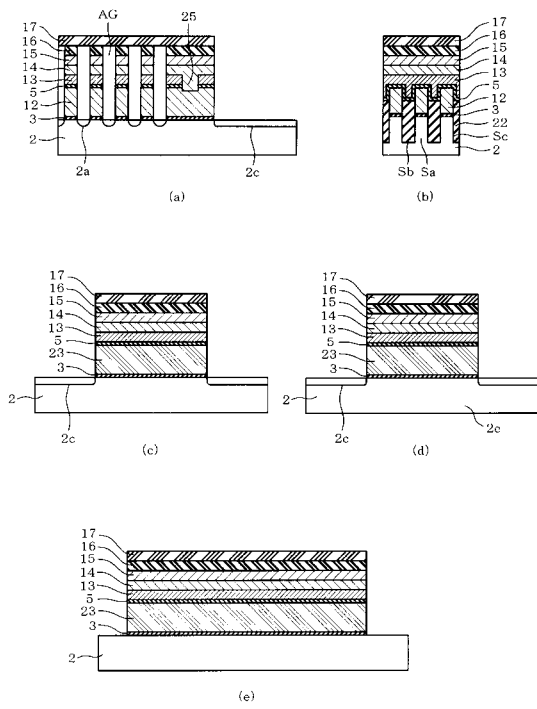
【 図 17 】



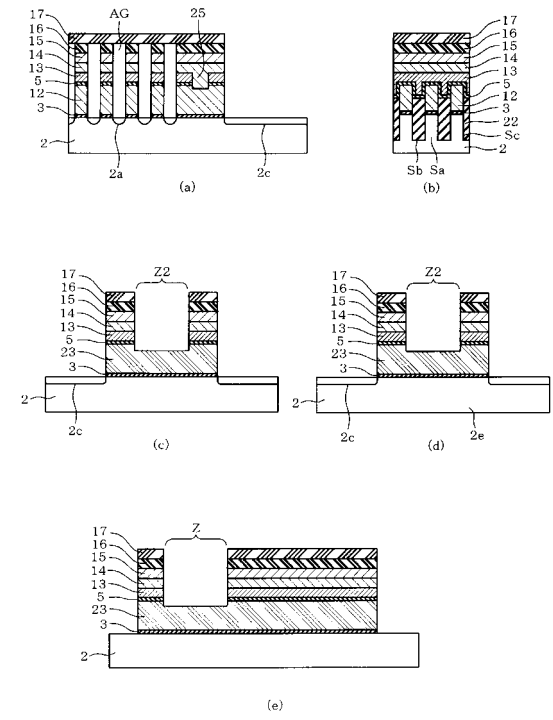
【 図 18 】



【 図 19 】



【 図 20 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 27/10 (2006.01)

Fターム(参考) 5F083 EP02 EP23 EP33 EP34 EP53 EP55 EP56 EP63 EP68 EP76
ER23 GA02 GA09 GA11 GA27 JA04 JA39 JA40 KA01 KA05
KA11 KA18 LA02 LA10 LA11 LA12 LA16 LA20 MA06 MA20
NA01 NA06 NA08 PR05 PR06 PR07 PR40 PR42 PR45 PR52
PR55 ZA05 ZA08 ZA30
5F101 BA01 BA29 BA36 BB05 BD07 BD21 BD22 BD27 BD32 BD34
BD35 BE07 BF02 BH21