

1. 一种复用器(10), 包括M个锁存器(14), 每一个锁存器(14)有N个级(110), 其中整数 $M>1$ 且整数 $N>1$, 每一个级有一数据输入(D_n), 一电源输入(P_n), 以及一数据输出(Q_n), 每一个级(110)
5 包括一个电荷存储器件(114)与数据输出(Q_n)耦接, 一第一二极管(116)耦接在数据输入(D_n)和电源输入(P_n)之间, 以及一第二二极管(118)耦接在电源输入(P_n)和数据输出(Q_n)之间。

2. 根据权利要求1的复用器(10), 其中每一个锁存器(14)有一个由它的N个级(110)的数据输入(D_n)形成的N位宽输入, 以及
10 其中每一个锁存器(14)有一个由它的N个级(110)的数据输出(Q_n)形成的N位宽输出线(12)。

3. 根据权利要求1的复用器(10), 还包括用以在一次至少启动锁存器(14)之一的逻辑(16)。

4. 根据权利要求1的复用器(10), 每一个级(110)还有一时钟输入(C_n), 以及一第三二极管(120)连接在时钟输入(C_n)和电源输入(P_n)之间, 其中级(110)的时钟输入(C_n)是连接在一起的。
15

5. 根据权利要求1的复用器(10), 每一个级还有一清除数据输入(CD_n), 以及一第三二极管(122)连接在清除数据输入(CD_n)和数据输出(Q_n)之间, 其中级(110)的清除数据输入(CD_n)是连接在一起的。
20

6. 根据权利要求1的复用器(10), 其中输入数据决定第一二极管(116)是正向偏置还是反向偏置; 由此只要第一二极管(116)为正向偏置, 锁存器(14)就设置成第一逻辑态, 以及由此只要第一二极管(116)为反向偏置, 锁存器(14)就设置成第二逻辑态。



[12] 发明专利申请公开说明书

[21] 申请号 02143600.2

[43] 公开日 2003 年 4 月 23 日

[11] 公开号 CN 1412779A

[22] 申请日 2002.10.11 [21] 申请号 02143600.2

[30] 优先权

[32] 2001.10.13 [33] US [31] 09/976744

[71] 申请人 惠普公司

地址 美国加利福尼亚州

[72] 发明人 J·N·霍甘

[74] 专利代理机构 中国专利代理(香港)有限公司

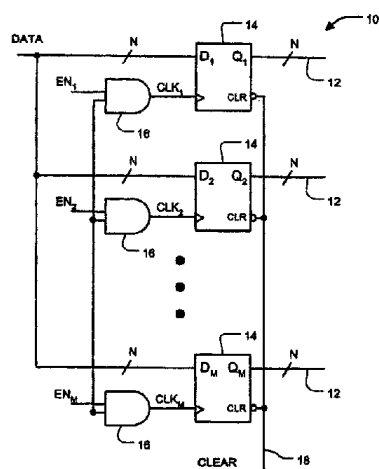
代理人 吴立明 张志醒

权利要求书 1 页 说明书 5 页 附图 5 页

[54] 发明名称 基于二极管的复用器

[57] 摘要

一种复用器(10)包括多个级(110)。每一级(110)包括一存储器件(114)与一数据输出(Q_n)耦接;一第一二极管(116)耦接在数据输入(D_n)和电源输入(P_n)之间;以及一第二二极管(118)耦接在电源输入(P_n)和数据输出(Q_n)之间。



基于二极管的复用器

技术领域

- 5 本发明涉及复用器。本发明还涉及可一次编程的（OTP）固态存储器。

背景技术

- 在诸如 PDA、手持计算机、数字摄象机以及数字音乐电唱机之类的便携装置中包含有供存储数据、数字图像以及 MP3 文件的存储器。有
10 不同类型的存储器可用于这些便携装置中。一般存储器的类型包括快闪存储器、小型硬驱动器、小型压缩光盘以及磁带。然而，这些类型的存储器各有下列一种或多种的限制：大体积、低存储容量、较高的成本、缺乏坚固性、存取时间慢以及高功耗。

- 基于固态二极管的 OTP 存储器公开在 2001 年 6 月 5 日提交的受让
15 人的 U.S. Serial No. 09/875, 356 上。与通常的存储器相比，基于二极管的存储器具有高的耐冲击度、低的功耗、快速的存取时间、适中的转换速率以及优等的存储容量。基于二极管的存储器能够适用于便携装置的标准轻便接口（例如，PCMCIA、CF）。

- 基于固态二极管的 OTP 存储器件可以包含大量的数据和地址线。
20 复用器可以用来减少接到器件上的数据和地址线的数目。

复用器可能是由诸如 TTL 之类的晶体管逻辑组建。然而，要在基于二极管的 OTP 器件中加工晶体管所需求的薄层是会增加器件的成本和复杂性的。

- 这就要求在基于二极管的 OTP 存储器件的复用器中避免使用晶体
25 管。

发明内容

根据本发明的一个方面，复用器包括有多个级。每一级包括一个耦合到一个数据输出上的存储器件；第一个二极管耦合在数据输入和电源输入之间；而第二个二极管则耦合在电源输入和数据输出之间。

- 30 通过下列详细描述，结合附图，经由本发明原理实施例的说明，便会明白本发明的其它方面及其优点。

附图说明

图 1 为本发明一种复用器的示意图。

图 2 为复用器的锁存器的示意图。

图 3 为复用器的计时图。

图 4 为本发明一种包括子阵列和复用器的基于二极管的存储器件的示意图。

图 5 为子阵列的示意图。

具体实施方式

参阅图 1, 一种复用器 10 包括 M 个基于二极管的锁存器 14, 其中整数 $M > 1$ 。锁存器 14 的输入 (D_1 至 D_M) 为并行连接, 使每个锁存器 14 都接收同样的 N 位字 (DATA)。每一锁存器 14 有一输出线 12, 它是 N 位宽, 其中整数 $N > 1$ 。复用器 10 能够接收一个 N 位字 (DATA) 并将此 N 位字 (DATA) 送转给 M 个输出线 12 中的任一个。

时钟信号 (CLK_1 、 CLK_2 、...、 CLK_M) 被加在锁存器 14 的时钟输入上。例如, 时钟信号 CLK_1 是加在第一个锁存器 14 上。当时钟信号 CLK_1 高时, 第一个锁存器 14 存储数据字 (DATA)。当时钟信号 CLK_1 趋低, 存储的数据就可以在第一个锁存器 14 的输出线 12 上得到。

参考时钟 (CLK) 和启动信号 (EN_1 、 EN_2 、...、 EN_M) 是由一信号发生器 (图 1 中未示出) 产生的。每一启动信号 (EN_1 、 EN_2 、...、 EN_M) 与一锁存器 14 相对应。复用器 10 还包括由参考时钟 (CLK) 和启动信号 (EN_1 、 EN_2 、...、 EN_M) 产生时钟信号 (CLK_1 、 CLK_2 、...、 CLK_M) 的门 16。例如, 当参考时钟 (CLK) 和第一启动信号 (EN_1) 高时, 第一锁存器 14 便存储数据字 (DATA)。门 16 可以基于 ECL 工艺或是别的不用晶体管的工艺。

复用器 10 还包括用来消除存储在锁存器 14 中数据的一条线 18。清除数据信号 (CLEAR) 是由信号发生器产生并加到清除数据线 18 上的。

图 1 中所示的复用器按照 $M:1$ 左右的比例缩减了输入线。这样, 一个具有 $M=32$ 个锁存器的复用器就几乎按 $23:1$ 的比例缩减了输入线。

图 2 更为具体地示出一个基于二极管的锁存器 14。锁存器 14 包括 N 个级 110, 每一级 110 有一个数据输入 (D_n)、一个电源输入 (P_n) 以及一个数据输出 (Q_n), 其中 $0 \leq n \leq (N-1)$ 。第一级 110 的数据输入

(D_0) 接收数据字 (DATA) 的第一个位, 第二级的数据输入 (D_1) 接收数据字 (DATA) 的第二个位, 而第 N 级的数据输入 (D_{N-1}) 则接收数据字 (DATA) 的第 N 个位。第 N 级 110 的 N 个数据输出 (Q_0 至 Q_{N-1}) 则被接到一条 N 位数据线 12 上。对于每一级 110 来说, 有一上拉电阻 112 连接在电源输入 (P_n) 与一电压源 (+V) 之间。

每一级 110 包括一个与数据输出 (Q_n) 耦接的电荷存储器件 (例如, 电容器) 114; 一个第一二极管 116 耦接在数据输入 (D_n) 与电源输入 (P_n) 之间; 以及一个第二二极管 118 耦接在电源输入 (P_n) 与数据输入 (Q_n) 之间。第一二极管 116 的阴极与数据输入 (D_n) 相连, 而第一二极管 116 的阳极则与电源输入 (P_n) 相连。第二二极管 118 的阴极与数据输出 (Q_n) 相连, 而第二二极管 118 的阳极则与电源输入 (P_n) 相连。

每一级 110 还有一个时钟输入 (C_n) 以及一个连接在时钟输入 (C_n) 和电源输入 (P_n) 之间的第三二极管 120。级 110 的时钟输入 (C_0 至 C_{N-1}) 被连接在一起使其接收同样的时钟信号 (例如, CLK_1)。

每一级 110 还有一个清除数据输入 (CD_n) 以及一个连接在清除数据输入 (CD_n) 和数据输出 (Q_n) 之间的第四二极管 122。级 110 的清除数据输入 (CD_0 至 CD_{N-1}) 被连接在一起使其接收同样的清除数据信号 (CLEAR)。

参阅图 3 所作补充说明。现在将用以下实例描述第二级 110 的运行。初始条件如后。时钟信号清除, 而清除信号则被确立。随着电流从电源流经第三二极管 120 以及电容器 114 经第四二极管 122 放电, 第三和第四二极管 120 和 122 被正向偏置。

在运行的一开始, 时钟信号 (CLK_1) 被确立而清除数据信号 (CLEAR) 则被消除。第三和第四二极管 120 和 122 成为反向偏置。若是数据字位 (D_1) 为高, 则第一二极管 116 成为反向偏置而第二二极管 118 成为正向偏置。电流流经上拉电阻 112 和第二二极管 118, 并使电容器 114 充电。电容器电压 (V_{CAP}) 升高。

数据是在时钟信号 (CLK_1) 的下降边时读出的。高电容器电压 (V_{CAP}) 是在数据输出 (Q_1) 时读出的。此高电压对应于高的数据态。

在数据已经读出之后, 清除数据信号 (CLEAR) 就重新确立。因此, 第三和第四二极管 120 和 122 变成正向偏置, 从而电流由电源流经第

三二极管 120, 而电容器 114 则经第四二极管 122 放电。电容器电压 (V_{CAP}) 下降。

在下一个时钟周期的一开始, 时钟信号 (CLK_1) 被确立而清除数据信号 (CLEAR) 则被消除。第三和第四二极管 120 和 122 变成反向偏置。
5 若数据字位 (D_1) 为低, 则第一二极管 116 变成正向偏置。电流流经第一二极管 116, 而电容器 114 亦充电。因而, 电容器电压 (V_{CAP}) 未升高。

数据是在时钟信号 (CLK_1) 的下降边处读出的。数据输出 (Q_1) 处的低电容器电压 (V_{CAP}) 与低的数据态相对应。

10 图 4 示出一个基于二极管的 OTP 存储器件 210。在一块硅基片 214 上堆叠着一层或多层存储器平面 212。每层平面 212 包括 M 个子阵列 216。对每一子阵列 216 在后面作更具体的描述。数据是从数据线 218 上的子阵列 216 读出的。数据线 218 被输往数据复用器 220 (它可能具有如图 1 中所示复用器 10 的同一结构)。数据复用器 220 的一个输出
15 则被输往基片 214 上的一个信号调整电路 222。

地址经由行和列的驱动器 224 解码, 并由一地址复用器 228 (它可能具有如图 1 中所示复用器 10 的同一结构) 将解码的地址多路传输给合适的地址线 226。行和列的驱动器 224 也在基片 214 的上面。

启动信号 (EN_1 、 EN_2 、...、 EN_w)、参考时钟 (CLK) 以及清除数据
20 信号 (CLEAR) 由基片 214 上的一信号发生器 230 产生。这些计时信号可以由对地址的解码产生。

现在参阅图 5。一子阵列 216 包括 OTP 存储器单元 312 的交叉点的电阻性阵列 310、沿着存储器单元 312 的行延伸的字线 314 以及沿着存储器单元 312 的列延伸的位线 316。多半情况是每一行存储器单元
25 312 有一条字线 314 而每一列存储器单元 312 有一条位线 316。每一存储器单元 312 位于一字线 314 与一位线 316 的交叉点处。

一个 OTP 行解码器 318 通过对地址的解码选择字线 314 经地址复用器 228 输往行地址线 226。行解码器 318 包括多个 OTP 地址单元 320。行解码器 318 的每个地址单元 320 处于一字线 314 和一行地址线 226
30 的交叉点处。

一个 OTP 列解码器 322 通过对地址的解码选择列线 316 经地址复用器 228 输往列地址线 226。列解码器 322 包括多个 OTP 地址单元 320。

列解码器 322 的每个地址单元 320 处于一位线 316 的一列地址线 226 的交叉点处。

存储单元 312 和地址单元 320 两者都包含二极管。

5 通过向行/列驱动器 224 和信号发生器 230 输送地址就可以将数据写入器件 210。信号发生器 230 对地址解码并使地址复用器 228 选择一子阵列。行/列驱动器 224 对地址解码并将解码的地址送往地址复用器 228，从而送往所选的子阵列。所选子阵列的地址逻辑接收解码的地址（通过地址线 226）并选择字和位线 314 和 316。写入电流流经所选的字和位线 314 和 316，从而流经处于所选字和位线 314 和 316 的交叉点处的存储器单元 312。写入电流的大小足以改变所选存储器单元 10 312 的电阻状态。

存储器单元 312 的电阻状态可以通过向行/列驱动器 224 输送一个地址而测得。地址复用器 228 向所选的子阵列输送一解码的地址。根据解码的地址，选出字和位线 314 和 316。读出电流流经所选的字和位线 15 314 和 316，从而流经处于所选字和位线 314 和 316 的交叉点的一存储器单元 312。读出电流的大小表示所选存储器单元 216 的电阻状态。将读出电流转换成数字值，数据复用器并将此数字值送往基片 214 上的信号调整电路 222。所有从一个子阵列输出的数据均以导线有效地连接在一起，然而，只有与所选地址相对应的存储器位才能连接上。

20 本发明不限于以上描述并图示的具体实施方案。而是，本发明要按后面的权利要求进行解释。

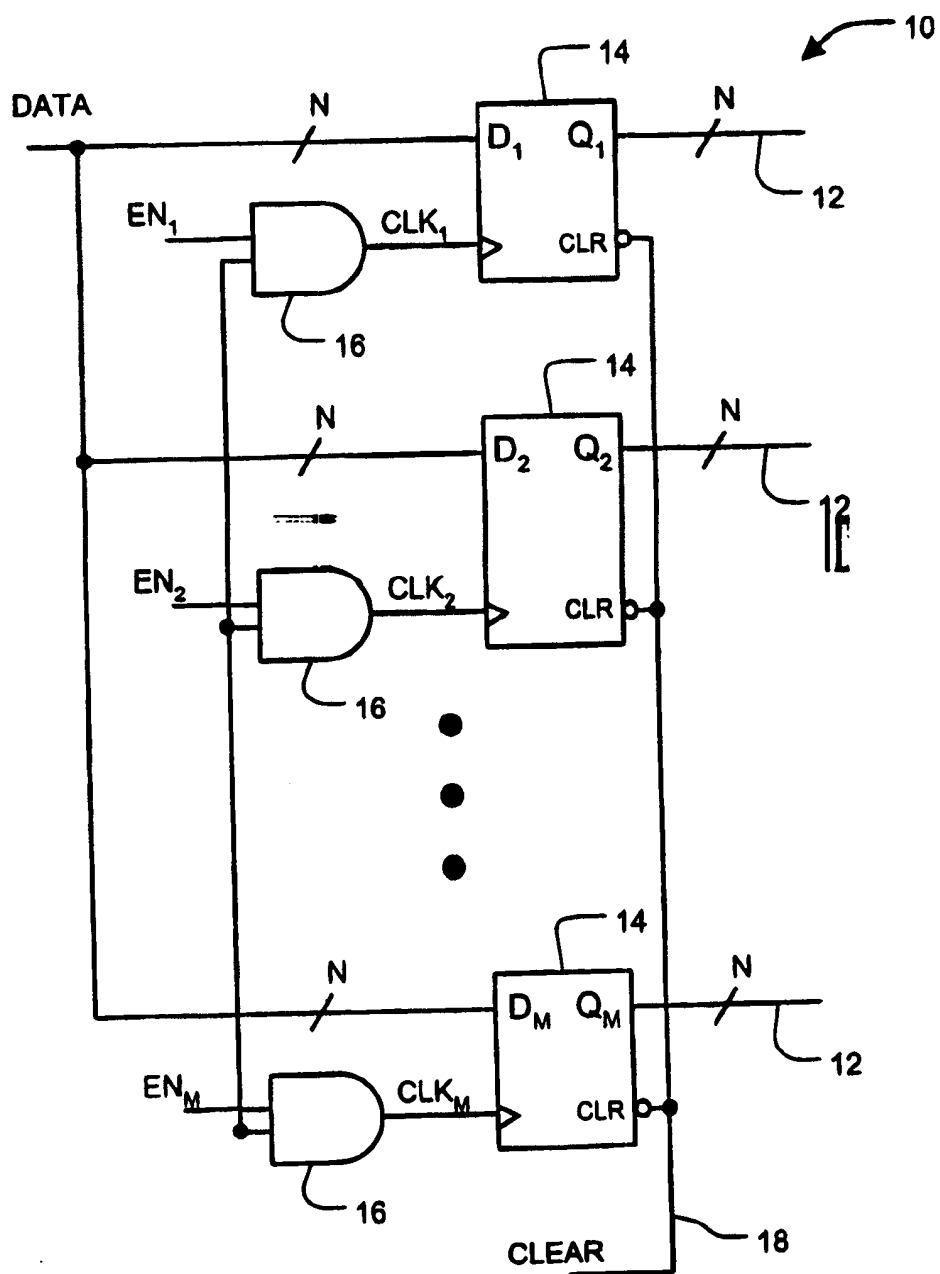


图 1

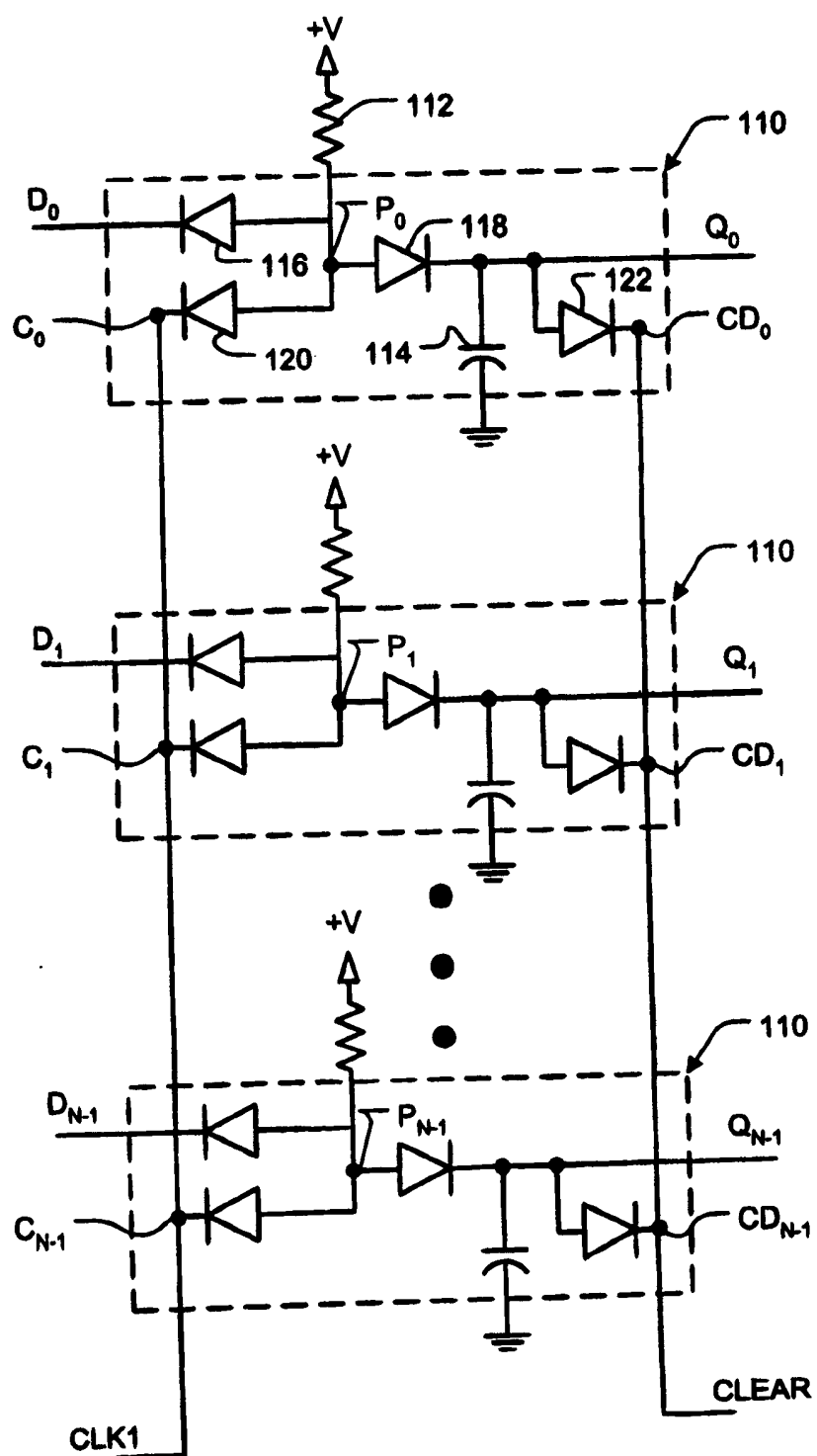


图 2

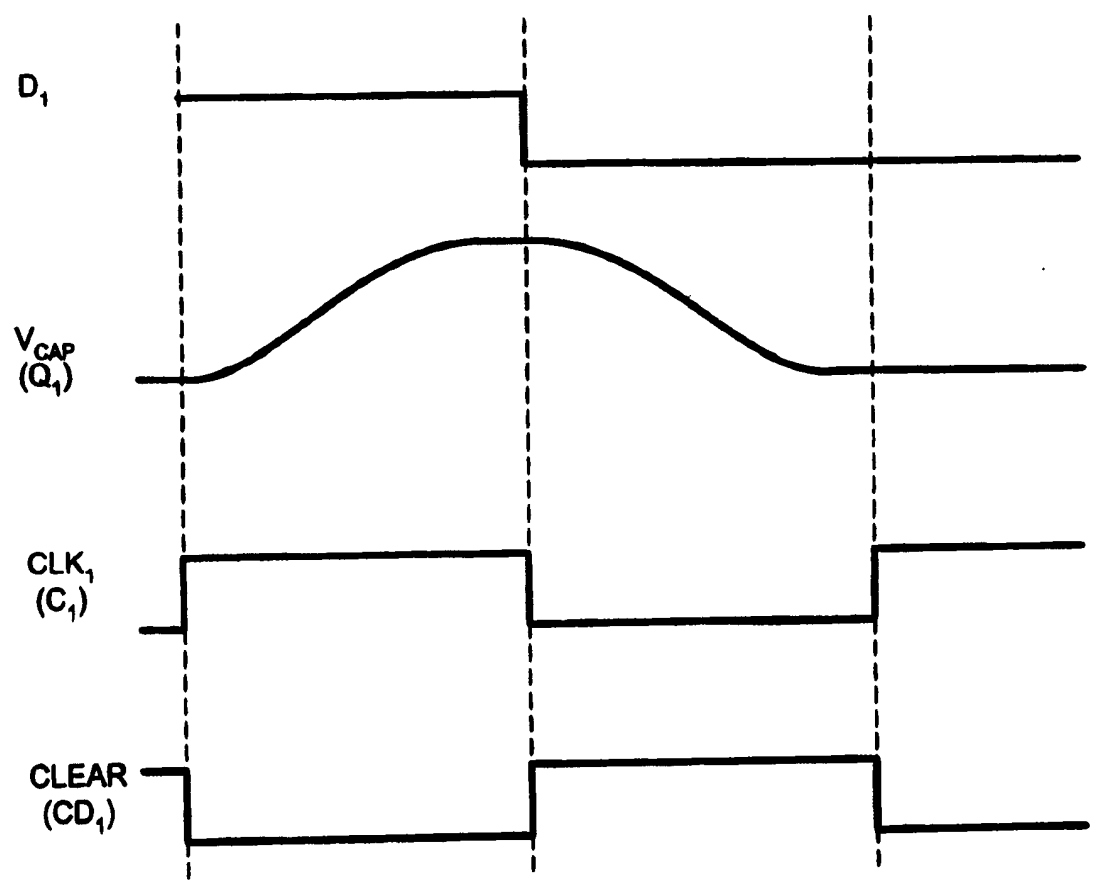


图 3

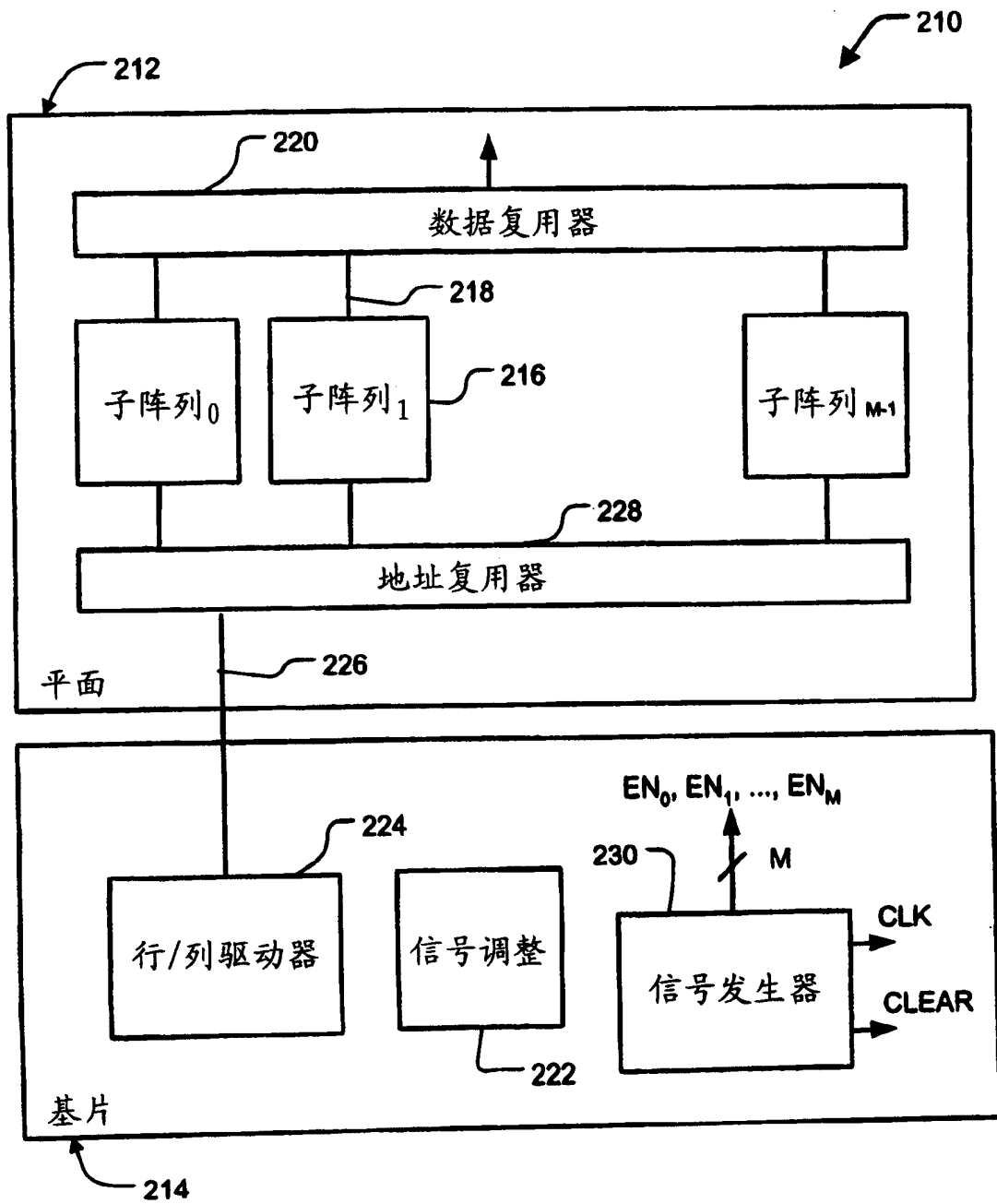


图 4

