

公告本

381232

申請日期	86.11.27
案 號	86117817
類 別	G06F 7/50

381232

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	具高元件利用率之乘法器單元裝置及方法
	英 文	APPARATUS AND METHOD FOR A MULTIPLIER UNIT WITH HIGH COMPONENT UTILIZATION
二、發明 人	姓 名	1. 葛艾倫 Alan Gatherer 2. 萊卡洛 Carl E. Lemonds
	國 籍	1 英國籍 2 美國籍
三、申請人	住、居所	1. 美國德州理查森市布魯路2105號 2105 Bluebonnet Dr., Richardson, TX 75082, USA 2. 美國德州卡蘭市卡斯頓路3322號 3322 Castle Rock, Garland, TX 75044, USA
	姓 名 (名稱)	美商德州儀器公司 Texas Instruments Incorporated
	國 籍	美國籍
	住、居所 (事務所)	美國德克薩斯州達拉斯城北方大廈655474號信箱 P.O. Box 655474, MAIL STATION 219, EXPRESSWAY SITE, NORTH BLDG., DALLAS, TX, USA
	代 表 人 姓 名	郝威廉(William E. Hiller)

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

美國(地區) 申請專利，申請日期：西元1996年 案號：60/032,502' ☒有 ☐無主張優先權
11月27日

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明()

發明背景

1. 發明領域

本發明係相關於一資料處理系統的一個元件，並更特定於資料處理系統的乘法器元件。此資料處理系統乘法器元件將資料位元所表示的被乘數與資料位元所表示的乘數相乘。

2. 相關技藝的說明

在相關的技藝中，乘法器單元，例如分隔乘法器單元或是平行的乘法器單元，其通常有一元件的低利用率。此低利用率乃是由於資料要波動經過乘法器單元所花的時間所造成。在這兩種提到的乘法器組態中，此波動時間乃是資料被乘法器單元的加總級加以處理所花的時間而造成。在過去，為了降低波動時間而做出進位前看電路。然而，此進位前看電路的製作造成大量增加乘法器所需元件的複雜度及數目。

參考圖 1，將一個二進位被乘數 A 與一個二進位乘數 B 相乘的乘法器單元通常被區分為三級。第一級是預處理器 11 對儲存在暫存器 10 的被乘數 A 所做的預處理，以簡化此用來製作相乘的程序之裝置。位數產生器 13 接著提供儲存在暫存器 20 中的 i^{th} 位數，也就是 B_i 。乘積 Ab_i 在第二級或乘法器級 12 中產生。在第三級或是加總級 14 中，產生 Ab_i 的加總，這部份乘積被移位 S_i ，也就是乘數位元在乘法器暫存器 20 中的位置。這三級的動作產生所要的結果，因為

五、發明說明 ()

$B = \text{SUM}(i) \{B_i 2^{S_i}\}$ 。例如，在簡單的移位及相加乘法器單元中，預處理器級 11 不能動作。乘法器級 12 將 A 與 1 或 0 相乘，此位元是 B 的 i^{th} 位元。加總級 14 移位此乘積 S_i 並將所有的結果加起來。

在這個例子中，大部分的複雜度是在第三或是加總級。第二或是乘法器級則是相當的簡單，因為乘法器的“位數”不是 1 就是 0。加法器元件的低利用率是因為第三級或是加總級 14，串連式的相加以及相加到單一進行中的加總。然而，在許多乘法器單元的例子中，執行相乘功能的較長時間在需要較少的元件來執行相乘動作時是可容許的。

因此需要有裝置以及相關的方法來提供乘法器單元的較高元件利用率。此較高的元件利用率乃是用較多數目的處理週期來製作相乘程序的結果。另外，額外想要的是將部份乘積的相加大量的在第二級或乘法器級執行，而產生在第三或加總級相當少的進位波動動作。

發明概要

根據本發明的前述及其他特色，已藉由具典型架構，預處理器級，乘法器級以及加總級的乘法器單元來加以說明。然而，在本發明中，儲存被乘數的暫存器是一移位暫存器。此乘法器級包含一閘元件，其可控制來傳送經適當移位過的被乘數來回應乘法器邏輯信號，部份位數送到閘元件的控制端子。乘法器級也包含複數個加法器元件，每個加法器元件與被乘數(在第一個加法器單元週期後以週期相關方式移位的被乘數位數)的一個(通常是幾個邏輯信號)位

五、發明說明 ()

數結合。每個加法器單元的第一輸入端子有著串連的延遲元件，延遲元件的數目是與被乘數位數結合的位置以及乘數的位數數目之函數。每個加法器單元的輸出端子被送到連串的 K (K 是乘數被分割的數目而 P 是被乘數分割的數目) 個延遲元件，此 K 個延遲元件被連結道重一個加法器元件的第二輸入端子。這樣子，可產生部份乘積 $A_0 * B_k$ ， A_0 及 B_k 分別為被乘數及乘數的位數。藉由適當的選擇儲存在延遲元件中的信號，部份乘積 $A * B_0$ 到 $A * B_{k-1}$ 可以在接下來的週期送到此乘法器單元的加總級。當乘法器的邏輯信號數目為包含被乘數的邏輯信號的整數倍時，此乘法器單元的製作便特別的簡單。

本發明的這些及其他特色將可經閱讀下面圖式的說明得到理解。

圖示簡述

圖 1 為說明一個三級乘法器單元的一般架構的方塊圖。

圖 2 為根據本發明之三級架構的第二或乘法器級的方塊圖。

圖 3A 說明圖 2 裝置在第一個乘法器週期之後，最小意義位數資料路徑以及次小意義位數資料路徑中延遲元件的內容特質，而圖 3B 則是說明圖 2 裝置在五個乘法器週期之後，最小意義位數資料路徑以及次小意義位數資料路徑中延遲元件的內容。

圖 4 為說明根據本發明將部份乘積從乘法器級送到乘法器

五、發明說明()

單元的加總級的方塊圖。

圖5為乘法器級提供到圖2乘法器單元的加總級之部份乘積重疊的放大觀點。

圖6為說明本發明特殊案例的方塊圖。

較佳具體實例的詳細說明

1. 圖式的詳細說明

圖1已在相關技藝中加以說明。

參考圖2，顯示的是一根劇本發明的乘法器單元的第二或是乘法器級12的方塊圖。被乘數A有M個邏輯信號並區分為P個位數或是邏輯信號群，此位數被標示為 A_0-A_{P-1} 。此被乘數A儲存在圖1所示的暫存器10中。應注意此暫存器10有一額外部份29。被乘數A在乘法器動作期間被移位，而需要較大的暫存器來適應此移位。此被乘數A被送到閘元件21。被乘數A經由閘元件21的傳送乃是由送到閘元件21的控制端子的是乘數B的那一個邏輯位元來決定。閘元件要傳送被乘數A的位元或是要傳送被乘數A位元的相反邏輯狀態則是由送到閘元件21的控制端子上的位元邏輯狀態來決定。乘數B被區分為K個位數或是邏輯信號群，也就是 B_0-B_{K-1} 。來自閘元件21的傳送信號被送到連串P個加法器單元22。被乘數A的最小意義位數 A_0 ，在被閘元件21傳送時，係直接送到第一(也就是，最小意義)加法器元件22。被乘數A的下一最小意義位數 A_0 ，在被閘元件21

五、發明說明 ()

傳送時，經由一單一延遲元件 23 到第二(也就是，下一最小意義)加法器元件 22。A 的每一額外位數，在被開元件 21 傳送時，經由一額外的延遲元件 23 送到相關(也就是，漸增意義)的加法器元件 22。最大意義位數 A_{D-1} ，在被開元件 21 傳送時，經由 $K-1$ 個延遲元件 23 送到相關的加法器單元 22。每個此加法器單元 22 的輸出信號都被送到串連連結的 K 個延遲元件 24。最後的延遲元件 24 的輸出信號連結到結合加法器元件 22 的第二輸入端子。最小意義位數輸出信號係從連結到與被乘數的最小意義位數 A_0 結合的加法器單元 22 之 K 個延遲元件中最後一個的輸入端子取出。下一個最小意義位數係從與接收被乘數下一最小意義位數 A_1 之加法器元件 22 結合的最後延遲元件 24 之下一個的輸入處提供。最大意義輸出位數係從接收被乘數最大意義位元 A_{D-1} 的加法器元件 22 處提供。一進位-出的位元從加法器元件 22 送到與次高被乘數位元結合的加法器元件 23 的進位-進端子。乘數的長度是 N 個位元。當被乘數有 M 個位元被儲存在暫存器 10(暫存器 10 的長度為 $M+L$ 個位元)的 M 個較小意義位元，此 $M+L$ 個位元被區分為 $(M+L)/P$ 個邏輯位元的 P 個位數。乘數是 N 個位元的長度，此 N 個位元被區分成 $N/K=L$ 個邏輯位元的 K 個位數。在乘法器級中的加法器元件長度為 $M+L$ 個位元，而每個乘法器級的加法器元件 22 的長度為 $(M+L)/P$ 個邏輯位元。每個加法器元件 22 在前一個加法器元件 22 接收其輸入信號之後接收其輸入一個週期或時鐘期間。因由於部份乘積的不平衡應用而減少的加法器元件 22 長度，使得關鍵路徑減少。

參考圖 3A，其顯示了在圖 2 中乘法器單元的一個動作時間期間 T 之後，與接收被乘數最小意義位數之加法器元件 22 結合的延

五、發明說明 ()

遲元件 23 及 24 的內容以及與接收被乘數下一最小意義位數之加法器元件 22 結合的延遲元件 23 及 24 的內容。在圖 3B 中，顯示了在 5 個時間期間 T 之後的相同延遲元件 23 及 24 的內容，此被乘數被區分為 4 個位數。

參考圖 4，顯示根據本發明送到加總級 14 的信號。在 $Q=(N+K-1)$ 個週期或時間期間 T 之後，乘法器單元 12 的輸出為 $A*B_0$ 。在下一個時間期間內，也就是， $(N+K)$ 個週期，或時間期間，乘法器單元的輸出為 $A*B_1$ 。在接下來 2 個時間期間內，乘法器單元的輸出為 $A*B_2$ 並提供 $A*B_3$ 。這些部份乘積被順序的在加總級 14 中相加。

參考圖 5，顯示的是來自乘法器級 12 的部份乘積的輸出邏輯信號。M 為乘法器每個位數的邏輯信號數目，而 L 為被乘數位數的邏輯信號數目。要送到加總級 14 之來自乘數級 12 的 K 個部份乘積為 $L+M$ 個位元的寬度。在此乘法器單元的組態中，每個 K 部份乘積在接下來的時鐘週期是有效的，因為延遲元件 23 造成的不平衡。每個 K 部份乘積並移位 L 個位元位置，相對於來自乘法器級 12 的前一部份乘積。

參考圖 6，顯示本發明之一製作，其中的情形是乘數 B 為被乘數 A 的倍數 R(也就是 4)。此組態類似於圖 2。然而，來自乘法器級的最小意義位數輸出係取自最後延遲元件 24 的下一個的輸入。下兩個位數都是從在最後延遲線 24 的下一個之前的延遲線 24 輸入接收。最大意義位數係從加法器單元 22 的輸出取得，也就是，與被乘數最大意義位數結合的加法器單元 22。通常，乘法器級 12 的最大

五、發明說明()

意義的半數輸出信號被延遲一個週期或是時間期間，相較於最小意義的半數信號。

2. 較佳具體實例的動作

本發明可以下列方式加以理解。參考圖 2， B_{00} 的部分乘積(也就是第一乘數位數的第一位元)以及被乘數 A 進入加法器單元(而加法器單元包含加法器及延遲元件)並儲存。 B_{10} 的部份乘積(第二乘數位數的第一位元)進入加法器單元並儲存。這項處理持續到所有被乘數 A 與乘數位數所有第一位元的部份乘積被儲存{也就是 $A*(B_{00}+...+B_{(K-1)0})$ 為止。接著，被乘數 A 在暫存器 10 中移位一個位元位置，而前述的處理一直重複，除非相同乘數位數位置的部份乘積被組合。這項處理在乘數位數的每個位元位置上重複著。參考圖 2，因為延遲元件 23 的不平衡結果，延遲元件 24 累加 A_D*B_k 的部份乘積。此方法中輸出信號係從延遲元件 24 中攫取出來，也就是，此部份乘積係從一額外的延遲線中取得，每一個會遞增加法器意義，使得部份乘積 $A*B_k$ 在連貫的時間期間送到加總單元 14。此來自乘法企及 12 的 K 部份乘積被移位 K_i 增量而 K 部份乘積被分別或合併的處理。因為位數並未與二進位表示重疊，相加的結果只被重疊 M，被乘數 A 的大小。因此，這些部份乘積可以用加總級 14 中長度 M 的加法器來相加。此部份乘積的重疊在圖 5 中顯示。圖 5 也說明長度 $L-M$ 的進位波動。假設 $L \geq M$ ，加總級中的相加可以用長度為 M 的加法器以及長度為 $L-M$ 的進位擴散單元來做。如此加總級可以用長度為 L 的快速移位以及 M 個位元的加法器單元來做。

五、發明說明 ()

當 $L=M$ ，本發明的加法器可以如圖 5 中所顯示的來製作。在時間期間 T 的乘法器級最大意義的一半與在時間 $T+1$ 的最小意義的一半相加。結果的進位接著進位到下一個加法動作中。部份乘積讓乘數成為 M 個片段。最大意義及最小意義的部份可以直接的相加來產生想要的結果(除了第一輸出為最小意義的一半)。開極與移位元件被包含在預處理器級 11 的移位動作所包含的一般製作中。

本發明造成元件的更大使用率，代價為額外的延遲。加法器單元 22 在累加 $A_p * B_k$ 部份乘積的期間內重複的使用時間。

再次參考圖 6，加總級包含長度為 $L-M$ 位元的波動進位，其將相加的進位-出連接到另一個相加的進位-進。當 $L \geq M$ ，此相加被簡化了，因為此相加可以長度為 M 位元位置的加法器以及長度為 $L-M$ 位元位置的進位擴散單元來完成。當 $L-M=0$ ，只需對長度 L 及 M 位元的加法器單元與進位裝置做路線安排便可製作此加總級。

本發明乃是希望利用較少的裝置而需要較多數目的週期來執行此相乘動作。部份乘積 $A_0 * B_0$ 的延遲為 N 個週期，而部份乘積 $A * B_0$ 的延遲為 $N+K-1$ 個週期。然而，此延遲可以增加裝置的數量來減少。例如，藉由適當增加此開元件 21 的裝置複雜度，來自乘數 B 之二(或更多)個位元可以送至與開元件 21 相加，而這些位元在被送到乘法器級的其他部份前與被乘數 A 做"編碼"。因而延遲可加以改善，但代價是增加裝置的數量。再者，連結到加法器元件輸入端子的延遲元件可藉由增加開元件的複雜度而略去，也就是藉由被乘數 A 部份的適當移位(或路線安排)。

(請先閱讀背面之注意事項再填寫本頁)

訂



五、發明說明()

而本發明已特別參考較佳具體實例加以說明，而熟習本技藝的人應理解到是可以做不同的改變，以及對本較佳具體實例的元件做等效的替換而不致背離本發明。另外，可對來本發明的教授做出許多的修改來適應特殊的情形以及材料而不致背離本發明的基本教授。

從前面的討論很明顯的，本發明的某些觀點並未限制在所說明範例的特定細節，並因而可以認為熟習本技藝的人可做出其他的修改及應用。因此企圖在申請專利範圍涵蓋所有的修改及應用而不會背離本發明的精神與範疇。

元件符號說明：

- 10 暫存器
- 11 預處理器
- 12 乘法器級
- 13 位數產生器
- 14 加總級
- 20 暫存器
- 21 閘元件
- 22 加法器單元
- 23 延遲元件
- 24 延遲元件

(請先閱讀背面之注意事項再填寫本頁)

張

訂

四、中文發明摘要 (發明之名稱： 具高元件利用率之乘法器單元裝置及方法)

在一具預處理器級，一乘法器級，以及加總級的乘法器單元中此乘法器級包含一移位暫存器，一閘元件，其可控制的以送到閘元件控制端子的乘數 B 的位元信號決定之一方式來傳送被乘數 A。部份乘積由被乘數的位數加以分組，並且每個位數被送到，經由以位數等級決定的延遲元件，一結合的加法器元件的第一端子。來自每個加法器元件的輸出信號經由複數個延遲元件傳送並送到同一個加法器元件的第二輸入端子。如此，部份乘積 $A_p * B_q$ 被組合且此部份乘積 $(A_0 + \dots + A_M) * B_q = A * B_q$ 可以在單一期間內送到加總單元。當此乘數為被乘數的整數倍時，此做法特別方便。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要 (發明之名稱： APPARATUS AND METHOD FOR A MULTIPLIER UNIT)
WITH HIGH COMPONENT UTILIZATION

In a multiplier unit having a preprocessor stage, a multiplier stage, and a summation stage, the multiplier stage includes a shift register, a gate component for controllably transmitting the multiplicand A in a manner determined by a bit signal of multiplier B applied to the gate component control terminal. Partial products are grouped by multiplicand digits and each digit is applied, through delay component determined by the order of the digit, to first terminal of an associated adder component. Output signals from each adder component is transmitted through a plurality of delay components and applied to second input terminals of the same adder component. In this manner, partial products $A_p * B_q$ are assembled and the partial products $(A_0 + \dots + A_M) * B_q$ can be applied the summation unit in a single period. When the multiplier is an integer multiple of the multiplicand, the implementation is particularly convenient.

訂

線

六、申請專利範圍

1. 一種數位乘法器單元，包含：

一乘法器級，包含

一移位暫存器來儲存被乘數 A ；

一開元件，其中被乘數 A 被區分成第一複數個 P 位數 A_0-A_{P-1} 而乘數 B 被區分為第二複數個 K 位數 B_0-B_{K-1} ，乘數 B 的一個位元信號送到該開元件的一控制端子，其決定何時該被乘數 A 經該開單元傳送以及該被乘數在何種邏輯狀態下由該開單元傳送；

加法器元件 ADD_0-ADD_{P-1} 來分別接收部分乘積 A_0-A_{P-1} ，每個加法器元件有 P-1 個輸入延遲元件連結在加法器元件 ADD_{P-1} 的第一輸入端子與該開元件之間，每個加法器單元有 K 個連續的輸出延遲元件連結在加法器元件 ADD_P 的輸出端子與該加法器元件 ADD_P 的第二輸入端子之間，其中每個加法器單元 ADD_P 送一個進位信號到加法器元件 ADD_{P+1} ；以及

一加總級來接收送到加法器元件 ADD_{P-1} 之 $(K-P)^{th}$ 輸出延遲元件的輸出端子的信號群。

2. 根據申請專利範圍第 1 項的乘法器單元，其中在連續的部份乘積 $A*B_k$ 期間，其中 k 從 0 到 K-1，係送到該加總級。

3. 根據申請專利範圍第 1 項的乘法器單元，其中乘數的邏輯信號數目為被乘數邏輯信號數目的倍數。

4. 根據申請專利範圍第 3 項的乘法器單元，還包含一預處理器級，其中該開元件之一功能係包含在該預處理器級中。

六、申請專利範圍

5. 根據申請專利範圍第 3 項的乘法器單元，其中該加總級為 $M \times M$ 具進位單元的加法器元件，其中 M 為被乘數的位元數目。

6. 根據申請專利範圍第 3 項的乘法器單元，其中一較大意義的 $A * B_k$ 部份乘積在下一較小意義 $A * B_k$ 部份乘積之前送到該加總單元。

7. 根據申請專利範圍第 1 項的乘法器單元，其中 $K=P$ 。

8. 根據申請專利範圍第 7 項的乘法器單元，其中該加總單元有一 $L+M$ 位元寬的加法器元件，其中 L 為乘數 B 的每個位數中的位元數目，而 M 為被乘數 A 的位數數目。

9. 一種將被乘數 A 與乘數 B 做數位相乘的方法，此方法包含步驟：

a) 將乘數 B 區分成連續的 K 個位數 B_k ，每個位數包含連續的 L 邏輯位元 b_{kl} ；

b) 將被乘數 A 區分為連續的 P 個位數 A_p ；

c) 從最小意義的乘數位數之最小意義位元開始，在接下來的時間期間內連續的形成此部份乘積 $(A_0 - A_{p-1}) * b_{kl}$ ；

d) 在 K 個時間期間的延遲之後，將每個 $A_p * b_{kl}$ 送到結合的加法器元件 ADD_p 之輸入端子；

e) 在 K 個時間期間的延遲之後，將加法器單元 ADD_p 的輸出信號送到加法器元件 ADD_p 的第二輸入端子；

f) 當 $1 \leq L-1$ ，對該乘數位數的下一最大意義位元重複步驟

六、申請專利範圍

c)到e)；以及

g)當 $l=L$ ，在接下來的時間期間內，將部份乘積 $A*B_0$ 到 $A*B_{K-1}$ 送到加總單元。

10. 根據申請專利範圍第 9 項的方法，還包含在接下來的時間期間內提供包含部份乘積 $A*B_k$ 的輸出信號之步驟。

11. 根據申請專利範圍第 10 項的方法，還包含將該部份乘積 $A*B_k$ 與具 $L+M$ 位元寬的加法器元件相加的步驟，其中 M 為被乘數的位元數目。

12. 根據申請專利範圍第 11 項的方法，其中 $L=M$ ，其中較大意義的部份乘積 $A*B_k$ 在較小意義的部份乘積 $A*B_k$ 之前被提供到該加總單元。

13. 一種數位乘法器單元，包含：

一移位暫存器來儲存被乘數 A ；

一閘元件，該被乘數 A 送到其上，該閘元件回應一從乘數 B 送來的邏輯信號，以由該送來的邏輯信號所決定的被乘數 A 之每一位元的邏輯狀態來傳送該被乘數 A ；

一第一複數個連結到該閘元件的累加單元，每個累加單元包含：

一複數個儲存設施，一累加單元的每個該儲存設施儲存了預先選定的被乘數位數及該乘數選定位數的邏輯信號之部份乘積；一累加單元的每個該儲存設施包含將新形成的部份乘積加到該每

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

個儲存設施內容之裝置，該複數個累加單元提供該被乘數與一乘數位數的部份乘積之部份乘積輸出信號。

14. 根據申請專利範圍第 13 項的乘法器單元，其中該輸出信號包含該被乘數 A 與在接下來時間期間內增加意義的該乘數 B_k 的位數的部份乘積。

15. 根據申請專利範圍第 14 項的乘法器單元，其中該乘數為該被乘數的整數倍。

16. 根據申請專利範圍第 15 項的乘法器單元，其中一加總該部份乘積的加總單元是 $M \times M$ 位元寬，其中 M 為乘數中的位數數目。

17. 一種數位乘法器單元，包含：

一乘法級包含：

一移位暫存器來儲存被乘數 A；

一開元件，其中被乘數 A 被區分成第一複數個 P 位數 A_0-A_{P-1} 而乘數 B 被區分為第二複數個 K 位數 B_0-B_{K-1} ，乘數 B 的一個位元信號送到該開元件的一控制端子，其決定何時該被乘數 A 經該開單元傳送以及該被乘數邏輯信號被傳送的邏輯狀態；

加法器元件 ADD_0-ADD_{P-1} 來分別接收部分乘積 A_0-A_{P-1} ，每個加法器元件有 $P-1$ 個連續輸入延遲元件連結在加法器元件 ADD_{P-1} 的第一輸入端子與該開元件及移位元件之間，每個加法器單元有 K 個連續的輸出延遲元件連結在加法器元件 ADD_P 的輸出端子與該加法

六、申請專利範圍

器元件 ADD_P 的第二輸入端子之間，其中每個加法器單元 ADD_P 送一個進位信號到加法器元件 ADD_{P+1} ；以及

一加總級來接收送到加法器元件 ADD_{P-1} 之 $(K-P)^{th}$ 輸出延遲元件的輸出端子的信號群。

(請先閱讀背面之注意事項再填寫本頁)

訂

86117017

86117817

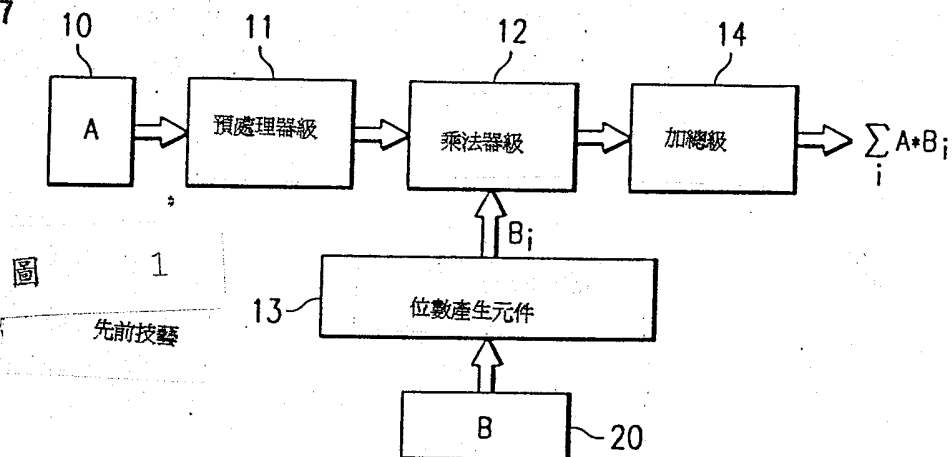


圖 3A

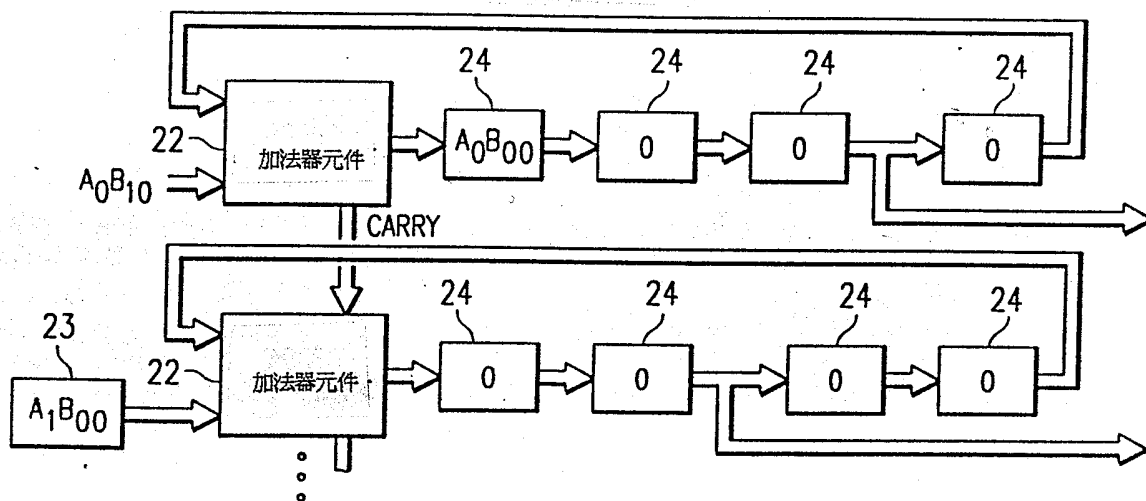


圖 3B

