



(12) 发明专利

(10) 授权公告号 CN 107851663 B

(45) 授权公告日 2021.11.12

(21) 申请号 201680041948.9

(22) 申请日 2016.06.28

(65) 同一申请的已公布的文献号
申请公布号 CN 107851663 A

(43) 申请公布日 2018.03.27

(30) 优先权数据
62/193,689 2015.07.17 US
14/841,967 2015.09.01 US

(85) PCT国际申请进入国家阶段日
2018.01.16

(86) PCT国际申请的申请数据
PCT/JP2016/069728 2016.06.28

(87) PCT国际申请的公布数据
W02017/014032 EN 2017.01.26

(73) 专利权人 三菱电机株式会社
地址 日本东京都

(72) 发明人 张坤好 张宇昊

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 吕俊刚 杨薇

(51) Int.Cl.
H01L 29/778 (2006.01)
H01L 29/10 (2006.01)
H01L 29/16 (2006.01)
H01L 29/20 (2006.01)
H01L 29/06 (2006.01)

(56) 对比文件
US 2014110722 A1, 2014.04.24
JP 2009071061 A, 2009.04.02
US 2014110722 A1, 2014.04.24
JP 2012231002 A, 2012.11.22
CN 103367422 A, 2013.10.23
JP 2012248753 A, 2012.12.13
CN 101136432 A, 2008.03.05

审查员 孙鹏

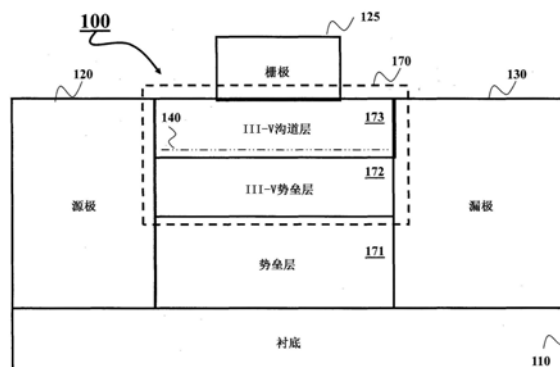
权利要求书2页 说明书7页 附图12页

(54) 发明名称

半导体器件和用于制造半导体器件的方法

(57) 摘要

一种半导体器件(100)包括:半导体结构(170),其形成载流子沟道(140);势垒层(171),其接近半导体结构设置;以及一组电极(120、125、130),其用于提供并控制载流子沟道中的载流子电荷。该势垒层由具有与载流子沟道的导电类型相反的导电类型的杂质至少部分地掺杂。该势垒层的材料具有比该半导体结构中的材料的带隙和热导率大的带隙和热导率。



1. 一种半导体器件,该半导体器件包括:

半导体结构,该半导体结构形成载流子沟道;

势垒层,该势垒层接近所述半导体结构设置,其中,所述势垒层由具有与所述载流子沟道的导电类型相反的导电类型的杂质至少部分地掺杂,其中,所述势垒层的材料具有比所述半导体结构中的材料的带隙大的带隙和比所述半导体结构中的材料的热导率高的热导率;

一组电极,该组电极用于提供并且控制所述载流子沟道中的载流子电荷;以及

衬底,其中,所述势垒层是设置在所述衬底与所述半导体结构之间的背势垒层;

所述半导体结构是包括III-V沟道层和III-V势垒层的半导体异质结构,使得所述载流子沟道是二维电子气2DEG沟道,其中,所述III-V势垒层设置在所述III-V沟道层和所述背势垒层之间,所述III-V势垒层的带隙大于所述III-V沟道层的带隙,其中,所述背势垒层被完全或部分地p型掺杂,并且所述背势垒层的所述材料具有比所述III-V沟道层的材料大的带隙和高的热导率;

所述III-V沟道层的所述材料包括GaN或GaAs中的一种或组合,并且其中,所述III-V势垒层的所述材料包括氮化镓铝AlGaN、氮化镓铟InGaN、氮化镓铝铟InAlGaN、氮化铝AlN、砷化镓铝AlGaAs、砷化镓铟InGaAs、砷化镓铝铟InAlGaAs中的一种或组合。

2. 根据权利要求1所述的半导体器件,其中,所述势垒层是设置在所述半导体结构的顶部上的盖层。

3. 根据权利要求1所述的半导体器件,其中,所述势垒层的所述材料包括金刚石、氮化硼以及氮化铝中的一种或组合。

4. 根据权利要求1所述的半导体器件,其中,所述势垒层的厚度在从10nm到10 μ m的范围内。

5. 根据权利要求1所述的半导体器件,其中,所述势垒层的掺杂浓度在从 10^{15}cm^{-3} 到 10^{22}cm^{-3} 的范围内。

6. 根据权利要求1所述的半导体器件,其中,所述势垒层与所述载流子沟道平行地延伸以完全交叠所述载流子沟道。

7. 根据权利要求1所述的半导体器件,其中,所述势垒层与所述载流子沟道平行地延伸以仅部分地交叠所述载流子沟道。

8. 根据权利要求1所述的半导体器件,其中,所述势垒层的厚度、掺杂浓度以及长度被选择成在所述半导体器件的击穿电压下完全耗尽所述载流子沟道中的电荷。

9. 一种半导体器件,该半导体器件包括:

半导体结构,该半导体结构形成载流子沟道,其中,所述半导体结构是包括III-V沟道层和III-V势垒层的半导体异质结构,使得所述载流子沟道是二维电子气2DEG沟道;

势垒层,该势垒层接近所述半导体结构设置,其中,所述势垒层至少部分地p型掺杂,其中,所述势垒层具有比所述III-V沟道层中的材料的带隙大的带隙和比所述III-V沟道层中的材料的热导率高的热导率;以及

一组电极,该组电极用于提供并控制所述载流子沟道中的载流子电荷;

所述III-V势垒层设置在所述III-V沟道层和所述势垒层之间;

所述III-V沟道层的所述材料包括GaN或GaAs中的一种或组合,并且其中,所述III-V势

垒层的所述材料包括氮化镓铝AlGa_N、氮化镓铟InGa_N、氮化镓铝铟InAlGa_N、氮化铝Al_N、砷化镓铝AlGa_{As}、砷化镓铟InGa_{As}、砷化镓铝铟InAlGa_{As}中的一种或组合；

所述一组电极中的栅电极连接到所述半导体结构的所述III-V沟道层。

10. 根据权利要求9所述的半导体器件,其中,所述势垒层的所述p型掺杂剂包括硼和镁中的一种或组合。

11. 根据权利要求9所述的半导体器件,其中,所述势垒层与所述III-V沟道层平行地延伸,以仅部分交叠所述III-V沟道层。

12. 一种用于制造半导体器件的方法,该方法包括以下步骤:

提供衬底;

制造半导体结构,该半导体结构至少包括在所述半导体结构中形成载流子沟道的III-V沟道层;

接近所述半导体结构制造势垒层,其中,所述势垒层具有比所述III-V沟道层中的材料的带隙大的带隙和比所述III-V沟道层中的材料的热导率高的热导率;

用具有与所述载流子沟道相反的导电类型的杂质来掺杂所述势垒层;以及

形成与所述载流子沟道电接触的电极;

所述势垒层是设置在所述衬底与所述半导体结构之间的背势垒层;

所述半导体结构是包括III-V沟道层和III-V势垒层的半导体异质结构,使得所述载流子沟道是二维电子气2DEG沟道,其中,所述III-V势垒层设置在所述III-V沟道层和所述背势垒层之间,所述III-V势垒层的带隙大于所述III-V沟道层的带隙,其中,所述背势垒层被完全或部分地p型掺杂;

所述III-V沟道层的所述材料包括Ga_N或Ga_{As}中的一种或组合,并且其中,所述III-V势垒层的所述材料包括氮化镓铝AlGa_N、氮化镓铟InGa_N、氮化镓铝铟InAlGa_N、氮化铝Al_N、砷化镓铝AlGa_{As}、砷化镓铟InGa_{As}、砷化镓铝铟InAlGa_{As}中的一种或组合。

13. 根据权利要求12所述的方法,所述方法还包括以下步骤:

与所述势垒层相邻地形成缓冲层。

14. 根据权利要求12所述的方法,所述方法还包括以下步骤:

与所述III-V沟道层平行地设置所述势垒层,以部分地交叠所述III-V沟道层。

15. 根据权利要求12所述的方法,其中,使用化学气相沉积CVD、金属有机化学气相沉积MOCVD、分子束外延MBE、金属有机气相外延MOVPE、等离子体增强化学气相沉积PECVD、以及微波等离子体沉积中的一种或组合来制造所述半导体结构和所述势垒层。

16. 根据权利要求12所述的方法,其中,使用电子束物理气相沉积EBPVD、焦耳蒸发、化学气相沉积、以及溅射处理中的一种或组合来形成所述电极。

半导体器件和用于制造半导体器件的方法

技术领域

[0001] 本发明总体涉及半导体器件,更具体地涉及具有诸如背势垒或盖层的势垒层的半导体器件。

背景技术

[0002] 半导体器件在解决能量挑战中具有重要的角色。特别地,氮化物功率晶体管在先进运输系统、可靠能量输送网络以及用于高效率发电和转换的许多新方案的应用中具有极大的潜力。这些系统依赖于提高或降低电压的非常高效的转换器。这些器件中的大多数是由硅(Si)制成。然而,Si的有限击穿电压和频率响应及其较高的电阻使得当前可用的商业装置器件和电路非常庞大、沉重且不适于将来的功率用途。作为另选方案,氮化镓(GaN)器件对于电源应用已经实现高电压、高频率响应以及低导通电阻的记录组合。

[0003] 诸如GaN基高电子迁移率晶体管(HEMT)这样的GaN功率器件被认为是用于高功率、高电压以及高频率应用的最有前途的候选中的一种。GaN HEMT已经以高的多的击穿电压(V_B)和电流密度以及超过400GHz的高的截止频率实现了比GaAs HEMT高至10倍的功率密度。已经通过在2.9GHz下为800W和3.5GHz下超过500W的总输出功率在碳化硅(SiC)衬底上演示了现有技术的功率电平。然而,对于高功率应用,诸如高功率马达,期望较高的输出功率,即,3~5kW,这需要进一步提高半导体器件的输出功率。

发明内容

[0004] 本发明的一些实施方式基于以下认识:多个方法可以用于提高半导体器件的输出功率。例如,可以通过由垂直电场耗尽半导体器件中的载流子沟道来增大半导体器件的击穿电压。用于提高器件功率能力的其他方法包括热管理以及降低由于载流子电荷的寄生泄露而导致的功率损失。然而,各方法仅可以在一定程度上提高半导体器件的功率能力。

[0005] 本发明的一些实施方式基于以下认识:这些功率提高方法可以通过仔细选择形成半导体器件的材料的特性来实施。尽管有不同的功率提高方法使用不同材料的不同特性的事实,但认识到,如与例如材料的形状对照,材料的特性是这些功率提高方法背后的驱动力之一。

[0006] 例如,载流子沟道的耗尽可以通过由具有与载流子沟道的导电类型相反的导电类型的杂质至少部分地对材料层掺杂来执行。半导体器件的热管理可以由具有比形成载流子沟道的半导体结构中的材料的热导率大的热导率的材料层来执行。类似地,载流子电荷的泄露可以由具有比形成载流子沟道的半导体结构中的材料的带隙大的带隙的材料层来减少。

[0007] 本发明的一些实施方式基于以下认识:可以选择具有由不同功率提高方法使用的特性的单个材料。这样,可以使用这种材料的单个层来在降低半导体器件的总成本的同时执行多个功率提高功能。

[0008] 因此,一个实施方式公开了一种半导体器件,该半导体器件包括:半导体结构,该

半导体结构形成载流子沟道；势垒层，该势垒层接近半导体结构设置；以及一组电极，该组电极用于提供并控制载流子沟道中的载流子电荷。势垒层由具有与载流子沟道的导电类型相反的导电类型的杂质至少部分地掺杂。势垒层的材料具有比半导体结构中的材料的带隙和热导率大的带隙和热导率。

[0009] 由于较大的带隙、相反类型的掺杂以及高的热导率，势垒层可以强化沟道载流子约束，形成用于电场工程的表面降场 (RESURF) 结构，并且充当表面散热层。势垒层的示例包括背势垒或盖层。

[0010] 本发明的一个实施方式公开了一种半导体器件，该半导体器件包括：半导体结构，该半导体结构形成载流子沟道；势垒层，该势垒层接近半导体结构设置，其中，势垒层由具有与载流子沟道的导电类型相反的导电类型的杂质至少部分地掺杂，其中，势垒层的材料具有比半导体结构中的材料的带隙和热导率大的带隙和热导率；以及一组电极，该组电极用于提供并控制载流子沟道中的载流子电荷。

[0011] 另一个实施方式公开了一种半导体器件，该半导体器件包括：半导体结构，该半导体结构形成载流子沟道，其中，半导体结构是包括III-V沟道层和III-V势垒层的半导体异质结构，使得载流子沟道是二维电子气 (2DEG) 沟道；势垒层，该势垒层接近半导体结构设置，其中，势垒层至少部分p型掺杂，其中，势垒层具有比III-V沟道层中的材料的带隙和热导率大的带隙和热导率；以及一组电极，该组电极用于提供并控制载流子沟道中的载流子电荷。

[0012] 又一个实施方式公开了一种用于制造半导体器件的方法，该方法包括以下步骤：提供衬底；制造半导体结构，该半导体结构至少包括在半导体结构中形成载流子沟道的III-V沟道层；接近半导体结构制造势垒层，其中，势垒层具有比III-V沟道层中的材料的带隙和热导率大的带隙和热导率；用具有与载流子沟道相反的导电类型的杂质掺杂势垒层；以及形成与载流子沟道电接触的电极。

附图说明

[0013] [图1]

[0014] 图1是根据本发明的一个实施方式的半导体器件的截面图；

[0015] [图2]

[0016] 图2是例示了具有多功能背势垒层的半导体器件的一个实施方式的截面图；

[0017] [图3]

[0018] 图3是图2所示的实施方式内的截线AA' 的能带图；

[0019] [图4]

[0020] 图4是根据本发明的一个实施方式的、具有缩短多功能势垒层的半导体器件的截面图；

[0021] [图5A]

[0022] 图5A是作为势垒层的掺杂浓度和厚度的函数的击穿电压 (BV) 的曲线图；

[0023] [图5B]

[0024] 图5B是作为电荷密度的函数的BV的曲线图；

[0025] [图5C]

[0026] 图5C是根据本发明的一些实施方式的BV对p-金刚石背势垒的长度的依赖关系的曲线图；

[0027] [图6]

[0028] 图6是根据本发明的一个实施方式在不同衬底上具有多功能势垒层的III-V半导体器件的截面图；

[0029] [图7]

[0030] 图7是具有多功能盖层的半导体器件的截面图；

[0031] [图8]

[0032] 图8是图7所示的实施方式的沿着截线BB' 的能带图；

[0033] [图9]

[0034] 图9是根据本发明的一个实施方式的、具有多功能盖层和多功能背势垒的半导体器件的截面图；以及

[0035] [图10]

[0036] 图10是根据本发明的一些实施方式的用于制造半导体器件的方法的框图。

具体实施方式

[0037] 图1示出了根据本发明的一个实施方式的半导体器件100的截面图。在该实施方式中，半导体器件包括形成载流子沟道140的半导体结构170。例如，半导体结构是包括III-V沟道层173和III-V势垒层172的层结构，使得载流子沟道140是二维电子气(2DEG)沟道。例如，III-V沟道层的材料可以包括GaN或GaAs中的一种或组合。III-V势垒层的材料可以包括氮化镓铝(AlGaN)、氮化镓铟(InGaN)、氮化镓铝铟(InAlGaN)、氮化铝(AlN)、砷化镓铝(AlGaAs)、砷化镓铟(InGaAs)、砷化镓铝铟(InAlGaAs)中的一种或组合。

[0038] 半导体器件100还包括接近半导体结构设置的势垒层171。势垒层与载流子沟道平行地延伸，以完全或仅部分交叠载流子沟道。

[0039] 势垒层至少部分地掺杂有具有与载流子沟道的导电类型相反的导电类型的杂质。例如，势垒层可以至少部分p型掺杂有硼和镁中的一种或组合。在一个实施方式中，势垒层的厚度、掺杂浓度以及长度被选择成在半导体器件的击穿电压下完全耗尽载流子沟道中的电荷。

[0040] 并且，势垒层的材料具有比半导体结构中的材料的带隙和热导率大的带隙和热导率。例如，势垒层的材料可以被选择成具有比III-V沟道层中的材料的带隙和热导率大的带隙和热导率。例如，势垒层的材料可以包括金刚石、氮化硼以及氮化铝中的一种或组合。

[0041] 半导体器件100还包括一组电极，该组电极用于提供并控制载流子沟道中的载流子电荷。例如，一组电极可以包括：至少一个源电极120，其通过载流子沟道发送电子电荷；至少一个漏电极130，其接收电子电荷；以及至少一个栅电极125，其可操作地连接到半导体结构170以控制载流子电荷的传导。

[0042] 半导体器件还可以包括其他层，例如衬底110。在一些实施方式中，势垒层171设置在衬底110与半导体结构170之间。在这些实施方式中，势垒层是背势垒层。另选地，势垒层可以为设置在半导体结构的顶部上的盖层。

[0043] 本发明的一些实施方式基于以下认识：不同功率提高方法可以通过仔细选择形成

半导体器件的材料特性来实施。尽管有不同的功率提高方法使用不同材料的不同特性的事实,但认识到,如与例如材料的形状对照,材料的特性是这些功率提高方法背后的驱动力之一。

[0044] 例如,载流子沟道的耗尽可以通过由具有与载流子沟道的导电类型相反的导电类型的杂质至少部分地对材料层掺杂来执行。半导体器件的热管理可以由具有比形成载流子沟道的半导体结构中的材料的热导率大的热导率的材料层来执行。类似地,载流子电荷的泄露可以由具有比形成载流子沟道的半导体结构中的材料的带隙大的带隙的材料层来减小。

[0045] 本发明的一些实施方式基于以下认识:可以选择具有由不同功率提高方法使用的特性的单个材料。这样,可以使用这种材料的单个层来在降低半导体器件的总成本的同时执行多个功率提高功能。

[0046] 为此,一些实施方式在半导体器件中包括多功能势垒层171。由于较大的带隙、相反类型的掺杂以及高的热导率,势垒层可以强化沟道载流子约束,形成用于电场工程的表面降场(RESURF)结构,并且充当表面散热层。

[0047] 图2示出了简化截面图,其例示了具有多功能背势垒层的III-V场效应晶体管(FET)的一个实施方式。区域10包括金刚石,并且可以为单个衬底层或包括多层,诸如衬底层与掺杂层11之间的过渡层。层11是可以同时提供多个功能的势垒层。

[0048] 根据一些实施方式,可以对于金刚石区域10的形成采用各种方法,包括但不限于化学气相沉积(CVD)、金属有机化学气相沉积(MOCVD)、DC等离子体CVD、微波等离子体沉积系统。区域10可以未掺杂或可以特意掺杂有n型掺杂剂或p型掺杂剂,包括但不限于硼(B)、氮(N)以及磷(P)。金刚石背势垒层11以在10nm至10 μ m范围内的示例性厚度设置在所述金刚石区域10上。

[0049] 背势垒金刚石层11由具有与载流子沟道的导电类型相反的导电类型的杂质完全或至少部分地掺杂。例如,在GaN基HEMT的一些实施方式中,金刚石背势垒层11可以在从 $1 \times 10^{16} \text{cm}^{-3}$ 至 $1 \times 10^{21} \text{cm}^{-3}$ 范围内的示例性掺杂密度掺杂有p型掺杂剂,诸如B。层11中的掺杂剂可以在外延生长期间添加或可以在形成层11之后通过离子注入来添加。

[0050] 在金刚石背势垒层11上设置有半导体或电介质区域12。区域12可以包括用于促进化合物半导体外延层在晶格失配金刚石上的生长的单层或多个缓冲层,包括黏附层、成核层、过渡层以及其它层。区域12的材料可以为电介质,诸如 SiN_x 、 Al_2O_3 、 SiO_2 ;二元III-V材料,诸如AlN或GaN;三元III-V材料,诸如InGaN和AlGaN;以及四元III-V材料,诸如氮化镓铟铝(AlInGaN)。

[0051] 在一些实施方式中,区域12中的过渡层可以为超晶格结构和成分梯度层。III-V半导体层13以在50nm至10 μ m范围内的示例性厚度设置在区域12上。在一些实施方式中,层13的材料可以为III氮化物或III砷化物材料。层13可以为n型(即,低程度掺杂的n型材料)掺杂的、非特意掺杂的、或p型掺杂的,但优选地为非特意掺杂的或具有与所述区域11相反的导电类型。

[0052] 化合物半导体层14以在5nm至100nm范围内的示例性厚度设置在III-V半导体层13上。层14的材料与层13的材料相比具有不同的晶格常数和带隙能量。在一些实施方式中,层14的材料具有比层13的材料大的带隙能量,并且2DEG沟道形成在层14和层13的异质结构

处。在一个实施方式中,层14和层13的材料可以为InAlGa_N和Ga_N、AlGa_N和Ga_N、Al_N和Ga_N、或InGa_N和Ga_N。

[0053] 根据一些实施方式,对于化合物半导体区域13和14的形成可以采用各种方法,包括但不限于化学气相沉积(CVD)、金属有机化学气相沉积(MOCVD)、分子束外延(MBE)以及金属有机气相外延(MOVPE)。

[0054] 一组电极包括用于2DEG沟道的源电极S₁、栅电极G₁以及漏电极D₁。源电极S₁和漏电极D₁可以被形成延伸为延伸到层14中,甚至延伸到层13中,以形成对异质结构处的2DEG的连接。在一些实施方式中,在层14上和栅电极G₁下方可以设置电介质层15,以形成金属-绝缘体-半导体(MIS)或MOS栅堆。区域15的材料可以包括但不限于二氧化硅(SiO₂)、氮化硅(Si₃N₄)、氧化氮化硅氢(Si_xO_yN_zH_w)、氧化铝(Al₂O₃)、二氧化铪(HfO₂)。

[0055] 用于2DEG沟道的栅堆可以为耗尽模式(D模式)或增强模式(E模式)。在一些实施方式中,栅堆G₁固有地为D模式,这意味着2DEG沟道的阈值电压(V_{th})为负。在一些实施方式中,对于G₁可以使用各种方法来将D模式栅堆转换成E模式,包括但不限于:(a)部分蚀刻G₁下方的层14和15;(b)将负离子注入到G₁下方的层13、14以及15中,离子包括但不限于氟和氯;(c)在层14与15之间插入p型半导体层。

[0056] 在一些其他实施方式中,电介质区域16可以被形成钝化层。区域16可以包括具有包括但不限于Al₂O₃、SiO₂、Al_N、Si₃N₄、HfO₂、纳米晶体金刚石的材料的单个或多个绝缘层。

[0057] 图3示出了图2所示的实施方式内的截线AA'的能带图。如图所示,在由层13和14形成的异质结构之间的界面处,导带Ec下降至费米能级Ef以下。因此,由于压电效应和自发掺杂而感生的电子在异质结构处形成2DEG表层电荷区域。因为层11为p型并且具有比层13中的III-V材料大的带隙,所以与电子从2DEG朝向缓冲层11和衬底区域10的移动相反的大的势垒形成在层13与11之间。由此,背势垒层11可以增强2DEG电子约束。

[0058] 并且,背势垒层11它还可以起RESURF结构的作用,因为其具有与沟道层13相反的掺杂类型。如以上所讨论的,垂直p-n结可以帮助在器件反向偏压时耗尽沟道层13,减小层13中的峰值电场,并且在不增大器件导通电阻的情况下增大器件击穿电压。最后,由于与传统III-V半导体相比金刚石的较大热导率,背势垒层11可以促进散热。通过插入金刚石背势垒层11,可以期望沟道峰值温度降低至少10%,虽然需要更详细的模拟、优化以及实验来充分利用金刚石的散热能力。

[0059] 在本发明的一些实施方式中,势垒层与载流子沟道平行地延伸,以仅部分交叠载流子沟道。在另选实施方式中,势垒层被缩短且与载流子沟道平行地延伸,以仅部分交叠载流子沟道。

[0060] 图4示出了具有缩短的多功能势垒层的根据本发明的一个实施方式的半导体器件的截面图。在该实施方式中,金刚石背势垒层11被缩短为仅部分地在源漏区域上方延伸。缩短的势垒层11可以通过借助注入掩膜将掺杂剂离子注入到金刚石区域10的顶部中或外延生长处理随后为蚀刻构图处理来形成。

[0061] 对于p-金刚石背势垒,本发明的一些实施方式使用的设计原理是在击穿时由p-n结完全耗尽n-沟道(例如,2DEG沟道)中的电荷。三个参数,背势垒厚度t、栅缘至势垒缘距离L以及掺杂浓度N_A,是实现p-金刚石背势垒的优化设计的重要因素。为此,本发明的一些实施方式将势垒层的厚度、掺杂浓度以及长度选择成在半导体器件的击穿点处完全耗尽载流

子沟道中的电荷。

[0062] 图5A示出了作为势垒层的掺杂浓度 N_A 和厚度的函数的击穿电压(BV)的曲线图。该曲线图示出了最大BV 510可以由不同的p-金刚石掺杂浓度 N_A 利用相应的不同的优化p-金刚石背势垒厚度 t 来实现。

[0063] 图5B示出了作为电荷密度的函数的击穿电压(BV)的曲线图。图5A所示的优化 N_A 和 t 与类似的总电荷密度($N_A \cdot t$) 520对应,其等效于n-沟道载流子密度(在该示例中为2DEG密度),这示出强电荷平衡效果。在优化设计中,两个相等的E场峰出现在栅缘和漏缘处。由此,对于已构图的p型金刚石背势垒,栅缘到背势垒缘距离 L 的优化设计可以在漏缘或栅缘处进一步减小峰值E场。

[0064] 图5C示出了例示了BV对p-金刚石背势垒的长度 L 的依赖关系的曲线图。曲线图示出了金刚石势垒层的优化长度 L_{BB}^{opt} 530较短,即,较接近GaN势垒层的优化长度540。为此,本发明的一些实施方式缩短多功能势垒层的长度,即,势垒层与载流子沟道平行地延伸,以仅部分交叠载流子沟道,并且不达到漏电极。

[0065] 例如,击穿可能在背势垒长度 $L_{BB} < L_{BB}^{opt}$ 时发生在栅缘处,并且如果 $L_{BB} > L_{BB}^{opt}$ 则发生在漏缘处。对于 $L_{BB} = L_{BB}^{opt}$,击穿可能发生在层11和层13的p-n异质结上的背势垒缘处,如以在层13中支持较扩展的E场。对于传统p-GaN背势垒,GaN中的峰值E场总是停留在2DEG沟道附近而不是朝向p-n结移动并且BV在背势垒延伸到漏侧时达到最大,观察不到该E场调制效应。这可能是由于与p-金刚石/n-GaN结中相比,在GaN p-n结中的较小的垂直E场。

[0066] 图6示出了根据本发明的一个实施方式的在不同衬底上具有多功能势垒层的III-V半导体器件的一个实施方式的截面图。在该实施方式中,具有多功能背势垒的III-V半导体器件形成在不同的衬底上。衬底层18的材料包括但不限于GaN、硅(Si)、蓝宝石、碳化硅(SiC)、金刚石、氧化锌、氮化铝(AlN)、石墨烯。区域17与区域12类似,并且可以包括用于促进所述背势垒层17在衬底区域18上的生长或转移的单层或多层,包括黏附层、成核层、过渡层。区域17的材料可以为电介质,包括但不限于 SiN_x 、 Al_2O_3 、 SiO_2 ;和化合物半导体,包括但不限于:二元III-V材料,诸如AlN或GaN;三元III-V材料,诸如InGaN和AlGaN;以及四元III-V材料,诸如氮化镓铟铝(AlInGaN)。在一些实施方式中,区域17中的过渡层可以为超晶格结构和成分梯度层。

[0067] 具有多功能盖层的GaN基半导体器件

[0068] 图7示出了具有多功能盖层的半导体器件的截面图。金刚石盖层20以10nm至10 μ m的示例性厚度设置在栅电介质层14上或直接设置在化合物半导体层14上。金刚石盖层20可以完全或部分交叠源-漏区域来延伸。金刚石盖层20由具有与载流子沟道的导电类型相反的导电类型的杂质完全或部分地掺杂。

[0069] 在一个实施方式中,半导体器件是GaN基HEMT,金刚石盖层20可以以 $1 \times 10^{16} \text{ cm}^{-3}$ 至 $1 \times 10^{21} \text{ cm}^{-3}$ 的示例性掺杂密度掺杂有诸如B这样的p型掺杂剂。所述层20中的掺杂剂可以在外延生长期间添加或可以在形成层20之后由离子注入来添加。

[0070] 在一些实施方式中,栅电极G 1可以在盖层20的顶部上延伸,并且与盖层20形成欧姆或肖特基接触。在这些实施方式中,栅电极G 1对载流子沟道和盖层20具有同时且直接的控制。由于较大的带隙、相反类型的掺杂以及高的热导率,所述盖层20可以强化沟道载流子

约束,对于电场工程形成RESURF结构,并且充当表面散热层。

[0071] 在一些实施方式中,栅电极G₁设置在盖层20的顶部上,并且不直接控制载流子沟道。在这些实施方式中,由于盖层20具有与载流子沟道相反的导电类型,所以阈值电压可以被改变。例如,盖层20可以被完全或部分地p型掺杂,以将装置从耗尽模式(D模式)转换成增强模式(E模式)。

[0072] 图8是图7所示的实施方式的沿着截线BB'的能带图。如图所示,p型盖层20抬升能带,并且使得层13和14的异质结构处的导带下降能够高于费米能级 E_F 。因此,在零栅偏压下耗尽2DEG,实现了Ga_{0.5}N_{0.5}基HEMT的E模式操作。

[0073] 图9是具有多功能盖层和多功能背势垒的根据本发明的一个实施方式的半导体器件的截面图。在这些实施方式中,多功能盖势垒和背势垒层可以共存于同一III-V器件中。

[0074] 制造方法

[0075] 图10示出了根据本发明的一些实施方式的用于制造半导体器件的方法的框图。方法包括以下步骤:提供衬底1010;制造1020半导体结构,该半导体结构至少包括在半导体结构中形成载流子沟道的III-V沟道层;以及与半导体结构接近地制造1030势垒层。势垒层的材料具有比III-V沟道层中的材料的带隙和热导率大的带隙和热导率。在一些实施方式中,与III-V沟道层平行地设置势垒层,以仅部分交叠III-V沟道层。

[0076] 进一步地,方法还包括以下步骤:用具有与载流子沟道相反的导电类型的杂质掺杂1040势垒层;以及形成1050与载流子沟道电接触的电极。电极可以使用电子束沉积、焦耳蒸发、化学气相沉积以及溅射处理中的一种或组合来形成。

[0077] 另外,还可以与势垒层相邻地形成缓冲层。该缓冲层可以被形成为背势垒和/或盖层。在一些实施方式中,方法涉及衬底和在衬底顶面上生长和形成缓冲区域。根据一些实施方式,对于生长和形成可以采用各种方法,包括但不限于化学气相沉积(CVD)、金属有机化学气相沉积(MOCVD)、分子束外延(MBE)、金属有机气相外延(MOVPE)、等离子体增强化学气相沉积(PECVD)、以及微波等离子体沉积。

[0078] 如对于所述衬底和缓冲区域的形成列出的,对于背势垒层的生长和形成可以采用各种方法。背势垒可以在外延生长期间掺杂或在形成背势垒之后通过离子注入来掺杂。III-V沟道结构可以外延生长在所述背势垒层的顶部上,或者可以从另一晶圆结构转移。可以从接触和访问区域部分地去除盖层。盖层可以在沉积/生长期间掺杂或在盖层形成之后由离子注入来掺杂。

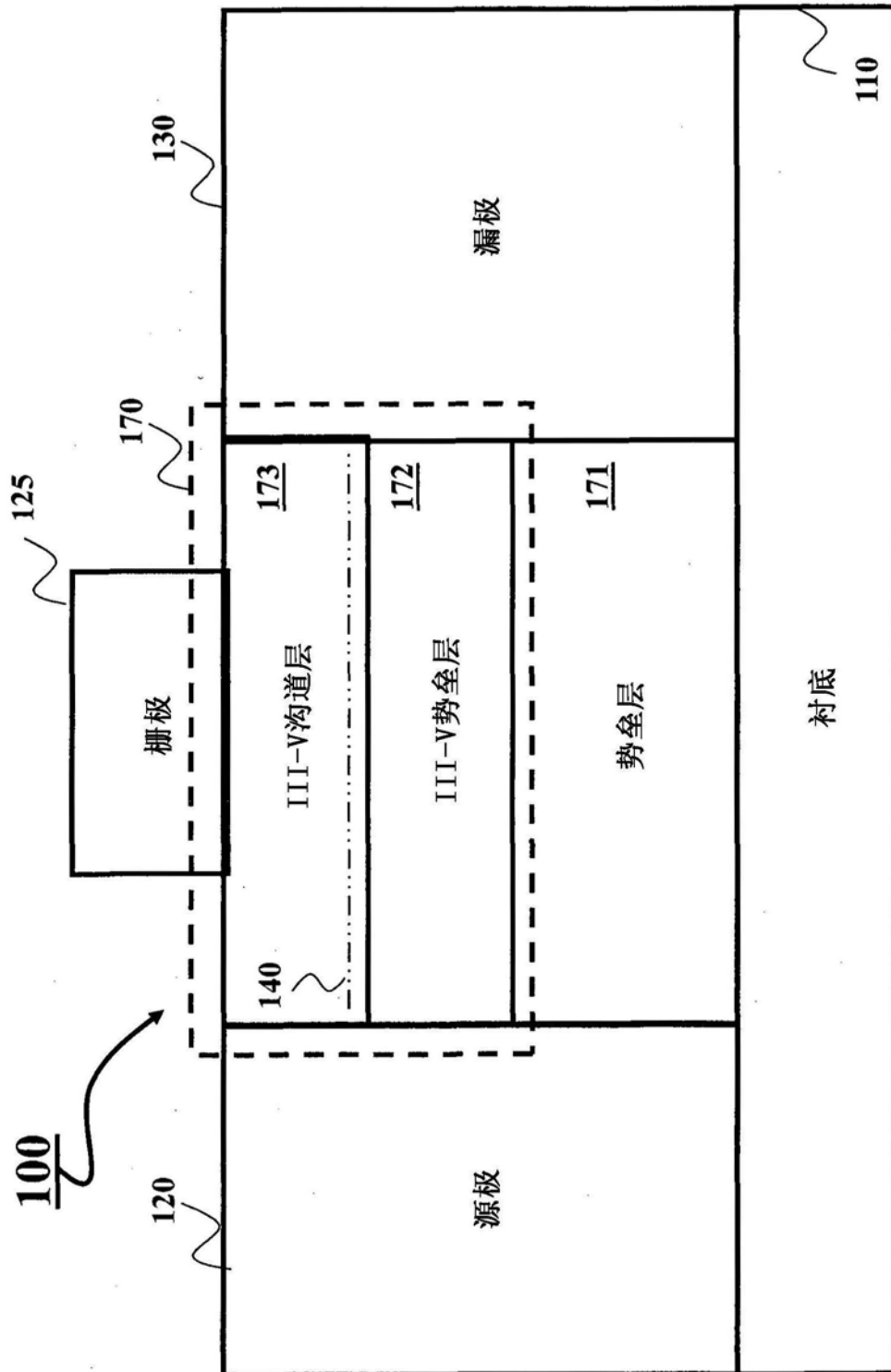


图1

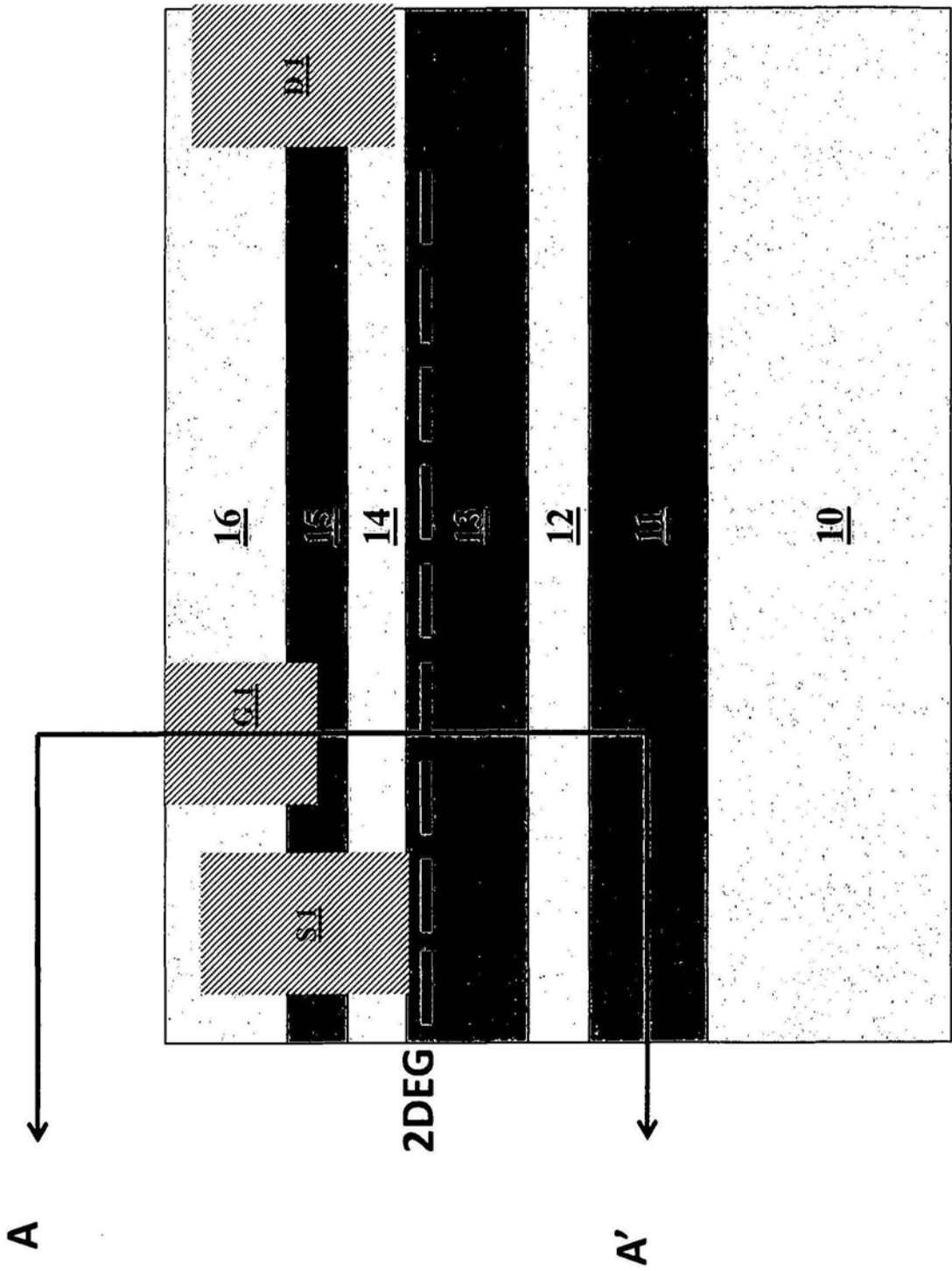


图2

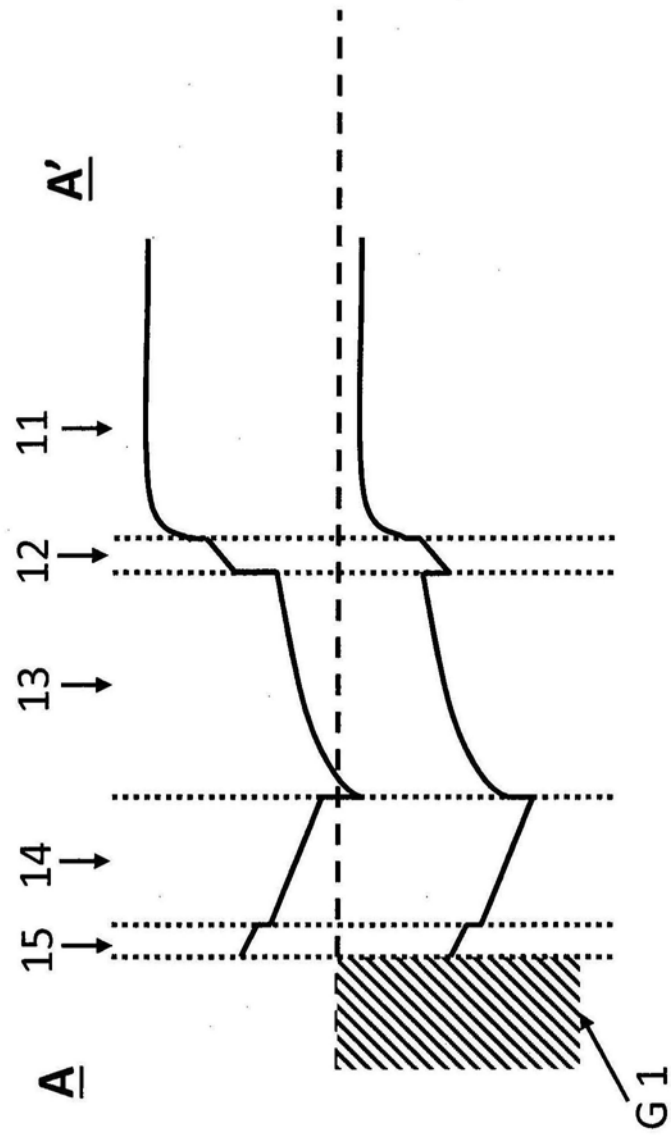


图3

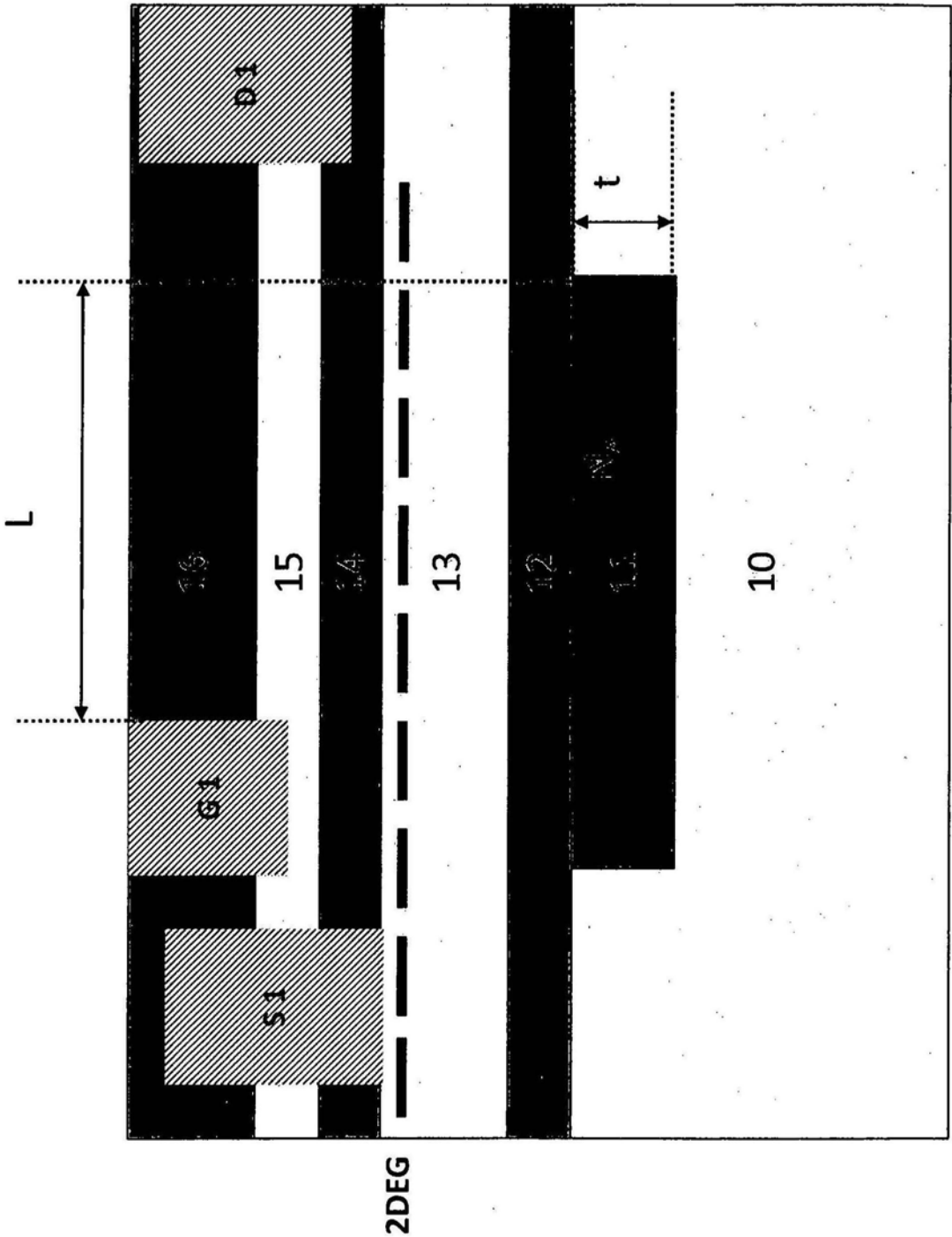


图4

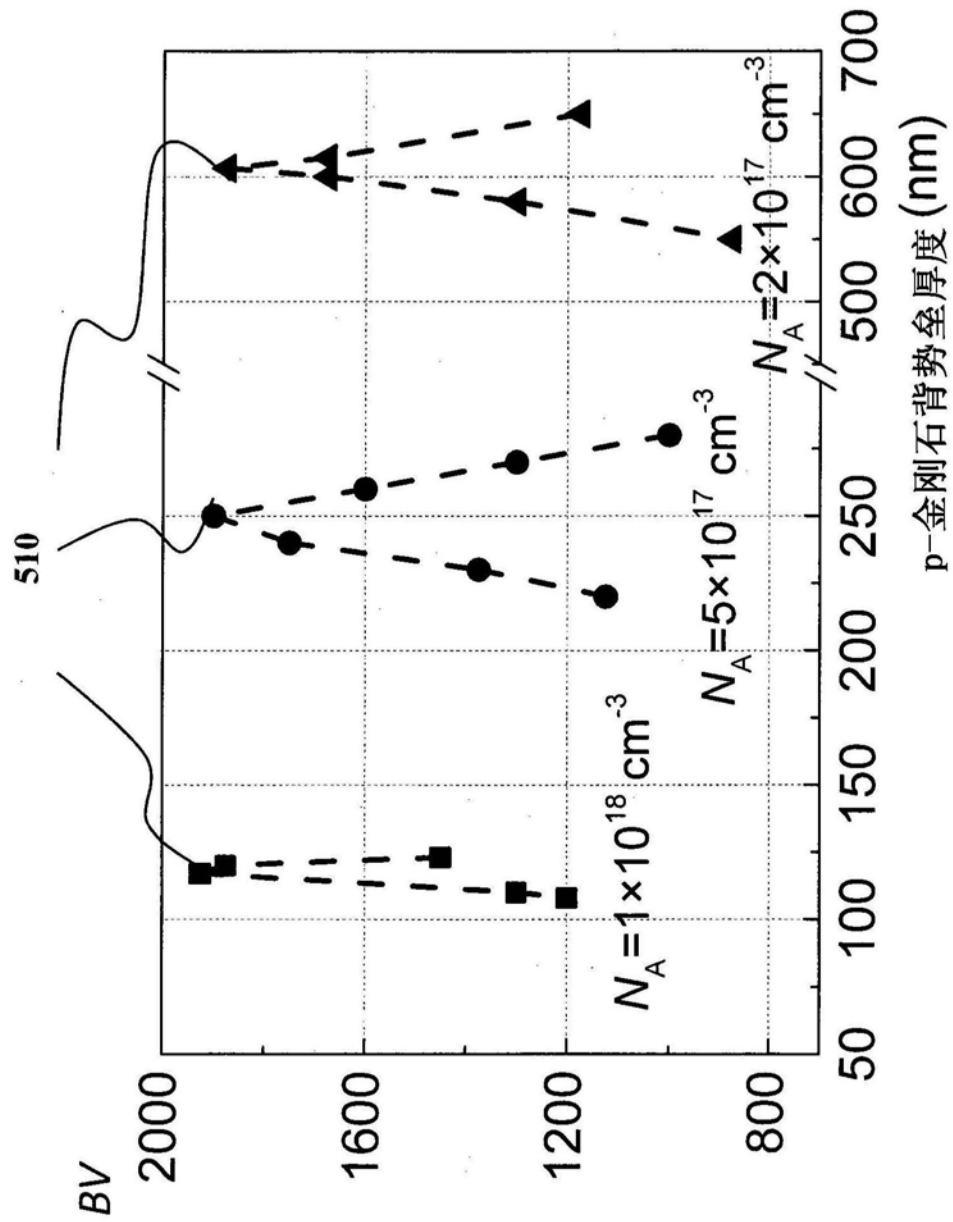


图5A

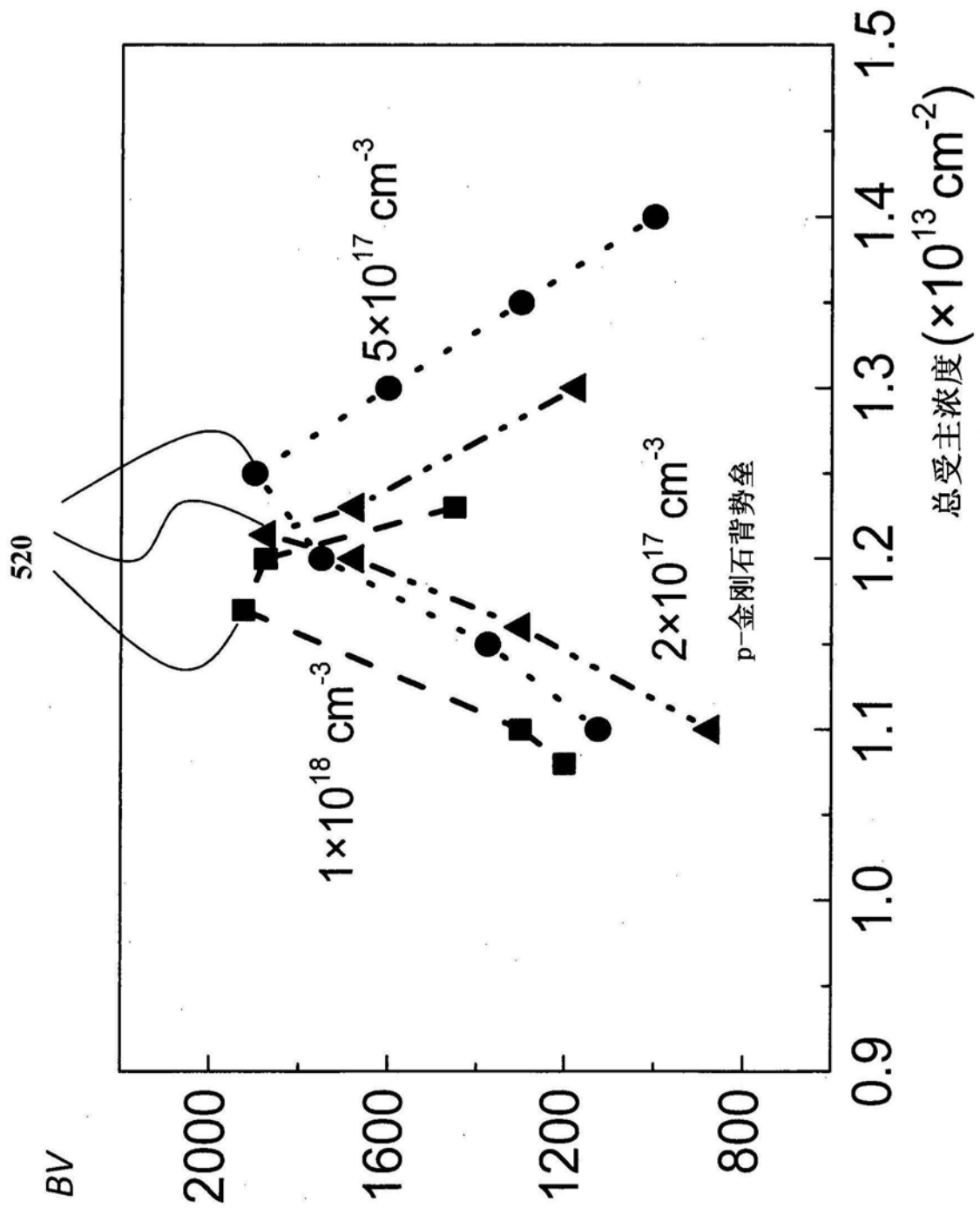


图5B

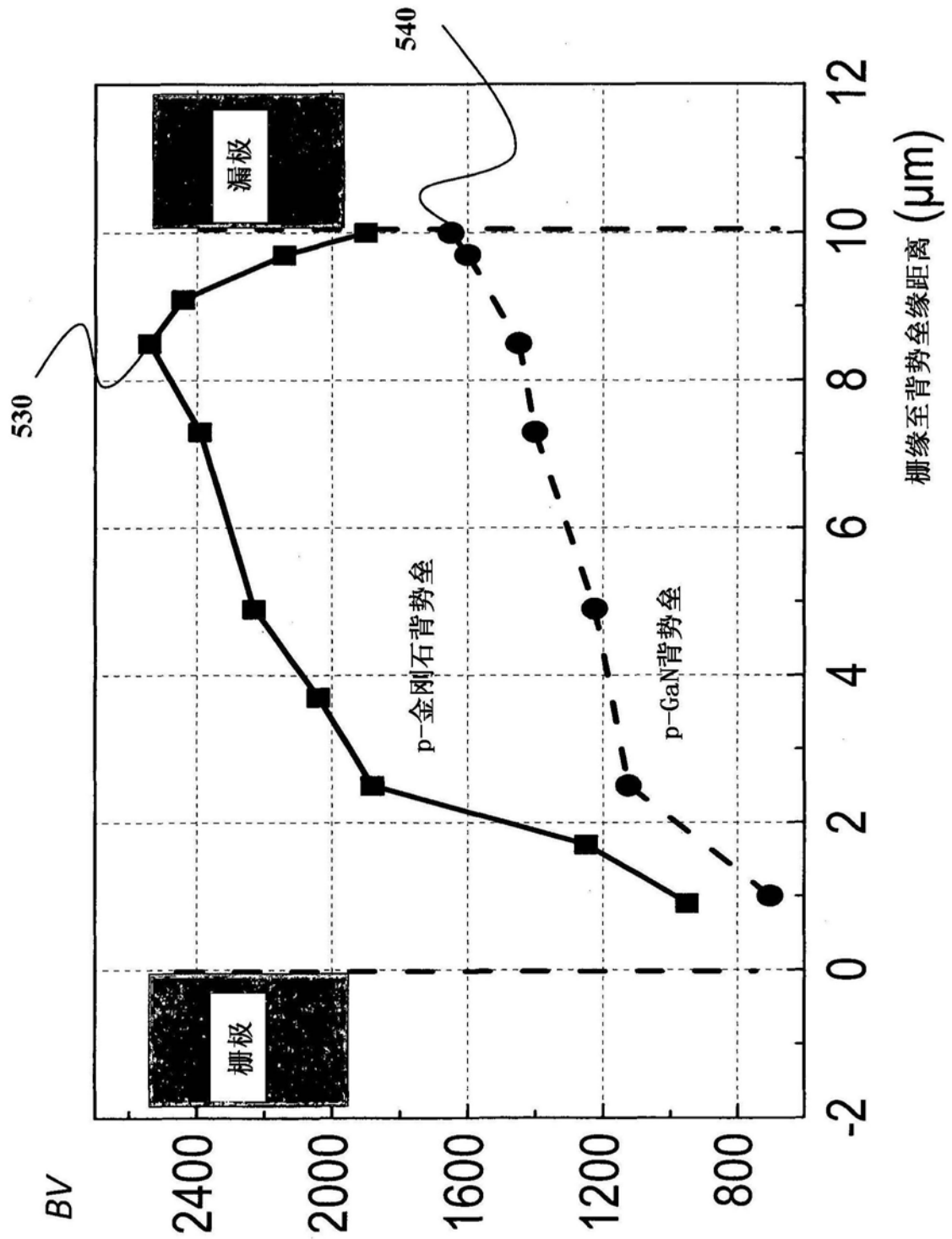


图5C

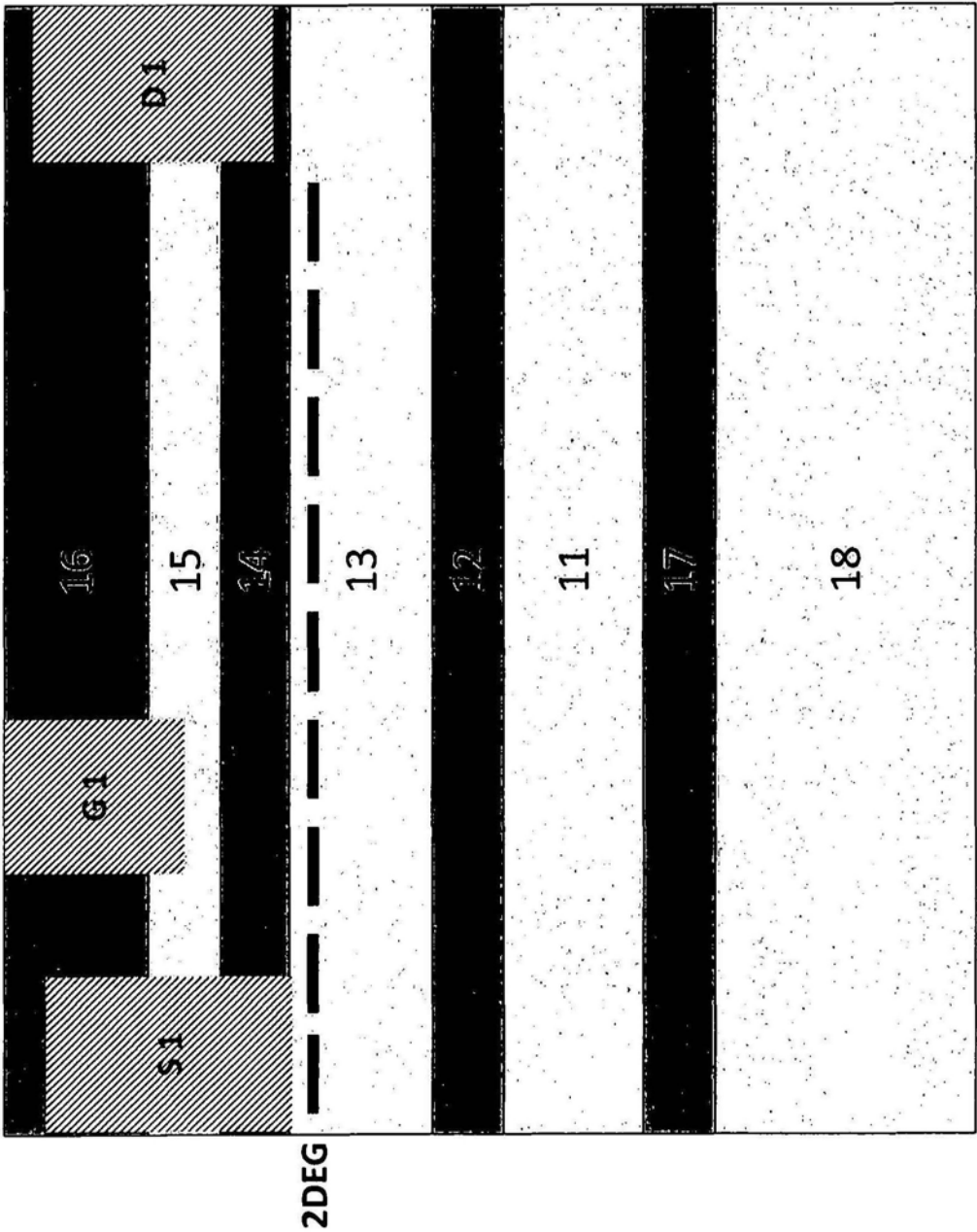


图6

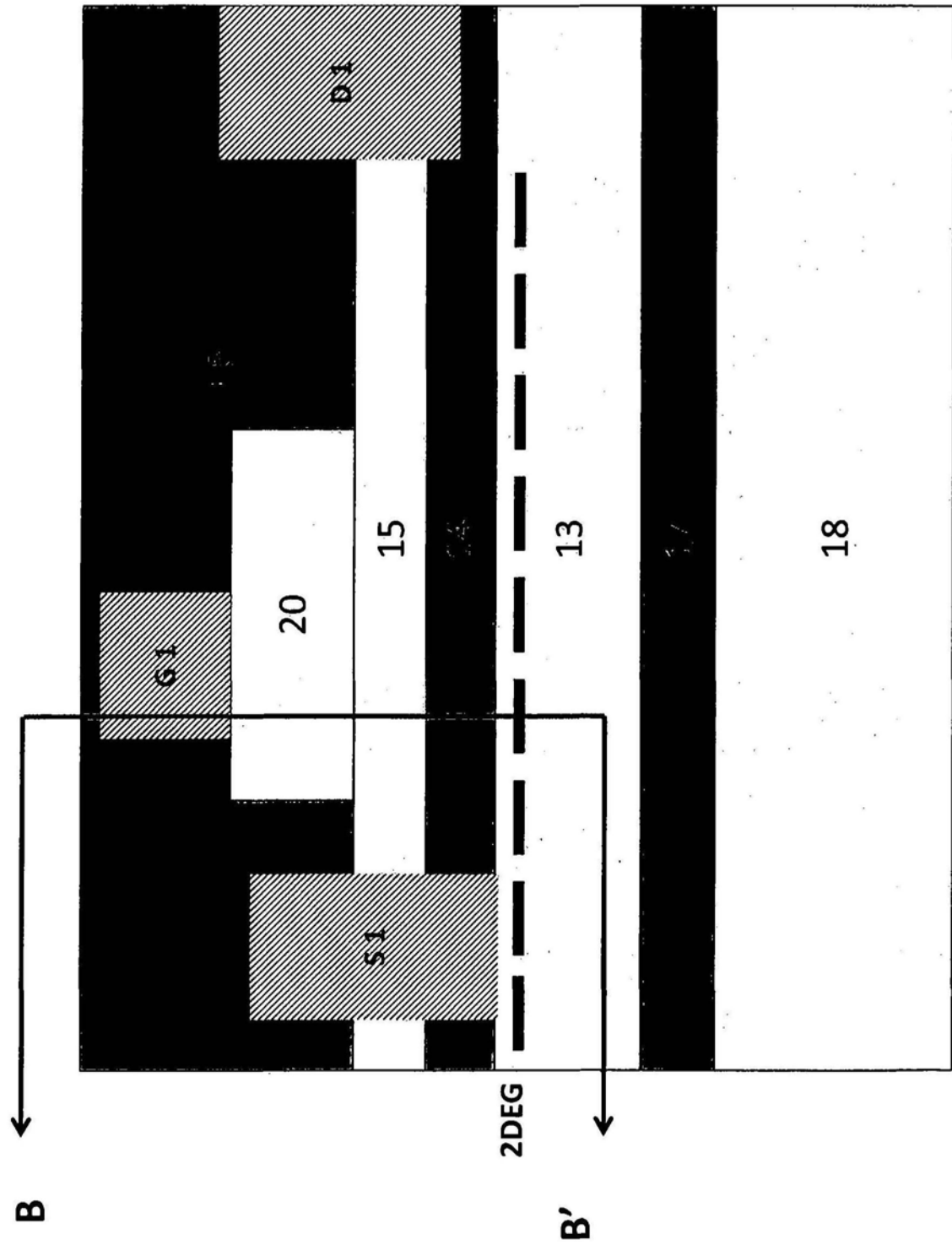


图7

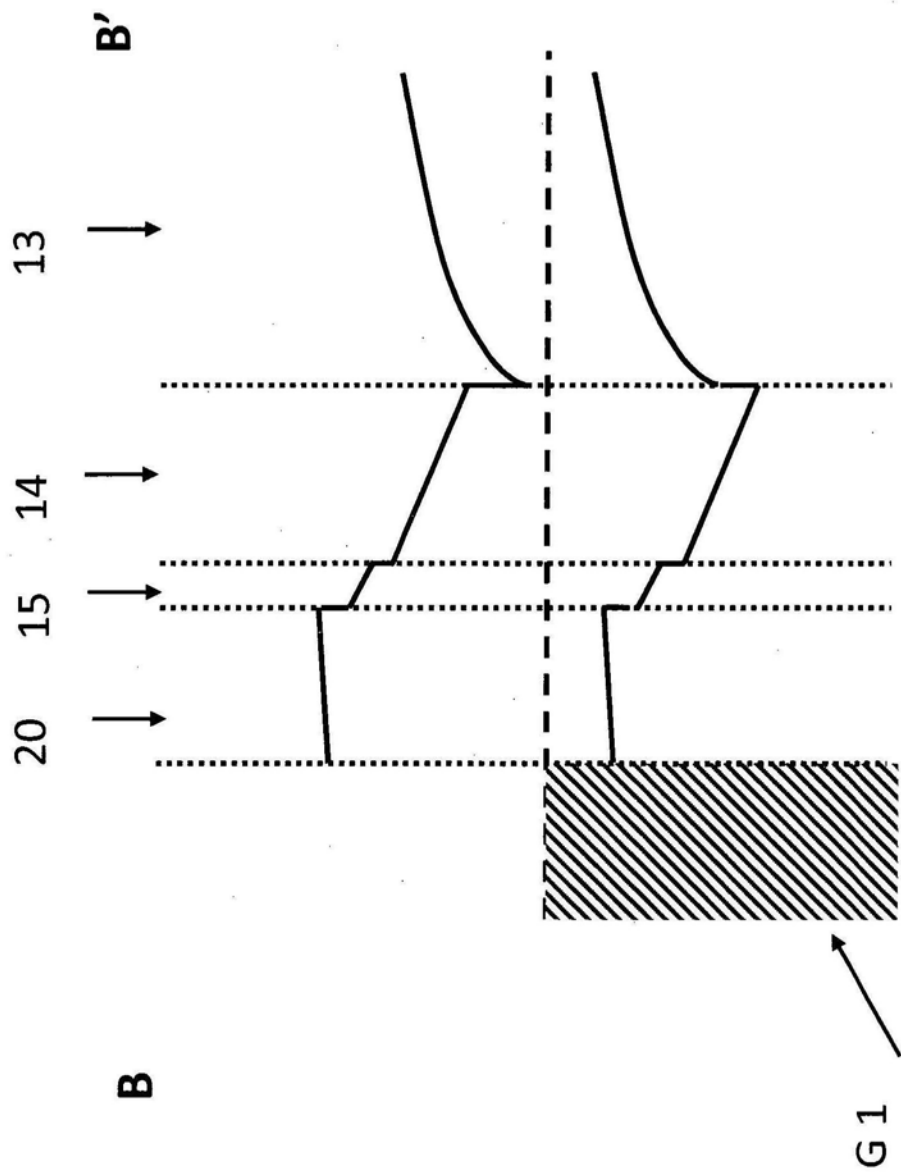


图8

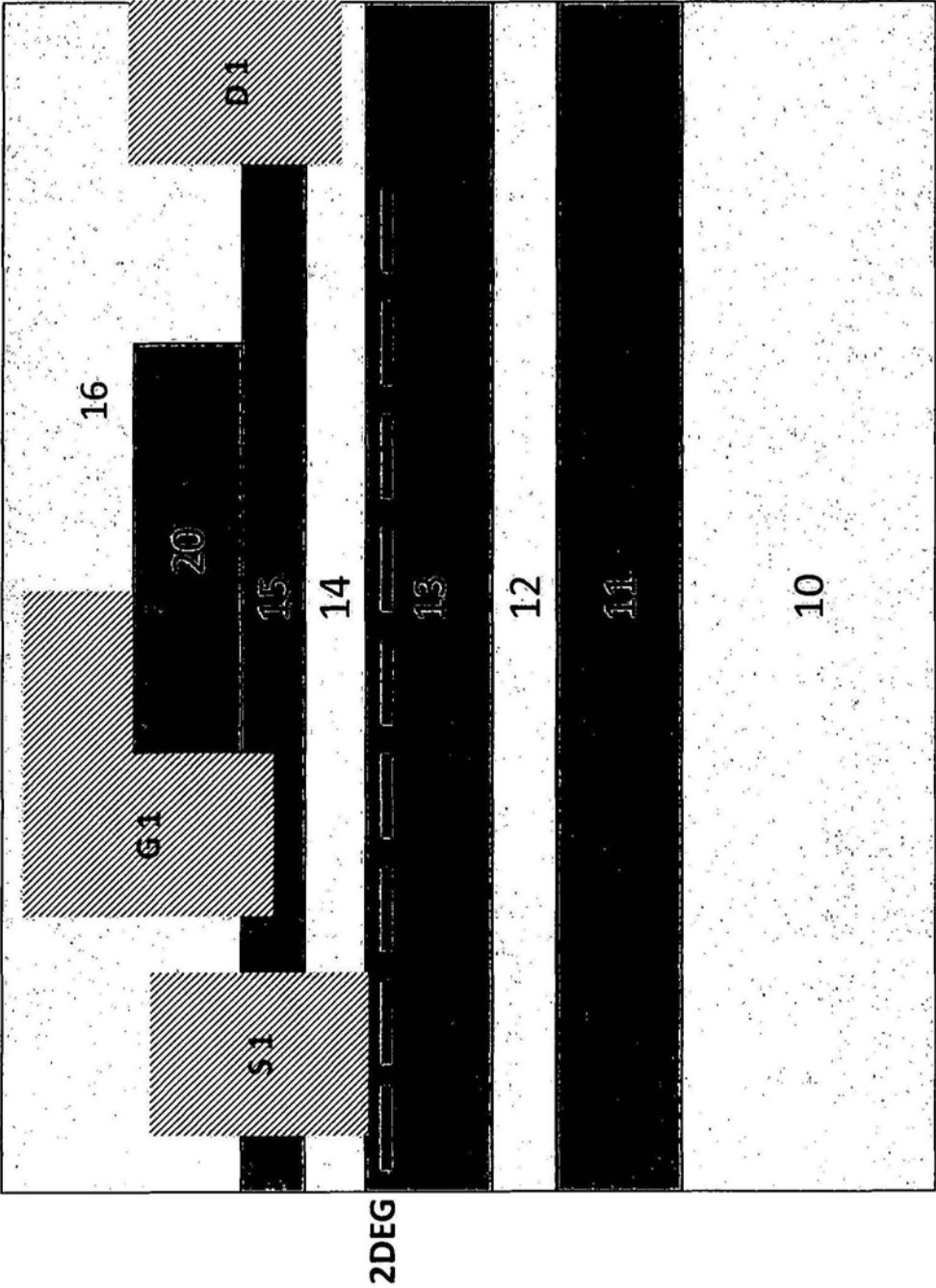


图9

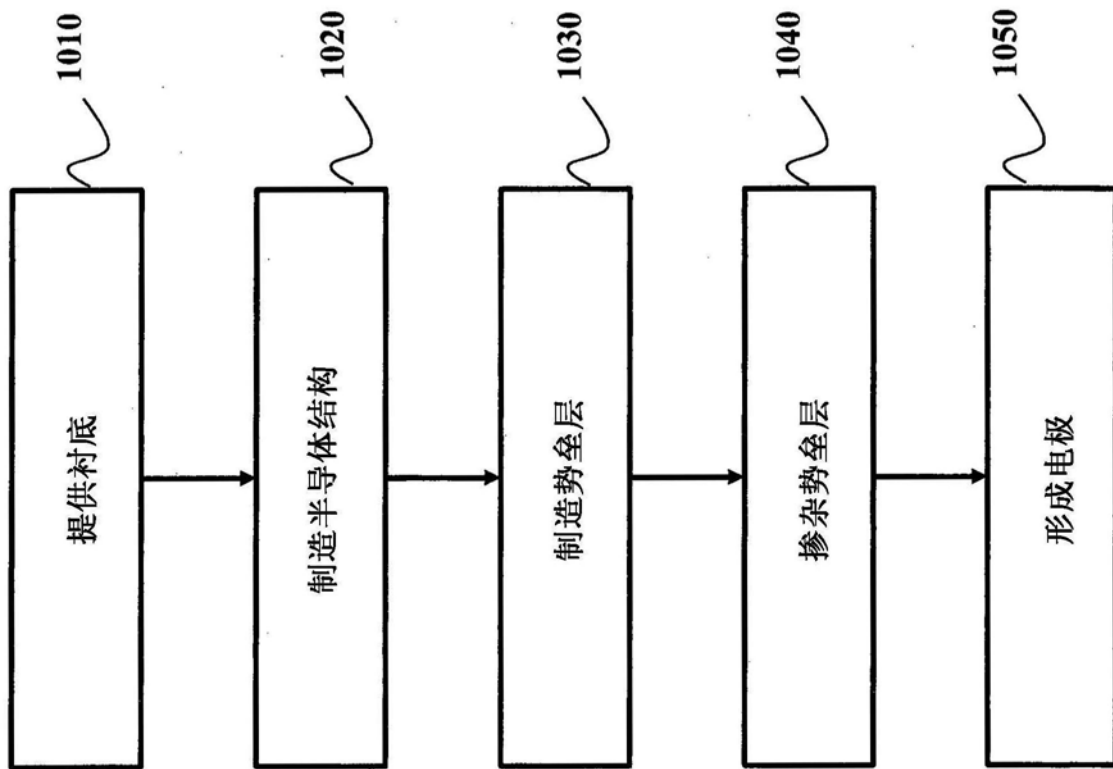


图10