

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年2月7日(07.02.2019)



(10) 国際公開番号

WO 2019/025895 A1

(51) 国際特許分類:

G09G 5/00 (2006.01) H01L 27/088 (2006.01)
G02F 1/133 (2006.01) H01L 27/108 (2006.01)
G02F 1/1368 (2006.01) H01L 27/32 (2006.01)
G09F 9/00 (2006.01) H01L 29/786 (2006.01)
H01L 21/28 (2006.01) H01L 51/50 (2006.01)
H01L 21/8234 (2006.01) H05B 33/14 (2006.01)
H01L 21/8242 (2006.01)

特願 2017-147941 2017年7月31日(31.07.2017) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷 3 9 8 Kanagawa (JP).

(72) 発明者: 伊藤 港 (ITO, Minato); 〒2430036 神奈
川県厚木市長谷 3 9 8 株式会社半導体エ
ネルギー研究所内 Kanagawa (JP).

(21) 国際出願番号: PCT/IB2018/055366

(22) 国際出願日: 2018年7月19日(19.07.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

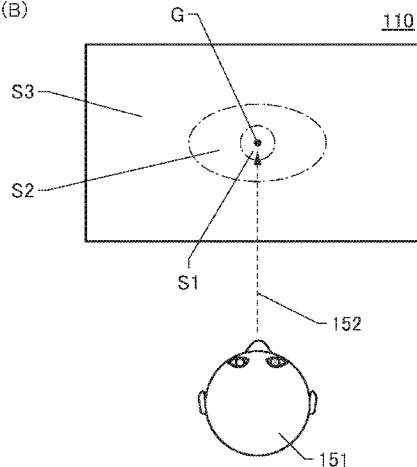
(30) 優先権データ:

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置

[図 2] (B)



D: 距離
G: 注視点
S1: 第1領域
S2: 第2領域
S3: 第3領域

D Distance
G Point of gaze
S1 First area
S2 Second area
S3 Third area

(57) Abstract: Provided is a display device with satisfactory display quality. This display device comprises: a display unit; a line-of-sight detection unit; a control unit; and a processor. In the line-of-sight detection unit, the line of sight of a user is detected, together with the distance from the user to the display device, and in the control unit, the size of a first display area which includes the user's point of gaze is determined. The resolution of a video displayed in the first display area is improved by means of RAISR, ANR, A+ or neural networks. The resolution of video displayed in areas

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

outside the first display area is improved using the nearest neighbor method, the bilinear method, the bicubic method or the Lanczos method.

(57) 要約：表示品位が良好な表示装置を提供する。表示装置は、表示部と、視線検知部と、制御部と、演算部を有する。視線検知部において、ユーザーの視線およびユーザーから表示装置までの距離を検出して、制御部において、ユーザーの注視点を含む第1表示領域の大きさを決定する。第1表示領域に表示する映像は、RAISR法、ANR法、A+法、またはニューラルネットワークによって解像度を高める。第1表示領域の外側の領域に表示する映像は、Nearest neighbor法、Bilinear法、Bicubic法、またはLanczos法を用いて解像度を高める。

明細書

発明の名称

表示装置

技術分野

[0001]

本発明の一態様は、表示装置および表示システムに関する。

[0002]

ただし、本発明の一態様は、上記の技術分野に限定されるものではない。本明細書等で開示する発明の一態様は、物、方法、または、製造方法に関する。または、本明細書等で開示する発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関する。

[0003]

より具体的には、本明細書等で開示する本発明の一態様の技術分野の一例として、表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、電子機器、それらの駆動方法、または、それらの製造方法、を挙げることができる。

[0004]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタ、半導体回路は半導体装置の一態様である。また、表示装置、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置および電子機器などは、半導体装置と言える場合がある。もしくは、これらは半導体装置を有すると言える場合がある。

背景技術

[0005]

近年、解像度が高い映像の視聴要求が増えている。それに伴い、表示装置の表示画面の解像度向上が求められている。このため、表示装置に求められる解像度は、フルハイビジョン（画素数1920×1080、または「2K」などとも言われる。）、ウルトラハイビジョン（画素数3840×2160、または「4K」などとも言われる。）、スーパーハイビジョン（画素数7680×4320、または「8K」などとも言われる。）と高精細化の傾向にある。

[0006]

また、日本国においても、2015年に通信衛星（CS）およびケーブルテレビ等による4K実用放送が開始され、2016年に放送衛星（BS）による4K・8K試験放送が開始されている。今後、8K実用放送の開始が予定されている。8Kの実用放送では、4K放送、2K放送（フルハイビジョン放送）も併用される予定である。8K放送の映像を見る者は、2K放送の映像、または4K放送の映像等を見る者より高い臨場感を感じることができると期待される。

[0007]

一方で、解像度が高い映像は情報量が多いため、映像情報の転送速度の高速化が求められている。特許文献1では、異なる解像度の映像を複数用意して、使用者が視認している領域に高解像度の映像を表示し、それ以外の領域に低解像度の映像を表示して、映像情報の転送速度の上昇を抑える方法が示されている（特許文献1）。

[先行技術文献]

[特許文献]

[0008]

[特許文献1] 特開2015-222470号公報

発明の概要

発明が解決しようとする課題

[0009]

本発明の一態様は、映像ソースの品質を超えた映像を視聴可能な表示装置を提供することを課題の一つとする。または、表示品位が良好な表示装置を提供することを課題の一つとする。または、低解像度の映像ソースから高解像度の映像ソースを生成する画像処理方法を提供することを課題の一つとする。または、消費電力の少ない表示装置を提供することを課題の一つとする。または、生産性の良好な表示装置を提供することを課題の一つとする。または、信頼性が良好な表示装置を提供することを課題の一つとする。または、表示品位が良好な表示システムを提供することを課題の一つとする。または、新規な表示装置を提供することを課題の一つとする。または、新規な表示システムを提供することを課題の一つとする。

[0010]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0011]

表示装置は、表示部と、視線検知部と、制御部と、演算部とを有する。視線検知部において、ユーザーの視線およびユーザーから表示装置までの距離を検出して、制御部において、ユーザーの注視点を含む第1表示領域の大きさを決定する。第1表示領域に表示する映像は、RAISR法、ANR法、A+法、またはニューラルネットワークによって解像度を高める。第1表示領域の外側の領域に表示する映像は、Nearest neighbor法、Bilinear法、Bicubic法、またはLanczos法を用いて解像度を高める。

[0012]

本発明の一態様は、表示部と、視線検知部と、制御部と、演算部と、を有し、表示部は、第1表示領域を有し、視線検知部は、ユーザーの視線の向きを示す第1情報と、ユーザーから表示部までの距離を示す第2情報と、を検出する機能を有し、制御部は、第1情報および第2情報を用いて第1表示領域を決定する機能を有し、演算部は、第1表示領域に表示される映像の解像度を高める機能を有することを特徴とする表示装置である。

[0013]

演算部が有するトランジスタに、チャネルが形成される半導体層に金属酸化物の一種である酸化物半導体を用いたトランジスタを用いることが好ましい。

[0014]

第1表示領域は、ユーザーの注視点を含む。ニューラルネットワークは、深層ニューラルネットワーク、畳み込みニューラルネットワーク、再帰型ニューラルネットワーク、自己符号化器、深層ボルツマンマシン、または深層信念ネットワークを用いることができる。

発明の効果

[0015]

本発明の一態様によれば、映像ソースの品質を超えた映像を視聴可能な表示装置を提供することができる。または、表示品位が良好な表示装置を提供することができる。または、低解像度の映像ソースから高解像度の映像ソースを生成する画像処理方法を提供できる。または、消費電力の少ない表示装置を提供することができる。または、生産性の良好な表示装置を提供することができる。または、信頼性が良好な表示装置を提供することができる。または、表示品位が良好な表示システムを提供することができる。または、新規な表示装置を提供することができる。または、新規な表示システムを提供することができる。

[0016]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0017]

[図1] 表示装置を説明する図。

[図2] 表示装置を説明する図。

[図3] 表示装置を説明する図。

[図4] 表示装置を説明する図。

[図5] アルゴリズムの一例を示す図。

[図6] 表示装置の動作例のフローチャート。

[図7] ニューラルネットワークの構成例を説明する図。

[図8] 表示装置の動作例を説明する図。

[図9] 表示装置の動作例を説明する図。

[図10] 表示装置の動作例を説明する図。

[図11] ニューラルネットワークの構成例を説明する図。

[図12] 半導体装置の構成例を説明する図。

[図13] メモリセルの構成例を説明する図。

[図14] オフセット回路の構成例を説明する図。

[図15] 半導体装置の動作例を説明するタイミングチャート。

[図16] 表示装置の一例および画素の回路構成例を説明する図。

[図17] 画素の回路構成例を説明する図。

[図18] 駆動回路の構成例を説明する図。

[図19] 表示装置を説明する図。

[図20] 表示装置を説明する図。

[図21] トランジスタの構成例を説明する図。

[図22] トランジスタの構成例を説明する図。

[図23] トランジスタの構成例を説明する図。

[図24] トランジスタの構成例を示す図。

[図25] エネルギーバンド構造を示す図。

[図26] 半導体装置の構成例を示す図。

〔図 2 7〕 電子機器の構成例を示す図。

発明を実施するための形態

〔0018〕

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。

〔0019〕

また、図面などにおいて示す各構成の、位置、大きさ、範囲などは、発明の理解を容易とするため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面などに開示された位置、大きさ、範囲などに限定されない。例えば、実際の製造工程において、エッチングなどの処理により層やレジストマスクなどが意図せずに目減りすることがあるが、発明の理解を容易とするため、図に反映しないことがある。

〔0020〕

特に、上面図（「平面図」ともいう。）や斜視図などにおいて、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線などの記載を省略する場合がある。

〔0021〕

本明細書等において、「第 1」、「第 2」などの序数詞は、構成要素の混同を避けるために付すものであり、工程順または積層順など、なんらかの順番や順位を示すものではない。また、本明細書等において序数詞が付されていない用語であっても、構成要素の混同を避けるため、特許請求の範囲において序数詞が付される場合がある。また、本明細書等において付された序数詞と、特許請求の範囲において付された序数詞が異なる場合がある。また、本明細書等において序数詞が付されている用語であっても、特許請求の範囲などにおいて序数詞を省略する場合がある。

〔0022〕

本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって設けられている場合なども含む。

〔0023〕

なお、「膜」という言葉と、「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

〔0024〕

本明細書等においてトランジスタとは、特に断りがない場合、ゲート（ゲート端子、またはゲート電極）、ソース（ソース端子、ソース領域またはソース電極）、およびドレイン（ドレイン端子、ドレイン領域またはドレイン電極）を含む少なくとも三つの端子を有する素子、または、バックゲート（バックゲート端子、またはバックゲート電極）を含む少なくとも四つの端子を有する素子である。そして、ソースとドレインの間にチャンネル形成領域を有しており、チャンネル形成領域を介して、ソースと

ドレインとの間に電流を流すことができるものである。なお、本明細書等において、チャネル形成領域とは、電流が主として流れる領域をいう。

[0025]

また、本明細書等に示すトランジスタは、特に断りがない場合、エンハンスメント型（ノーマリーオフ型）の電界効果トランジスタとする。また、本明細書等に示すトランジスタは、特に断りがない場合、 n チャネル型のトランジスタとする。よって、そのしきい値電圧（「 V_{th} 」ともいう。）は、特に断りがない場合、 0 V よりも大きいものとする。

[0026]

なお、本明細書等において、特に断りがない場合、バックゲートを有するトランジスタの V_{th} とは、バックゲートの電位をソースまたはゲートと同電位としたときの V_{th} をいう。

[0027]

また、本明細書等において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう）にあるときのドレイン電流（「 I_d 」ともいう。）をいう。オフ状態とは、特に断りがない場合、 n チャネル型トランジスタでは、ソースを基準とした時のゲートとソースの間の電位差（「ゲート電圧」または「 V_g 」ともいう。）がしきい値電圧よりも低い状態、 p チャネル型トランジスタでは、 V_g がしきい値電圧よりも高い状態をいう。例えば、 n チャネル型のトランジスタのオフ電流とは、 V_g が V_{th} よりも低いときのドレイン電流を言う場合がある。

[0028]

上記オフ電流の説明において、ドレインをソースと読み替えてもよい。つまり、オフ電流は、トランジスタがオフ状態にあるときのソースを流れる電流を言う場合もある。

[0029]

また、本明細書等では、オフ電流と同じ意味で、リーク電流と記載する場合がある。また、本明細書等において、オフ電流とは、例えば、トランジスタがオフ状態にあるときに、ソースとドレインとの間に流れる電流を指す場合がある。

[0030]

また、本明細書等において、電位 V_{DD} とは、電位 V_{SS} よりも高い電位の電源電位を示す。また、電位 V_{SS} とは、電位 V_{DD} よりも低い電位の電源電位を示す。また、接地電位を V_{DD} または V_{SS} として用いることもできる。例えば V_{DD} が接地電位の場合には、 V_{SS} は接地電位より低い電位であり、 V_{SS} が接地電位の場合には、 V_{DD} は接地電位より高い電位である。

[0031]

また、一般に「電圧」とは、ある電位と基準の電位（例えば、接地電位（ GND ）またはソース電位など）との電位差のことを示す場合が多い。また、「電位」は相対的なものであり、基準となる電位によって配線等に与える電位が変化する場合がある。よって「電圧」と「電位」は互いに言い換えることが可能な場合がある。なお、本明細書等では、明示される場合を除き、 V_{SS} を基準の電位とする。

[0032]

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が直上または直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して設けられている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。

[0033]

また、本明細書等において、「平行」とは、明示されている場合を除き、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、明示されている場合を除き、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」および「直交」とは、明示されている場合を除き、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、明示されている場合を除き、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

[0034]

なお、本明細書等において、計数値および計量値に関して「同一」、「同じ」、「等しい」または「均一」（これらの同意語を含む）などと言う場合は、明示されている場合を除き、プラスマイナス20%の誤差を含むものとする。

[0035]

本明細書等において、人工ニューラルネットワーク（ANN、以後、ニューラルネットワークと呼称する。）とは、生物の神経回路網を模したモデル全般を指す。一般的には、ニューラルネットワークは、ニューロンを模したユニットが、シナプスを模したユニットを介して、互いに結合された構成となっている。

[0036]

シナプスの結合（ニューロン同士の結合）の強度（重み係数ともいう。）は、ニューラルネットワークに既存の情報を与えることによって、変化させることができる。このように、ニューラルネットワークに既存の情報を与えて、結合強度を決める処理を「学習」と呼ぶ場合がある。

[0037]

また、「学習」を行った（結合強度を定めた）ニューラルネットワークに対して、何らかの情報を与えることにより、その結合強度に基づいて新たな情報を出力することができる。このように、ニューラルネットワークにおいて、与えられた情報と結合強度に基づいて新たな情報を出力する処理を「推論」または「認知」と呼ぶ場合がある。

[0038]

ニューラルネットワークのモデルとしては、例えば、ホップフィールド型、階層型等が挙げられる。特に、多層構造としたニューラルネットワークを「ディープニューラルネットワーク」（DNN）と呼称し、ディープニューラルネットワークによる機械学習を「ディープラーニング」と呼称する。なお、DNNには、全結合ニューラルネットワーク（FC-NN: Full Connected - Neural Network）、畳み込みニューラルネットワーク（CNN: Convolutional Neural Network）、再帰型ニューラルネットワーク（RNN: Recurrent Neural Network）等が含まれる。

[0039]

なお、本明細書などにおいて、チャンネルが形成される半導体層に金属酸化物の一種である酸化物半導体を用いたトランジスタを「OSトランジスタ」ともいう。また、チャンネルが形成される半導体層にシリコンを用いたトランジスタを「Siトランジスタ」ともいう。

[0040]

(実施の形態 1)

本実施の形態では、本発明の一態様の表示装置 100 の構成例について、図面を用いて説明する。

[0041]

<表示装置の構成例>

図 1 (A) は表示装置 100 の正面を示す図である。表示装置 100 は、筐体 101、スタンド 102、表示部 110、および視線検知部 120 を有する。

[0042]

図 1 (B) は、表示装置 100 の構成例を示すブロック図である。なお、図 1 (B) では、構成要素を機能ごとに分類し、互いに独立したブロックとしてブロック図を示しているが、実際の構成要素は機能ごとに完全に切り分けることが難しく、一つの構成要素が複数の機能に係わることや、一つの機能が複数の構成要素に係わることもありうる。

[0043]

また、本実施の形態で例示する表示装置 100 の構成は一例であり、全ての構成要素を含む必要はない。表示装置 100 は、図 1 (A) および (B) に示す構成要素のうち必要な構成要素を有していればよい。また、図 1 (A) および (B) に示す構成要素以外の構成要素を有していてもよい。

[0044]

図 2 (A) は、使用者 151 が、表示装置 100 (または表示部 110) から距離 D 離れた位置で、表示部 110 に表示される映像を観察している様子を示す斜視図である。また、表示部 110 上に、ユーザーの注視点 G を示している。

[0045]

表示装置 100 は、表示部 110、視線検知部 120、制御部 130、演算部 140、記憶部 150、入出力部 160、および通信部 170 を有する。他に、タッチセンサ、タッチセンサ制御手段、バッテリー、バッテリーコントローラ、受電手段、アンテナ、撮像手段、振動手段、などを有してもよい。表示部 110、視線検知部 120、制御部 130、演算部 140、記憶部 150、入出力部 160、および通信部 170 は、バスライン 131 を介して電氣的に接続される。

[0046]

[表示部 110]

表示部 110 は、マトリクス状に配置された複数の画素を有する。また、画素は、表示素子を有する。表示部 110 は、様々な形態を用いること、または様々な表示素子を有することが出来る。表示素子の一例としては、EL (エレクトロルミネッセンス) 素子 (有機 EL 素子、無機 EL 素子、または、有機物および無機物を含む EL 素子)、LED (白色 LED、赤色 LED、緑色 LED、青色 LED など)、トランジスタ (電流に応じて発光するトランジスタ)、電子放出素子、液晶素子、電子インク、電気泳動素子、GLV (グレーティングライトバルブ)、MEMS (マイクロ・エレクトロ・メカニカル・システム) を用いた表示素子、DMD (デジタルマイクロミラーデバイス)、DMS (デジタル・マイクロ・シャッター)、MIRASOL (登録商標)、IMOD (インターフェロメトリック・モジュレーション) 素子、シャッター方式の MEMS 表示素子、光干渉方式の MEMS 表示素子、エレクトロウェットティング素子、圧電セラミックディスプレイ、カーボンナノチューブを用いた表示素子、など、電氣的または磁氣的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有するものがある。また、表示素子として量子ドットを用いてもよい。

[0047]

表示部110にEL素子を用いた表示装置の一例としては、EL表示装置などがある。表示部110に電子放出素子を用いた表示装置の一例としては、電界放出型表示装置(FED:Field Emission Display)または表面伝導型電子放出素子表示装置(SED:Surface-conduction Electron-emitter Display)などがある。表示部110に量子ドットを用いた表示装置の一例としては、量子ドット表示装置などがある。表示部110に液晶素子を用いた表示装置の一例としては、液晶表示装置(透過型液晶表示装置、半透過型液晶表示装置、反射型液晶表示装置、直視型液晶表示装置、投射型液晶表示装置)などがある。表示部110に電子インク、電子粉流体(登録商標)、または電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。また、表示装置はPDP(Plasma Display Panel)であってもよい。また、マイクロLEDを用いた表示装置であってもよい。

[0048]

なお、半透過型液晶表示装置や反射型液晶表示装置を実現する場合には、画素電極の一部、または、全部が、反射電極としての機能を有するようにすればよい。例えば、画素電極の一部、または、全部が、アルミニウム、銀、などを有するようにすればよい。さらに、その場合、反射電極の下に、SRAMなどの記憶回路を設けることも可能である。これにより、さらに、消費電力を低減することができる。

[0049]

なお、表示部110にLEDを用いる場合、LEDの電極や窒化物半導体の下に、グラフェンやグラファイトを配置してもよい。グラフェンやグラファイトは、複数の層を重ねて、多層膜としてもよい。このように、グラフェンやグラファイトを設けることにより、その上に、窒化物半導体、例えば、結晶を有するn型GaN半導体層などを容易に成膜することができる。さらに、その上に、結晶を有するp型GaN半導体層などを設けて、LEDを構成することができる。なお、グラフェンやグラファイトと、結晶を有するn型GaN半導体層との間に、AlN層を設けてもよい。なお、LEDが有するGaN半導体層は、MOCVDで成膜してもよい。ただし、グラフェンを設けることにより、LEDが有するGaN半導体層は、スパッタ法で成膜することも可能である。

[0050]

[視線検知部120]

視線検知部120は、使用者の視線152の向きである第1情報を取得する機能を有する。また、視線検知部120は、距離Dである第2情報を取得する機能を有する(図2(A)参照)。なお、第1情報は、既知の視線計測(アイトラッキング)法で取得すればよい。例えば、瞳孔角膜反射(Pupil Center Corneal Reflection)法、明/暗瞳孔(Bright/Dark Pupil Effect)法などにより第1情報を取得すればよい。また、第2情報も既知の計測方法で取得すればよい。例えば、レーザーや超音波などを用いた計測方法で行なえばよい。

[0051]

[制御部130]

制御部130は、表示装置100全体の動作を制御する機能を有する。制御部130は、表示部110、視線検知部120、演算部140、記憶部150、入出力部160、および通信部170などの動作を制御する。

[0052]

[演算部140]

演算部140は、表示装置100全体の動作に関わる演算を行う機能を有し、例えば中央演算処理装置(CPU:Central Processing Unit)などを用いることができる。

[0053]

演算部140としては、CPUのほか、DSP(Digital Signal Processor)、GPU(Graphics Processing Unit)などの他のマイクロプロセッサを単独で、または組み合わせて用いることができる。またこれらマイクロプロセッサをFPGA(Field Programmable Gate Array)やFPAA(Field Programmable Analog Array)といったPLD(Programmable Logic Device)によって実現した構成としてもよい。

[0054]

また、演算部140はニューラルネットワーク(NN)141を有する。ニューラルネットワーク141はソフトウェアで構成してもよい。

[0055]

演算部140は、プロセッサにより種々のプログラムからの命令を解釈し実行することで、各種のデータ処理やプログラム制御を行う。プロセッサにより実行しうるプログラムは、プロセッサが有するメモリ領域に格納されていてもよいし、記憶部150に格納されていてもよい。

[0056]

演算部140はメインメモリを有していてもよい。メインメモリは、RAM(Random Access Memory)、などの揮発性メモリや、ROM(Read Only Memory)などの不揮発性メモリを備える構成とすることができる。

[0057]

メインメモリに設けられるRAMとしては、例えばDRAM(Dynamic Random Access Memory)が用いられ、演算部140の作業空間として仮想的にメモリ空間が割り当てられ利用される。記憶部150に格納されたオペレーティングシステム、アプリケーションプログラム、プログラムモジュール、プログラムデータ等は、実行のためにRAMにロードされる。RAMにロードされたこれらのデータやプログラム、プログラムモジュールは、演算部140に直接アクセスされ、操作される。

[0058]

一方、ROMには書き換えを必要としないBIOS(Basic Input/Output System)やファームウェア等を格納することができる。ROMとしては、マスクROMや、OTPROM(One Time Programmable Read Only Memory)、EPROM(Erasable Programmable Read Only Memory)等を用いることができる。EPROMとしては、紫外線照射により記憶データの消去を可能とするUV-EPROM(Ultraviolet Erasable Programmable Read Only Memory)、EEPROM(Electrically Erasable Programmable Read Only Memory)、フラッシュメモリなどが挙げられる。

[0059]

演算部140は、表示部110に表示する画像を決定する機能を有する。また、演算部140は、第

1 情報（視線 1 5 2 の向き）と第 2 情報（距離 D）から、後述する第 1 領域の大きさおよび形状を決定する機能を有する。

[0060]

〔記憶部 1 5 0〕

記憶部 1 5 0 としては、例えば、フラッシュメモリ、MRAM (Magnetoresistive Random Access Memory)、PRAM (Phase change RAM)、ReRAM (Resistive RAM)、FeRAM (Ferroelectric RAM) などの不揮発性の記憶素子が適用された記憶装置、または DRAM (Dynamic RAM) や SRAM (Static RAM) などの揮発性の記憶素子が適用された記憶装置等を用いてもよい。また例えばハードディスクドライブ (HDD: Hard Disk Drive) やソリッドステートドライブ (SSD: Solid State Drive) などの記録メディアドライブを用いてもよい。

[0061]

入出力部 1 6 0 を介してコネクタにより脱着可能な HDD または SSD などの記憶装置や、フラッシュメモリ、ブルーレイディスク、DVD などの記録媒体のメディアドライブを記憶部 1 5 0 として用いることもできる。なお、記憶部 1 5 0 を表示装置 1 0 0 に内蔵せず、表示装置 1 0 0 の外部に置かれる記憶装置を記憶部 1 5 0 として用いてもよい。その場合、記憶部 1 5 0 は入出力部 1 6 0 を介して表示装置 1 0 0 と接続される。または通信手段を設けて、無線通信でデータのやりとりをする構成であってもよい。

[0062]

記憶部 1 5 0 には、アップコンバート（「超解像」ともいう。）を行なうための複数のアルゴリズムや、各アルゴリズム用の重み係数などが記憶されている。また、表示部 1 1 0 に表示する映像ソースが記憶されている。

[0063]

〔入出力部 1 6 0〕

入出力部 1 6 0 としては、例えば筐体 1 0 1 に設けられた 1 つ以上のボタンやスイッチ（筐体スイッチ 1 0 3 ともいう）、その他の入力コンポーネントが接続可能な外部ポートなどが挙げられる。入出力部 1 6 0 は、バスライン 1 3 1 を介して演算部 1 4 0 と電気的に接続される。筐体スイッチ 1 0 3 としては、電源のオン／オフと関連付けられたスイッチ、輝度やコントラストの調節のためのボタン、などがある。

[0064]

また入出力部 1 6 0 が有する外部ポートとしては、例えば、コンピュータやプリンタなどの外部装置にケーブルを介して接続できる構成とすることができる。代表的には、USB 端子などがある。また、外部ポートとして、LAN (Local Area Network) 接続用端子、デジタル放送の受信端子、AC アダプタを接続する端子等を有していてもよい。また、有線だけでなく、赤外線、可視光、紫外線などを用いた光通信用の送受信機を設ける構成としてもよい。

[0065]

〔通信部 1 7 0〕

通信部 1 7 0 は、例えば制御部 1 3 0 からの命令に応じて表示装置 1 0 0 をコンピュータネットワークに接続するための制御信号を制御し、当該信号をコンピュータネットワークに発信する。表示装置

100にアンテナを設けて、当該アンテナを介して通信を行ってもよい。

[0066]

通信部170によって、World Wide Web (WWW) の基盤であるインターネット、イントラネット、エクストラネット、PAN (Personal Area Network)、LAN (Local Area Network)、CAN (Campus Area Network)、MAN (Metropolitan Area Network)、WAN (Wide Area Network)、GAN (Global Area Network) 等のコンピュータネットワークに表示装置100を接続させ、通信を行うことができる。また複数の異なる通信方法を用いる場合には、通信方法に応じて複数のアンテナを設けてもよい。

[0067]

通信部170には、例えば高周波回路 (RF回路) を設け、RF信号の送受信を行えばよい。高周波回路は、各国法制により定められた周波数帯域の電磁信号と電気信号とを相互に変換し、当該電磁信号を用いて無線で他の通信機器との間で通信を行うための回路である。実用的な周波数帯域として数10kHz～数10GHzが一般に用いられている。高周波回路は、複数の周波数帯域に対応した回路部を有し、当該回路部は、増幅器 (アンプ)、ミキサ、フィルタ、DSP、RFトランシーバ等を有する構成とすることができる。無線通信を行う場合、通信プロトコルまたは通信技術として、LTE (Long Term Evolution)、GSM (Global System for Mobile Communication: 登録商標)、EDGE (Enhanced Data Rates for GSM Evolution)、CDMA2000 (Code Division Multiple Access 2000)、WCDMA (Wideband Code Division Multiple Access: 登録商標) などの通信規格、またはWi-Fi (登録商標)、Bluetooth (登録商標)、ZigBee (登録商標) 等のIEEEにより通信規格化された仕様を用いることができる。また、国際電気通信連合 (ITU) が定める第3世代移動通信システム (3G)、第4世代移動通信システム (4G)、または第5世代移動通信システム (5G) などを用いることもできる。

[0068]

また、通信部170は、表示装置100を電話回線と接続する機能を有していてもよい。電話回線を通じた通話を行う場合には、通信部170は、制御部130からの命令に応じて、表示装置100を電話回線に接続するための接続信号を制御し、当該信号を電話回線に発信する。

[0069]

通信部170は、受信した放送電波から、表示部110に出力する映像信号を生成するチューナーを有していてもよい。例えばチューナーは、復調回路と、A-D変換回路 (アナログ-デジタル変換回路) と、デコーダ回路等を有する構成とすることができる。復調回路は入力された信号を復調する機能を有する。またA-D変換回路は、復調されたアナログ信号をデジタル信号に変換する機能を有する。またデコーダ回路は、デジタル信号に含まれる映像データをデコードし、映像信号を生成する機能を有する。

[0070]

またデコーダが分割回路と、複数のプロセッサを有する構成としてもよい。分割回路は、入力された映像のデータを空間的、時間的に分割し、各プロセッサに出力する機能を有する。複数のプロセッサは、入力された映像データをデコードし、映像信号を生成する。このように、デコーダとして、複数

のプロセッサによりデータを並列処理する構成を適用することで、極めて情報量の多い映像データをデコードすることができる。特にフルハイビジョンを超える解像度を有する映像を表示する場合には、圧縮されたデータをデコードするデコーダ回路が極めて高速な処理能力を有するプロセッサを有していることが好ましい。また、例えばデコーダ回路は、4以上、好ましくは8以上、より好ましくは16以上の並列処理が可能な複数のプロセッサを含む構成とすることが好ましい。またデコーダは、入力された信号に含まれる映像用の信号と、それ以外の信号（文字情報、番組情報、認証情報等）を分離する回路を有していてもよい。

[0071]

通信部170により受信できる放送電波としては、地上波、または衛星から送信される電波などが挙げられる。また通信部170により受信できる放送電波として、アナログ放送、デジタル放送などがあり、また映像および音声、または音声のみの放送などがある。例えばUHF帯（約300MHz～3GHz）またはVHF帯（30MHz～300MHz）のうちの特定の周波数帯域で送信される放送電波を受信することができる。また例えば、複数の周波数帯域で受信した複数のデータを用いることで、転送レートを高くすることができ、より多くの情報を得ることができる。これによりフルハイビジョンを超える解像度を有する映像を、表示部110に表示させることができる。例えば、4K、8K、16K、またはそれ以上の解像度を有する映像を表示させることができる。

[0072]

また、チューナーはコンピュータネットワークを介したデータ伝送技術により送信された放送のデータを用いて、映像信号を生成する構成としてもよい。このとき、受信する信号がデジタル信号の場合には、チューナーは復調回路およびA-D変換回路を有していなくてもよい。

[0073]

通信部170で取得した映像信号は、記憶部150に記憶することができる。

[0074]

<表示装置の動作例>

表示装置100は、映像ソースに係らず、使用者が解像度の高い高品質な映像を視認できる表示システムを有する。続いて、表示装置100に用いることができる表示システムの動作例について説明する。まず、人間の視野特性と、アップコンバートを行なうための各種アルゴリズムについて説明しておく。

[0075]

[人間の視野特性について]

一般に、人間の視野特性は、個人差はあるが、大きく次の5つに分類される。

[0076]

[弁別視野]

弁別視野とは、視力、色の識別などの視機能が最も優れている領域であり、視野の中心の約5°以内の領域を指す。

[0077]

[有効視野]

有効視野とは、眼球運動だけで瞬時に特定情報を識別できる領域であり、視野の中心の水平約30°以内、垂直約20°以内で、弁別視野の外側で隣接する領域を指す。

[0078]

〔安定注視野〕

安定注視野とは、頭部運動を伴って無理なく特定情報を識別できる領域であり、視野の中心の水平約 90° 以内、垂直約 70° 以内で、有効視野の外側で隣接する領域を指す。

〔0079〕

〔誘導視野〕

誘導視野とは、特定対象の存在はわかるが、識別能力は低い領域であり、視野の中心の水平約 100° 以内、垂直約 85° 以内で、安定注視野の外側で隣接する領域を指す。

〔0080〕

〔補助視野〕

補助視野とは、特定対象の識別能力が著しく低く、刺激の存在がわかる程度の領域であり、視野の中心の水平約 $100^\circ \sim 200^\circ$ 以内、垂直約 $85^\circ \sim 130^\circ$ 以内で、誘導視野の外側で隣接する領域。

〔0081〕

上記のことから、アップコンバートによる映像の高解像度化において、弁別視野から有効視野までの画質が重要であることがわかる。特に、弁別視野の画質を高めることが肝要である。

〔0082〕

図2(B)は表示部110を正面(映像表示面)から見た図である。本明細書等では、表示部110上の弁別視野が含まれる領域を「第1領域S1」、有効視野が含まれる領域を「第2領域S2」とする。また、安定注視野、誘導視野、および／または補助視野が含まれる領域を「第3領域S3」とする。

〔0083〕

図3(A)は、表示部110を上から見た図であり、図3(B)は表示部110を横から見た図である。本明細書等では、第1領域S1の水平方向の角度を「角度 θ_{x1} 」、第2領域S2の水平方向の角度を「角度 θ_{x2} 」と示す(図3(A)参照。)。また、本明細書等では、第1領域S1の垂直方向の角度を「角度 θ_{y1} 」、第2領域S2の垂直方向の角度を「角度 θ_{y2} 」と示す(図3(B)参照。)。

〔0084〕

例えば、角度 θ_{x1} を 10° 、角度 θ_{y1} を 10° に設定することで、第1領域S1の面積を広げることができる。この場合、第1領域S1に有効視野の一部が含まれる。また、例えば、角度 θ_{x2} を 45° 、角度 θ_{y2} を 35° に設定することで、第2領域S2の面積を広げることができる。この場合、第2領域S2に安定注視野の一部が含まれる。

〔0085〕

なお、注視点Gの位置は、使用者151のゆらぎにより多少変動する。このため、角度 θ_{x1} と角度 θ_{y1} は、それぞれ 5° 以上 20° 未満が好ましい。第1領域S1の面積を弁別視野よりも広く設定することで、表示装置100の動作が安定し、映像の視認性が向上する。

〔0086〕

なお、本明細書等では、第1領域S1および第2領域S2の境界(輪郭)を曲線で示しているが、これに限定されない。図4(A)に示すように、第1領域S1および第2領域S2の境界(輪郭)を矩形としてもよいし、多角形としてもよい。また、直線と曲線が組み合わされた形状であってもよい。

〔0087〕

また、図4(B)に示すように、表示部110を2つの領域に分け、弁別視野と有効視野が含まれる

領域を第1領域S 1とし、その他の領域を第2領域S 2としてもよい。この場合、第3領域S 3は形成されない。

[0088]

[アップコンバートを行なうための各種アルゴリズムについて]

図5にアップコンバートを行なうためのアルゴリズムの一例を示す。図5では、各アルゴリズムをグループA、B、またはCに分類している。グループAはアップコンバートを単純計算で行なうアルゴリズムであり、グループBはアップコンバートを機械学習で行なうアルゴリズムであり、グループCはアップコンバートをニューラルネットワークを用いた深層学習で行なうアルゴリズムである。

[0089]

図5では、グループAとして、Nearest neighbor法、Bilinear法、Bicubic法を示している。また、グループBとして、RAISR (Rapid and Accurate Image Super-Resolution) 法、ANR (Anchored Neighborhood Regression) 法、A+法を示している。また、グループCとして、SRCNN (Super-Resolution Convolutional Neural Network) 法を示している。

[0090]

これらの中で、アップコンバート後の画像品質は、Nearest neighbor法が最も劣り、SRCNN法が最も優れている。図5では、Nearest neighbor法で得られる画像品質を「最低」とし、SRCNN法で得られる画像品質を「最高」とした場合の、各アルゴリズムで得られる画像品質と処理速度の順列を示している。一般に、アップコンバート後の画像品質が良いアルゴリズムほど処理速度が遅くなる。特に、SRCNN法のように複数階層のニューラルネットワークを用いたアップコンバート手法では、高品質な画像が得られる反面、処理時間が長くなる。

[0091]

表示部110の表示領域毎にアップコンバートに用いるアルゴリズムを変えることで、アップコンバートの処理時間を短縮することができる。かつ、使用者は解像度が高められた高品質な映像を視認することができる。例えば、第1領域のアップコンバートをグループBまたはCの手法で行ない、第2領域のアップコンバートをグループAの手法で行なう。また、第3領域は低品位な映像で構わないため、最も処理速度が速いNearest neighbor法によりアップコンバートを行なえばよい。

[0092]

[動作例1]

表示装置100の動作例について、図面を用いて説明する。図6は、表示装置100の動作例を説明するためのフローチャートである。

[0093]

[ステップS600]

視線検知部120により、第1情報（視線152の向き）と第2情報（距離D）を取得する。

[0094]

[ステップS605]

第1情報を基に注視点Gの位置を特定し、第2情報を基に注視点Gを含む第1領域を決定する。

[0095]

[ステップ S 6 1 0]

第 1 領域に隣接する第 2 領域を決定する。

[0 0 9 6]

[ステップ S 6 1 5]

第 2 領域の外側を第 3 領域とする。

[0 0 9 7]

[ステップ S 6 2 0]

第 1 領域に含まれる画素数によって、第 1 領域のアップコンバート用アルゴリズムを設定する。第 1 領域に含まれる画素数が、基準となる画素数（「基準画素数」ともいう。）未満である場合は、グループ C のアルゴリズムを設定し、基準画素数以上である場合はグループ B のアルゴリズムを設定する。

[0 0 9 8]

例えば、基準画素数を 3 万画素とすると、第 1 領域に含まれる画素数が 3 万画素未満である場合は (N o)、第 1 領域のアップコンバート用アルゴリズムをグループ C の SRCNN 法に設定する（ステップ S 6 2 5）。また、第 1 領域に含まれる画素数が 3 万画素以上である場合は (Y e s)、第 1 領域のアップコンバート用アルゴリズムをグループ B のいずれか（例えば、A+法）に設定する（ステップ S 6 2 6）。

[0 0 9 9]

グループ C のアルゴリズムは、ニューラルネットワークを用いたアルゴリズムであるため、階層数や、使用する回路（積和演算回路など）の動作速度によって処理時間が変化する。また、処理能力の向上を目的としてニューロンの数を増やすと、消費電力が増加してしまう。

[0 1 0 0]

OS トランジスタはオフ電流が極めて少ないため、OS トランジスタを用いた回路は、S i トランジスタを用いた回路に比べて、消費電力を低減することができる。

[0 1 0 1]

例えば、上記回路を構成するトランジスタに OS トランジスタを用いると、S i トランジスタを用いる場合に比べて、消費電力を $1/10$ 以下に低減することが可能になる。よって、消費電力の低減とニューロン数の増加が両立可能になる。また、同じ消費電力であれば、OS トランジスタを用いることによって上記回路の処理能力を 10 倍以上に高めることも可能である。演算部 1 4 0 を構成するトランジスタに OS トランジスタを用いることで、基準画素数を 5 万画素以上、もしくは 10 万画素以上、さらには 30 万画素以上にすることができる。

[0 1 0 2]

[ステップ S 6 3 0]

第 2 領域のアップコンバート用アルゴリズムを、先に決定した第 1 領域のアップコンバート用アルゴリズムよりも処理速度が速い（映像品質が低い）アルゴリズムに設定する。

[0 1 0 3]

[ステップ S 6 3 5]

第 3 領域のアップコンバート用アルゴリズムを、先に決定した第 2 領域のアップコンバート用アルゴリズムよりも処理速度が速い（映像品質が低い）アルゴリズムに設定する。または、最も処理速度が速い Nearest neighbor 法に設定する。

[0 1 0 4]

なお、第3領域には、高品質な映像を表示する必要はない。ただし、映像ソースと表示部110の画素数を合わせる必要があるため、アップコンバートそのものはおこなう必要がある。よって、第3領域のアップコンバート用アルゴリズムを、常に最も処理速度が速いアルゴリズム（Nearest neighbor法など）としても構わない。

[0105]

[ステップS640]

次に、演算部140で、使用者の視聴対象となる映像ソースのアップコンバートを行なう。アップコンバートは、第1領域乃至第3領域毎に決定したアルゴリズムを用いて行なう。当該映像ソースは、記憶部150に記憶されている映像ソースであってもよいし、入出力部160または通信部170を介して外部機器（図示せず）から供給された映像ソースであってもよい。

[0106]

本発明の一態様によれば、映像ソースの品質を超えた映像が視聴可能になる。例えば、記憶部150に記憶されている映像ソースが非可逆圧縮された情報であり、その品質が本来の映像ソースの品質より低くても、本来の映像ソースと遜色ない品質の映像を視聴できる。または、本来の映像ソースよりも優れた品質の映像を視聴できる。よって、記憶部150の記憶容量の消費を低減できるため、より多くの映像コンテンツを記憶することができる。

[0107]

同様に、入出力部160または通信部170を介して外部機器から供給された映像ソースの品質が本来の映像ソースの品質より低くても、本来の映像ソースと遜色ない品質の映像を視聴できる。または、本来の映像ソースよりも優れた品質の映像を視聴できる。よって、外部機器との通信速度を下げることができる。

[0108]

アップコンバートを行なうために演算部140に設定するアルゴリズムや重み係数などは、記憶部150から読み出され、演算部140に格納される。なお、これらのアルゴリズムや重み係数などを、あらかじめ演算部140内のメモリ領域に格納しておいても良い。

[0109]

また、これらのアルゴリズムや重み係数などは、外部機器により決定された重み係数を用いてもよい。例えば、表示装置100と外部機器を、入出力部160または通信部170を介して接続し、外部機器で決定したアルゴリズムや重み係数などを演算部140に格納する。

[0110]

外部機器で学習した後に決定された重み係数は、表示装置100の工場出荷前に表示装置100に格納すればよい。また、外部機器による学習を継続して行い、アップデートされた重み係数や、新たなアルゴリズムを表示装置100に格納してもよい。また、複数の外部機器を用いて、アップデート用の重み係数を生成してもよい。重み係数の受け渡しは、SDカードなどの記録媒体や各種の通信手段などを介して行なうこともできる。また、表示装置100が有する重み係数と、外部機器によりアップデートされた重み係数を用いて、新たな重み係数を決定してもよい。新たなアルゴリズムや、外部機器で学習して得た重み係数を用いることで、より精度の高い補完処理を行なうことができる。

[0111]

アップコンバートによって、第1領域乃至第3領域毎に生成された新たな映像は、1つの映像に統合され、表示部110に表示される。

[0112]

なお、注視点Gの位置、第1領域乃至第3領域の形状、および使用するアルゴリズムの決定は、必ずしもフレーム毎に行なう必要は無い。注視点Gの位置、第1領域乃至第3領域の形状、および使用するアルゴリズムの決定は、任意のフレーム毎に行なえばよい。または、視線152および／または距離Dが一定以上変化した場合に行なってもよい。

[0113]

また、表示する映像シーンの種類によって、使用するアルゴリズム、重み係数、および／または基準画素数などを選定してもよい。例えば、表示する映像が、風景などの比較的静止画に近い場合や、スポーツなどの動きが速い場合などで、使用するアルゴリズム、重み係数、および／または基準画素数などを切り換えてもよい。

[0114]

また、使用者がテレビ番組を視聴している場合は、番組表から映像シーンを推定してもよい。また、記憶部150に記憶されている教師データを用いて、ニューラルネットワーク141で映像シーンを推定してもよい。

[0115]

ここで、ニューラルネットワーク141の構成例を説明しておく（図7参照。）。ニューラルネットワーク141は、入力層ILと、中間層HL1（隠れ層）と、中間層HL2（隠れ層）と、出力層OLと、を有する。ニューラルネットワーク141では、入力層IL、中間層HL1、中間層HL2、および出力層OLと、によって階層型のニューラルネットワークが構成されている。中間層HL1および中間層HL2は、任意のノード数を有する。なお、中間層は2層に限らない。中間層は1層でもよく、3層以上でもよい。

[0116]

画像データ301（例えば、第1領域の映像など）は、入力層ILに入力され、重みづけされた情報が中間層HL1に入力される。また、中間層HL1に入力された情報は、重みづけされて中間層HL2に入力される。また、中間層HL2に入力された情報は、重みづけされて出力層OLに入力される。また、出力層OLからは、画像データ302が出力される。

[0117]

ニューラルネットワーク141は、階層が進む毎に、ニューロンの数が増加する構成とする。つまり、中間層HL1が有するニューロンの数は、入力層ILが有するニューロンの数より多く、かつ中間層HL2が有するニューロンの数は、中間層HL1が有するニューロンの数より多くなっている。また、出力層OLが有するニューロンの数は、中間層HL2が有するニューロンの数より多くなっている。なお、図7では、上記ニューロンの数を、それぞれの階層をつなぐ矢印の数で示している。ニューラルネットワーク141を階層が進む毎にニューロンの数が増加する構成とすることにより、画像データ301を基にして、解像度を高めた画像データ302を生成することができる。また、画像データ301を基にして、解像度だけでなく、階調数も高めた画像データ302を生成することができる。

[0118]

階層型のニューラルネットワークは、各層間で全結合とすることもでき、または、各層間で部分結合とすることができる。また、各層間に畳み込み層やプーリング層を用いた構成、すなわちCNNとすることができる。

[0119]

〔動作例2〕

使用者151の視線152が移動すると、第1領域および第2領域も移動する。例えば、視線152の変動量が一定量を超えた場合、視線152が移動していると判断する。

〔0120〕

視線152が注視点Gから注視点G'方向へ移動中であると判断した場合、第1領域および第2領域の形状を視線152の移動方向側が広くなるように設定することが好ましい(図8(A)参照。)。視線152の移動方向側が広くなるように第1領域および第2領域の形状を設定することで、使用者151の視線移動時の違和感が低減され、映像が視認しやすくなる。

〔0121〕

視線152の変動量が一定量以下になった場合、視線152の移動が停止したと判断し、通常の通り第1領域乃至第3領域を決定すればよい(図8(B)参照。)

〔0122〕

〔動作例3〕

例えば、使用者151aと使用者151bが、表示部110に表示された映像を同時に観察している場合は、それぞれの第1情報と第2情報を取得して、それぞれの第1領域および第2領域の形状を決定する。図9(A)では、使用者151aの視線152a、注視点Ga、第1領域S1a、および第2領域S2a、並びに、使用者151bの視線152b、注視点Gb、第1領域S1b、および第2領域S2bを示している。第2領域S2aと第2領域S2bの外側が第3領域S3となる。

〔0123〕

使用者151aの注視点Gaと使用者151bの注視点Gbが近接すると、第1領域S1aと第1領域S1bが合わさり、1つの第1領域S1として機能する。図9(B)では、第1領域S1aと第1領域S1bが合わさり、瓢箪型の第1領域S1が形成されている。

〔0124〕

〔動作例4〕

使用者151aと使用者151bそれぞれの表示部110までの距離が異なる場合は、第1領域S1aと第1領域S1bの大きさが異なる。また、第2領域S2aと第2領域S2bの大きさが異なる。

〔0125〕

図10は、使用者151aよりも使用者151bが表示部110の近くで映像を見ている場合を示している。この場合、第1領域S1aよりも第1領域S1bが小さく、第2領域S2aよりも第2領域S2bが小さくなる。

〔0126〕

また、第1領域S1aと第1領域S1bで、必ずしも同じアルゴリズムを用いる必要は無い。同様に、第2領域S2aと第2領域S2bで、必ずしも同じアルゴリズムを用いる必要は無い。例えば、第1領域S1aにグループBのアルゴリズムを用い、第1領域S1bにグループCのアルゴリズムを用いてもよい。

〔0127〕

〔動作例5〕

また、第1領域S1、第2領域S2、および第3領域S3に用いるそれぞれのアルゴリズムを、視線152および距離Dに関係なく、特定のアルゴリズムに固定してもよい。例えば、第1領域S1には常にRAISR法、第2領域S2には常にBicubic法、第3領域S3には常にNearest

neighbor法を用いてもよい。

[0128]

領域毎に用いるアルゴリズムを固定することで、ステップS620乃至ステップS635を省略することができる。よって、演算部140の負荷が軽減され、消費電力を低減することができる。

[0129]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせることで実施することが可能である。

[0130]

(実施の形態2)

本実施の形態では、上記の実施の形態で説明したニューラルネットワークに用いることが可能な半導体装置の構成例について説明する。

[0131]

図11(A)に示すように、ニューラルネットワークNNは入力層IL、出力層OL、中間層(隠れ層)HLによって構成することができる。入力層IL、出力層OL、中間層HLはそれぞれ、1又は複数のニューロン(ユニット)を有する。なお、中間層HLは1層であってもよいし2層以上であってもよい。2層以上の中間層HLを有するニューラルネットワークはDNN(ディープニューラルネットワーク)と呼ぶこともでき、ディープニューラルネットワークを用いた学習は深層学習と呼ぶこともできる。

[0132]

入力層ILの各ニューロンには入力データが入力され、中間層HLの各ニューロンには前層又は後層のニューロンの出力信号が入力され、出力層OLの各ニューロンには前層のニューロンの出力信号が入力される。なお、各ニューロンは、前後の層の全てのニューロンと結合されていてもよいし(全結合)、一部のニューロンと結合されていてもよい。

[0133]

図11(B)に、ニューロンによる演算の例を示す。ここでは、ニューロンNと、ニューロンNに信号を出力する前層の2つのニューロンを示している。ニューロンNには、前層のニューロンの出力 x_1 と、前層のニューロンの出力 x_2 が入力される。そして、ニューロンNにおいて、出力 x_1 と重み w_1 の乗算結果($x_1 w_1$)と出力 x_2 と重み w_2 の乗算結果($x_2 w_2$)の総和 $x_1 w_1 + x_2 w_2$ が計算された後、必要に応じてバイアス b が加算され、値 $a = x_1 w_1 + x_2 w_2 + b$ が得られる。そして、値 a は活性化関数 h によって変換され、ニューロンNから出力信号 $y = h(a)$ が出力される。

[0134]

このように、ニューロンによる演算には、前層のニューロンの出力と重みの積を足し合わせる演算、すなわち積和演算が含まれる(上記の $x_1 w_1 + x_2 w_2$)。この積和演算は、プログラムを用いてソフトウェア上で行ってもよいし、ハードウェアによって行われてもよい。積和演算をハードウェアによって行う場合は、積和演算回路を用いることができる。この積和演算回路としては、デジタル回路を用いてもよいし、アナログ回路を用いてもよい。積和演算回路にアナログ回路を用いる場合、積和演算回路の回路規模の縮小、又は、メモリへのアクセス回数の減少による処理速度の向上及び消費電力の低減を図ることができる。

[0135]

積和演算回路は、チャネル形成領域にシリコン(単結晶シリコンなど)を含むトランジスタ(「Siトランジスタ」ともいう)によって構成してもよいし、チャネル形成領域に金属酸化物の一種である

酸化物半導体を含むトランジスタ（「OSトランジスタ」ともいう）によって構成してもよい。特に、OSトランジスタはオフ電流が極めて少ないため、積和演算回路のメモリを構成するトランジスタとして好適である。なお、SiトランジスタとOSトランジスタの両方を用いて積和演算回路を構成してもよい。以下、積和演算回路の機能を備えた半導体装置の構成例について説明する。

[0136]

＜半導体装置の構成例＞

図12に、ニューラルネットワークの演算を行う機能を有する半導体装置MACの構成例を示す。半導体装置MACは、ニューロン間の結合強度（重み）に対応する第1のデータと、入力データに対応する第2のデータの積和演算を行う機能を有する。なお、第1のデータ及び第2のデータはそれぞれ、アナログデータ又は多値のデジタルデータ（離散的なデータ）とすることができる。また、半導体装置MACは、積和演算によって得られたデータを活性化関数によって変換する機能を有する。

[0137]

半導体装置MACは、セルアレイCA、電流源回路CS、カレントミラー回路CM、回路WDD、回路WLD、回路CLD、オフセット回路OFST、及び活性化関数回路ACTVを有する。

[0138]

セルアレイCAは、複数のメモリセルMC及び複数のメモリセルMCrefを有する。図12には、セルアレイCAがm行n列（m、nは1以上の整数）のメモリセルMC（MC[1, 1]乃至[m, n]）と、m個のメモリセルMCref（MCref[1]乃至[m]）を有する構成例を示している。メモリセルMCは、第1のデータを格納する機能を有する。また、メモリセルMCrefは、積和演算に用いられる参照データを格納する機能を有する。なお、参照データはアナログデータ又は多値のデジタルデータとすることができる。

[0139]

メモリセルMC[i, j]（iは1以上m以下の整数、jは1以上n以下の整数）は、配線WL[i]、配線RW[i]、配線WD[j]、及び配線BL[j]と接続されている。また、メモリセルMCref[i]は、配線WL[i]、配線RW[i]、配線WDref、配線BLrefと接続されている。ここで、メモリセルMC[i, j]と配線BL[j]間を流れる電流を $I_{MC[i, j]}$ と表記し、メモリセルMCref[i]と配線BLref間を流れる電流を $I_{MCref[i]}$ と表記する。

[0140]

メモリセルMC及びメモリセルMCrefの具体的な構成例を、図13に示す。図13には代表例としてメモリセルMC[1, 1]、[2, 1]及びメモリセルMCref[1]、[2]を示しているが、他のメモリセルMC及びメモリセルMCrefにも同様の構成を用いることができる。メモリセルMC及びメモリセルMCrefはそれぞれ、トランジスタTr11、Tr12、容量素子C11を有する。ここでは、トランジスタTr11及びトランジスタTr12がnチャネル型のトランジスタである場合について説明する。

[0141]

メモリセルMCにおいて、トランジスタTr11のゲートは配線WLと接続され、ソース又はドレインの一方はトランジスタTr12のゲート、及び容量素子C11の第1の電極と接続され、ソース又はドレインの他方は配線WDと接続されている。トランジスタTr12のソース又はドレインの一方は配線BLと接続され、ソース又はドレインの他方は配線VRと接続されている。容量素子C11の第2の電極は、配線RWと接続されている。配線VRは、所定の電位を供給する機能を有する配線で

ある。ここでは一例として、配線VRから低電源電位（接地電位など）が供給される場合について説明する。

[0142]

トランジスタTr11のソース又はドレインの一方、トランジスタTr12のゲート、及び容量素子C11の第1の電極と接続されたノードを、ノードNMとする。また、メモリセルMC[1, 1]、[2, 1]のノードNMを、それぞれノードNM[1, 1]、[2, 1]と表記する。

[0143]

メモリセルMCrefも、メモリセルMCと同様の構成を有する。ただし、メモリセルMCrefは配線WDの代わりに配線WDrefと接続され、配線BLの代わりに配線BLrefと接続されている。また、メモリセルMCref[1]、[2]において、トランジスタTr11のソース又はドレインの一方、トランジスタTr12のゲート、及び容量素子C11の第1の電極と接続されたノードを、それぞれノードNMref[1]、[2]と表記する。

[0144]

ノードNMとノードNMrefはそれぞれ、メモリセルMCとメモリセルMCrefの保持ノードとして機能する。ノードNMには第1のデータが保持され、ノードNMrefには参照データが保持される。また、配線BL[1]からメモリセルMC[1, 1]、[2, 1]のトランジスタTr12には、それぞれ電流 $I_{MC[1, 1]}$ 、 $I_{MC[2, 1]}$ が流れる。また、配線BLrefからメモリセルMCref[1]、[2]のトランジスタTr12には、それぞれ電流 $I_{MCref[1]}$ 、 $I_{MCref[2]}$ が流れる。

[0145]

トランジスタTr11は、ノードNM又はノードNMrefの電位を保持する機能を有するため、トランジスタTr11のオフ電流は少ないことが好ましい。そのため、トランジスタTr11としてオフ電流が極めて少ないOSトランジスタを用いることが好ましい。これにより、ノードNM又はノードNMrefの電位の変動を抑えることができ、演算精度の向上を図ることができる。また、ノードNM又はノードNMrefの電位をリフレッシュする動作の頻度を低く抑えることが可能となり、消費電力を削減することができる。

[0146]

トランジスタTr12は特に限定されず、例えばSiトランジスタ又はOSトランジスタなどを用いることができる。トランジスタTr12にOSトランジスタを用いる場合、トランジスタTr11と同じ製造装置を用いて、トランジスタTr12を作製することが可能となり、製造コストを抑制することができる。なお、トランジスタTr12はnチャネル型であってもpチャネル型であってもよい。

[0147]

電流源回路CSは、配線BL[1]乃至[n]及び配線BLrefと接続されている。電流源回路CSは、配線BL[1]乃至[n]及び配線BLrefに電流を供給する機能を有する。なお、配線BL[1]乃至[n]に供給される電流値と配線BLrefに供給される電流値は異なってもよい。ここでは、電流源回路CSから配線BL[1]乃至[n]に供給される電流を I_C 、電流源回路CSから配線BLrefに供給される電流を I_{Cref} と表記する。

[0148]

カレントミラー回路CMは、配線IL[1]乃至[n]及び配線ILrefを有する。配線IL[1]乃至[n]はそれぞれ配線BL[1]乃至[n]と接続され、配線ILrefは、配線BLrefと接続されている。ここでは、配線IL[1]乃至[n]と配線BL[1]乃至[n]の接続箇所をノ

ードNP [1] 乃至 [n] と表記する。また、配線ILrefと配線BLrefの接続箇所をノードNPre fと表記する。

[0149]

カレントミラー回路CMは、ノードNPre fの電位に応じた電流 I_{CM} を配線ILrefに流す機能と、この電流 I_{CM} を配線IL [1] 乃至 [n] にも流す機能を有する。図12には、配線BLrefから配線ILrefに電流 I_{CM} が排出され、配線BL [1] 乃至 [n] から配線IL [1] 乃至 [n] に電流 I_{CM} が排出される例を示している。また、カレントミラー回路CMから配線BL [1] 乃至 [n] を介してセルアレイCAに流れる電流を、 $I_B [1]$ 乃至 [n] と表記する。また、カレントミラー回路CMから配線BLrefを介してセルアレイCAに流れる電流を、 I_{Bref} と表記する。

[0150]

回路WDDは、配線WD [1] 乃至 [n] 及び配線WDrefと接続されている。回路WDDは、メモリセルMCに格納される第1のデータに対応する電位を、配線WD [1] 乃至 [n] に供給する機能を有する。また、回路WDDは、メモリセルMCrefに格納される参照データに対応する電位を、配線WDrefに供給する機能を有する。回路WLDは、配線WL [1] 乃至 [m] と接続されている。回路WLDは、データの書き込みを行うメモリセルMC又はメモリセルMCrefを選択するための信号を、配線WL [1] 乃至 [m] に供給する機能を有する。回路CLDは、配線RW [1] 乃至 [m] と接続されている。回路CLDは、第2のデータに対応する電位を、配線RW [1] 乃至 [m] に供給する機能を有する。

[0151]

オフセット回路OFSTは、配線BL [1] 乃至 [n] 及び配線OL [1] 乃至 [n] と接続されている。オフセット回路OFSTは、配線BL [1] 乃至 [n] からオフセット回路OFSTに流れる電流量、及び／又は、配線BL [1] 乃至 [n] からオフセット回路OFSTに流れる電流の変化量を検出する機能を有する。また、オフセット回路OFSTは、検出結果を配線OL [1] 乃至 [n] に出力する機能を有する。なお、オフセット回路OFSTは、検出結果に対応する電流を配線OLに出力してもよいし、検出結果に対応する電流を電圧に変換して配線OLに出力してもよい。セルアレイCAとオフセット回路OFSTの間を流れる電流を、 $I_a [1]$ 乃至 [n] と表記する。

[0152]

オフセット回路OFSTの構成例を図14に示す。図14に示すオフセット回路OFSTは、回路OC [1] 乃至 [n] を有する。また、回路OC [1] 乃至 [n] はそれぞれ、トランジスタTr 21、トランジスタTr 22、トランジスタTr 23、容量素子C 21、及び抵抗素子R 1を有する。各素子の接続関係は図14に示す通りである。なお、容量素子C 21の第1の電極及び抵抗素子R 1の第1の端子と接続されたノードを、ノードNaとする。また、容量素子C 21の第2の電極、トランジスタTr 21のソース又はドレインの一方、及びトランジスタTr 22のゲートと接続されたノードを、ノードNbとする。

[0153]

配線VrefLは電位Vrefを供給する機能を有し、配線VaLは電位Vaを供給する機能を有し、配線VbLは電位Vbを供給する機能を有する。また、配線VDDLは電位VDDを供給する機能を有し、配線VSSLは電位VSSを供給する機能を有する。ここでは、電位VDDが高電源電位であり、電位VSSが低電源電位である場合について説明する。また、配線RSTは、トランジスタTr

21の導通状態を制御するための電位を供給する機能を有する。トランジスタ T_{r22} 、トランジスタ T_{r23} 、配線 $VDDL$ 、配線 $VSSL$ 、及び配線 VbL によって、ソースフォロワ回路が構成される。

[0154]

次に、回路 $OC[1]$ 乃至 $[n]$ の動作例を説明する。なお、ここでは代表例として回路 $OC[1]$ の動作例を説明するが、回路 $OC[2]$ 乃至 $[n]$ も同様に動作させることができる。まず、配線 $BL[1]$ に第1の電流が流れると、ノード Na の電位は、第1の電流と抵抗素子 $R1$ の抵抗値に応じた電位となる。また、このときトランジスタ T_{r21} はオン状態であり、ノード Nb に電位 V_a が供給される。その後、トランジスタ T_{r21} はオフ状態となる。

[0155]

次に、配線 $BL[1]$ に第2の電流が流れると、ノード Na の電位は、第2の電流と抵抗素子 $R1$ の抵抗値に応じた電位に変化する。このときトランジスタ T_{r21} はオフ状態であり、ノード Nb はフローティング状態となっているため、ノード Na の電位の変化に伴い、ノード Nb の電位は容量結合により変化する。ここで、ノード Na の電位の変化を ΔV_{Na} とし、容量結合係数を1とすると、ノード Nb の電位は $V_a + \Delta V_{Na}$ となる。そして、トランジスタ T_{r22} のしきい値電圧を V_{th} とすると、配線 $OL[1]$ から電位 $V_a + \Delta V_{Na} - V_{th}$ が出力される。ここで、 $V_a = V_{th}$ とすることにより、配線 $OL[1]$ から電位 ΔV_{Na} を出力することができる。

[0156]

電位 ΔV_{Na} は、第1の電流から第2の電流への変化量、抵抗素子 $R1$ 、及び電位 V_{ref} に応じて定まる。ここで、抵抗素子 $R1$ と電位 V_{ref} は既知であるため、電位 ΔV_{Na} から配線 BL に流れる電流の変化量を求めることができる。

[0157]

上記のようにオフセット回路 $OFST$ によって検出された電流量、及び／又は電流の変化量に対応する信号は、配線 $OL[1]$ 乃至 $[n]$ を介して活性化関数回路 $ACTV$ に入力される。

[0158]

活性化関数回路 $ACTV$ は、配線 $OL[1]$ 乃至 $[n]$ 、及び、配線 $NIL[1]$ 乃至 $[n]$ と接続されている。活性化関数回路 $ACTV$ は、オフセット回路 $OFST$ から入力された信号を、あらかじめ定義された活性化関数に従って変換するための演算を行う機能を有する。活性化関数としては、例えば、シグモイド関数、 $\tanh$ 関数、 softmax 関数、 $ReLU$ 関数、しきい値関数などを用いることができる。活性化関数回路 $ACTV$ によって変換された信号は、出力データとして配線 $NIL[1]$ 乃至 $[n]$ に出力される。

[0159]

<半導体装置の動作例>

上記の半導体装置 MAC を用いて、第1のデータと第2のデータの積和演算を行うことができる。以下、積和演算を行う際の半導体装置 MAC の動作例を説明する。

[0160]

図15に半導体装置 MAC の動作例のタイミングチャートを示す。図15には、図13における配線 $WL[1]$ 、配線 $WL[2]$ 、配線 $WD[1]$ 、配線 WD_{ref} 、ノード $NM[1,1]$ 、ノード $NM[2,1]$ 、ノード $NM_{ref}[1]$ 、ノード $NM_{ref}[2]$ 、配線 $RW[1]$ 、及び配線 $RW[2]$ の電位の推移と、電流 $I_B[1] - I_\alpha[1]$ 、及び電流 $I_{B_{ref}}$ の値の推移を示している。電流 $I_B[1] -$

$I_{\alpha}[1]$ は、配線BL[1] からメモリセルMC[1, 1]、[2, 1] に流れる電流の総和に相当する。

[0161]

なお、ここでは代表例として図13に示すメモリセルMC[1, 1]、[2, 1] 及びメモリセルMCref[1]、[2] に着目して動作を説明するが、他のメモリセルMC及びメモリセルMCrefも同様に動作させることができる。

[0162]

[第1のデータの格納]

まず、時刻T01-T02において、配線WL[1] の電位がハイレベルとなり、配線WD[1] の電位が接地電位(GND) よりも $V_{PR}-V_{W[1, 1]}$ 大きい電位となり、配線WDrefの電位が接地電位よりも V_{PR} 大きい電位となる。また、配線RW[1]、及び配線RW[2] の電位が基準電位(REFP) となる。なお、電位 $V_{W[1, 1]}$ はメモリセルMC[1, 1] に格納される第1のデータに対応する電位である。また、電位 V_{PR} は参照データに対応する電位である。これにより、メモリセルMC[1, 1] 及びメモリセルMCref[1] が有するトランジスタTr11がオン状態となり、ノードNM[1, 1] の電位が $V_{PR}-V_{W[1, 1]}$ 、ノードNMref[1] の電位が V_{PR} となる。

[0163]

このとき、配線BL[1] からメモリセルMC[1, 1] のトランジスタTr12に流れる電流 $I_{MC[1, 1], 0}$ は、次の式で表すことができる。ここで、 k はトランジスタTr12のチャネル長、チャネル幅、移動度、及びゲート絶縁膜の容量などで決まる定数である。また、 V_{th} はトランジスタTr12のしきい値電圧である。

[0164]

$$I_{MC[1, 1], 0} = k (V_{PR} - V_{W[1, 1]} - V_{th})^2 \quad (E1)$$

[0165]

また、配線BLrefからメモリセルMCref[1] のトランジスタTr12に流れる電流 $I_{MCref[1], 0}$ は、次の式で表すことができる。

[0166]

$$I_{MCref[1], 0} = k (V_{PR} - V_{th})^2 \quad (E2)$$

[0167]

次に、時刻T02-T03において、配線WL[1] の電位がローレベルとなる。これにより、メモリセルMC[1, 1] 及びメモリセルMCref[1] が有するトランジスタTr11がオフ状態となり、ノードNM[1, 1] 及びノードNMref[1] の電位が保持される。

[0168]

なお、前述の通り、トランジスタTr11としてOSトランジスタを用いることが好ましい。これにより、トランジスタTr11のリーク電流を抑えることができ、ノードNM[1, 1] 及びノードNMref[1] の電位を正確に保持することができる。

[0169]

次に、時刻T03-T04において、配線WL[2] の電位がハイレベルとなり、配線WD[1] の電位が接地電位よりも $V_{PR}-V_{W[2, 1]}$ 大きい電位となり、配線WDrefの電位が接地電位よりも V_{PR} 大きい電位となる。なお、電位 $V_{W[2, 1]}$ はメモリセルMC[2, 1] に格納される第1のデータに対応する電位である。これにより、メモリセルMC[2, 1] 及びメモリセルMCref[2]

が有するトランジスタ T_{r11} がオン状態となり、ノード $NM[2, 1]$ の電位が $V_{PR} - V_{W[2, 1]}$ 、ノード $NM_{ref}[2]$ の電位が V_{PR} となる。

[0170]

このとき、配線 $BL[1]$ からメモリセル $MC[2, 1]$ のトランジスタ T_{r12} に流れる電流 $I_{MC[2, 1], 0}$ は、次の式で表すことができる。

[0171]

$$I_{MC[2, 1], 0} = k (V_{PR} - V_{W[2, 1]} - V_{th})^2 \quad (E3)$$

[0172]

また、配線 BL_{ref} からメモリセル $MC_{ref}[2]$ のトランジスタ T_{r12} に流れる電流 $I_{MC_{ref}[2], 0}$ は、次の式で表すことができる。

[0173]

$$I_{MC_{ref}[2], 0} = k (V_{PR} - V_{th})^2 \quad (E4)$$

[0174]

次に、時刻 $T04 - T05$ において、配線 $WL[2]$ の電位がローレベルとなる。これにより、メモリセル $MC[2, 1]$ 及びメモリセル $MC_{ref}[2]$ が有するトランジスタ T_{r11} がオフ状態となり、ノード $NM[2, 1]$ 及びノード $NM_{ref}[2]$ の電位が保持される。

[0175]

以上の動作により、メモリセル $MC[1, 1]$ 、 $[2, 1]$ に第1のデータが格納され、メモリセル $MC_{ref}[1]$ 、 $[2]$ に参照データが格納される。

[0176]

ここで、時刻 $T04 - T05$ において、配線 $BL[1]$ 及び配線 BL_{ref} に流れる電流を考える。配線 BL_{ref} には、電流源回路 CS から電流が供給される。また、配線 BL_{ref} を流れる電流は、カレントミラー回路 CM 、メモリセル $MC_{ref}[1]$ 、 $[2]$ へ排出される。電流源回路 CS から配線 BL_{ref} に供給される電流を $I_{C_{ref}}$ 、配線 BL_{ref} からカレントミラー回路 CM へ排出される電流を $I_{CM, 0}$ とすると、次の式が成り立つ。

[0177]

$$I_{C_{ref}} - I_{CM, 0} = I_{MC_{ref}[1], 0} + I_{MC_{ref}[2], 0} \quad (E5)$$

[0178]

配線 $BL[1]$ には、電流源回路 CS からの電流が供給される。また、配線 $BL[1]$ を流れる電流は、カレントミラー回路 CM 、メモリセル $MC[1, 1]$ 、 $[2, 1]$ へ排出される。また、配線 $BL[1]$ からオフセット回路 $OFST$ に電流が流れる。電流源回路 CS から配線 $BL[1]$ に供給される電流を $I_{C, 0}$ 、配線 $BL[1]$ からオフセット回路 $OFST$ に流れる電流を $I_{\alpha, 0}$ とすると、次の式が成り立つ。

[0179]

$$I_{C, 0} - I_{CM, 0} = I_{MC[1, 1], 0} + I_{MC[2, 1], 0} + I_{\alpha, 0} \quad (E6)$$

[0180]

[第1のデータと第2のデータの積和演算]

次に、時刻 $T05 - T06$ において、配線 $RW[1]$ の電位が基準電位よりも $V_{X[1]}$ 大きい電位となる。このとき、メモリセル $MC[1, 1]$ 、及びメモリセル $MC_{ref}[1]$ のそれぞれの容量素子 $C11$ には電位 $V_{X[1]}$ が供給され、容量結合によりトランジスタ T_{r12} のゲートの電位が上昇

する。なお、電位 $V_{X[1]}$ はメモリセルMC [1, 1] 及びメモリセルMC r e f [1] に供給される第2のデータに対応する電位である。

[0181]

トランジスタT r 1 2のゲートの電位の変化量は、配線RWの電位の変化量に、メモリセルの構成によって決まる容量結合係数を乗じた値となる。容量結合係数は、容量素子C 1 1の容量、トランジスタT r 1 2のゲート容量、及び寄生容量などによって算出される。以下では便宜上、配線RWの電位の変化量とトランジスタT r 1 2のゲートの電位の変化量が同じ、すなわち容量結合係数が1であるとして説明する。実際には、容量結合係数を考慮して電位 V_X を決定すればよい。

[0182]

メモリセルMC [1, 1] 及びメモリセルMC r e f [1] の容量素子C 1 1に電位 $V_{X[1]}$ が供給されると、ノードNM [1, 1] 及びノードNM r e f [1] の電位がそれぞれ $V_{X[1]}$ 上昇する。

[0183]

ここで、時刻T 0 5－T 0 6において、配線BL [1] からメモリセルMC [1, 1] のトランジスタT r 1 2に流れる電流 $I_{MC[1, 1], 1}$ は、次の式で表すことができる。

[0184]

$$I_{MC[1, 1], 1} = k (V_{PR} - V_{W[1, 1]} + V_{X[1]} - V_{th})^2 \quad (E7)$$

[0185]

すなわち、配線RW [1] に電位 $V_{X[1]}$ を供給することにより、配線BL [1] からメモリセルMC [1, 1] のトランジスタT r 1 2に流れる電流は、 $\Delta I_{MC[1, 1]} = I_{MC[1, 1], 1} - I_{MC[1, 1], 0}$ 増加する。

[0186]

また、時刻T 0 5－T 0 6において、配線BL r e f からメモリセルMC r e f [1] のトランジスタT r 1 2に流れる電流 $I_{MCref[1], 1}$ は、次の式で表すことができる。

[0187]

$$I_{MCref[1], 1} = k (V_{PR} + V_{X[1]} - V_{th})^2 \quad (E8)$$

[0188]

すなわち、配線RW [1] に電位 $V_{X[1]}$ を供給することにより、配線BL r e f からメモリセルMC r e f [1] のトランジスタT r 1 2に流れる電流は、 $\Delta I_{MCref[1]} = I_{MCref[1], 1} - I_{MCref[1], 0}$ 増加する。

[0189]

また、配線BL [1] 及び配線BL r e fに流れる電流について考える。配線BL r e fには、電流源回路CSから電流 I_{Cref} が供給される。また、配線BL r e fを流れる電流は、カレントミラー回路CM、メモリセルMC r e f [1]、[2]へ排出される。配線BL r e fからカレントミラー回路CMへ排出される電流を $I_{CM, 1}$ とすると、次の式が成り立つ。

[0190]

$$I_{Cref} - I_{CM, 1} = I_{MCref[1], 1} + I_{MCref[2], 0} \quad (E9)$$

[0191]

配線BL [1] には、電流源回路CSから電流 I_C が供給される。また、配線BL [1] を流れる電流は、カレントミラー回路CM、メモリセルMC [1, 1]、[2, 1]へ排出される。さらに、配線BL [1] からオフセット回路OFSTにも電流が流れる。配線BL [1] からオフセット回路OF

STに流れる電流を $I_{\alpha, 1}$ とすると、次の式が成り立つ。

[0192]

$$I_C - I_{CM, 1} = I_{MC [1, 1], 1} + I_{MC [2, 1], 1} + I_{\alpha, 1} \quad (E10)$$

[0193]

そして、式(E1)乃至式(E10)から、電流 $I_{\alpha, 0}$ と電流 $I_{\alpha, 1}$ の差(差分電流 ΔI_{α})は次の式で表すことができる。

[0194]

$$\Delta I_{\alpha} = I_{\alpha, 0} - I_{\alpha, 1} = 2k V_{W [1, 1]} V_{X [1]} \quad (E11)$$

[0195]

このように、差分電流 ΔI_{α} は、電位 $V_{W [1, 1]}$ と $V_{X [1]}$ の積に応じた値となる。

[0196]

その後、時刻T06-T07において、配線RW[1]の電位は接地電位となり、ノードNM[1, 1]及びノードNMref[1]の電位は時刻T04-T05と同様になる。

[0197]

次に、時刻T07-T08において、配線RW[1]の電位が基準電位よりも $V_{X [1]}$ 大きい電位となり、配線RW[2]の電位が基準電位よりも $V_{X [2]}$ 大きい電位となる。これにより、メモリセルMC[1, 1]、及びメモリセルMCref[1]のそれぞれの容量素子C11に電位 $V_{X [1]}$ が供給され、容量結合によりノードNM[1, 1]及びノードNMref[1]の電位がそれぞれ $V_{X [1]}$ 上昇する。また、メモリセルMC[2, 1]、及びメモリセルMCref[2]のそれぞれの容量素子C11に電位 $V_{X [2]}$ が供給され、容量結合によりノードNM[2, 1]及びノードNMref[2]の電位がそれぞれ $V_{X [2]}$ 上昇する。

[0198]

ここで、時刻T07-T08において、配線BL[1]からメモリセルMC[2, 1]のトランジスタTr12に流れる電流 $I_{MC [2, 1], 1}$ は、次の式で表すことができる。

[0199]

$$I_{MC [2, 1], 1} = k (V_{PR} - V_{W [2, 1]} + V_{X [2]} - V_{th})^2 \quad (E12)$$

[0200]

すなわち、配線RW[2]に電位 $V_{X [2]}$ を供給することにより、配線BL[1]からメモリセルMC[2, 1]のトランジスタTr12に流れる電流は、 $\Delta I_{MC [2, 1]} = I_{MC [2, 1], 1} - I_{MC [2, 1], 0}$ 増加する。

[0201]

また、時刻T05-T06において、配線BLrefからメモリセルMCref[2]のトランジスタTr12に流れる電流 $I_{MCref [2], 1}$ は、次の式で表すことができる。

[0202]

$$I_{MCref [2], 1} = k (V_{PR} + V_{X [2]} - V_{th})^2 \quad (E13)$$

[0203]

すなわち、配線RW[2]に電位 $V_{X [2]}$ を供給することにより、配線BLrefからメモリセルMCref[2]のトランジスタTr12に流れる電流は、 $\Delta I_{MCref [2]} = I_{MCref [2], 1} - I_{MCref [2], 0}$ 増加する。

[0204]

また、配線BL[1]及び配線BLrefに流れる電流について考える。配線BLrefには、電流源回路CSから電流I_{Cref}が供給される。また、配線BLrefを流れる電流は、カレントミラー回路CM、メモリセルMCref[1]、[2]へ排出される。配線BLrefからカレントミラー回路CMへ排出される電流をI_{CM,2}とすると、次の式が成り立つ。

[0205]

$$I_{Cref} - I_{CM,2} = I_{MCref[1],1} + I_{MCref[2],1} \quad (E14)$$

[0206]

配線BL[1]には、電流源回路CSから電流I_Cが供給される。また、配線BL[1]を流れる電流は、カレントミラー回路CM、メモリセルMC[1,1]、[2,1]へ排出される。さらに、配線BL[1]からオフセット回路OFSTにも電流が流れる。配線BL[1]からオフセット回路OFSTに流れる電流をI_{α,2}とすると、次の式が成り立つ。

[0207]

$$I_C - I_{CM,2} = I_{MC[1,1],1} + I_{MC[2,1],1} + I_{α,2} \quad (E15)$$

[0208]

そして、式(E1)乃至式(E8)、及び、式(E12)乃至式(E15)から、電流I_{α,0}と電流I_{α,2}の差(差分電流ΔI_α)は次の式で表すことができる。

[0209]

$$\Delta I_{\alpha} = I_{\alpha,0} - I_{\alpha,2} = 2k(V_{W[1,1]}V_{X[1]} + V_{W[2,1]}V_{X[2]}) \quad (E16)$$

[0210]

このように、差分電流ΔI_αは、電位V_{W[1,1]}と電位V_{X[1]}の積と、電位V_{W[2,1]}と電位V_{X[2]}の積と、を足し合わせた結果に応じた値となる。

[0211]

その後、時刻T08-T09において、配線RW[1]、[2]の電位は接地電位となり、ノードNM[1,1]、[2,1]及びノードNMref[1]、[2]の電位は時刻T04-T05と同様になる。

[0212]

式(E9)及び式(E16)に示されるように、オフセット回路OFSTに入力される差分電流ΔI_αは、第1のデータ(重み)に対応する電位V_Xと、第2のデータ(入力データ)に対応する電位V_Wの積を足し合わせた結果に応じた値となる。すなわち、差分電流ΔI_αをオフセット回路OFSTで計測することにより、第1のデータと第2のデータの積和演算の結果を得ることができる。

[0213]

なお、上記では特にメモリセルMC[1,1]、[2,1]及びメモリセルMCref[1]、[2]に着目したが、メモリセルMC及びメモリセルMCrefの数は任意に設定することができる。メモリセルMC及びメモリセルMCrefの行数mを任意の数とした場合の差分電流ΔI_αは、次の式で表すことができる。

[0214]

$$\Delta I_{\alpha} = 2k \sum_i V_{W[i,1]} V_{X[i]} \quad (E17)$$

[0215]

また、メモリセルMC及びメモリセルMCrefの列数nを増やすことにより、並列して実行される積和演算の数を増やすことができる。

[0216]

以上のように、半導体装置MACを用いることにより、第1のデータと第2のデータの積和演算を行うことができる。なお、メモリセルMC及びメモリセルMC refとして図13に示す構成を用いることにより、少ないトランジスタ数で積和演算回路を構成することができる。そのため、半導体装置MACの回路規模の縮小を図ることができる。

[0217]

半導体装置MACをニューラルネットワークにおける演算に用いる場合、メモリセルMCの行数mは一のニューロンに供給される入力データの数に対応させ、メモリセルMCの列数nはニューロンの数に対応させることができる。例えば、図11(A)に示す中間層HLにおいて半導体装置MACを用いた積和演算を行う場合を考える。このとき、メモリセルMCの行数mは、入力層ILから供給される入力データの数（入力層ILのニューロンの数）に設定し、メモリセルMCの列数nは、中間層HLのニューロンの数に設定することができる。

[0218]

なお、半導体装置MACを適用するニューラルネットワークの構造は特に限定されない。例えば半導体装置MACは、畳み込みニューラルネットワーク（CNN）、再帰型ニューラルネットワーク（RNN）、オートエンコーダ、ボルツマンマシン（制限ボルツマンマシンを含む）などに用いることもできる。

[0219]

以上のように、半導体装置MACを用いることにより、ニューラルネットワークの積和演算を行うことができる。さらに、セルアレイCAに図13に示すメモリセルMC及びメモリセルMC refを用いることにより、演算精度の向上、消費電力の削減、又は回路規模の縮小を図ることが可能な集積回路を提供することができる。

[0220]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせることで実施することが可能である。

[0221]

（実施の形態3）

本実施の形態では、表示部110の構成例について説明する。

[0222]

図16(A)は、表示部110の構成例を説明するブロック図である。図16(A)において、表示部110は、駆動回路511、駆動回路521a、駆動回路521b、および表示領域531を有している。なお、駆動回路511、駆動回路521a、および駆動回路521bなどをまとめて「駆動回路」または「周辺駆動回路」という場合がある。

[0223]

駆動回路521a、駆動回路521bは、例えば走査線駆動回路として機能できる。また、駆動回路511は、例えば信号線駆動回路として機能できる。なお、駆動回路521a、および駆動回路521bは、どちらか一方のみとしてもよい。また、表示領域531を挟んで駆動回路511と向き合う位置に、何らかの回路を設けてもよい。

[0224]

また、表示部110は、各々が略平行に配設され、且つ、駆動回路521a、および／または駆動回路521bによって電位が制御されるp本の配線535と、各々が略平行に配設され、且つ、駆動回路511によって電位が制御されるq本の配線536と、を有する（p、qは、ともに1以上の自然

数)。さらに、表示領域531はマトリクス状に配設された複数の画素532を有する。画素532は、画素回路534および表示素子を有する。

[0225]

また、3つの画素532を1つの画素として機能させることで、フルカラー表示を実現することができる。3つの画素532は、それぞれが赤色光、緑色光、または青色光の、透過率、反射率、または発光光量などを制御する。なお、3つの画素532で制御する光の色は赤、緑、青の組み合わせに限らず、黄、シアン、マゼンタであってもよい。

[0226]

また、赤色光、緑色光、青色光を制御する画素に、白色光を制御する画素532を加えて、4つの画素532をまとめて1つの画素として機能させてもよい。白色光を制御する画素532を加えることで、表示領域の輝度を高めることができる。また、1つの画素として機能させる画素532を増やし、赤、緑、青、黄、シアン、およびマゼンタを適宜組み合わせて用いることにより、再現可能な色域を広げることができる。

[0227]

画素を1920×1080のマトリクス状に配置すると、いわゆるフルハイビジョン(「2K解像度」、「2K1K」、「2K」などとも言われる。)の解像度で表示可能な表示部110を実現することができる。また、例えば、画素を3840×2160のマトリクス状に配置すると、いわゆるウルトラハイビジョン(「4K解像度」、「4K2K」、「4K」などとも言われる。)の解像度で表示可能な表示部110を実現することができる。また、例えば、画素を7680×4320のマトリクス状に配置すると、いわゆるスーパーハイビジョン(「8K解像度」、「8K4K」、「8K」などとも言われる。)の解像度で表示可能な表示部110を実現することができる。画素を増やすことで、16Kや32Kの解像度で表示可能な表示部110を実現することも可能である。

[0228]

g行目の配線535_{—g}(gは1以上p以下の自然数。)は、表示領域531においてp行q列に配設された複数の画素532のうち、g行に配設されたq個の画素532と電氣的に接続される。また、h列目の配線536_{—h}(hは1以上q以下の自然数。)は、p行q列に配設された画素532のうち、h列に配設されたp個の画素532に電氣的に接続される。

[0229]

[表示素子]

表示部110は、様々な形態を用いること、または様々な表示素子を有することが出来る。表示素子の一例としては、EL(エレクトロルミネッセンス)素子(有機EL素子、無機EL素子、または、有機物及び無機物を含むEL素子)、LED(白色LED、赤色LED、緑色LED、青色LEDなど)、トランジスタ(電流に応じて発光するトランジスタ)、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ(GLV)、MEMS(マイクロ・エレクトロ・メカニカル・システム)を用いた表示素子、デジタルマイクロミラーデバイス(DMD)、DMS(デジタル・マイクロ・シャッター)、MIRASOL(登録商標)、IMOD(インターフェロメトリック・モジュレーション)素子、シャッター方式のMEMS表示素子、光干渉方式のMEMS表示素子、エレクトロウエッチング素子、圧電セラミックディスプレイ、カーボンナノチューブを用いた表示素子、など、電氣的または磁氣的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有するものがある。また、表示素子として量子ドットを用いてもよい。

[0230]

EL素子を用いた表示装置の一例としては、ELディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ（FED）又はSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）などがある。量子ドットを用いた表示装置の一例としては、量子ドットディスプレイなどがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）などがある。電子インク、電子粉流体（登録商標）、又は電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。また、表示装置はプラズマディスプレイパネル（PDP）であつてもよい。また、表示装置は網膜走査型の投影装置であつてもよい。

[0231]

なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部、または、全部が、反射電極としての機能を有するようにすればよい。例えば、画素電極の一部、または、全部が、アルミニウム、銀、などを有するようにすればよい。さらに、その場合、反射電極の下に、SRAMなどの記憶回路を設けることも可能である。これにより、さらに、消費電力を低減することができる。

[0232]

なお、LEDを用いる場合、LEDの電極や窒化物半導体の下に、グラフェンやグラファイトを配置してもよい。グラフェンやグラファイトは、複数の層を重ねて、多層膜としてもよい。このように、グラフェンやグラファイトを設けることにより、その上に、窒化物半導体、例えば、結晶を有するn型Ga_{0.5}N_{0.5}半導体層などを容易に成膜することができる。さらに、その上に、結晶を有するp型Ga_{0.5}N_{0.5}半導体層などを設けて、LEDを構成することができる。なお、グラフェンやグラファイトと、結晶を有するn型Ga_{0.5}N_{0.5}半導体層との間に、AlN層を設けてもよい。なお、LEDが有するGa_{0.5}N_{0.5}半導体層は、MOCVDで成膜してもよい。ただし、グラフェンを設けることにより、LEDが有するGa_{0.5}N_{0.5}半導体層は、スパッタ法で成膜することも可能である。

[0233]

図16（B）、図16（C）、図17（A）、および図17（B）は、画素532に用いることができる回路構成例を示している。

[0234]

[発光表示装置用画素回路の一例]

図16（B）に示す画素回路534は、トランジスタ461と、容量素子463と、トランジスタ468と、トランジスタ464と、を有する。また、図16（B）に示す画素回路534は、表示素子として機能できる発光素子469と電氣的に接続されている。

[0235]

トランジスタ461、トランジスタ468、およびトランジスタ464にOSトランジスタを用いることができる。特に、トランジスタ461にOSトランジスタを用いることが好ましい。

[0236]

トランジスタ461のソースおよびドレインの一方は、配線536__hに電氣的に接続される。さらに、トランジスタ461のゲートは、配線535__gに電氣的に接続される。配線536__hからはビデオ信号が供給される。

[0237]

トランジスタ461は、ビデオ信号のノード465への書き込みを制御する機能を有する。

[0238]

容量素子463の一对の電極の一方は、ノード465に電氣的に接続され、他方は、ノード467に電氣的に接続される。また、トランジスタ461のソースおよびドレインの他方は、ノード465に電氣的に接続される。

[0239]

容量素子463は、ノード465に書き込まれたデータを保持する保持容量としての機能を有する。

[0240]

トランジスタ468のソースおよびドレインの一方は、電位供給線VL__aに電氣的に接続され、他方はノード467に電氣的に接続される。さらに、トランジスタ468のゲートは、ノード465に電氣的に接続される。

[0241]

トランジスタ464のソースおよびドレインの一方は、電位供給線V0に電氣的に接続され、他方はノード467に電氣的に接続される。さらに、トランジスタ464のゲートは、配線535__gに電氣的に接続される。

[0242]

発光素子469のアノードまたはカソードの一方は、電位供給線VL__bに電氣的に接続され、他方は、ノード467に電氣的に接続される。

[0243]

発光素子469としては、例えば有機エレクトロルミネセンス素子（有機EL素子ともいう）などを用いることができる。ただし、発光素子469としては、これに限定されず、例えば無機材料からなる無機EL素子を用いても良い。

[0244]

例えば、電位供給線VL__aまたは電位供給線VL__bの一方には、高電源電位VDDが与えられ、他方には、低電源電位VSSが与えられる。

[0245]

図16（B）の画素回路534を有する表示部110では、駆動回路521a、および／または駆動回路521bにより各行の画素532を順次選択し、トランジスタ461、およびトランジスタ464をオン状態にしてビデオ信号をノード465に書き込む。

[0246]

ノード465にデータが書き込まれた画素532は、トランジスタ461、およびトランジスタ464がオフ状態になることで保持状態になる。さらに、ノード465に書き込まれたデータの電位に応じてトランジスタ468のソースとドレインの間に流れる電流量が制御され、発光素子469は、流れる電流量に応じた輝度で発光する。これを行毎に順次行うことにより、画像を表示できる。

[0247]

また、図17（A）に示すように、トランジスタ461、トランジスタ464、およびトランジスタ468として、バックゲートを有するトランジスタを用いてもよい。図17（A）に示すトランジスタ461、およびトランジスタ464は、ゲートがバックゲートと電氣的に接続されている。よって、ゲートとバックゲートが常に同じ電位となる。また、トランジスタ468はバックゲートがノード4

67と電氣的に接続されている。よって、バックゲートがノード467と常に同じ電位となる。

[0248]

トランジスタ461、トランジスタ468、およびトランジスタ464の少なくとも一つに、上記実施の形態に示したトランジスタを用いることができる。

[0249]

〔液晶表示装置用画素回路の一例〕

図16(C)に示す画素回路534は、トランジスタ461と、容量素子463と、を有する。また、図16(C)に示す画素回路534は、表示素子として機能できる液晶素子462と電氣的に接続されている。トランジスタ461にOSトランジスタを用いることが好ましい。

[0250]

液晶素子462の一对の電極の一方の電位は、画素回路534の仕様に応じて適宜設定される。例えば、液晶素子462の一对の電極の一方に、共通の電位（コモン電位）を与えてもよいし、後述する容量線CLと同電位としてもよい。また、液晶素子462の一对の電極の一方に、画素532毎に異なる電位を与えてもよい。液晶素子462の一对の電極の他方はノード466に電氣的に接続されている。液晶素子462は、ノード466に書き込まれるデータにより配向状態が設定される。

[0251]

液晶素子462を備える表示装置の駆動方法としては、例えば、TN (Twisted Nematic) モード、STN (Super Twisted Nematic) モード、VA (Vertical Alignment) モード、ASM (Axially Symmetric Aligned Micro-cell) モード、OCB (Optically Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モード、MVA (Multi Domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、IPS (In-Plane Switching) モード、FFS (Fringe Field Switching) モード、またはTBA (Transverse Bend Alignment) モードなどを用いてもよい。また、表示装置の駆動方法としては、上述した駆動方法の他、ECB (Electrically Controlled Birefringence) モード、PDLC (Polymer Dispersed Liquid Crystal) モード、PNLC (Polymer Network Liquid Crystal) モード、ゲストホストモードなどがある。ただし、これに限定されず、液晶素子およびその駆動方式として様々なものを用いることができる。

[0252]

表示素子として、液晶素子を用いる場合、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す。

[0253]

また、配向膜を用いないブルー相 (Blue Phase) を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するた

めに5重量%以上のカイラル剤を混合させた液晶組成物を液晶層に用いる。ブルー相を示す液晶とカイラル剤を含む液晶組成物は、応答速度が1 m s e c以下と短く、光学的等方性であるため配向処理が不要であり、かつ、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。よって液晶表示装置の生産性を向上させることが可能となる。

[0254]

また、画素（ピクセル）をいくつかの領域（サブピクセル）に分け、それぞれ別の方向に分子を倒すよう工夫されているマルチドメイン化あるいはマルチドメイン設計といわれる方法を用いることができる。

[0255]

また、液晶材料の固有抵抗は、 $1 \times 10^9 \Omega \cdot \text{cm}$ 以上であり、好ましくは $1 \times 10^{11} \Omega \cdot \text{cm}$ 以上であり、さらに好ましくは $1 \times 10^{12} \Omega \cdot \text{cm}$ 以上である。なお、本明細書における固有抵抗の値は、20℃で測定した値とする。

[0256]

g行h列目の画素回路534において、トランジスタ461のソースおよびドレインの一方は、配線536__hに電氣的に接続され、他方はノード466に電氣的に接続される。トランジスタ461のゲートは、配線535__gに電氣的に接続される。配線536__hからはビデオ信号が供給される。トランジスタ461は、ノード466へのビデオ信号の書き込みを制御する機能を有する。

[0257]

容量素子463の一对の電極の一方は、特定の電位が供給される配線（以下、容量線CL）に電氣的に接続され、他方は、ノード466に電氣的に接続される。なお、容量線CLの電位の値は、画素回路534の仕様に応じて適宜設定される。容量素子463は、ノード466に書き込まれたデータを保持する保持容量としての機能を有する。

[0258]

例えば、図16（C）の画素回路534を有する表示部110では、駆動回路521a、および／または駆動回路521bにより各行の画素回路534を順次選択し、トランジスタ461をオン状態にしてノード466にビデオ信号を書き込む。

[0259]

ノード466にビデオ信号が書き込まれた画素回路534は、トランジスタ461がオフ状態になることで保持状態になる。これを行毎に順次行うことにより、表示領域531に画像を表示できる。

[0260]

また、図17（B）に示すように、トランジスタ461にバックゲートを有するトランジスタを用いてもよい。図17（B）に示すトランジスタ461は、ゲートがバックゲートと電氣的に接続されている。よって、ゲートとバックゲートが常に同じ電位となる。

[0261]

〔周辺回路の構成例〕

図18（A）に駆動回路511の構成例を示す。駆動回路511は、シフトレジスタ512、ラッチ回路513、およびバッファ514を有する。また、図18（B）に駆動回路521aの構成例を示す。駆動回路521aは、シフトレジスタ522、およびバッファ523を有する。駆動回路521

bも駆動回路521aと同様の構成とすることができる。

[0262]

シフトレジスタ512およびシフトレジスタ522にはスタートパルスSP、クロック信号CLKなどが入力される。

[0263]

(実施の形態4)

本実施の形態では、表示素子として液晶素子を用いた表示部110の構成例と、表示素子としてEL素子を用いた表示部110の構成例について説明する。図19(A)において、第1の基板4001上に設けられた表示領域113を囲むようにして、シール材4005が設けられ、表示領域113がシール材4005および第2の基板4006によって封止されている。

[0264]

図19(A)では、データドライバ111a、データドライバ111b、ゲートドライバ112a、およびゲートドライバ112bは、それぞれがプリント基板4041上に設けられた集積回路4042を複数有する。集積回路4042は、単結晶半導体または多結晶半導体で形成されている。データドライバ111aおよびデータドライバ111bは、上記実施の形態に示した駆動回路511(信号線駆動回路)と同様に機能する。ゲートドライバ112aおよびゲートドライバ112bは、上記実施の形態に示した駆動回路521a、駆動回路521b(走査線駆動回路)と同様に機能する。

[0265]

ゲートドライバ112a、ゲートドライバ112b、データドライバ111a、およびデータドライバ111bに与えられる各種信号および電位は、FPC4018を介して供給される。

[0266]

ゲートドライバ112aおよびゲートドライバ112bが有する集積回路4042は、表示領域113に選択信号を供給する機能を有する。表示領域113は、上記実施の形態に示した表示領域531と同様に機能する。データドライバ111aおよびデータドライバ111bが有する集積回路4042は、表示領域113にビデオ信号を供給する機能を有する。集積回路4042は、TAB(Tape Automated Bonding)法によって第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に実装されている。

[0267]

なお、集積回路4042の接続方法は、特に限定されるものではなく、ワイヤボンディング法、COG(Chip On Glass)法、TCP(Tape Carrier Package)法、COF(Chip On Film)法などを用いることができる。

[0268]

図19(B)は、データドライバ111aおよびデータドライバ111bに含まれる集積回路4042をCOG法により実装する例を示している。また、上記実施の形態に示したトランジスタを用いて、駆動回路の一部または全体を表示領域113と同じ基板上に一体形成して、システムオンパネルを形成することができる。

[0269]

図19(B)では、ゲートドライバ112aおよびゲートドライバ112bを、表示領域113と同じ基板上に形成する例を示している。駆動回路を表示領域113内の画素回路と同時に形成することで、部品点数を削減することができる。よって、生産性を高めることができる。

[0270]

また、図19 (B) では、第1の基板4001上に設けられた表示領域113と、ゲートドライバ112aおよびゲートドライバ112bと、を囲むようにして、シール材4005が設けられている。また表示領域113、ゲートドライバ112a、およびゲートドライバ112bの上に第2の基板4006が設けられている。よって、表示領域113、ゲートドライバ112a、およびゲートドライバ112bは、第1の基板4001とシール材4005と第2の基板4006とによって、表示素子と共に封止されている。

[0271]

また図19 (B) では、データドライバ111aおよびデータドライバ111bを別途形成し、第1の基板4001に実装している例を示しているが、この構成に限定されない。ゲートドライバを別途形成して実装しても良いし、データドライバの一部またはゲートドライバの一部を別途形成して実装しても良い。

[0272]

また、表示部110は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む場合がある。

[0273]

また第1の基板上に設けられた表示部およびゲートドライバは、トランジスタを複数有している。

[0274]

周辺駆動回路が有するトランジスタと、表示部の画素回路が有するトランジスタの構造は同じであってもよく、異なってもよい。周辺駆動回路が有するトランジスタは、全て同じ構造であってもよく、2種類以上の構造が組み合わせて用いられていてもよい。同様に、画素回路が有するトランジスタは、全て同じ構造であってもよく、2種類以上の構造が組み合わせて用いられていてもよい。

[0275]

図20 (A) および図20 (B) は、図19 (B) 中でN1-N2の鎖線で示した部位の断面図である。図20 (A) および図20 (B) に示す表示部110は電極4015を有しており、電極4015はFPC4018が有する端子と異方性導電層4019を介して、電氣的に接続されている。また、図20 (A) および図20 (B) では、電極4015は、絶縁層4112、絶縁層4111、および絶縁層4110に形成された開口において配線4014と電氣的に接続されている。

[0276]

電極4015は、第1の電極層4030と同じ導電層から形成され、配線4014は、トランジスタ4010、およびトランジスタ4011のソース電極およびドレイン電極と同じ導電層で形成されている。

[0277]

また、第1の基板4001上に設けられた表示領域113とゲートドライバ112aは、トランジスタを複数有しており、図20 (A)、および図20 (B) では、表示領域113に含まれるトランジスタ4010、およびゲートドライバ112aに含まれるトランジスタ4011を例示している。なお、図20 (A) および図20 (B) では、トランジスタ4010およびトランジスタ4011としてボトムゲート型のトランジスタを例示している。

[0278]

図20 (A) および図20 (B) では、トランジスタ4010およびトランジスタ4011上に絶縁

層 4 1 1 2 が設けられている。また、図 2 0 (B) では、絶縁層 4 1 1 2 上に隔壁 4 5 1 0 が形成されている。

[0 2 7 9]

また、トランジスタ 4 0 1 0 およびトランジスタ 4 0 1 1 は、絶縁層 4 1 0 2 上に設けられている。また、トランジスタ 4 0 1 0 およびトランジスタ 4 0 1 1 は、絶縁層 4 1 1 1 上に形成された電極 4 0 1 7 を有する。電極 4 0 1 7 はバックゲート電極として機能することができる。

[0 2 8 0]

また、図 2 0 (A) および図 2 0 (B) に示す表示部 1 1 0 は、容量素子 4 0 2 0 を有する。容量素子 4 0 2 0 は、トランジスタ 4 0 1 0 のゲート電極と同じ工程で形成された電極 4 0 2 1 と、ソース電極およびドレイン電極と同じ工程で形成された電極と、を有する。それぞれの電極は、絶縁層 4 1 0 3 を介して重なっている。

[0 2 8 1]

一般に、表示部 1 1 0 の画素部に設けられる容量素子の容量は、画素部に配置されるトランジスタのリーク電流等を考慮して、所定の期間の間電荷を保持できるように設定される。容量素子の容量は、トランジスタのオフ電流等を考慮して設定すればよい。

[0 2 8 2]

表示領域 1 1 3 に設けられたトランジスタ 4 0 1 0 は表示素子と電氣的に接続する。図 2 0 (A) は、表示素子として液晶素子を用いた表示部 1 1 0 の一例である。図 2 0 (A) において、表示素子である液晶素子 4 0 1 3 は、第 1 の電極層 4 0 3 0、第 2 の電極層 4 0 3 1、および液晶層 4 0 0 8 を含む。なお、液晶層 4 0 0 8 を挟持するように配向膜として機能する絶縁層 4 0 3 2、絶縁層 4 0 3 3 が設けられている。第 2 の電極層 4 0 3 1 は第 2 の基板 4 0 0 6 側に設けられ、第 1 の電極層 4 0 3 0 と第 2 の電極層 4 0 3 1 は液晶層 4 0 0 8 を介して重畳する。

[0 2 8 3]

またスペーサ 4 0 3 5 は絶縁層を選択的にエッチングすることで得られる柱状のスペーサであり、第 1 の電極層 4 0 3 0 と第 2 の電極層 4 0 3 1 との間隔 (セルギャップ) を制御するために設けられている。なお球状のスペーサを用いても良い。

[0 2 8 4]

また、必要に応じて、ブラックマトリクス (遮光層)、着色層 (カラーフィルタ)、偏光部材、位相差部材、反射防止部材などの光学部材 (光学基板) などを適宜設けてもよい。例えば、偏光基板および位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

[0 2 8 5]

図 2 0 (A) に示す表示部 1 1 0 では、基板 4 0 0 6 と第 2 の電極層 4 0 3 1 の間に、遮光層 4 1 3 2、着色層 4 1 3 1、絶縁層 4 1 3 3 が設けられている。

[0 2 8 6]

遮光層として用いることのできる材料としては、カーボンブラック、チタンブラック、金属、金属酸化物、複数の金属酸化物の固溶体を含む複合酸化物等が挙げられる。遮光層は、樹脂材料を含む膜であってもよいし、金属などの無機材料の薄膜であってもよい。また、遮光層に、着色層の材料を含む膜の積層膜を用いることもできる。例えば、ある色の光を透過する着色層に用いる材料を含む膜と、他の色の光を透過する着色層に用いる材料を含む膜との積層構造を用いることができる。着色層と遮

光層の材料を共通化することで、装置を共通化できるほか工程を簡略化できるため好ましい。

[0287]

着色層に用いることのできる材料としては、金属材料、樹脂材料、顔料または染料が含まれた樹脂材料などが挙げられる。遮光層および着色層の形成方法は、前述した各層の形成方法と同様に行なえばよい。例えば、インクジェット法などで行なってもよい。

[0288]

また、図20(A)および図20(B)に示す表示部110は、絶縁層4111と絶縁層4104を有する。絶縁層4111と絶縁層4104として、不純物元素を透過しにくい絶縁層を用いる。絶縁層4111と絶縁層4104でトランジスタの半導体層を挟むことで、外部からの不純物の浸入を防ぐことができる。

[0289]

また、表示部110に含まれる表示素子として、エレクトロルミネッセンスを利用する発光素子(「EL素子」ともいう。)を適用することができる。EL素子は、一対の電極の間に発光性の化合物を含む層(「EL層」ともいう。)を有する。一対の電極間に、EL素子の閾値電圧よりも大きい電位差を生じさせると、EL層に陽極側から正孔が注入され、陰極側から電子が注入される。注入された電子と正孔はEL層において再結合し、EL層に含まれる発光物質が発光する。

[0290]

また、EL素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

[0291]

有機EL素子は、電圧を印加することにより、一方の電極から電子、他方の電極から正孔がそれぞれEL層に注入される。そして、それらキャリア(電子および正孔)が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

[0292]

なお、EL層は、発光性の化合物以外に、正孔注入性の高い物質、正孔輸送性の高い物質、正孔ブロック材料、電子輸送性の高い物質、電子注入性の高い物質、またはバイポーラ性の物質(電子輸送性および正孔輸送性が高い物質)などを有していてもよい。

[0293]

EL層は、蒸着法(真空蒸着法を含む)、転写法、印刷法、インクジェット法、塗布法などの方法で形成することができる。

[0294]

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。

[0295]

発光素子は発光を取り出すために少なくとも一対の電極の一方が透明であればよい。そして、基板上

にトランジスタおよび発光素子を形成し、当該基板とは逆側の面から発光を取り出す上面射出（トップエミッション）構造や、基板側の面から発光を取り出す下面射出（ボトムエミッション）構造や、両面から発光を取り出す両面射出（デュアルエミッション）構造の発光素子があり、どの射出構造の発光素子も適用することができる。

[0296]

図20(B)は、表示素子として発光素子を用いた表示部110の一例である。表示素子である発光素子4513は、表示領域113に設けられたトランジスタ4010と電氣的に接続している。なお発光素子4513の構成は、第1の電極層4030、発光層4511、第2の電極層4031の積層構造であるが、この構成に限定されない。発光素子4513から取り出す光の方向などに合わせて、発光素子4513の構成は適宜変えることができる。

[0297]

隔壁4510は、有機絶縁材料、または無機絶縁材料を用いて形成する。特に感光性の樹脂材料を用い、第1の電極層4030上に開口部を形成し、その開口部の側面が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

[0298]

発光層4511は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

[0299]

発光素子4513の発光色は、発光層4511を構成する材料によって、白、赤、緑、青、シアン、マゼンタ、または黄などに変化させることができる。

[0300]

カラー表示を実現する方法としては、発光色が白色の発光素子4513と着色層を組み合わせて行う方法と、画素毎に発光色の異なる発光素子4513を設ける方法がある。前者の方法は後者の方法よりも生産性が高い。一方、後者の方法では画素毎に発光層4511を作り分ける必要があるため、前者の方法よりも生産性が劣る。ただし、後者の方法では、前者の方法よりも色純度の高い発光色を得ることができる。後者の方法に加えて、発光素子4513にマイクロキャビティ構造を付与することにより色純度をさらに高めることができる。

[0301]

なお、発光層4511は、量子ドットなどの無機化合物を有していてもよい。例えば、量子ドットを発光層に用いることで、発光材料として機能させることもできる。

[0302]

発光素子4513に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4031および隔壁4510上に保護層を形成してもよい。保護層としては、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、DLC(Diamond Like Carbon)などを形成することができる。また、第1の基板4001、第2の基板4006、およびシール材4005によって封止された空間には充填材4514が設けられ密封されている。このように、外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

[0303]

充填材 4 5 1 4 としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル樹脂、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）などを用いることができる。また、充填材 4 5 1 4 に乾燥剤が含まれていてもよい。

[0304]

シール材 4 0 0 5 には、ガラスフリットなどのガラス材料や、二液混合型の樹脂などの常温で硬化する硬化樹脂、光硬化性の樹脂、熱硬化性の樹脂などの樹脂材料を用いることができる。また、シール材 4 0 0 5 に乾燥剤が含まれていてもよい。

[0305]

また、必要であれば、発光素子の射出面に偏光板、または円偏光板（楕円偏光板を含む）、位相差板（ $\lambda/4$ 板、 $\lambda/2$ 板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板または円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

[0306]

また、発光素子をマイクロキャビティ構造とすることで、色純度の高い光を取り出すことができる。また、マイクロキャビティ構造とカラーフィルタを組み合わせることで、映り込みが低減し、表示画像の視認性を高めることができる。

[0307]

表示素子に電圧を印加する第1の電極層および第2の電極層（画素電極層、共通電極層、対向電極層などともいう）においては、取り出す光の方向、電極層が設けられる場所、および電極層のパターン構造によって透光性、反射性を選択すればよい。

[0308]

第1の電極層 4 0 3 0、第2の電極層 4 0 3 1 は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、インジウム錫酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

[0309]

また、第1の電極層 4 0 3 0、第2の電極層 4 0 3 1 はタングステン (W)、モリブデン (Mo)、ジルコニウム (Zr)、ハフニウム (Hf)、バナジウム (V)、ニオブ (Nb)、タンタル (Ta)、クロム (Cr)、コバルト (Co)、ニッケル (Ni)、チタン (Ti)、白金 (Pt)、アルミニウム (Al)、銅 (Cu)、銀 (Ag) などの金属、またはその合金、もしくはその金属窒化物から一種以上を用いて形成することができる。

[0310]

また、第1の電極層 4 0 3 0、第2の電極層 4 0 3 1 として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性高分子としては、いわゆる π 電子共役系導電性高分子を用いることができる。例えば、ポリアニリン若しくはその誘導体、ポリピロール若しくはその誘導体、ポリチオフェン若しくはその誘導体、または、アニリン、ピロールおよびチオフェンの2種以上からなる共重合体若しくはその誘導体などがあげられる。

[0311]

また、トランジスタは静電気などにより破壊されやすいため、駆動回路保護用の保護回路を設けるこ

とが好ましい。保護回路は、非線形素子を用いて構成することが好ましい。

[0312]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

[0313]

(実施の形態5)

本実施の形態では、本発明の一態様の表示装置100などに用いることができるトランジスタの一例について、図面を用いて説明する。

[0314]

本発明の一態様の表示装置100などは、ボトムゲート型のトランジスタや、トップゲート型トランジスタなどの様々な形態のトランジスタを用いて作製することができる。例えば、プレーナ型のトランジスタを用いてもよいし、スタガ型のトランジスタを用いてもよい。よって、既存の製造ラインに合わせて、使用する半導体層の材料やトランジスタ構造を容易に置き換えることができる。

[0315]

[ボトムゲート型トランジスタ]

図21(A1)は、ボトムゲート型のトランジスタの一種であるチャネル保護型のトランジスタ310の断面図である。図21(A1)において、トランジスタ310は基板371上に形成されている。また、トランジスタ310は、基板371上に絶縁層372を介して電極322を有する。また、電極322上に絶縁層326を介して半導体層324を有する。電極322はゲート電極として機能できる。絶縁層326はゲート絶縁層として機能できる。

[0316]

また、半導体層324のチャネル形成領域上に絶縁層327を有する。また、半導体層324の一部と接して、絶縁層326上に電極344aおよび電極344bを有する。電極344aは、ソース電極またはドレイン電極の一方として機能できる。電極344bは、ソース電極またはドレイン電極の他方として機能できる。電極344aの一部、および電極344bの一部は、絶縁層327上に形成される。

[0317]

絶縁層327は、チャネル保護層として機能できる。チャネル形成領域上に絶縁層327を設けることで、電極344aおよび電極344bの形成時に生じる半導体層324の露出を防ぐことができる。よって、電極344aおよび電極344bの形成時に、半導体層324のチャネル形成領域がエッチングされることを防ぐことができる。本発明の一態様によれば、電気特性の良好なトランジスタを実現することができる。

[0318]

また、トランジスタ310は、電極344a、電極344bおよび絶縁層327上に絶縁層328を有し、絶縁層328の上に絶縁層329を有する。

[0319]

半導体層324にシリコンなどの半導体を用いる場合は、半導体層324と電極344aの間、および半導体層324と電極344bの間に、n型半導体またはp型半導体として機能する層を設けることが好ましい。n型半導体またはp型半導体として機能する層は、トランジスタのソース領域またはドレイン領域として機能することができる。

[0320]

絶縁層 3 2 9 は、外部からのトランジスタへの不純物の拡散を防ぐ、または低減する機能を有する材料を用いて形成することが好ましい。なお、必要に応じて絶縁層 3 2 9 を省略することもできる。

[0 3 2 1]

図 2 1 (A 2) に示すトランジスタ 3 1 1 は、絶縁層 3 2 9 上にバックゲート電極として機能できる電極 3 2 3 を有する点が、トランジスタ 3 1 0 と異なる。電極 3 2 3 は、電極 3 2 2 と同様の材料および方法で形成することができる。

[0 3 2 2]

一般に、バックゲート電極は導電層で形成され、ゲート電極とバックゲート電極で半導体層のチャネル形成領域を挟むように配置される。よって、バックゲート電極は、ゲート電極と同様に機能させることができる。バックゲート電極の電位は、ゲート電極と同電位としてもよいし、接地電位 (GND 電位) や、任意の電位としてもよい。また、バックゲート電極の電位をゲート電極と連動させず独立して変化させることで、トランジスタのしきい値電圧を変化させることができる。

[0 3 2 3]

電極 3 2 2 および電極 3 2 3 は、どちらもゲート電極として機能することができる。よって、絶縁層 3 2 6、絶縁層 3 2 8、および絶縁層 3 2 9 は、それぞれがゲート絶縁層として機能することができる。なお、電極 3 2 3 は、絶縁層 3 2 8 と絶縁層 3 2 9 の間に設けてもよい。

[0 3 2 4]

なお、電極 3 2 2 または電極 3 2 3 の一方を、「ゲート電極」という場合、他方を「バックゲート電極」という。例えば、トランジスタ 3 1 1 において、電極 3 2 3 を「ゲート電極」と言う場合、電極 3 2 2 を「バックゲート電極」と言う。また、電極 3 2 3 を「ゲート電極」として用いる場合は、トランジスタ 3 1 1 をトップゲート型のトランジスタの一種と考えることができる。また、電極 3 2 2 および電極 3 2 3 のどちらか一方を、「第 1 のゲート電極」といい、他方を「第 2 のゲート電極」という場合がある。

[0 3 2 5]

半導体層 3 2 4 を挟んで電極 3 2 2 および電極 3 2 3 を設けることで、更には、電極 3 2 2 および電極 3 2 3 を同電位とすることで、半導体層 3 2 4 においてキャリアの流れる領域が膜厚方向においてより大きくなるため、キャリアの移動量が増加する。この結果、トランジスタ 3 1 1 のオン電流が大きくなると共に、電界効果移動度が高くなる。

[0 3 2 6]

したがって、トランジスタ 3 1 1 は、占有面積に対して大きいオン電流を有するトランジスタである。すなわち、求められるオン電流に対して、トランジスタ 3 1 1 の占有面積を小さくすることができる。本発明の一態様によれば、トランジスタの占有面積を小さくすることができる。よって、本発明の一態様によれば、集積度の高い半導体装置を実現することができる。

[0 3 2 7]

また、ゲート電極とバックゲート電極は導電層で形成されるため、トランジスタの外部で生じる電界が、チャネルが形成される半導体層に作用しないようにする機能 (特に静電気などに対する電界遮蔽機能) を有する。なお、バックゲート電極を半導体層よりも大きく形成し、バックゲート電極で半導体層を覆うことで、電界遮蔽機能を高めることができる。

[0 3 2 8]

ゲート電極とバックゲート電極は、それぞれが外部からの電界を遮蔽する機能を有するため、トラン

ジスタの上方および下方に生じる荷電粒子等の電荷が半導体層のチャネル形成領域に影響しない。この結果、ストレス試験（例えば、ゲートに負の電圧を印加するNGBT（Negative Gate Bias-Temperature）ストレス試験（「NBT」または「NBTS」ともいう。）の劣化が抑制される。また、ゲート電極とバックゲート電極は、ドレイン電極から生じる電界が半導体層に作用しないように遮断することができる。よって、ドレイン電圧の変動に起因する、オン電流の立ち上がり電圧の変動を抑制することができる。なお、この効果は、ゲート電極およびバックゲート電極に電位が供給されている場合において顕著に生じる。

[0329]

また、バックゲート電極を有するトランジスタは、ゲートに正の電圧を印加するPGBT（Positive Gate Bias-Temperature）ストレス試験（「PBT」または「PBTS」ともいう。）前後におけるしきい値電圧の変動も、バックゲート電極を有さないトランジスタより小さい。

[0330]

なお、NGBTおよびPGBTなどのBTストレス試験は加速試験の一種であり、長期間の使用によって起こるトランジスタの特性変化（経年変化）を短時間で評価することができる。特に、BTストレス試験前後におけるトランジスタのしきい値電圧の変動量は、信頼性を調べるための重要な指標となる。BTストレス試験前後において、しきい値電圧の変動量が少ないほど、信頼性が高いトランジスタであるといえる。

[0331]

また、ゲート電極およびバックゲート電極を有し、且つ両者を同電位とすることで、しきい値電圧の変動量が低減される。このため、複数のトランジスタ間における電気特性のばらつきも同時に低減される。

[0332]

また、バックゲート電極側から光が入射する場合に、バックゲート電極を、遮光性を有する導電膜で形成することで、バックゲート電極側から半導体層に光が入射することを防ぐことができる。よって、半導体層の光劣化を防ぎ、トランジスタのしきい値電圧がシフトするなどの電気特性の劣化を防ぐことができる。

[0333]

本発明の一態様によれば、信頼性の良好なトランジスタを実現することができる。また、信頼性の良好な半導体装置を実現することができる。

[0334]

図21（B1）に、ボトムゲート型のトランジスタの1つであるチャネル保護型のトランジスタ320の断面図を示す。トランジスタ320は、トランジスタ310とほぼ同様の構造を有しているが、絶縁層327が半導体層324を覆っている点が異なる。また、半導体層324と重なる絶縁層327の一部を選択的に除去して形成した開口部において、半導体層324と電極344aが電氣的に接続している。また、半導体層324と重なる絶縁層327の一部を選択的に除去して形成した他の開口部において、半導体層324と電極344bが電氣的に接続している。絶縁層327の、チャネル形成領域と重なる領域は、チャネル保護層として機能できる。

[0335]

図21（B2）に示すトランジスタ321は、絶縁層329上にバックゲート電極として機能できる

電極 3 2 3 を有する点が、トランジスタ 3 2 0 と異なる。

[0 3 3 6]

絶縁層 3 2 7 を設けることで、電極 3 4 4 a および電極 3 4 4 b の形成時に生じる半導体層 3 2 4 の露出を防ぐことができる。よって、電極 3 4 4 a および電極 3 4 4 b の形成時に半導体層 3 2 4 の薄膜化を防ぐことができる。

[0 3 3 7]

また、トランジスタ 3 2 0 およびトランジスタ 3 2 1 は、トランジスタ 3 1 0 およびトランジスタ 3 1 1 よりも、電極 3 4 4 a と電極 3 2 2 の間の距離と、電極 3 4 4 b と電極 3 2 2 の間の距離が長くなる。よって、電極 3 4 4 a と電極 3 2 2 の間に生じる寄生容量を小さくすることができる。また、電極 3 4 4 b と電極 3 2 2 の間に生じる寄生容量を小さくすることができる。本発明の一態様によれば、電気特性の良好なトランジスタを実現できる。

[0 3 3 8]

図 2 1 (C 1) に示すトランジスタ 3 2 5 は、ボトムゲート型のトランジスタの 1 つであるチャネルエッチング型のトランジスタである。トランジスタ 3 2 5 は、絶縁層 3 2 7 を用いずに電極 3 4 4 a および電極 3 4 4 b を形成する。このため、電極 3 4 4 a および電極 3 4 4 b の形成時に露出する半導体層 3 2 4 の一部がエッチングされる場合がある。一方、絶縁層 3 2 7 を設けないため、トランジスタの生産性を高めることができる。

[0 3 3 9]

図 2 1 (C 2) に示すトランジスタ 3 2 6 は、絶縁層 3 2 9 上にバックゲート電極として機能できる電極 3 2 3 を有する点が、トランジスタ 3 2 5 と異なる。

[0 3 4 0]

[トップゲート型トランジスタ]

図 2 2 (A 1) に、トップゲート型のトランジスタの一種であるトランジスタ 3 3 0 の断面図を示す。トランジスタ 3 3 0 は、絶縁層 3 7 2 の上に半導体層 3 2 4 を有し、半導体層 3 2 4 および絶縁層 3 7 2 上に、半導体層 3 2 4 の一部に接する電極 3 4 4 a、および半導体層 3 2 4 の一部に接する電極 3 4 4 b を有し、半導体層 3 2 4、電極 3 4 4 a、および電極 3 4 4 b 上に絶縁層 3 2 6 を有し、絶縁層 3 2 6 上に電極 3 2 2 を有する。

[0 3 4 1]

トランジスタ 3 3 0 は、電極 3 2 2 および電極 3 4 4 a、並びに、電極 3 2 2 および電極 3 4 4 b が重ならないため、電極 3 2 2 および電極 3 4 4 a の間に生じる寄生容量、並びに、電極 3 2 2 および電極 3 4 4 b の間に生じる寄生容量を小さくすることができる。また、電極 3 2 2 を形成した後に、電極 3 2 2 をマスクとして用いて不純物 2 5 5 を半導体層 3 2 4 に導入することで、半導体層 3 2 4 中に自己整合 (セルフアライメント) 的に不純物領域を形成することができる (図 2 2 (A 3) 参照)。本発明の一態様によれば、電気特性の良好なトランジスタを実現することができる。

[0 3 4 2]

なお、不純物 2 5 5 の導入は、イオン注入装置、イオンドーピング装置またはプラズマ処理装置を用いて行うことができる。

[0 3 4 3]

不純物 2 5 5 としては、例えば、第 1 3 族元素または第 1 5 族元素のうち、少なくとも一種の元素を用いることができる。また、半導体層 3 2 4 に酸化物半導体を用いる場合は、不純物 2 5 5 として、

希ガス、水素、および窒素のうち、少なくとも一種の元素を用いることも可能である。

[0344]

図22(A2)に示すトランジスタ331は、電極323および絶縁層227を有する点がトランジスタ330と異なる。トランジスタ331は、絶縁層372の上に形成された電極323を有し、電極323上に形成された絶縁層227を有する。電極323は、バックゲート電極として機能することができる。よって、絶縁層227は、ゲート絶縁層として機能することができる。絶縁層227は、絶縁層326と同様の材料および方法により形成することができる。

[0345]

トランジスタ311と同様に、トランジスタ331は、占有面積に対して大きいオン電流を有するトランジスタである。すなわち、求められるオン電流に対して、トランジスタ331の占有面積を小さくすることができる。本発明の一態様によれば、トランジスタの占有面積を小さくすることができる。よって、本発明の一態様によれば、集積度の高い半導体装置を実現することができる。

[0346]

図22(B1)に例示するトランジスタ340は、トップゲート型のトランジスタの1つである。トランジスタ340は、電極344aおよび電極344bを形成した後に半導体層324を形成する点が、トランジスタ330と異なる。また、図22(B2)に例示するトランジスタ341は、電極323および絶縁層227を有する点が、トランジスタ340と異なる。トランジスタ340およびトランジスタ341において、半導体層324の一部は電極344a上に形成され、半導体層324の他の一部は電極344b上に形成される。

[0347]

トランジスタ311と同様に、トランジスタ341は、占有面積に対して大きいオン電流を有するトランジスタである。すなわち、求められるオン電流に対して、トランジスタ341の占有面積を小さくすることができる。本発明の一態様によれば、トランジスタの占有面積を小さくすることができる。よって、本発明の一態様によれば、集積度の高い半導体装置を実現することができる。

[0348]

図23(A1)に例示するトランジスタ342は、トップゲート型のトランジスタの1つである。トランジスタ342は、絶縁層329を形成した後に電極344aおよび電極344bを形成する点がトランジスタ330やトランジスタ340と異なる。電極344aおよび電極344bは、絶縁層328および絶縁層329に形成した開口部において半導体層324と電氣的に接続する。

[0349]

また、電極322と重ならない絶縁層326の一部を除去し、電極322と残りの絶縁層326をマスクとして用いて不純物255を半導体層324に導入することで、半導体層324中に自己整合(セルフアライメント)的に不純物領域を形成することができる(図23(A3)参照)。トランジスタ342は、絶縁層326が電極322の端部を越えて延伸する領域を有する。不純物255を半導体層324に導入する際に、半導体層324の絶縁層326を介して不純物255が導入された領域の不純物濃度は、絶縁層326を介さずに不純物255が導入された領域よりも小さくなる。よって半導体層324は、電極322と重ならない領域にLDD(Lightly Doped Drain)領域が形成される。

[0350]

図23(A2)に示すトランジスタ343は、電極323を有する点がトランジスタ342と異なる。

トランジスタ 343 は、基板 371 の上に形成された電極 323 を有し、絶縁層 372 を介して半導体層 324 と重なる。電極 323 は、バックゲート電極として機能することができる。

[0351]

また、図 23 (B1) に示すトランジスタ 344 および図 23 (B2) に示すトランジスタ 345 のように、電極 322 と重ならない領域の絶縁層 326 を全て除去してもよい。また、図 23 (C1) に示すトランジスタ 346 および図 23 (C2) に示すトランジスタ 347 のように、絶縁層 326 を残してもよい。

[0352]

トランジスタ 342 乃至トランジスタ 347 も、電極 322 を形成した後に、電極 322 をマスクとして用いて不純物 255 を半導体層 324 に導入することで、半導体層 324 中に自己整合的に不純物領域を形成することができる。本発明の一態様によれば、電気特性の良好なトランジスタを実現することができる。また、本発明の一態様によれば、集積度の高い半導体装置を実現することができる。

[0353]

[基板]

基板に用いる材料に大きな制限はない。目的に応じて、透光性の有無や加熱処理に耐えうる程度の耐熱性などを勘案して決定すればよい。例えばバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。また、半導体基板、可撓性基板（フレキシブル基板）、貼り合わせフィルム、基材フィルムなどを用いてもよい。

[0354]

半導体基板としては、例えば、シリコン、もしくはゲルマニウムなどを材料とした半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、もしくは酸化ガリウムを材料とした化合物半導体基板などがある。また、半導体基板は、単結晶半導体であってもよいし、多結晶半導体であってもよい。

[0355]

また、基板として、例えば、第 6 世代（1500mm×1850mm）、第 7 世代（1870mm×2200mm）、第 8 世代（2200mm×2400mm）、第 9 世代（2400mm×2800mm）、第 10 世代（2950mm×3400mm）等の面積が大きなガラス基板を用いることができる。これにより、大型の表示装置を作製することができる。また、基板が大型化されることで、1 枚の基板からより多くの表示装置を生産でき、生産コストを削減することができる。

[0356]

なお、表示部 110 の可撓性を高めるため、基板として可撓性基板（フレキシブル基板）、貼り合わせフィルム、基材フィルムなどを用いてもよい。

[0357]

可撓性基板、貼り合わせフィルム、基材フィルムなどの材料としては、例えば、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）等のポリエステル樹脂、ポリアクリロニトリル樹脂、アクリル樹脂、ポリイミド樹脂、ポリメチルメタクリレート樹脂、ポリカーボネート（PC）樹脂、ポリエーテルスルホン（PES）樹脂、ポリアミド樹脂（ナイロン、アラミド等）、ポリシロキサン樹脂、シクロオレフィン樹脂、ポリスチレン樹脂、ポリアミドイミド樹脂、ポリウレタン樹脂、ポリ塩化ビニル樹脂、ポリ塩化ビニリデン樹脂、ポリプロピレン樹脂、ポリテトラフルオロエ

チレン（PTFE）樹脂、ABS樹脂、セルロースナノファイバーなどを用いることができる。

[0358]

基板として上記材料を用いることにより、軽量な表示装置を提供することができる。また、基板として上記材料を用いることにより、衝撃に強い表示装置を提供することができる。また、基板として上記材料を用いることにより、破損しにくい表示装置を提供することができる。

[0359]

基板に用いる可撓性基板は、線膨張率が低いほど環境による変形が抑制されて好ましい。基板に用いる可撓性基板は、例えば、線膨張率が $1 \times 10^{-3}/K$ 以下、 $5 \times 10^{-5}/K$ 以下、または $1 \times 10^{-5}/K$ 以下である材質を用いればよい。特に、アラミドは、線膨張率が低いため、可撓性基板として好適である。

[0360]

[導電層]

トランジスタのゲート、ソースおよびドレインのほか、表示装置を構成する各種配線および電極などの導電層に用いることのできる導電性材料としては、アルミニウム（Al）、クロム（Cr）、銅（Cu）、銀（Ag）、金（Au）、白金（Pt）、タンタル（Ta）、ニッケル（Ni）、チタン（Ti）、モリブデン（Mo）、タングステン（W）、ハフニウム（Hf）、バナジウム（V）、ニオブ（Nb）、マンガン（Mn）、マグネシウム（Mg）、ジルコニウム（Zr）、ベリリウム（Be）等から選ばれた金属元素、上述した金属元素を成分とする合金、または上述した金属元素を組み合わせた合金などを用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。導電性材料の形成方法は特に限定されず、蒸着法、CVD法、スパッタリング法、スピンコート法などの各種形成方法を用いることができる。

[0361]

また、導電性材料として、Cu-X合金（Xは、Mn、Ni、Cr、Fe、Co、Mo、Ta、またはTi）を適用してもよい。Cu-X合金で形成した層は、ウェットエッチングプロセスで加工できるため、製造コストを抑制することが可能となる。また、導電性材料として、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた一または複数の元素を含むアルミニウム合金を用いてもよい。

[0362]

また、導電層に用いることのできる導電性材料として、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの、酸素を有する導電性材料を用いることもできる。また、窒化チタン、窒化タンタル、窒化タングステンなどの、窒素を含む導電性材料を用いることもできる。また、導電層を酸素を有する導電性材料、窒素を含む導電性材料、前述した金属元素を含む材料を適宜組み合わせた積層構造とすることもできる。

[0363]

例えば、導電層をシリコンを含むアルミニウム層の単層構造、アルミニウム層上にチタン層を積層する二層構造、窒化チタン層上にチタン層を積層する二層構造、窒化チタン層上にタングステン層を積層する二層構造、窒化タンタル層上にタングステン層を積層する二層構造、チタン層と、そのチタン層上にアルミニウム層を積層し、さらにその上にチタン層を積層する三層構造としてもよい。

[0364]

また、上記の導電性材料で形成される導電層を複数積層して用いてもよい。例えば、導電層を前述した金属元素を含む材料と酸素を含む導電性材料を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料、酸素を含む導電性材料、および窒素を含む導電性材料を組み合わせた積層構造としてもよい。

[0365]

例えば、導電層を、インジウムまたは亜鉛の少なくとも一方と酸素とを含む導電層上に、銅を含む導電層を積層し、さらにその上にインジウムまたは亜鉛の少なくとも一方と酸素とを含む導電層を積層する三層構造としてもよい。この場合、銅を含む導電層の側面もインジウムまたは亜鉛の少なくとも一方と酸素とを含む導電層で覆うことが好ましい。また、例えば、導電層としてインジウムまたは亜鉛の少なくとも一方と酸素とを含む導電層を複数積層して用いてもよい。

[0366]

[絶縁層]

各絶縁層は、窒化アルミニウム、酸化アルミニウム、窒化酸化アルミニウム、酸化窒化アルミニウム、酸化マグネシウム、窒化シリコン、酸化シリコン、窒化酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタル、アルミニウムシリケートなどから選ばれた材料を、単層でまたは積層して用いる。また、酸化物材料、窒化物材料、酸化窒化物材料、窒化酸化物材料のうち、複数の材料を混合した材料を用いてもよい。

[0367]

なお、本明細書中において、窒化酸化物とは、酸素よりも窒素の含有量が多い化合物をいう。また、酸化窒化物とは、窒素よりも酸素の含有量が多い化合物をいう。なお、各元素の含有量は、例えば、ラザフォード後方散乱法 (RBS: Rutherford Backscattering Spectrometry) 等を用いて測定することができる。

[0368]

特に絶縁層372および絶縁層329は、不純物が透過しにくい絶縁性材料を用いて形成することが好ましい。例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁材料を、単層で、または積層で用いればよい。不純物が透過しにくい絶縁性材料の一例として、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタル、窒化シリコンなどを挙げることができる。

[0369]

絶縁層372に不純物が透過しにくい絶縁性材料を用いることで、基板371側からの不純物の拡散を抑制し、トランジスタの信頼性を高めることができる。絶縁層329に不純物が透過しにくい絶縁性材料を用いることで、絶縁層329よりも上側からの不純物の拡散を抑制し、トランジスタの信頼性を高めることができる。

[0370]

また、絶縁層として平坦化層として機能できる絶縁層を用いてもよい。平坦化層として機能できる絶縁層としては、ポリイミド、アクリル樹脂、ベンゾシクロブテン樹脂、ポリアミド、エポキシ樹脂等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low- ϵ 材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁層を複数積層してもよい。

[0371]

なお、シロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

[0372]

また、絶縁層などの表面にCMP処理を行なってもよい。CMP処理を行うことにより、試料表面の凹凸を低減し、この後形成される絶縁層や導電層の被覆性を高めることができる。

[0373]

[半導体層]

トランジスタの半導体層に用いる半導体材料としては、非晶質半導体、結晶性を有する半導体（微結晶半導体、多結晶半導体、単結晶半導体、または一部に結晶領域を有する半導体）のいずれを用いてもよい。

[0374]

また、例えば、トランジスタの半導体層に用いる半導体材料として、シリコンや、ゲルマニウム等を用いることができる。また、炭化シリコン、ガリウム砒素、金属酸化物、窒化物半導体などの化合物半導体や、有機半導体などを用いることができる。

[0375]

例えば、トランジスタに用いる半導体材料として、非晶質シリコン（アモルファスシリコン）を用いることができる。特に、非晶質シリコンは、量産性に優れ、大きな面積の基板に設けることも容易である。なお、一般に、トランジスタに用いる非晶質シリコンは水素を多く含む。このため、水素を多く含む非晶質シリコンを「水素化アモルファスシリコン」または「a-Si:H」と言う場合がある。また、アモルファスシリコンは、多結晶シリコンよりも低温で形成できるため、作製工程中の最高温度を下げることができる。よって、基板、導電層、および絶縁層などに、耐熱性の低い材料を用いることができる。

[0376]

また、トランジスタに用いる半導体材料として、微結晶シリコン、多結晶シリコン、単結晶シリコンなどの結晶性を有するシリコンを用いることもできる。特に、多結晶シリコンは、単結晶シリコンに比べて低温で形成でき、且つアモルファスシリコンに比べて高い電界効果移動度と高い信頼性を備える。

[0377]

また、トランジスタに用いる半導体材料として、金属酸化物の一種である酸化物半導体を用いることができる。代表的には、インジウムを含む酸化物半導体などを用いることができる。酸化物半導体は、アモルファスシリコンよりも高い電界効果移動度と高い信頼性が実現できる。また、酸化物半導体は量産性に優れ、大きな面積の基板に設けることも容易である。

[0378]

また、金属酸化物の一種である酸化物半導体はシリコンよりもバンドギャップが広く、キャリア密度が低いので、トランジスタの半導体層に用いることが好ましい。トランジスタの半導体層に酸化物半導体を用いると、トランジスタのオフ状態におけるソースとドレインの間に流れる電流を低減できるため好ましい。

[0379]

金属酸化物の一種である酸化物半導体は、エネルギーギャップが2 eV以上であることが好ましく、2.5 eV以上であることがより好ましく、3 eV以上であることがさらに好ましい。このように、エネルギーギャップの広い酸化物半導体を用いることで、トランジスタのオフ電流を低減することができる。

[0380]

金属酸化物の一種である酸化物半導体は、例えば少なくともインジウム、亜鉛およびM（アルミニウム、チタン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、セリウム、スズ、ネオジムまたはハフニウム等の金属）を含むIn-M-Zn系酸化物で表記される材料を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすため、それらと共に、スタビライザーを含むことが好ましい。

[0381]

スタビライザーとしては、上記Mに記載の金属を含め、例えば、ガリウム、スズ、ハフニウム、アルミニウム、またはジルコニウム等がある。また、他のスタビライザーとしては、ランタノイドである、ランタン、セリウム、プラセオジム、ネオジム、サマリウム、ユウロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウム、ルテチウム等がある。

[0382]

半導体層を構成する金属酸化物として、例えば、In-Ga-Zn系酸化物、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

[0383]

なお、ここで、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

[0384]

[各層の形成方法]

絶縁層、半導体層、電極や配線を形成するための導電層などは、スパッタリング法、化学気相堆積（CVD: Chemical Vapor Deposition）法、真空蒸着法、パルスレーザー堆積（PLD: Pulsed Laser Deposition）法、原子層成膜（ALD: Atomic Layer Deposition）法などを用いて形成することができる。CVD法として

は、プラズマ化学気相堆積（PECVD）法や、熱CVD法でもよい。熱CVD法の例として、有機金属化学気相堆積（MOCVD: Metal Organic CVD）法を用いてもよい。

[0385]

また、表示装置を構成する絶縁層、半導体層、電極や配線を形成するための導電層などは、スピコート、ディップ、スプレー塗布、インクジェット、ディスペンス、スクリーン印刷、オフセット印刷、スリットコート、ロールコート、カーテンコート、ナイフコート等の方法により形成してもよい。

[0386]

PECVD法は、比較的低温で高品質の膜が得られる。MOCVD法、ALD法、または熱CVD法などの、成膜時にプラズマを用いない成膜方法を用いると、被形成面にダメージが生じにくい。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない成膜方法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0387]

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

[0388]

CVD法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CVD法およびALD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、CVD法およびALD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間の分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

[0389]

表示装置を構成する層（薄膜）を加工する際には、フォトリソグラフィ法等を用いて加工することができる。または、遮蔽マスクを用いた成膜方法により、島状の層を形成してもよい。または、ナノインプリント法、サンドブラスト法、リフトオフ法などにより層を加工してもよい。フォトリソグラフィ法としては、加工したい層（薄膜）上にレジストマスクを形成して、レジストマスクをマスクとして用いて、当該層（薄膜）の一部を選択的に除去し、その後レジストマスクを除去する方法と、感光性を有する層を成膜した後に、露光、現像を行って、当該層を所望の形状に加工する方法と、がある。

[0390]

フォトリソグラフィ法において光を用いる場合、露光に用いる光は、例えばi線（波長365nm）、g線（波長436nm）、h線（波長405nm）、またはこれらを混合させた光を用いることができる。そのほか、紫外光やKrFレーザ光、またはArFレーザ光等を用いることもできる。また、液

浸露光技術により露光を行ってもよい。また、露光に用いる光として、極端紫外光（EUV：Extreme Ultraviolet）やX線を用いてもよい。また、露光に用いる光に換えて、電子ビームを用いることもできる。極端紫外光、X線または電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子ビームなどのビームを走査することにより露光を行う場合には、フォトリソは不要である。

[0391]

層（薄膜）の除去（エッチング）には、ドライエッチング法、ウェットエッチング法、サンドブラスト法などを用いることができる。また、これらのエッチング方法を組み合わせて用いてもよい。

[0392]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

[0393]

（実施の形態6）

本実施の形態では、本発明の一態様の表示装置などに用いることができるOSトランジスタの構成例について説明する。

[0394]

<トランジスタの構成例>

図24（A）は、トランジスタの構成例を示す上面図である。図24（B）は、図24（A）のX1-X2線断面図であり、図24（C）はY1-Y2線断面図である。ここでは、X1-X2線方向をチャネル長方向と、Y1-Y2線方向をチャネル幅方向と呼称する場合がある。図24（B）は、トランジスタのチャネル長方向の断面構造を示す図であり、図24（C）は、トランジスタのチャネル幅方向の断面構造を示す図である。なお、デバイス構造を明確にするため、図24（A）では、一部の構成要素が省略されている。

[0395]

本発明の一態様に係る半導体装置は、絶縁層812乃至絶縁層820、金属酸化物膜821乃至金属酸化物膜824、導電層850（導電層850aおよび導電層850b）乃至導電層853（導電層853aおよび導電層853b）を有する。トランジスタ801は絶縁表面に形成される。図24では、トランジスタ801が絶縁層811上に形成される場合を例示している。トランジスタ801は絶縁層818及び絶縁層819で覆われている。

[0396]

なお、トランジスタ801を構成している絶縁層、金属酸化物膜、導電層等は、単層であっても、複数の膜が積層されたものであってもよい。これらの作製には、スパッタリング法、分子線エビタキシー法（MBE法）、パルスレーザアブレーション法（PLA法）、CVD法、原子層堆積法（ALD法）などの各種の成膜方法を用いることができる。なお、CVD法は、プラズマCVD法、熱CVD法、有機金属CVD法などがある。

[0397]

導電層850は、トランジスタ801のゲート電極として機能する領域を有する。導電層851、導電層852は、ソース電極又はドレイン電極として機能する領域を有する。導電層853は、バックゲート電極として機能する領域を有する。絶縁層817は、ゲート電極（フロントゲート電極）側のゲート絶縁層として機能する領域を有し、絶縁層814乃至絶縁層816の積層で構成される絶縁層は、バックゲート電極側のゲート絶縁層として機能する領域を有する。絶縁層818は層間絶縁層と

しての機能を有する。絶縁層 819 はバリア層としての機能を有する。

[0398]

金属酸化物膜 821 乃至金属酸化物膜 824 をまとめて酸化物層 830 と呼ぶ。図 24 (B)、図 24 (C) に示すように、酸化物層 830 は、金属酸化物膜 821、金属酸化物膜 822、金属酸化物膜 824 が順に積層されている領域を有する。また、一对の金属酸化物膜 823 は、それぞれ導電層 851、導電層 852 上に位置する。トランジスタ 801 がオン状態のとき、チャネル形成領域は酸化物層 830 のうち主に金属酸化物膜 822 に形成される。

[0399]

金属酸化物膜 824 は、金属酸化物膜 821 乃至金属酸化物膜 823、導電層 851、導電層 852 を覆っている。絶縁層 817 は金属酸化物膜 823 と導電層 850 との間に位置する。導電層 851、導電層 852 はそれぞれ、金属酸化物膜 823、金属酸化物膜 824、絶縁層 817 を介して、導電層 850 と重なる領域を有する。

[0400]

導電層 851 及び導電層 852 は、金属酸化物膜 821 及び金属酸化物膜 822 を形成するためのハードマスクから作製されている。そのため、導電層 851 及び導電層 852 は、金属酸化物膜 821 および金属酸化物膜 822 の側面に接する領域を有していない。例えば、次のような工程を経て、金属酸化物膜 821、金属酸化物膜 822、導電層 851、導電層 852 を作製することができる。まず、積層された 2 層の金属酸化物膜上に導電膜を形成する。この導電膜を所望の形状に加工（エッチング）して、ハードマスクを形成する。ハードマスクを用いて、2 層の金属酸化物膜の形状を加工し、積層された金属酸化物膜 821 及び金属酸化物膜 822 を形成する。次に、ハードマスクを所望の形状に加工して、導電層 851 及び導電層 852 を形成する。

[0401]

絶縁層 811 乃至絶縁層 818 に用いられる絶縁材料には、窒化アルミニウム、酸化アルミニウム、窒化酸化アルミニウム、酸化窒化アルミニウム、酸化マグネシウム、窒化シリコン、酸化シリコン、窒化酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタル、アルミニウムシリケートなどがある。絶縁層 811 乃至絶縁層 818 はこれらの絶縁材料でなる単層、又は積層して構成される。絶縁層 811 乃至絶縁層 818 を構成する層は、複数の絶縁材料を含んでいてもよい。

[0402]

なお、本明細書等において、酸化窒化物とは、酸素の含有量が窒素よりも多い化合物であり、窒化酸化物とは、窒素の含有量が酸素よりも多い化合物のことを意味する。

[0403]

酸化物層 830 の酸素欠損の増加を抑制するため、絶縁層 816 乃至絶縁層 818 は、酸素を含む絶縁層であることが好ましい。絶縁層 816 乃至絶縁層 818 は、加熱により酸素が放出される絶縁膜（以下、「過剰酸素を含む絶縁膜」ともいう）で形成されることがより好ましい。過剰酸素を含む絶縁膜から酸化物層 830 に酸素を供給することで、酸化物層 830 の酸素欠損を補償することができる。トランジスタ 801 の信頼性および電気的特性を向上することができる。

[0404]

過剰酸素を含む絶縁層とは、TDS (Thermal Desorption Spectroscopy: 昇温脱離ガス分光法) において、膜の表面温度が 100℃以上 700℃以下、又は 100℃

以上500℃以下の範囲における酸素分子の放出量が 1.0×10^{18} [分子/cm³]以上である膜とする。酸素分子の放出量は、 3.0×10^{20} 分子/cm³以上であることがより好ましい。

[0405]

過剰酸素を含む絶縁膜は、絶縁膜に酸素を添加する処理を行って形成することができる。酸素を添加する処理は、酸素雰囲気下による熱処理や、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、又はプラズマ処理などを用いて行うことができる。酸素を添加するためのガスとしては、¹⁶O₂もしくは¹⁸O₂などの酸素ガス、亜酸化窒素ガス又はオゾンガスなどを用いることができる。

[0406]

酸化物層830の水素濃度の増加を防ぐために、絶縁層812乃至絶縁層819中の水素濃度を低減することが好ましい。特に絶縁層813乃至絶縁層818の水素濃度を低減することが好ましい。具体的には、水素濃度は、 2×10^{20} atoms/cm³以下であり、好ましくは 5×10^{19} atoms/cm³以下が好ましく、 1×10^{19} atoms/cm³以下がより好ましく、 5×10^{18} atoms/cm³以下がさらに好ましい。

[0407]

上掲の水素濃度は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)で測定された値である。

[0408]

トランジスタ801において、酸素および水素に対してバリア性をもつ絶縁層(以下、バリア層ともいう)によって酸化物層830が包み込まれる構造であることが好ましい。このような構造であることで、酸化物層830から酸素が放出されること、酸化物層830に水素が侵入することを抑えることができる。トランジスタ801の信頼性、電気的特性を向上できる。

[0409]

例えば、絶縁層819をバリア層として機能させ、かつ絶縁層811、絶縁層812、絶縁層814の少なくとも1つをバリア層として機能させればよい。バリア層は、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、窒化シリコンなどの材料で形成することができる。

[0410]

絶縁層811乃至絶縁層818の構成例を記す。この例では、絶縁層811、絶縁層812、絶縁層815、絶縁層819は、それぞれ、バリア層として機能する。絶縁層816乃至絶縁層818は過剰酸素を含む酸化物層である。絶縁層811は窒化シリコンであり、絶縁層812は酸化アルミニウムであり、絶縁層813は酸化窒化シリコンである。バックゲート電極側のゲート絶縁層としての機能を有する絶縁層814乃至絶縁層816は、酸化シリコン、酸化アルミニウム、酸化シリコンの積層である。フロントゲート側のゲート絶縁層としての機能を有する絶縁層817は、酸化窒化シリコンである。層間絶縁層としての機能を有する絶縁層818は、酸化シリコンである。絶縁層819は酸化アルミニウムである。

[0411]

導電層850乃至導電層853に用いられる導電材料には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属、又は上述した金属を成分とする金属窒化物(窒化タンタル、窒化チタン、窒化モリブデン、窒化タングステン)等がある。イン

ジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を用いることができる。

[0412]

導電層850乃至導電層853の構成例を記す。導電層850は窒化タンタル、又はタングステン単層である。あるいは、導電層850は窒化タンタル、タンタルおよび窒化タンタルでなる積層である。導電層851は、窒化タンタル単層、又は窒化タンタルとタングステンの積層である。導電層852の構成は導電層851と同じである。導電層853は窒化タンタルとタングステンの積層である。

[0413]

トランジスタ801のオフ電流の低減のために、金属酸化物膜822は、例えば、エネルギーギャップが大きいことが好ましい。金属酸化物膜822のエネルギーギャップは、2.5 eV以上4.2 eV以下であり、2.8 eV以上3.8 eV以下が好ましく、3 eV以上3.5 eV以下がさらに好ましい。

[0414]

酸化物層830は、結晶性を有することが好ましい。少なくとも、金属酸化物膜822は結晶性を有することが好ましい。上記構成により、信頼性、および電気的特性の良いトランジスタ801を実現できる。

[0415]

金属酸化物膜822に適用できる酸化物は、例えば、In-Ga酸化物、In-Zn酸化物、In-M-Zn酸化物(MはAl、Ga、Y、又はSn)である。金属酸化物膜822は、インジウムを含む酸化物層に限定されない。金属酸化物膜822は、例えば、Zn-Sn酸化物、Ga-Sn酸化物、Zn-Mg酸化物等で形成することができる。金属酸化物膜821、金属酸化物膜823、金属酸化物膜824も、金属酸化物膜822と同様の酸化物で形成することができる。特に、金属酸化物膜821、金属酸化物膜823、金属酸化物膜824は、それぞれ、Ga酸化物で形成することができる。

[0416]

金属酸化物膜822と金属酸化物膜821の界面に界面準位が形成されると、界面近傍の領域にもチャネル形成領域が形成されるために、トランジスタ801の閾値電圧が変動してしまう。そのため、金属酸化物膜821は、構成要素として、金属酸化物膜822を構成する金属元素の少なくとも1つを含むことが好ましい。これにより、金属酸化物膜822と金属酸化物膜821の界面には、界面準位が形成されにくくなり、トランジスタ801の閾値電圧等の電気的特性のばらつきを低減することができる。

[0417]

金属酸化物膜824は、構成要素として、金属酸化物膜822を構成する金属元素の少なくとも1つを含むことが好ましい。これにより、金属酸化物膜822と金属酸化物膜824との界面では、界面散乱が起こりにくくなり、キャリアの動きが阻害されにくくなるので、トランジスタ801の電界効果移動度を高くすることができる。

[0418]

金属酸化物膜821乃至金属酸化物膜824のうち、金属酸化物膜822のキャリア移動度が最も高いことが好ましい。これにより、絶縁層816、絶縁層817から離れた位置に設けられた金属酸化物膜822にチャネルを形成することができる。

[0419]

例えば、 $In-M-Zn$ 酸化物等の In 含有金属酸化物は、 In の含有率を高めることで、キャリア移動度を高めることができる。 $In-M-Zn$ 酸化物では主として重金属の s 軌道がキャリア伝導に寄与しており、インジウムの含有率を多くすることにより、より多くの s 軌道が重なるため、インジウムの含有率が多い酸化物はインジウムの含有率が少ない酸化物と比較して移動度が高くなる。そのため、金属酸化物膜にインジウムの含有量が多い酸化物を用いることで、キャリア移動度を高めることができる。

[0420]

そのため、例えば、 $In-Ga-Zn$ 酸化物で金属酸化物膜 822 を形成し、 Ga 酸化物で金属酸化物膜 821、金属酸化物膜 823 を形成する。例えば、 $In-M-Zn$ 酸化物で、金属酸化物膜 821 乃至金属酸化物膜 823 を形成する場合、金属酸化物膜 822 の In の含有率を金属酸化物膜 821、金属酸化物膜 823 の In の含有率よりも高くする。 $In-M-Zn$ 酸化物をスパッタリング法で形成する場合、ターゲットの金属元素の原子数比を変えることで、 In 含有率を変化させることができる。

[0421]

例えば、金属酸化物膜 822 の成膜に用いるターゲットの金属元素の原子数比 $In:M:Zn$ は、 $1:1:1$ 、 $3:1:2$ 、又は $4:2:4$ 、 1 が好ましい。例えば、金属酸化物膜 821、金属酸化物膜 823 の成膜に用いるターゲットの金属元素の原子数比 $In:M:Zn$ は、 $1:3:2$ 、又は $1:3:4$ が好ましい。 $In:M:Zn=4:2:4$ 、 1 のターゲットで成膜した $In-M-Zn$ 酸化物の原子数比は、およそ $In:M:Zn=4:2:3$ である。

[0422]

トランジスタ 801 に安定した電気的特性を付与するには、酸化物層 830 の不純物濃度を低減することが好ましい。金属酸化物において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。また、シリコンおよび炭素は金属酸化物中で不純物準位の形成に寄与する。不純物準位はトラップとなり、トランジスタの電気的特性を劣化させることがある。

[0423]

例えば、酸化物層 830 は、シリコン濃度が $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは、 $2 \times 10^{17} \text{ atoms/cm}^3$ 以下の領域を有する。酸化物層 830 の炭素濃度も同様である。

[0424]

酸化物層 830 は、アルカリ金属濃度が $1 \times 10^{18} \text{ atoms/cm}^3$ 以下の、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下の領域を有する。酸化物層 830 のアルカリ土類金属の濃度についても同様である。

[0425]

酸化物層 830 は、水素濃度が $1 \times 10^{20} \text{ atoms/cm}^3$ 未満の、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満の、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満の、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満の領域を有する。

[0426]

上掲した酸化物層 830 の不純物濃度は、SIMS により得られる値である。

[0427]

金属酸化物膜 8 2 2 が酸素欠損を有する場合、酸素欠損のサイトに水素が入り込むことでドナー準位を形成することがある。その結果、トランジスタ 8 0 1 のオン電流を低下させる要因となる。なお、酸素欠損のサイトは、水素が入るよりも酸素が入る方が安定する。したがって、金属酸化物膜 8 2 2 中の酸素欠損を低減することで、トランジスタ 8 0 1 のオン電流を大きくすることができる場合がある。よって、金属酸化物膜 8 2 2 の水素を低減することで、酸素欠損のサイトに水素が入りこまないようにすることが、オン電流特性に有効である。

[0 4 2 8]

金属酸化物に含まれる水素は、金属原子に結合している酸素と反応して水になるため、酸素欠損を形成することがある。酸素欠損に水素が入ることで、キャリアである電子が生成されることがある。また、水素の一部が金属原子に結合している酸素と結合して、キャリアである電子を生成することがある。金属酸化物膜 8 2 2 にチャンネル形成領域が設けられるので、金属酸化物膜 8 2 2 に水素が含まれていると、トランジスタ 8 0 1 はノーマリーオン特性となりやすい。このため、金属酸化物膜 8 2 2 中の水素はできる限り低減されていることが好ましい。

[0 4 2 9]

なお、金属酸化物膜 8 2 2 は、導電層 8 5 1 又は導電層 8 5 2 と接する領域においては、n 型化された領域 8 2 2 n を有していてもよい。領域 8 2 2 n は、金属酸化物膜 8 2 2 中の酸素が導電層 8 5 1 又は導電層 8 5 2 に引き抜かれる、又は、導電層 8 5 1 又は導電層 8 5 2 に含まれる導電材料が金属酸化物膜 8 2 2 中の元素と結合する、などの現象によって形成される。領域 8 2 2 n が形成されることにより、導電層 8 5 1 又は導電層 8 5 2 と金属酸化物膜 8 2 2 との接触抵抗を低減することができる。

[0 4 3 0]

図 2 4 は、酸化物層 8 3 0 が 4 層構造の例であるが、これに限定されない。例えば、酸化物層 8 3 0 を金属酸化物膜 8 2 1 又は金属酸化物膜 8 2 3 のない 3 層構造とすることができる。又は、酸化物層 8 3 0 の任意の層の間、酸化物層 8 3 0 の上、酸化物層 8 3 0 の下のいずれか二箇所以上に、金属酸化物膜 8 2 1 乃至金属酸化物膜 8 2 4 と同様の金属酸化物膜を 1 層又は複数設けることができる。

[0 4 3 1]

図 2 5 を参照して、金属酸化物膜 8 2 1、金属酸化物膜 8 2 2、金属酸化物膜 8 2 4 の積層によって得られる効果を説明する。図 2 5 は、トランジスタ 8 0 1 のチャンネル形成領域のエネルギーバンド構造の模式図である。

[0 4 3 2]

図 2 5 中、 E_{c816e} 、 E_{c821e} 、 E_{c822e} 、 E_{c824e} 、 E_{c817e} は、それぞれ、絶縁層 8 1 6、金属酸化物膜 8 2 1、金属酸化物膜 8 2 2、金属酸化物膜 8 2 4、絶縁層 8 1 7 の伝導帯下端のエネルギーを示している。

[0 4 3 3]

図 2 5 の縦軸は、エネルギー (Energy) の大きさを示している。ここで、真空準位 (vacuum level) と伝導帯下端のエネルギーとの差 (「電子親和力」ともいう) は、真空準位と価電子帯上端のエネルギーとの差 (イオン化ポテンシャルともいう) からエネルギーギャップを引いた値となる。なお、エネルギーギャップは、分光エリプソメータ (HORIBA JOBIN YVON 社 UT-300) を用いて測定できる。また、真空準位と価電子帯上端のエネルギー差は、紫外線光電子分光分析 (UPS: Ultraviolet Photoelectron Spectroscopy) を用いて測定できる。

oscopy) 装置 (PHI 社 VersaProbe) を用いて測定できる。

[0434]

絶縁層 816、絶縁層 817 は絶縁体であるため、 E_{c816e} と E_{c817e} は、 E_{c821e} 、 E_{c822e} 、および E_{c824e} よりも真空準位に近い (電子親和力が小さい)。

[0435]

金属酸化物膜 822 は、金属酸化物膜 821、金属酸化物膜 824 よりも電子親和力が大きい。例えば、金属酸化物膜 822 と金属酸化物膜 821 との電子親和力の差、および金属酸化物膜 822 と金属酸化物膜 824 との電子親和力の差は、それぞれ、 0.07 eV 以上 1.3 eV 以下である。電子親和力の差は、 0.1 eV 以上 0.7 eV 以下が好ましく、 0.15 eV 以上 0.4 eV 以下がさらに好ましい。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。

[0436]

トランジスタ 801 のゲート電極 (導電層 850) に電圧を印加すると、金属酸化物膜 821、金属酸化物膜 822、金属酸化物膜 824 のうち、電子親和力が大きい金属酸化物膜 822 に主にチャンネルが形成される。

[0437]

インジウムガリウム酸化物は、小さい電子親和力と、高い酸素ブロック性を有する。そのため、金属酸化物膜 824 がインジウムガリウム酸化物を含むと好ましい。ガリウム原子割合 $[Ga / (In + Ga)]$ は、例えば、70% 以上、好ましくは 80% 以上、さらに好ましくは 90% 以上とする。

[0438]

また、金属酸化物膜 821 と金属酸化物膜 822 との間には金属酸化物膜 821 と金属酸化物膜 822 の混合領域が存在する場合がある。また、金属酸化物膜 824 と金属酸化物膜 822 との間には金属酸化物膜 824 と金属酸化物膜 822 の混合領域が存在する場合がある。混合領域は、界面準位密度が低くなるため、金属酸化物膜 821、金属酸化物膜 822、金属酸化物膜 824 の積層されている領域は、それぞれの界面近傍においてエネルギーが連続的に変化する (連続接合ともいう) バンド構造となる。

[0439]

このようなエネルギーバンド構造を有する酸化物層 830 において、電子は主に金属酸化物膜 822 を移動することになる。そのため、金属酸化物膜 821 と絶縁層 816 との界面に、又は、金属酸化物膜 824 と絶縁層 817 との界面に準位が存在したとしても、これらの界面準位により、酸化物層 830 中を移動する電子の移動が阻害されにくくなるため、トランジスタ 801 のオン電流を高くすることができる。

[0440]

また、図 25 に示すように、金属酸化物膜 821 と絶縁層 816 の界面近傍、および金属酸化物膜 824 と絶縁層 817 の界面近傍には、それぞれ、不純物や欠陥に起因したトラップ準位 E_{t826e} 、 E_{t827e} が形成され得るものの、金属酸化物膜 821、金属酸化物膜 824 があることにより、金属酸化物膜 822 をトラップ準位 E_{t826e} 、 E_{t827e} から遠ざけることができる。

[0441]

なお、 E_{c821e} と E_{c822e} との差が小さい場合、金属酸化物膜 822 の電子が該エネルギー差を越えてトラップ準位 E_{t826e} に達することがある。トラップ準位 E_{t826e} に電子が捕獲されることで、絶縁膜の界面にマイナスの固定電荷が生じ、トランジスタの閾値電圧はプラス方向に

シフトしてしまう。Ec822eとEc824eとのエネルギー差が小さい場合も同様である。

[0442]

トランジスタ801の閾値電圧の変動が低減され、トランジスタ801の電気的特性を良好なものとするため、Ec821eとEc822eとの差、Ec824eとEc822eとの差を、それぞれ0.1eV以上とすることが好ましく、0.15eV以上とすることがより好ましい。

[0443]

なお、トランジスタ801はバックゲート電極を有さない構造とすることもできる。

[0444]

<積層構造の例>

次に、OSトランジスタと他のトランジスタの積層によって構成される半導体装置の構造について説明する。

[0445]

図26に、Siトランジスタであるトランジスタ831と、OSトランジスタであるトランジスタ832と、容量素子833と、が積層された半導体装置860の積層構造の例を示す。

[0446]

半導体装置860は、CMOS層871、配線層W₁乃至W₅、トランジスタ層872、配線層W₆、W₇の積層で構成されている。

[0447]

CMOS層871には、トランジスタ831が設けられている。トランジスタ831のチャネル形成領域は、単結晶シリコンウエハ870に設けられている。トランジスタ831のゲート電極873は、配線層W₁乃至W₅を介して、容量素子833の一方の電極875と接続されている。

[0448]

トランジスタ層872には、トランジスタ832が設けられている。図26では、トランジスタ832がトランジスタ801（図24）と同様の構造を有する。トランジスタ832のソース又はドレインの一方に相当する電極874は、容量素子833の一方の電極875と接続されている。なお、図26には、トランジスタ832がバックゲート電極を配線層W₅に有する場合を例示している。また、配線層W₆には、容量素子833が設けられている。

[0449]

以上のように、OSトランジスタとその他の素子を積層することにより、回路の面積を縮小することができる。

[0450]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせることで実施することが可能である。

[0451]

（実施の形態7）

本発明の一態様は、表示部を有する様々な電子機器に用いることができる。本発明の一態様を用いることができる電子機器として、テレビ、モニタ等の表示装置、デスクトップ型或いはノート型のパーソナルコンピュータ、ワードプロセッサ、DVD(Digital Versatile Disc)などの記録媒体に記憶された静止画又は動画を再生する画像再生装置、携帯型ゲーム機、タブレット型端末、パチンコ機などの大型ゲーム機、携帯情報端末、電子手帳、電子書籍端末、ビデオカメラ、デジタルスチルカメラなどが挙げられる。

[0452]

図27に、本発明の一態様に係る半導体装置を用いた電子機器の一例を示す。

[0453]

図27(A)に示す情報端末2910は、筐体2911、表示部2912、マイク2917、スピーカ部2914、カメラ2913、視線検知部2918、外部接続部2916、および操作部のボタン2915等を有する。表示部2912には、可撓性基板が用いられた表示パネルおよびタッチスクリーンを備える。また、筐体2911内部に記憶部や演算部などが設けられている。情報端末2910は、例えば、スマートフォン、携帯電話、タブレット型情報端末、タブレット型パーソナルコンピュータ、電子書籍端末等として用いることができる。

[0454]

図27(B)に示すノート型パーソナルコンピュータ2920は、筐体2921、表示部2922、視線検知部2925、キーボード2923、およびポインティングデバイス2924等を有する。また、筐体2921内部に記憶部や演算部などが設けられている。

[0455]

図27(C)に、表示部5001を備えた車両の構成例を示す。当該車両の表示部5001に、本発明の一態様を用いることができる。なお、図27(C)には表示部5001が右ハンドルの車両に搭載された例を示すが、特に限定されず、左ハンドルの車両に搭載することもできる。この場合、図27(C)に示す構成の左右の配置が変わる。

[0456]

図27(C)には、運転席と助手席の周辺に配置されるダッシュボード5002、ハンドル5003、フロントガラス5004、視線検知部5008などを示している。また、ダッシュボード5002内部に、記憶部や演算部などが設けられている。

[0457]

表示部5001は、ダッシュボード5002の所定の位置、具体的には運転者の回りに配置され、概略T字形状を有する。図27(C)には、複数の表示パネル5007（表示パネル5007a、5007b、5007c、5007d）を用いて形成される1つの表示部5001を、ダッシュボード5002に沿って設けた例を示しているが、表示部5001は複数箇所に分けて配置してもよい。

[0458]

なお、複数の表示パネル5007は可撓性を有していてもよい。この場合、表示部5001を複雑な形状に加工することができ、表示部5001をダッシュボード5002などの曲面に沿って設ける構成や、ハンドルの接続部分、計器の表示部、送風口5006などに表示部5001の表示領域を設けない構成などを容易に実現することができる。

[0459]

また、後側方の状況を撮影するカメラ5005を車外に複数設けてもよい。図27(C)においてはサイドミラーの代わりにカメラ5005を設置する例を示しているが、サイドミラーとカメラの両方を設置してもよい。

[0460]

カメラ5005としては、CCDカメラやCMOSカメラなどを用いることができる。また、これらのカメラに加えて、赤外線カメラを組み合わせる用いてもよい。赤外線カメラは、被写体の温度が高いほど出力レベルが高くなるため、人や動物等の生体を検知又は抽出することができる。

[0461]

カメラ5005で撮像された画像は、表示パネル5007のいずれか一または複数に出力することができる。この表示部5001を用いて主に車両の運転を支援する。カメラ5005によって後側方の状況を幅広い画角で撮影し、その画像を表示パネル5007に表示することで、運転者の死角領域の視認が可能となり、事故の発生を防止することができる。

[0462]

また、本発明の一態様を用いることで、カメラ5005で撮影された映像の解像度を高め、表示パネル5007に表示することができる。

[0463]

また、車のルーフ上などに距離画像センサを設け、距離画像センサによって得られた画像を表示部5001に表示してもよい。距離画像センサとしては、イメージセンサやライダー（L I D A R : L i g h t D e t e c t i o n a n d R a n g i n g）などを用いることができる。イメージセンサによって得られた画像と、距離画像センサによって得られた画像とを表示部5001に表示することにより、より多くの情報を運転手に提供し、運転を支援することができる。

[0464]

また、表示部5001は、地図情報、交通情報、テレビ映像、DVD映像などを表示する機能を有していてもよい。例えば、表示パネル5007a、5007b、5007c、及び5007dを1つの表示画面として、地図情報を大きく表示することができる。なお、表示パネル5007の数は、表示される映像に応じて増やすことができる。

[0465]

また、表示パネル5007a、5007b、5007c、及び5007dに表示される映像は、運転手の好みによって自由に設定することができる。例えば、テレビ映像、DVD映像を左側の表示パネル5007dに表示し、地図情報を中央部の表示パネル5007bに表示し、計器類を右側の表示パネル5007cに表示し、オーディオ類を変速ギア近傍（運転席と助手席の間）の表示パネル5007aに表示することができる。また、複数の表示パネル5007を組み合わせることにより、表示部5001にフェールセーフの機能を付加することができる。例えば、ある表示パネル5007が何らかの原因で故障したとしても、表示領域を変更し、他の表示パネル5007を用いて表示を行うことができる。

[0466]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

[符号の説明]

[0467]

100：表示装置、101：筐体、102：スタンド、103：筐体スイッチ、110：表示部、120：視線検知部、130：制御部、131：バスライン、140：演算部、141：ニューラルネットワーク、150：記憶部、151：使用者、152：視線、160：入出力部、170：通信部

請求の範囲

[請求項 1]

表示部と、視線検知部と、制御部と、演算部と、を有し、
前記表示部は、第 1 表示領域を有し、
前記視線検知部は、
ユーザーの視線の向きを示す第 1 情報と、前記ユーザーから前記表示部までの距離を示す第 2 情報と、を検出する機能を有し、
前記制御部は、
前記第 1 情報および前記第 2 情報を用いて前記第 1 表示領域を決定する機能を有し、
前記演算部は、
前記第 1 表示領域に表示される画像の解像度を高める機能を有することを特徴とする表示装置。

[請求項 2]

請求項 1 において、
前記演算部は、トランジスタを有し、
前記トランジスタは、半導体層に金属酸化物を含むことを特徴とする表示装置。

[請求項 3]

請求項 1 において、
前記第 1 表示領域は、ユーザーの注視点を含むことを特徴とする表示装置。

[請求項 4]

請求項 1 において、
前記演算部は、
RAISR 法、ANR 法、A+法、またはニューラルネットワークを用いて、前記第 1 表示領域に表示される画像の解像度を高める機能を有することを特徴とする表示装置。

[請求項 5]

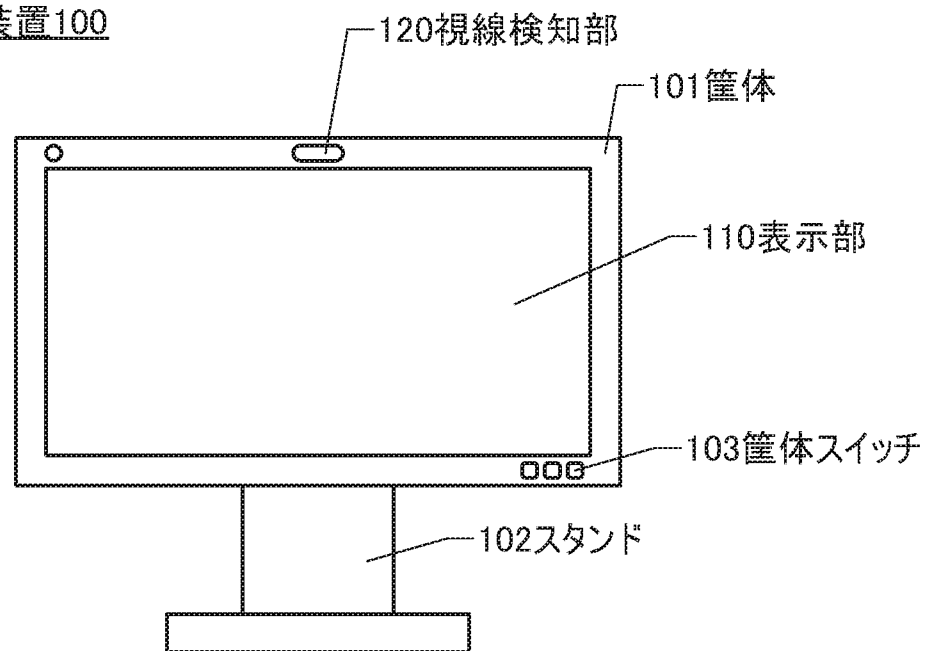
請求項 4 において、
前記ニューラルネットワークは、深層ニューラルネットワーク、畳み込みニューラルネットワーク、再帰型ニューラルネットワーク、自己符号化器、深層ボルツマンマシン、または深層信念ネットワークであることを特徴とする表示装置。

[請求項 6]

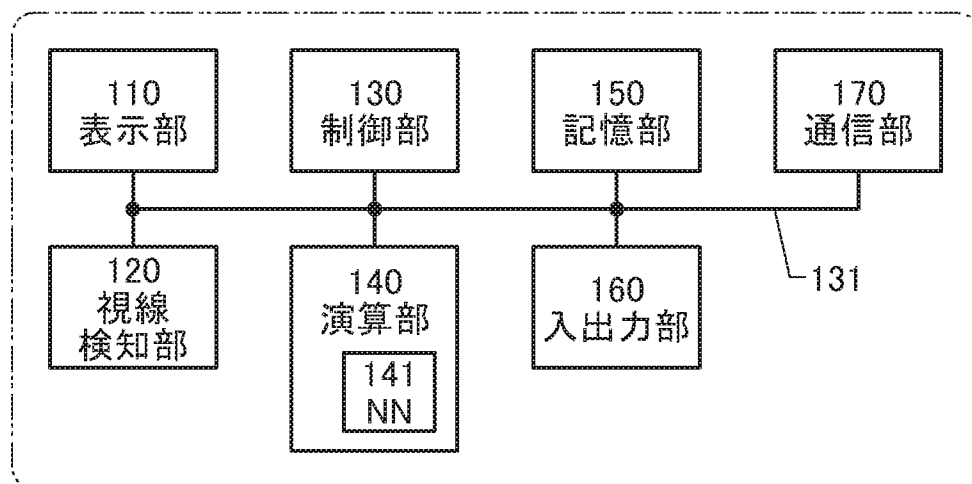
請求項 1 乃至請求項 5 のいずれか一項において、
前記第 1 表示領域の外側に第 2 表示領域を有し、
前記演算部は、
Nearest neighbor 法、Bilinear 法、Bicubic 法、または Lanczos 法を用いて、前記第 2 表示領域に表示される画像の解像度を高める機能を有することを特徴とする表示装置。

[図 1]

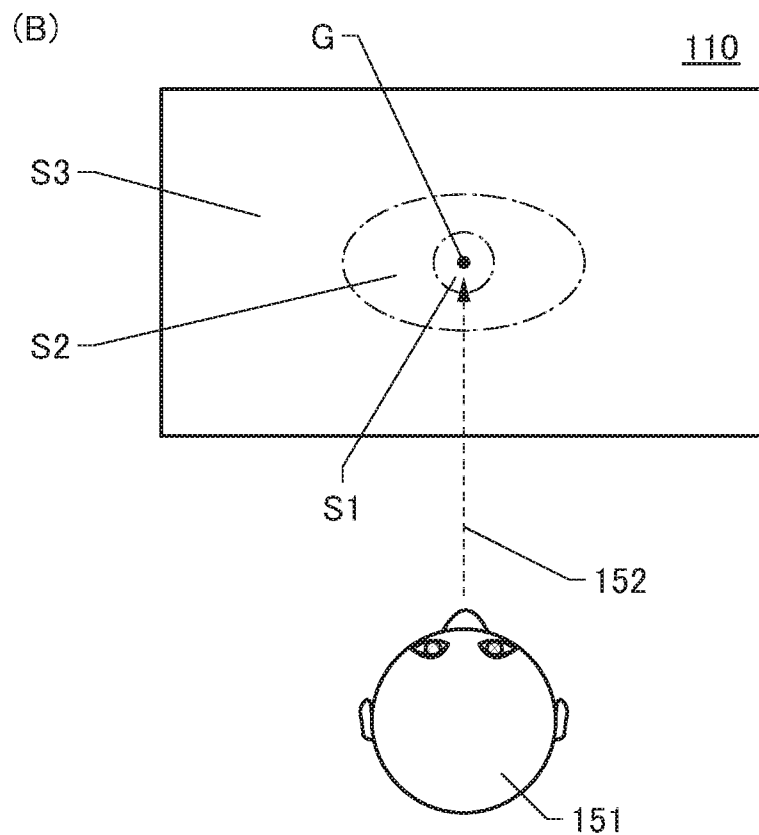
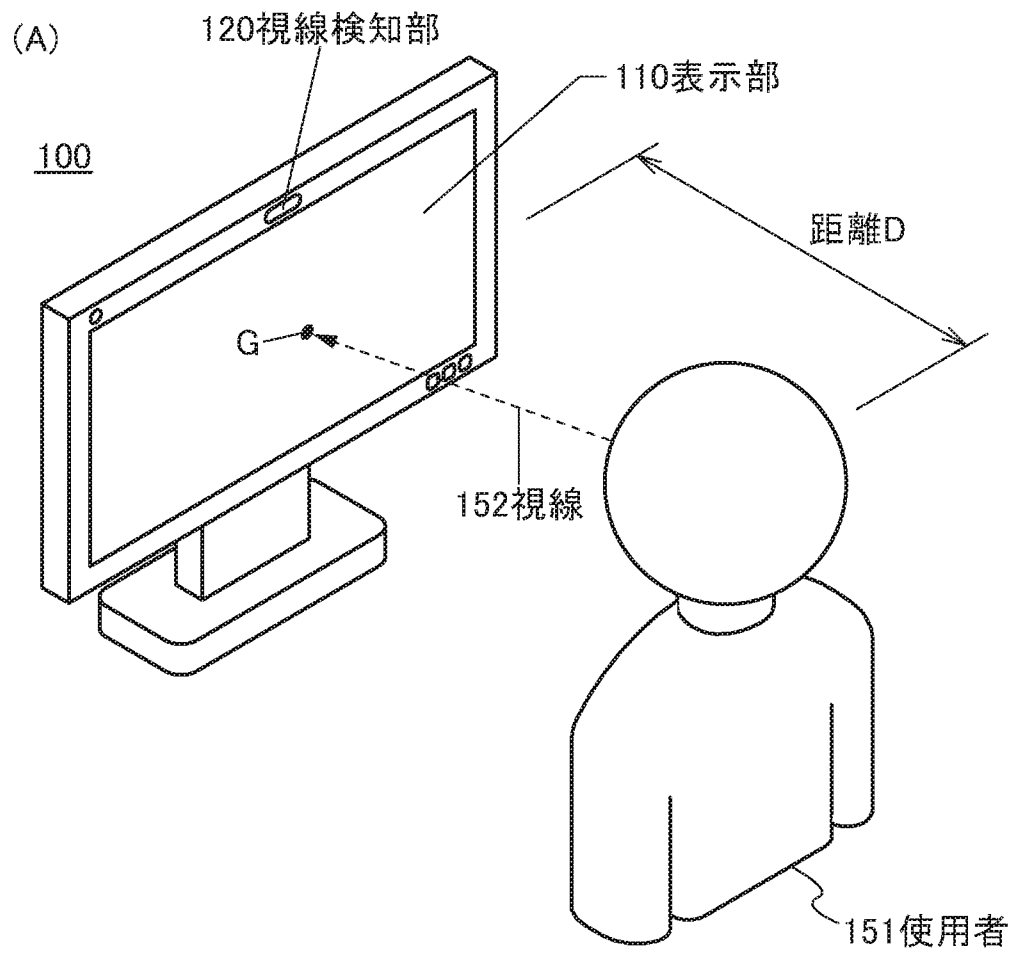
(A)

表示装置100

(B)

100

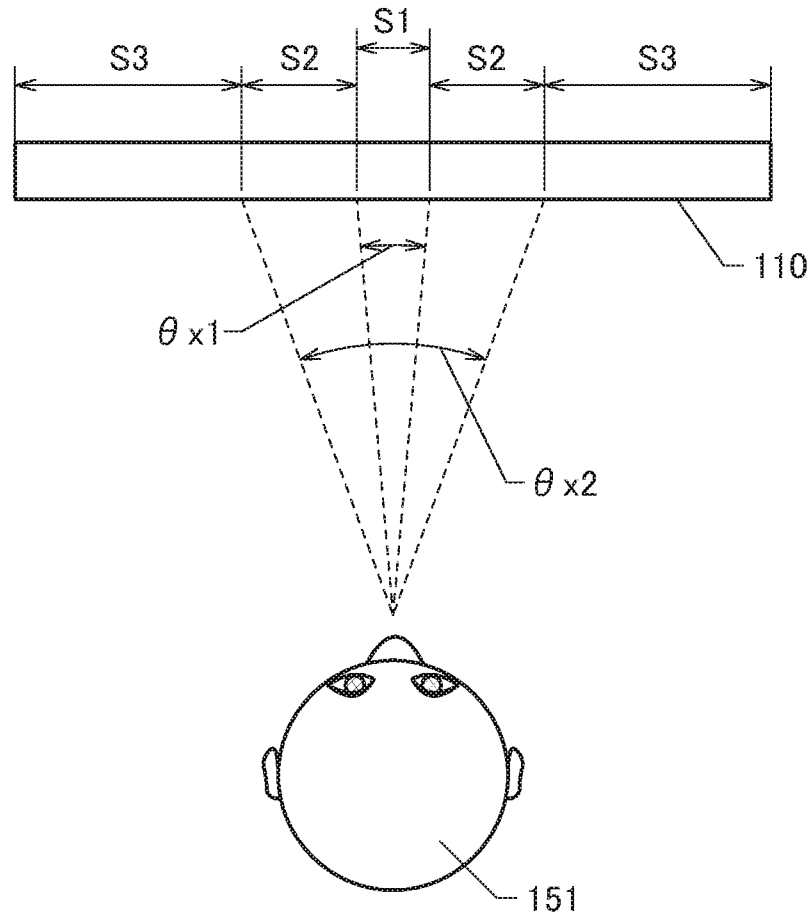
[図 2]



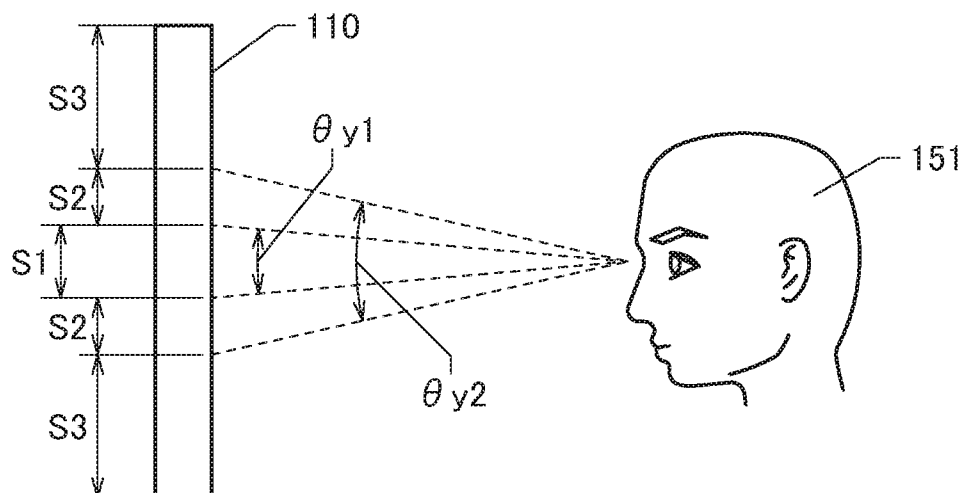
D: 距離
G: 注視点
S1: 第1領域
S2: 第2領域
S3: 第3領域

[図 3]

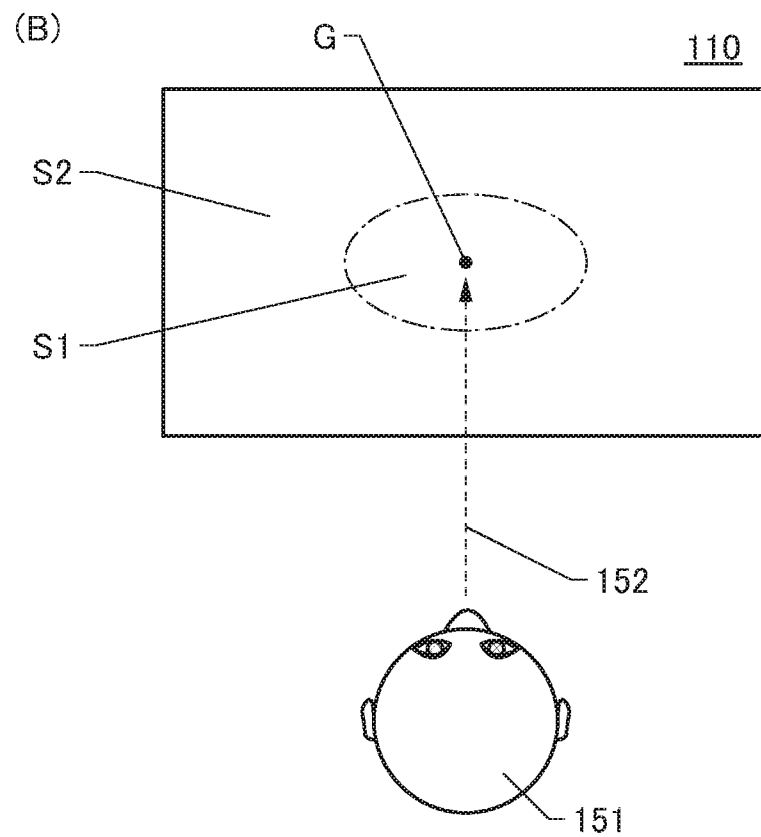
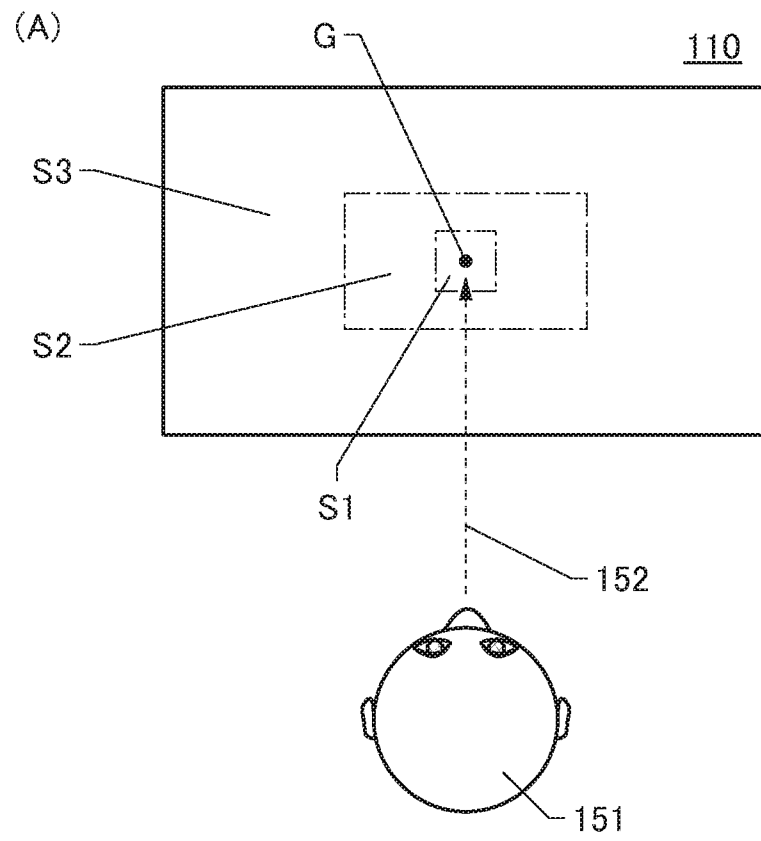
(A)



(B)



[図 4]

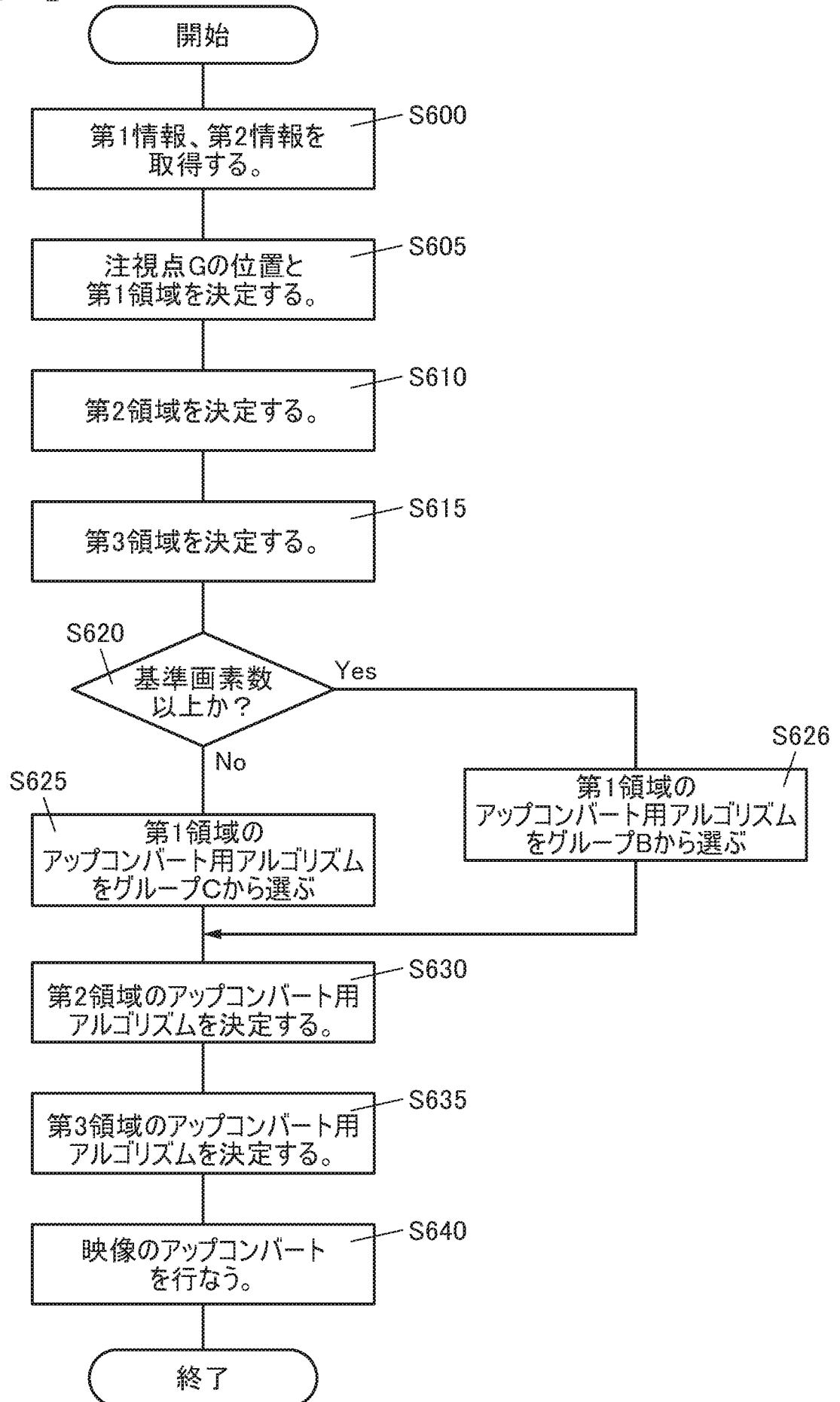


G: 注視点
 S1: 第1領域
 S2: 第2領域
 S3: 第3領域

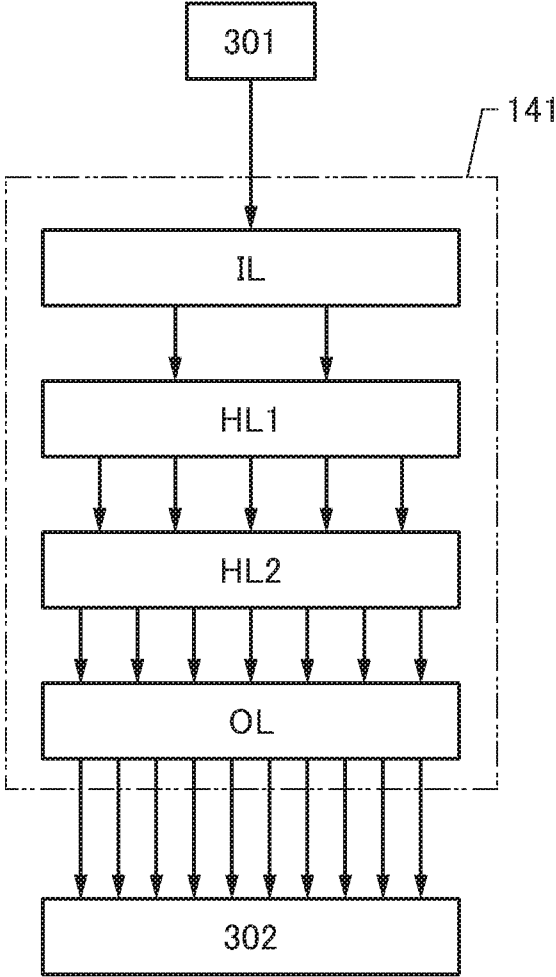
[図 5]

グループ	アルゴリズム	品質	処理速度
A	Nearest neighbor	最低	速い ↑ ↓ 遅い
	Bilinear	低い	
	Bicubic	普通	
B	RAISR	高い	
	ANR	高い	
	A+	より高い	
C	SRCNN	最高	

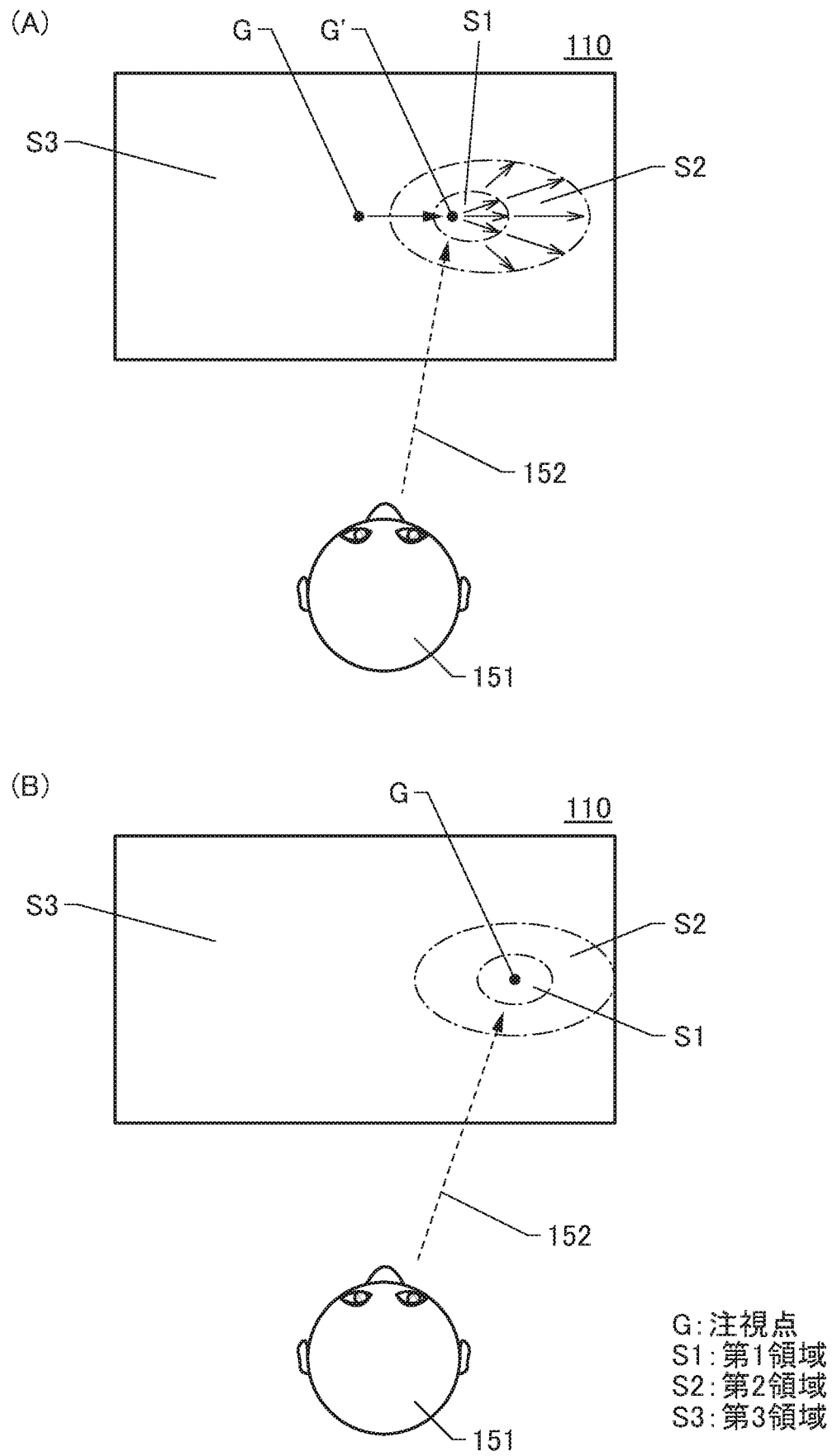
[図 6]



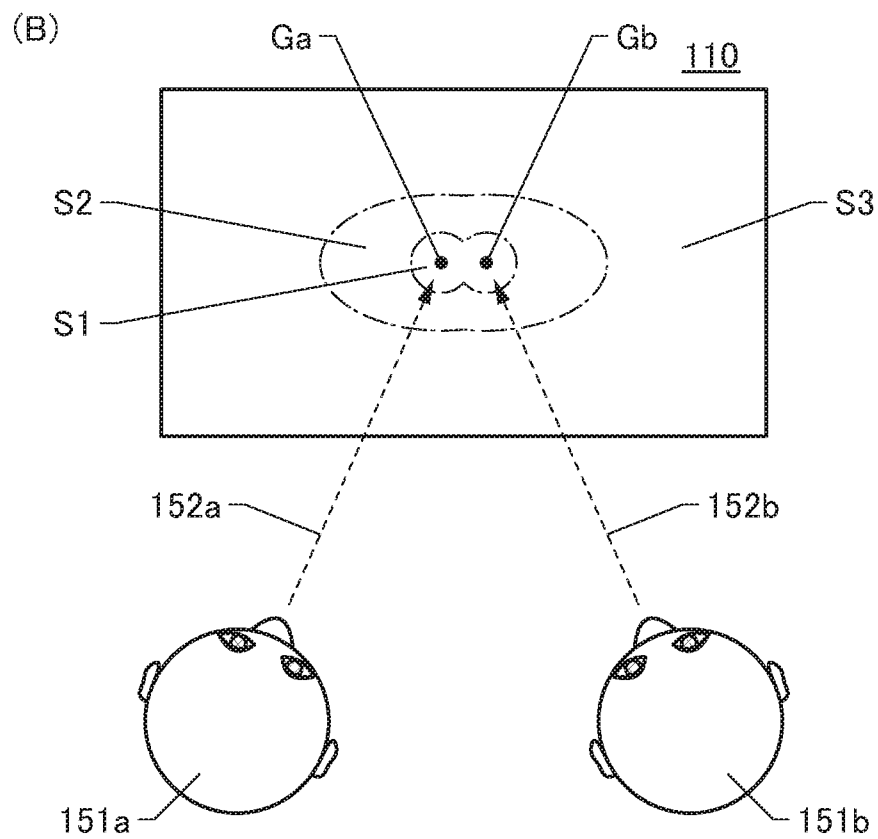
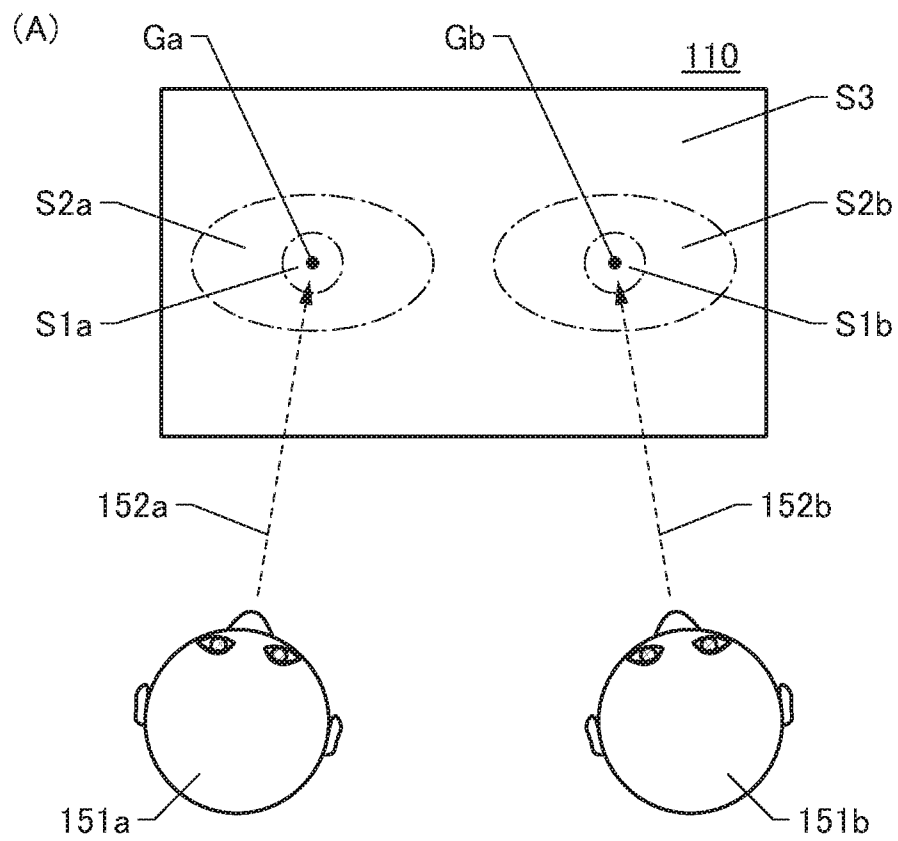
[図 7]



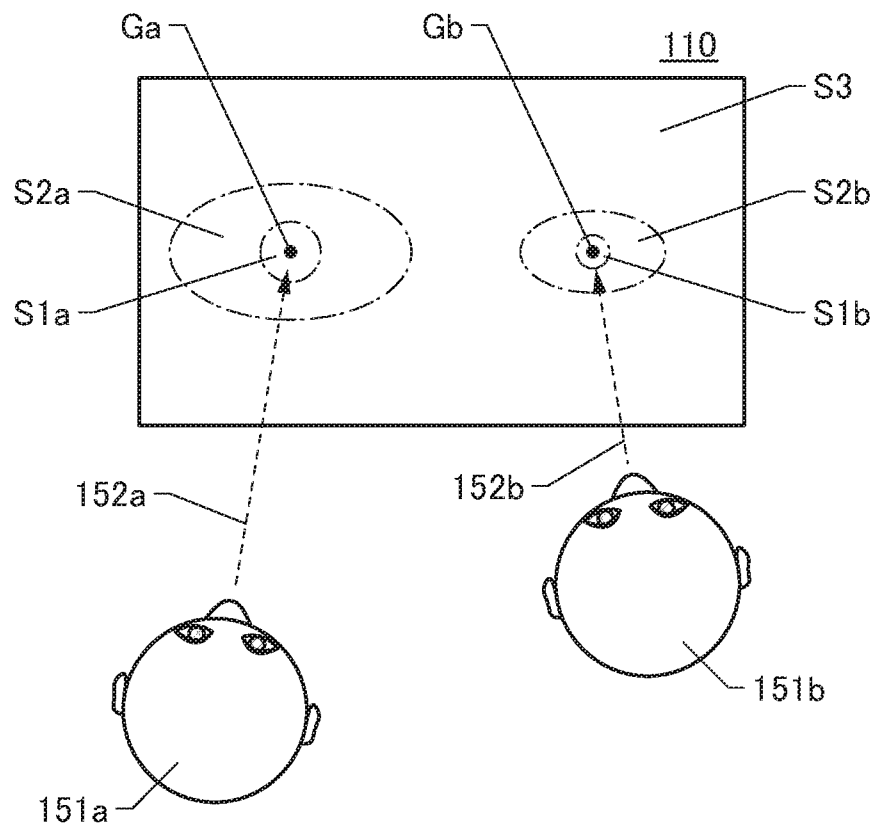
[図 8]



[図 9]

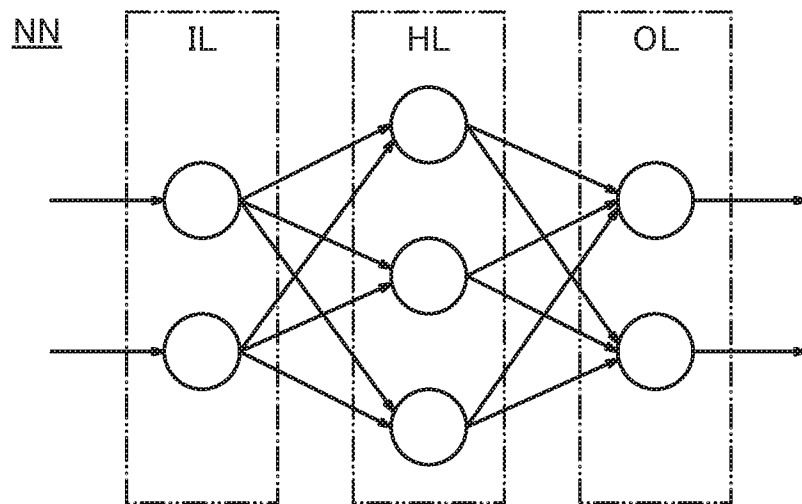


[図10]

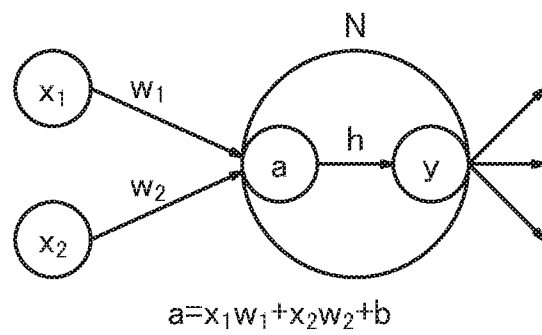


[図 11]

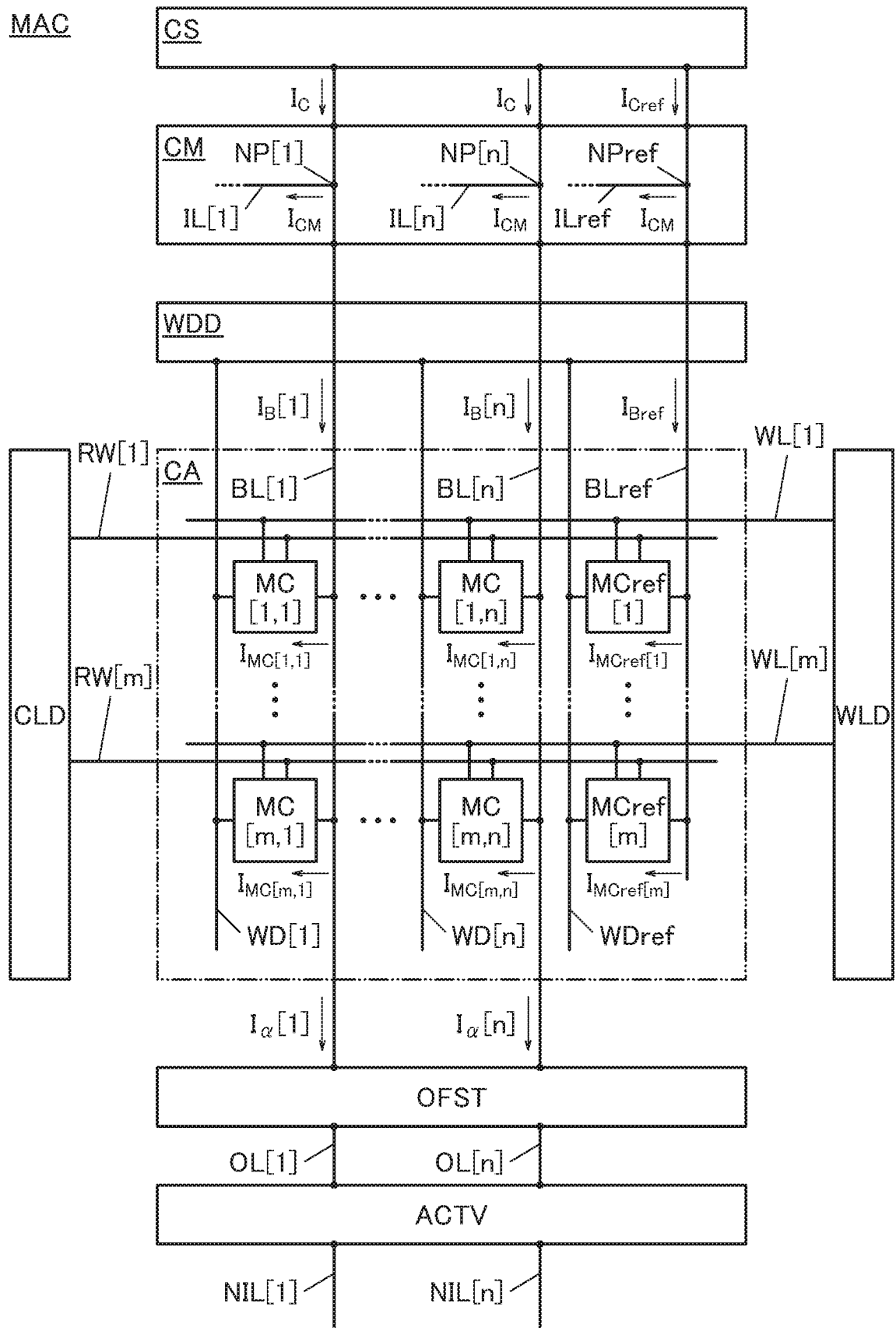
(A)



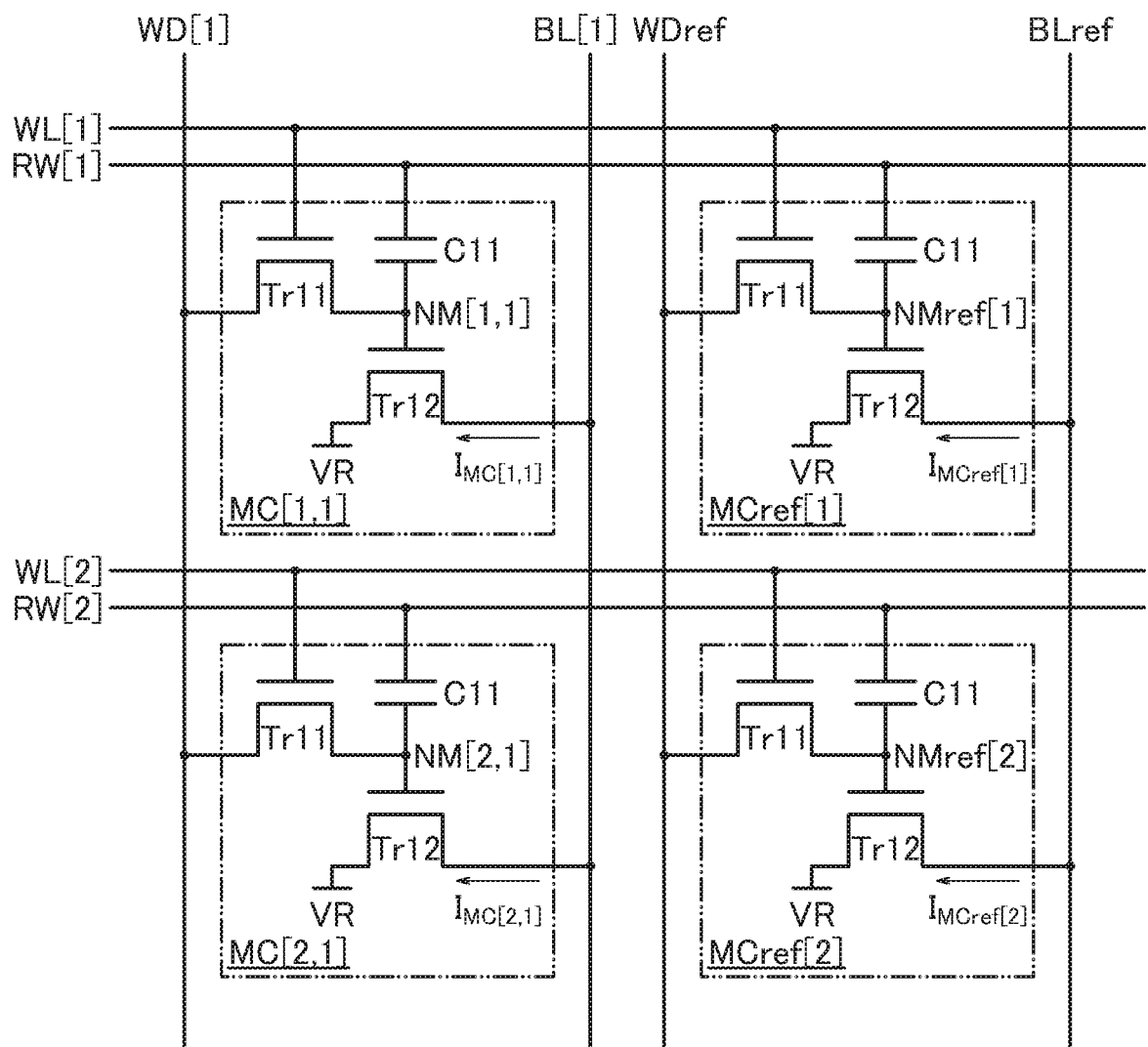
(B)



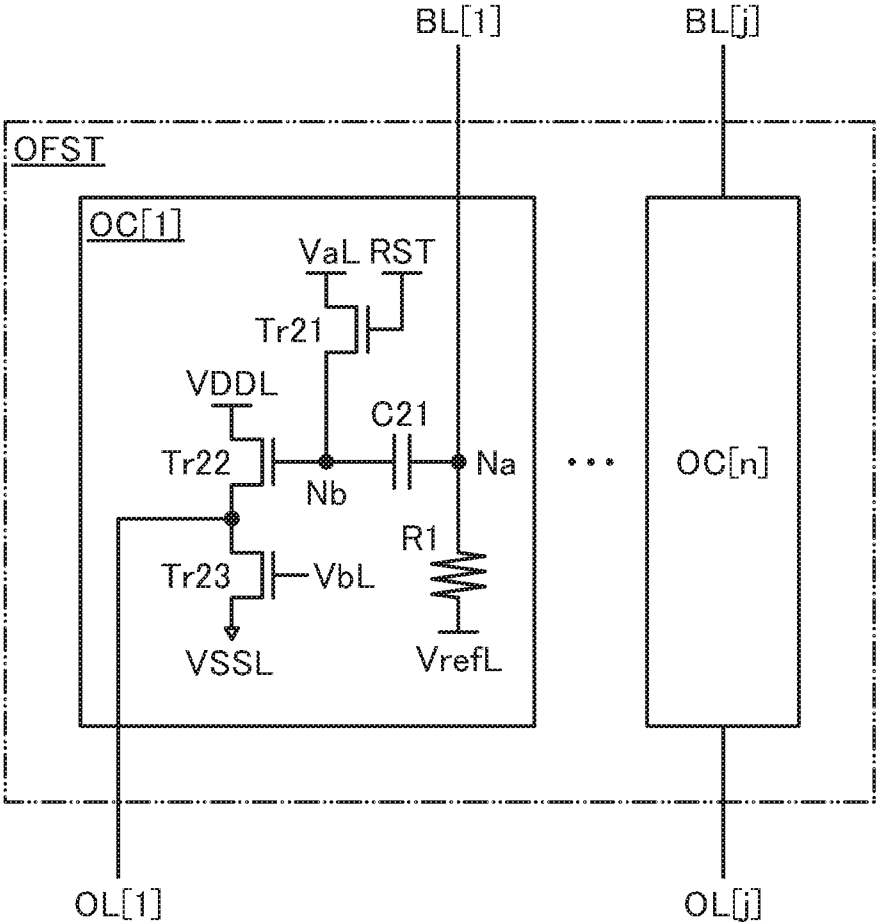
[図 12]



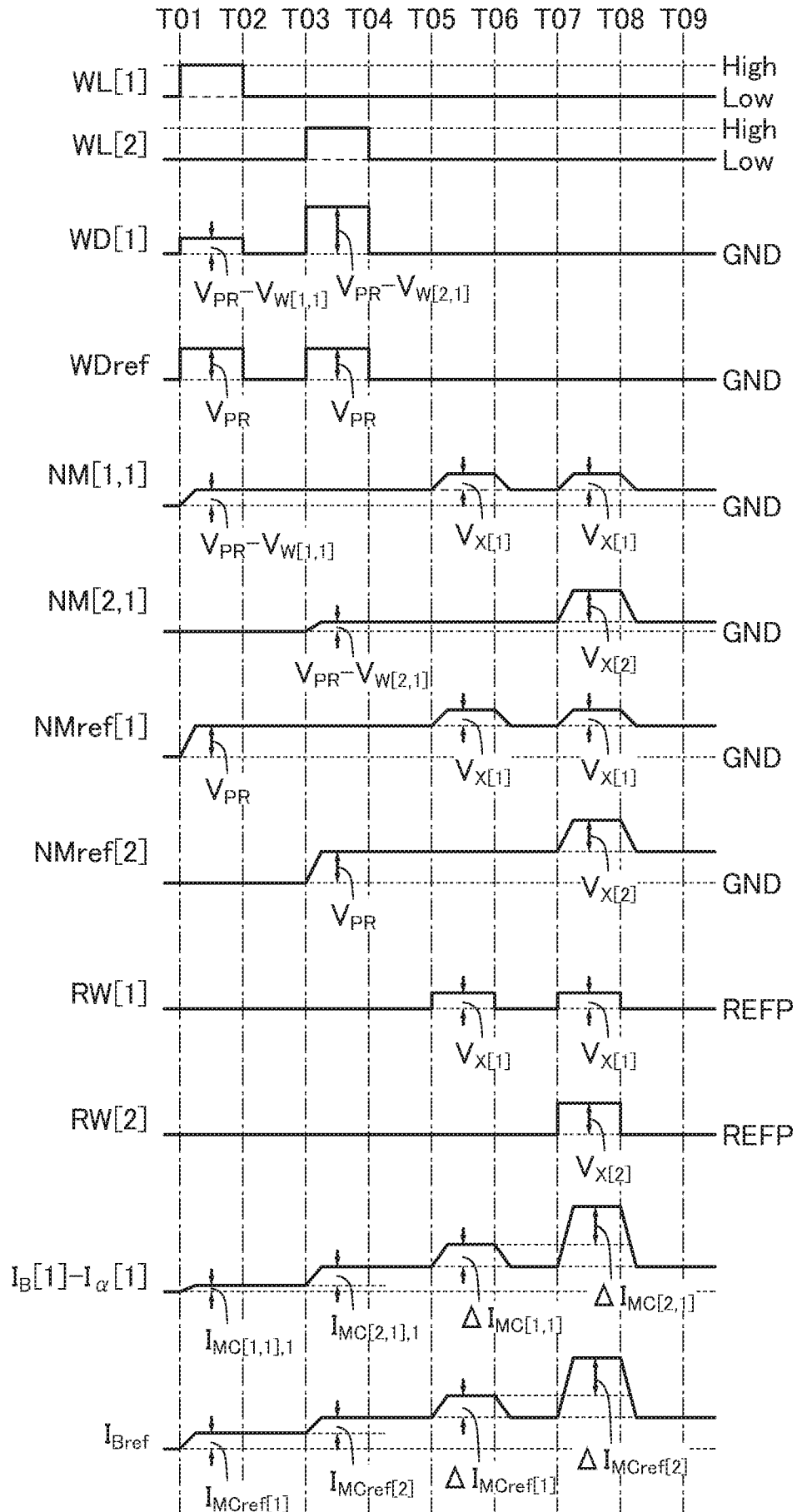
[図 13]



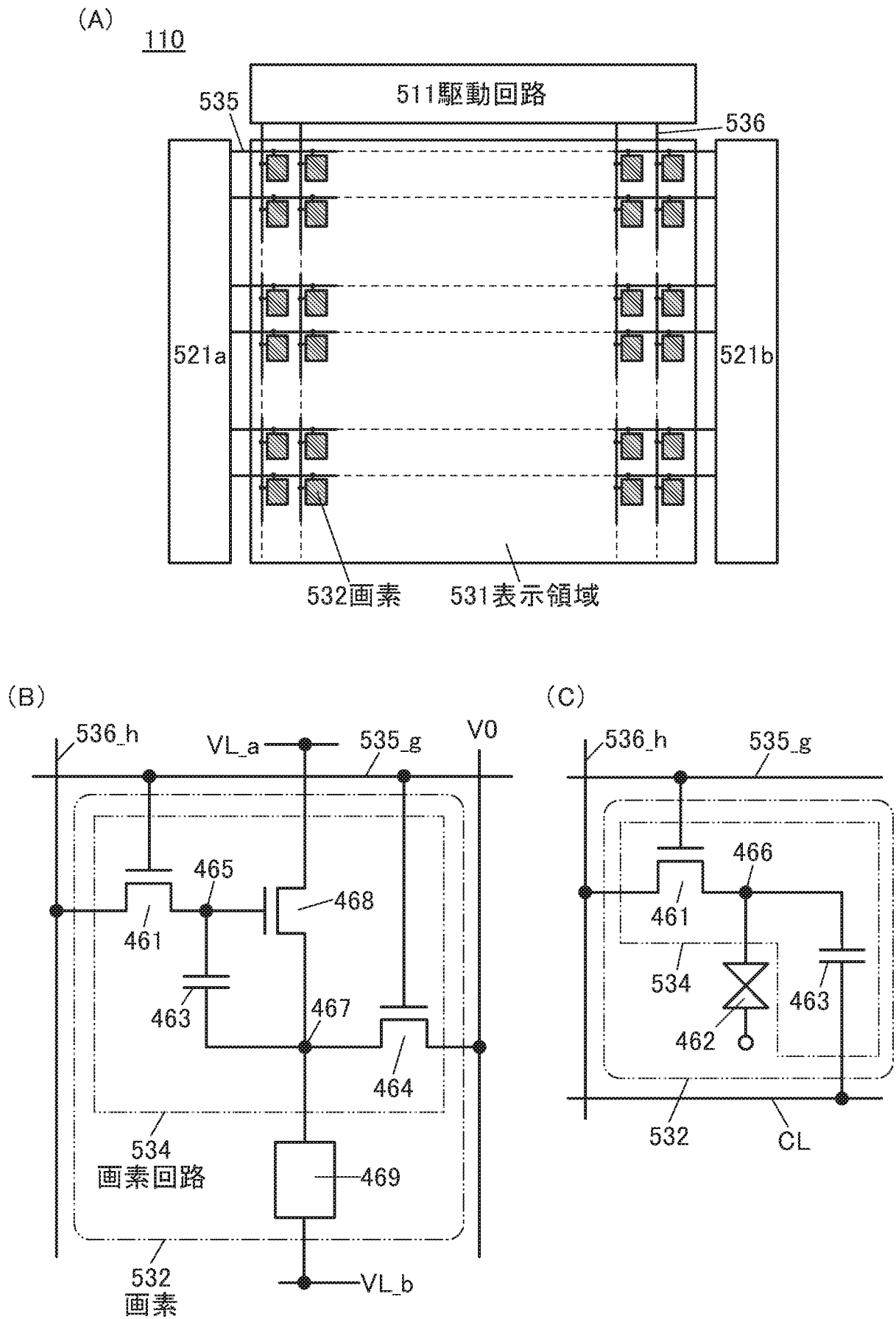
[図 14]



[図15]

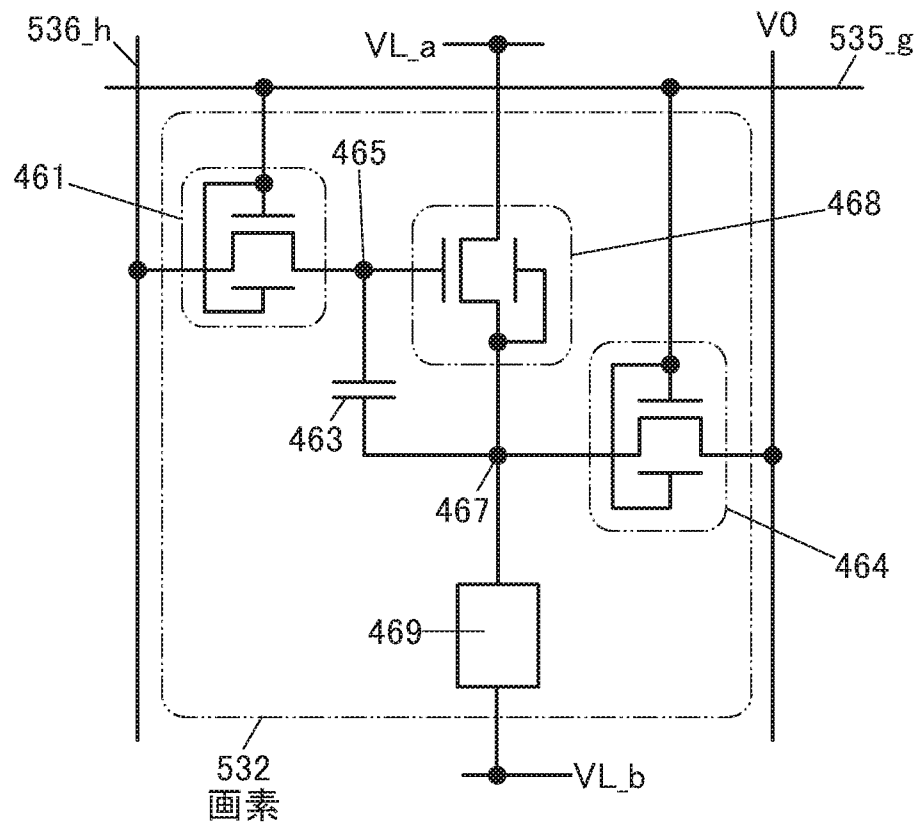


[図16]

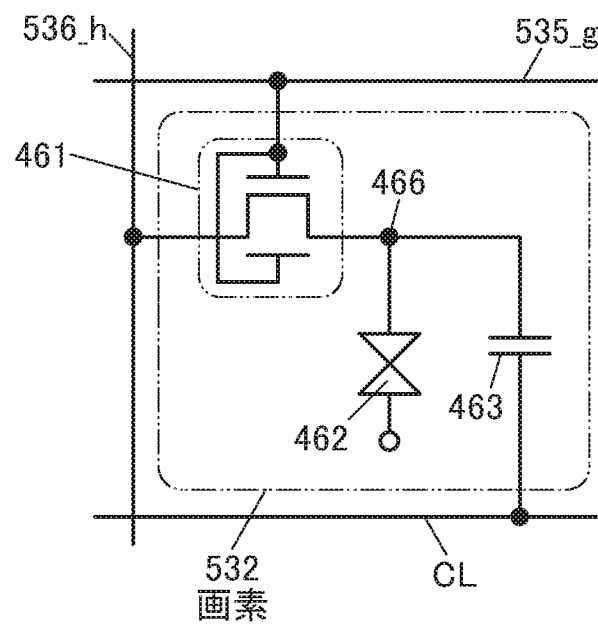


[図17]

(A)

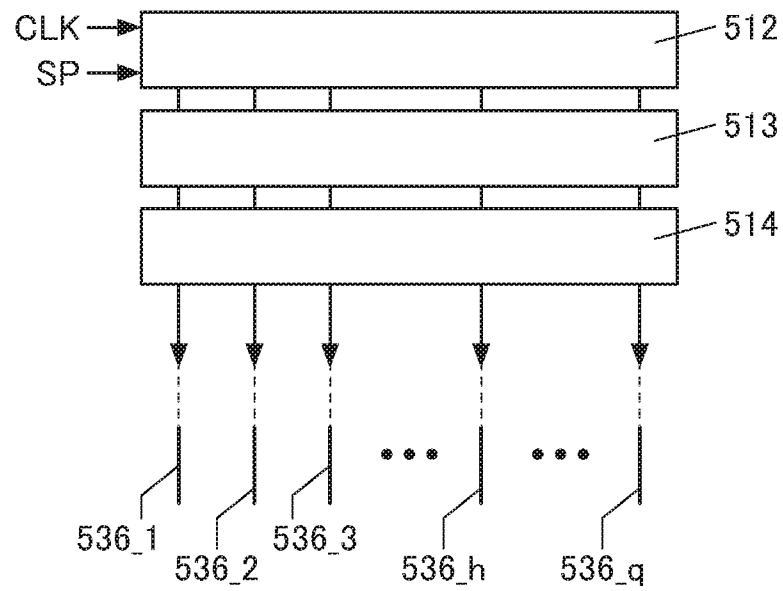


(B)

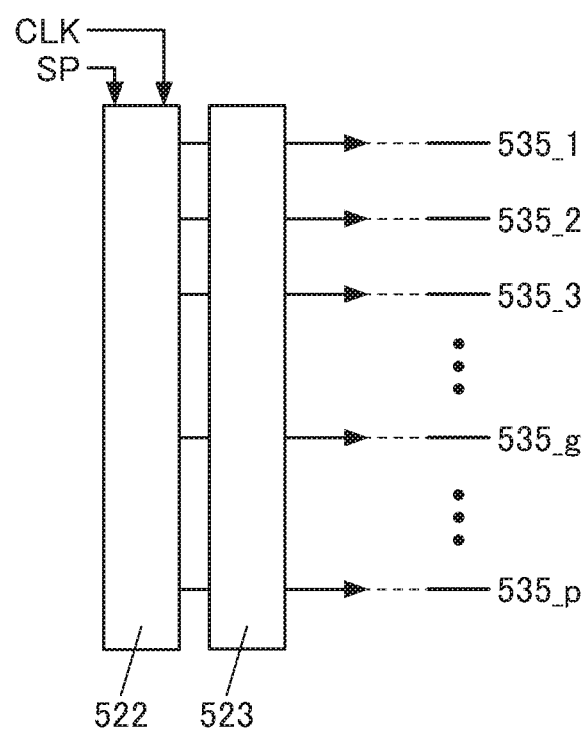


[図18]

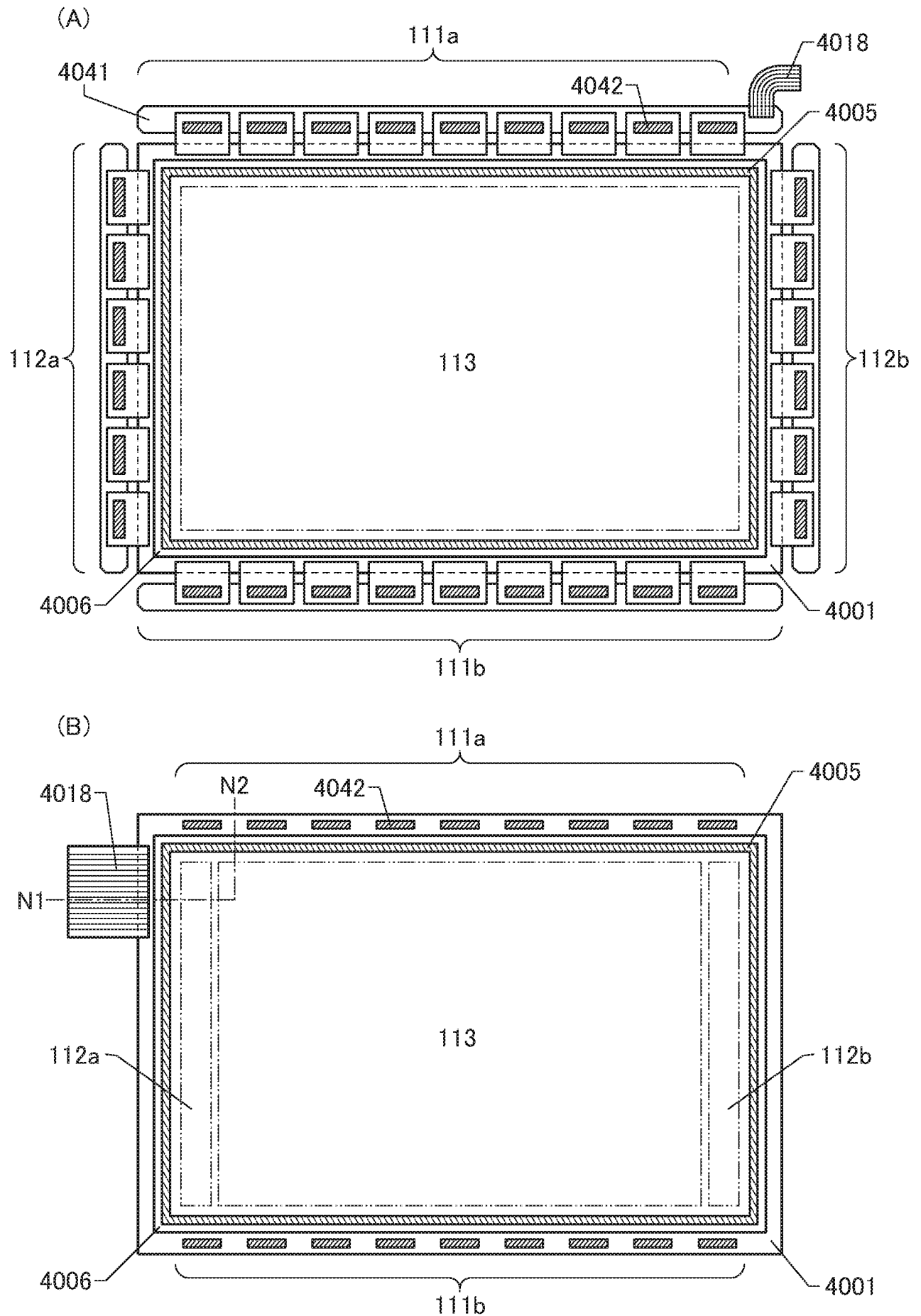
(A)

511駆動回路

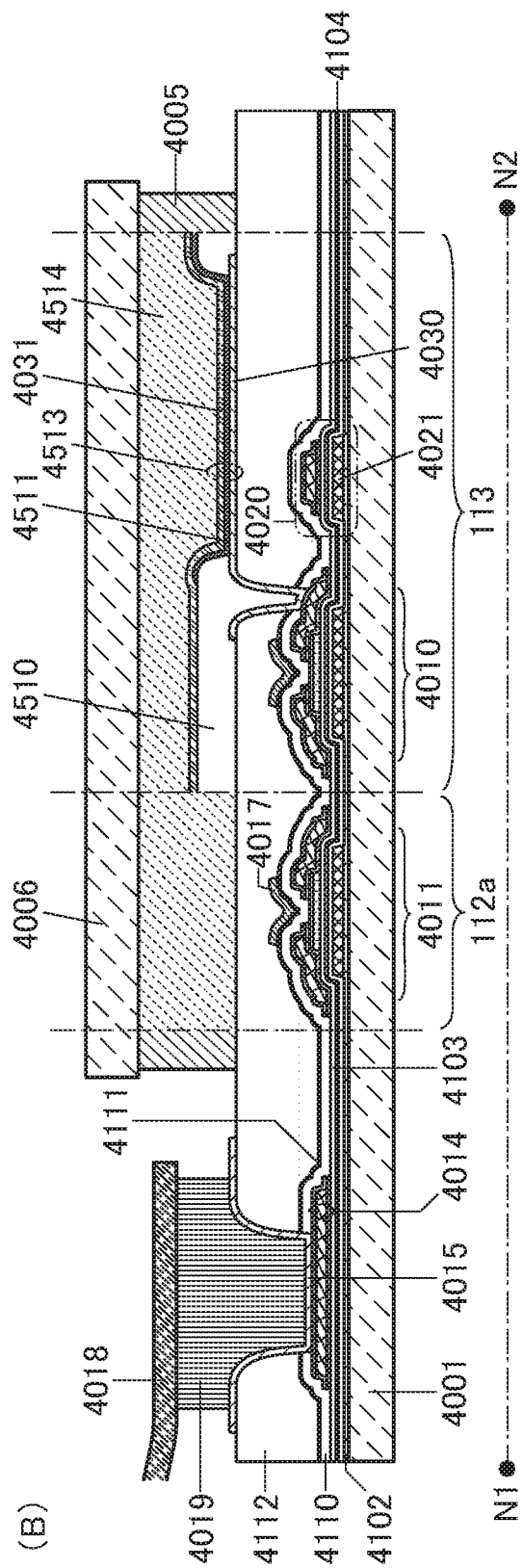
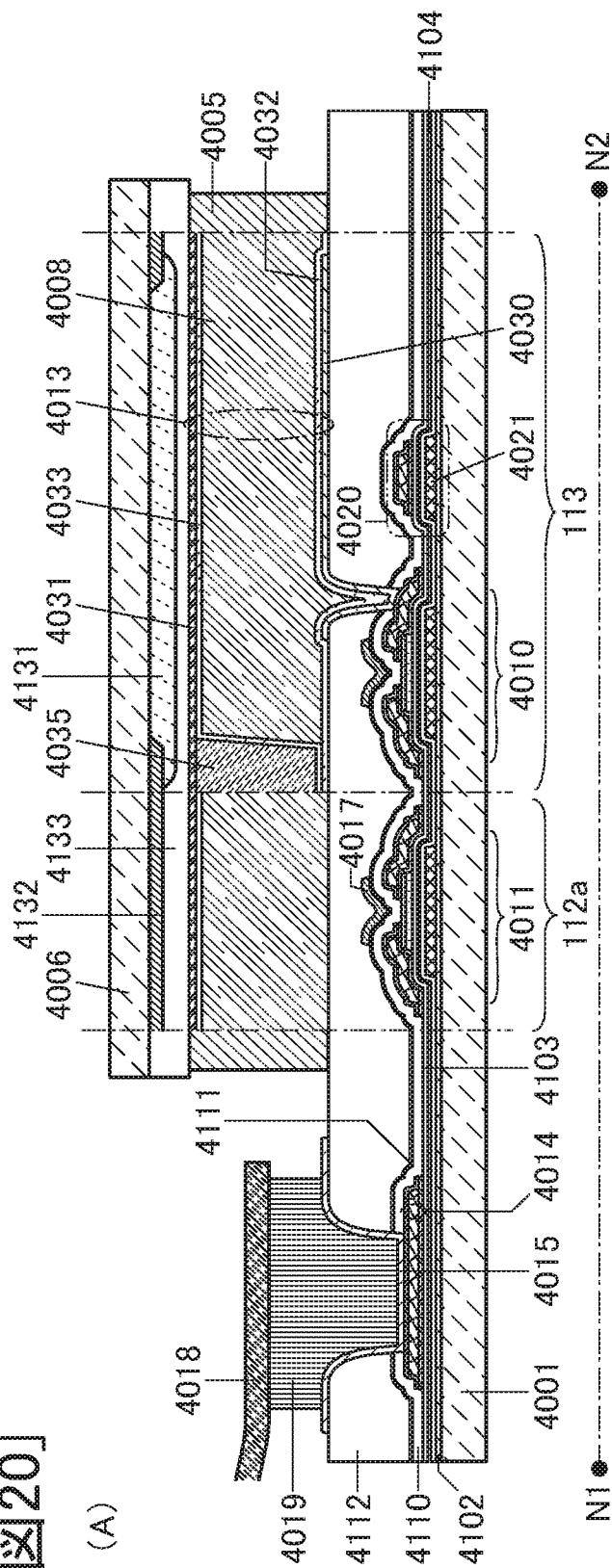
(B)

521a駆動回路

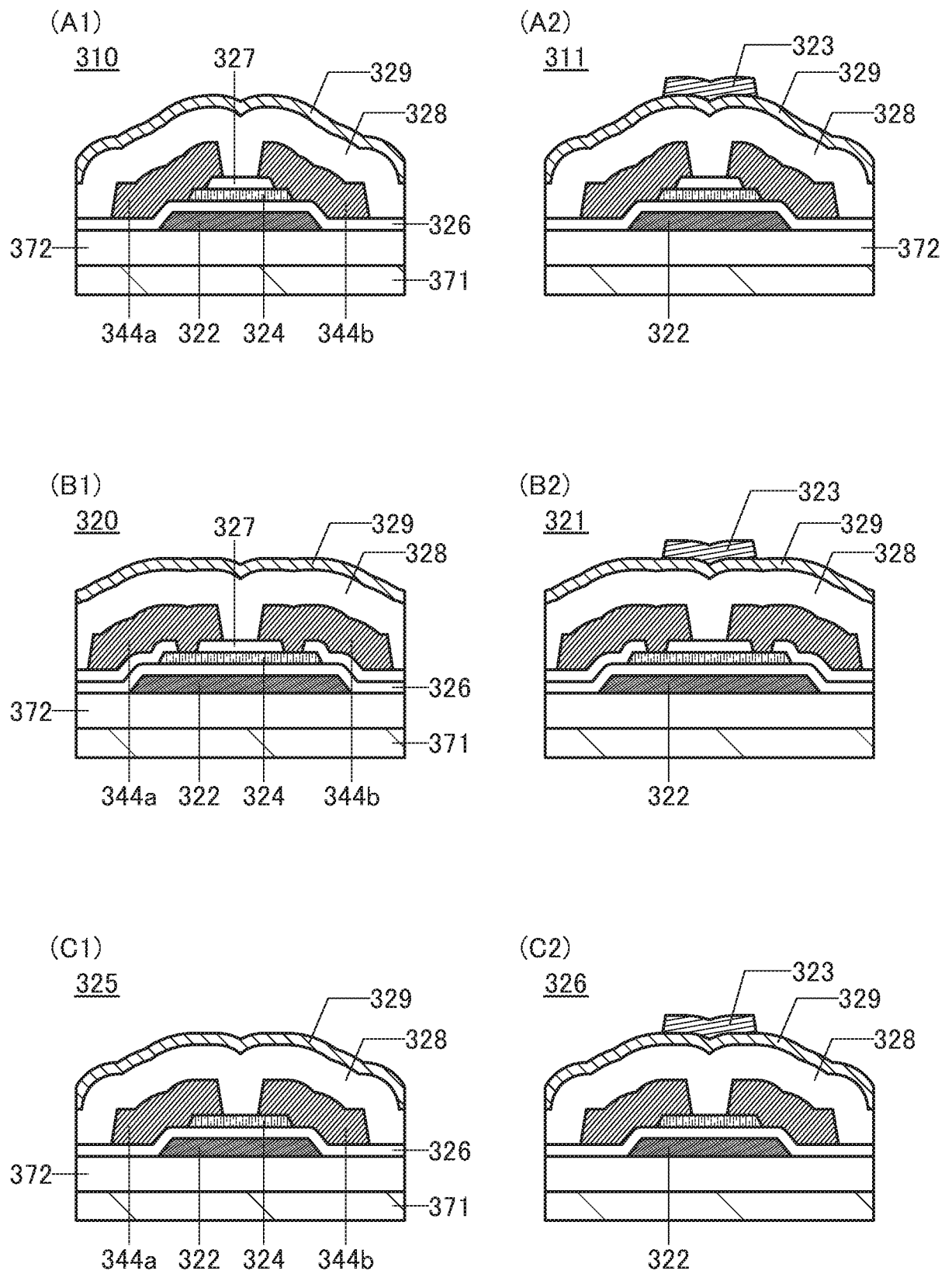
[図19]



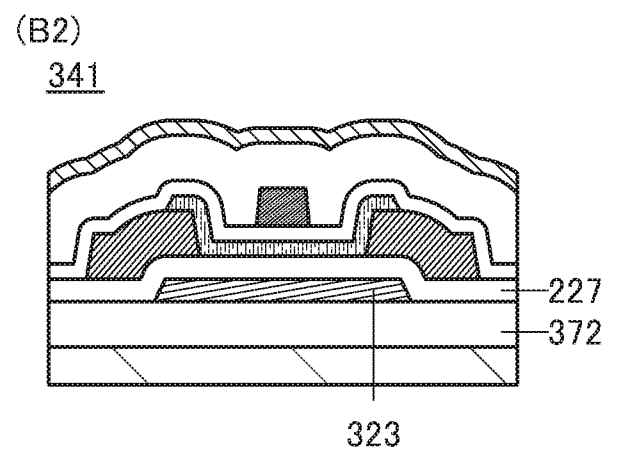
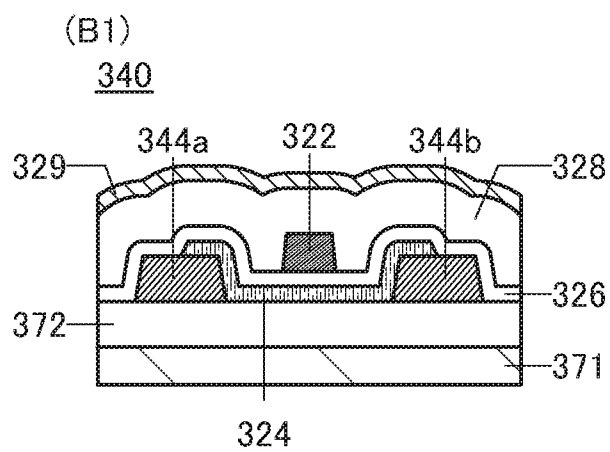
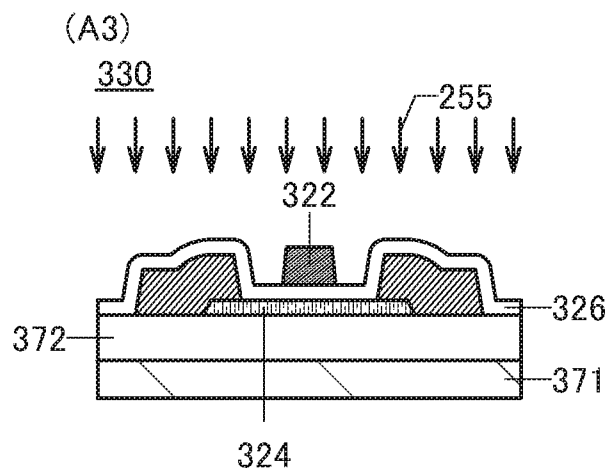
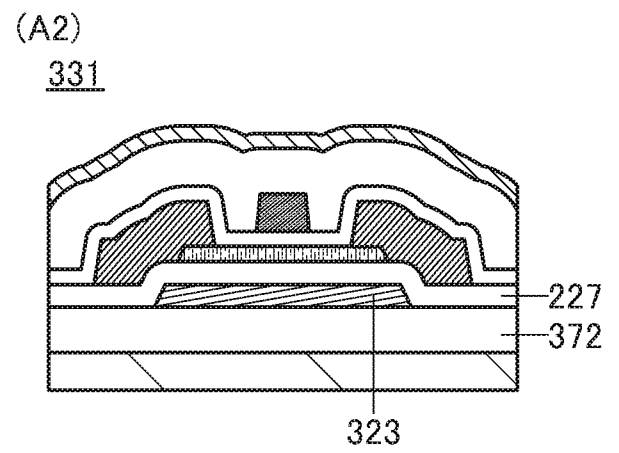
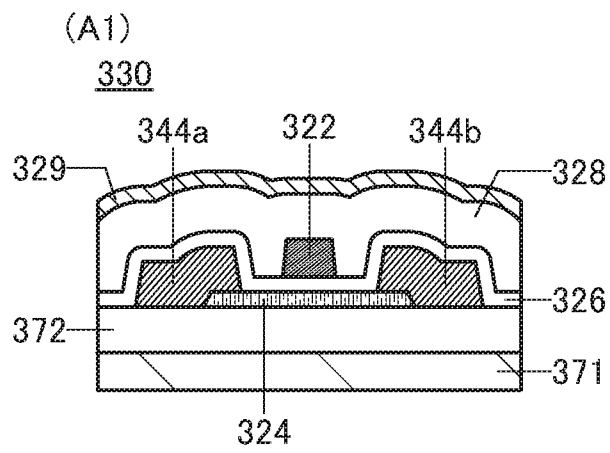
[図20]



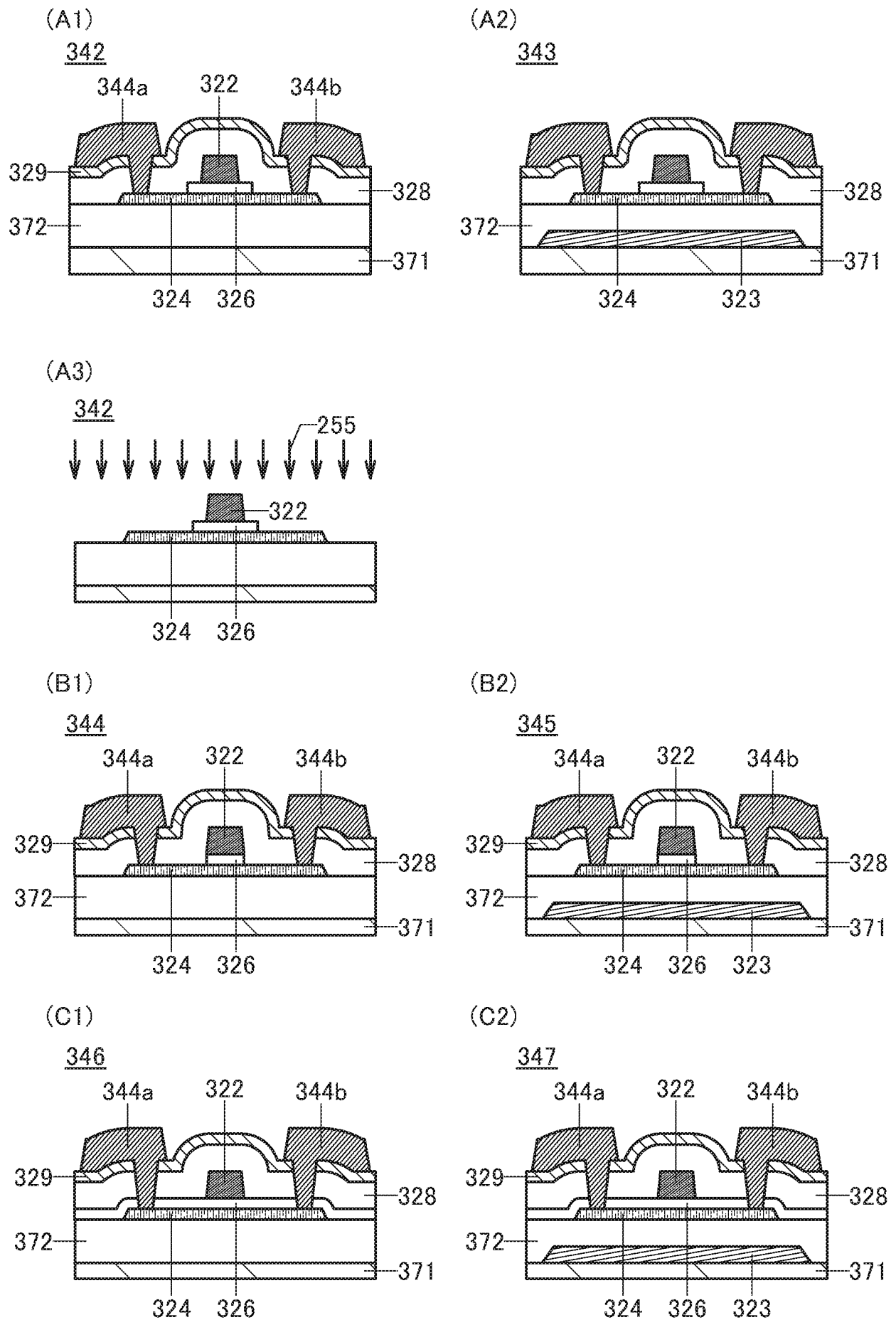
[図21]



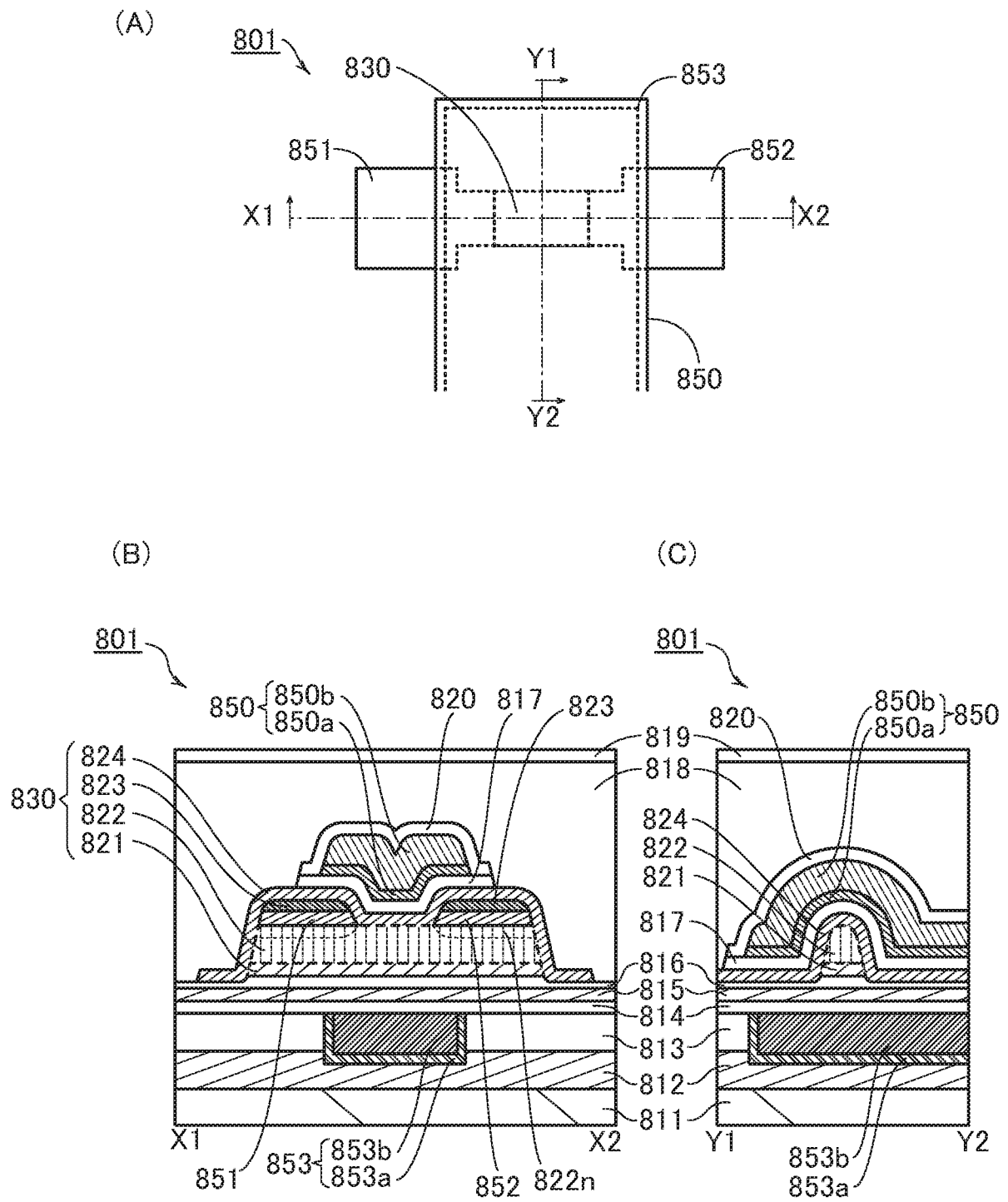
[22]



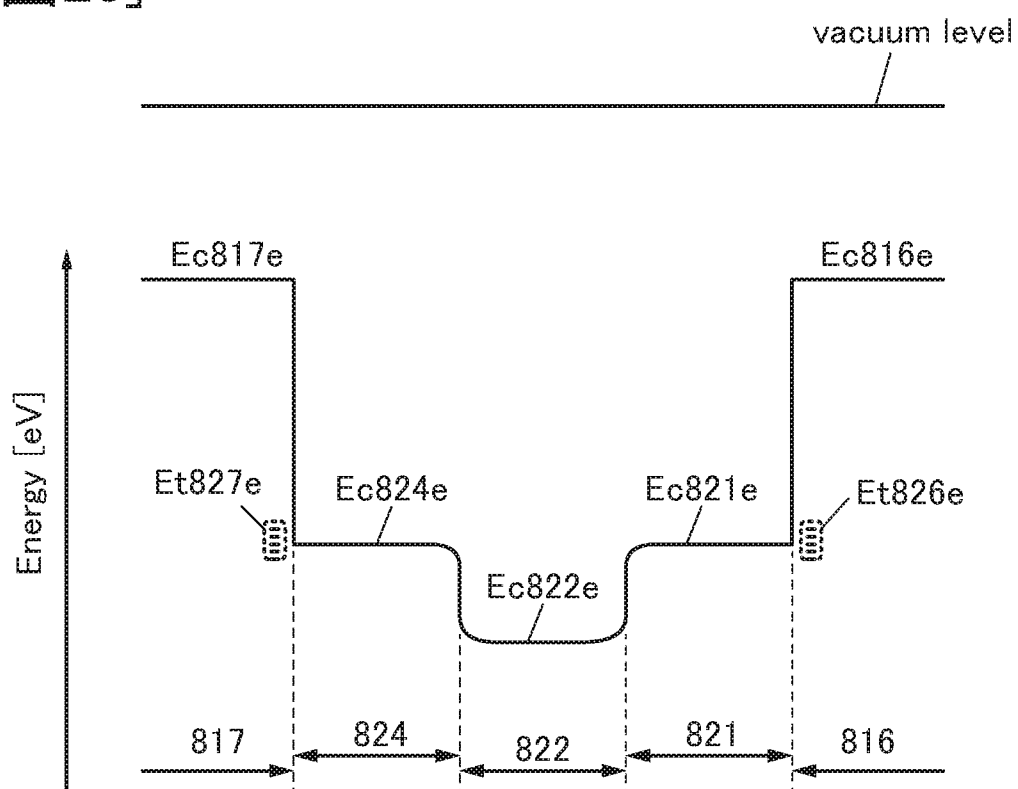
[図23]



[図24]

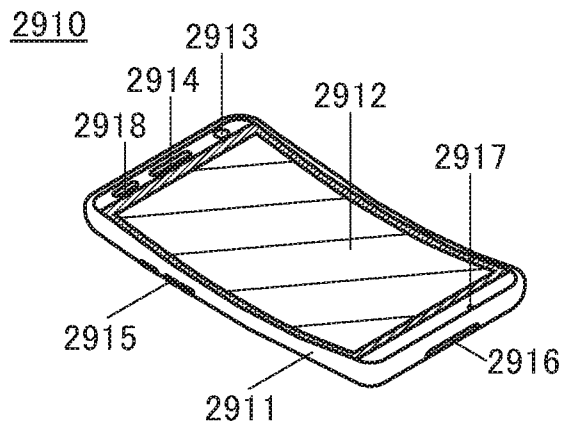


[図 25]

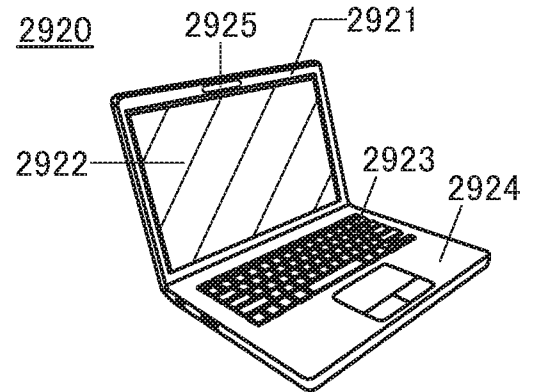


[図27]

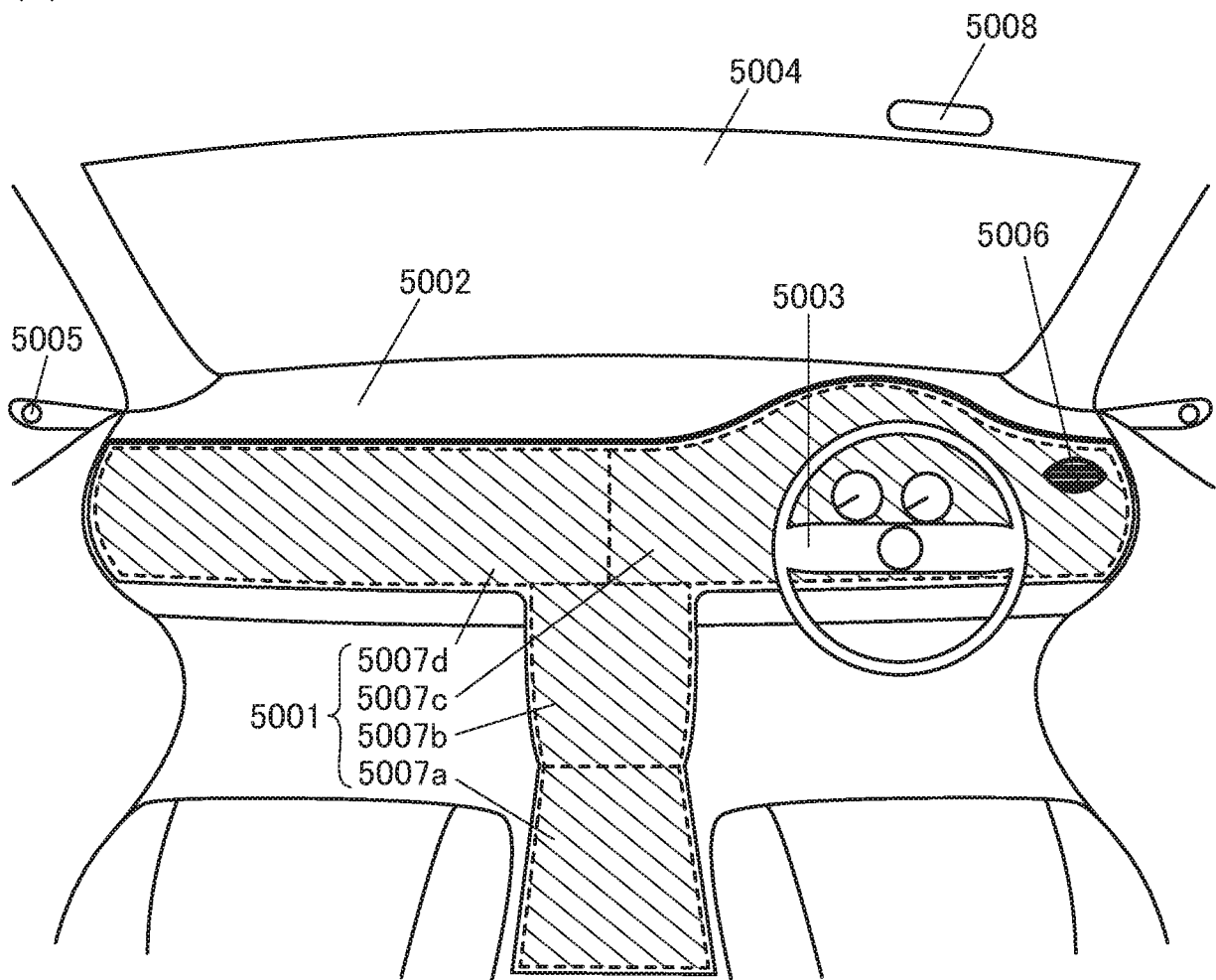
(A)



(B)



(C)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2018/055366

A. CLASSIFICATION OF SUBJECT MATTER

See extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G09G5/00, G02F1/133, G02F1/1368, G09F9/00, H01L21/28,
H01L21/8234, H01L21/8242, H01L27/088, H01L27/108, H01L27/32,
H01L29/786, H01L51/50, H05B33/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2016/098411 A1 (HITACHI MAXELL, LTD.) 23 June	1, 3
Y	2016, paragraphs [0011]-[0050], fig. 1-11 & US 2017/0324944 A1, paragraphs [0029]-[0068], fig. 1- 11 & CN 107005670 A	2, 4-6
Y	JP 2016-219011 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 22 December 2016, paragraph [0048] & US 2016/0343452 A1, paragraph [0066]	2, 6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 October 2018 (11.10.2018)

Date of mailing of the international search report
23 October 2018 (23.10.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2018/055366

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KIM, J. et al., "Accurate Image Super-Resolution Using Very Deep Convolutional Networks", IEEE Conference on Computer Vision and Pattern Recognition (CVPR), 2016 [online], June 2016, pp. 1646-1654, ISSN: 1063-6919, [retrieved on 14 August 2017], Retrieved from the Internet: <URL: http://ieeexplore.ieee.org/abstract/document/7780551/?reload=true >	4-6
A	US 2016/0366365 A1 (WIPRO LIMITED) 15 December 2016, entire text, all drawings & EP 3104621 A1 & CN 106254952 A	1-6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2018/055366

CLASSIFICATION OF SUBJECT MATTER

G09G5/00 (2006.01) i,	G02F1/133 (2006.01) i,	G02F1/1368 (2006.01) i,
G09F9/00 (2006.01) i,	H01L21/28 (2006.01) i,	H01L21/8234 (2006.01) i,
H01L21/8242 (2006.01) i,	H01L27/088 (2006.01) i,	H01L27/108 (2006.01) i,
H01L27/32 (2006.01) i,	H01L29/786 (2006.01) i,	H01L51/50 (2006.01) i,
H05B33/14 (2006.01) i		

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. 特別ページ参照

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G09G5/00, G02F1/133, G02F1/1368, G09F9/00, H01L21/28, H01L21/8234, H01L21/8242, H01L27/088, H01L27/108, H01L27/32, H01L29/786, H01L51/50, H05B33/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	WO 2016/098411 A1（日立マクセル株式会社） 2016.06.23, 段落[0011]-[0050], 第1-11図 & US 2017/0324944 A1, 段落[0029]-[0068], 第1-11図 & CN 107005670 A	1, 3 2, 4-6
Y	JP 2016-219011 A（株式会社半導体エネルギー研究所） 2016.12.22, 段落[0048] & US 2016/0343452 A1, 段落[0066]	2, 6

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

11.10.2018

国際調査報告の発送日

23.10.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/JP）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

斎藤 厚志

電話番号 03-3581-1101 内線 3274

21

5702

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	KIM, J. et al., Accurate Image Super-Resolution Using Very Deep Convolutional Networks, IEEE Conference on Computer Vision and Pattern Recognition (CVPR), 2016 [online], 2016.06, pp. 1646 - 1654, ISSN: 1063-6919, [retrieved on 2017.08.14], Retrieved from the Internet: <URL: http://ieeexplore.ieee.org/abstract/document/7780551/?reload=true >	4-6
A	US 2016/0366365 A1 (WIPRO LIMITED) 2016.12.15, 全文全図 & EP 3104621 A1 & CN 106254952 A	1-6

発明の属する分野の分類

G09G5/00(2006.01)i, G02F1/133(2006.01)i, G02F1/1368(2006.01)i, G09F9/00(2006.01)i,
H01L21/28(2006.01)i, H01L21/8234(2006.01)i, H01L21/8242(2006.01)i,
H01L27/088(2006.01)i, H01L27/108(2006.01)i, H01L27/32(2006.01)i,
H01L29/786(2006.01)i, H01L51/50(2006.01)i, H05B33/14(2006.01)i