[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 29/78 (2006.01)
H01L 21/336 (2006.01)

[12] 发明专利说明书

专利号 ZL 200310124832.6

[45] 授权公告日 2007 年 10 月 24 日

[11] 授权公告号 CN 100345307C

[22] 申请日 1999.6.8
[21] 申请号 200310124832.6
分案原申请号 99107965.5
[30] 优先权
[32] 1998. 6.25 [33] JP [31] 1998 - 178612
[32] 1999. 4.19 [33] JP [31] 1999 - 110416
[73] 专利权人 松下电器产业株式会社
地址 日本大阪府
[72] 发明人 十河诚治 上野雄司 山口诚毅
森吉弘 八谷佳明 高桥理
山西雄司 平野龙马
[56] 参考文献
WO9820562A1 1998.5.14
审查员 杨子芳

[74] 专利代理机构 中科专利商标代理有限责任公司
代理人 汪惠民

权利要求书 2 页 说明书 16 页 附图 14 页

[54] 发明名称

半导体装置

[57] 摘要

本发明涉及一种半导体装置，包括：第 1 导电型半导体衬底；形成在上述半导体衬底内的第 2 导电型源极区；形成在上述半导体衬底内的第 2 导电型漏极区；在上述源极区和上述漏极区之间所设置的沟道区；以及形成在上述沟道区之上方的栅极电极，其特征在于：备有第 1 导电型埋入区，所述第 1 导电型埋入区的至少一部分被包含在上述漏极区内的多个部分，并且所述第一导电型埋入区为了使间隙区的配置方向沿着漏极电流的电流方向而呈直线排列。

图 1 (a)

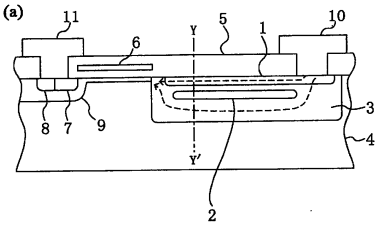
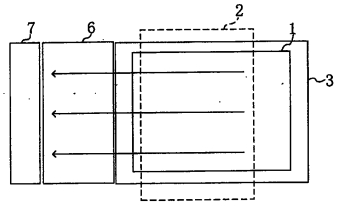


图 1 (b)



1. 一种半导体装置，包括：

第 1 导电型半导体衬底；

形成在上述半导体衬底内的第 2 导电型源极区；

形成在上述半导体衬底内的第 2 导电型漏极区；

在上述源极区和上述漏极区之间所设置的沟道区；以及

形成在上述沟道区之上方的栅极电极，

其特征在于：还包括第 1 导电型埋入区，所述第 1 导电型埋入区的至少一部分被包含在上述漏极区内，

所述埋入区被分成多个部分，在所述多个部分中的相邻部分之间具有构成漏极电流之电流通路的间隙区，所述电流通路是直线的。

2. 根据权利要求 1 所述的半导体装置，其特征在于，上述埋入区的上述多个部分的数量为 3 个以上。

3. 根据权利要求 1 所述的半导体装置，其特征在于，还包括：在所述埋入区的上方且在上述半导体层的表面和上述埋入区之间设置的、具有比上述漏极区的第 2 导电型杂质浓度更高的第 2 导电型杂质浓度的高浓度区。

4. 根据权利要求 3 所述的半导体装置，其特征在于，上述高浓度区的一部分与漏极电极相接触。

5. 根据权利要求 3 所述的半导体装置，其特征在于，还包括：形成在上述漏极区远离沟道区的一侧、且与漏极区分隔开的第 1 导电型杂质扩散区,并且上述埋入区被连接到上述第 1 导电型杂质扩散区。

6. 根据权利要求 5 所述的半导体装置，其特征在于， 上述第 1 导电型杂质扩散区内的第 1 导电型杂质浓度比上述半导体层内的第 1 导电型杂质浓度高。

7. 根据权利要求 3 所述的半导体装置，其特征在于，上述高浓度区包括从上述埋入区外周端部的第 1 部分的上方开始,沿着上述漏极区的延长方向，向第 2 部分的上方延长的部分,

上述埋入区外周端部的上述第 1 部分比上述第 2 部分更接近于漏极区和漏极电极的接触区。

8. 根据权利要求 3 所述的半导体装置，其特征在于，上述高浓度区覆盖着上述埋入区的外周端部。

9. 根据权利要求 3 所述的半导体装置，其特征在于，上述高浓度区覆盖着上述埋入区的外周端部中,沿着上述漏极区的延长方向延长的部分中的至少一部分。

10. 根据权利要求 3 所述的半导体装置，其特征在于，上述高浓度区接触着上述埋入区。

11. 根据权利要求 3 所述的半导体装置，其特征在于，上述高浓度区的厚度在 0.5μm 以上。

12. 根据权利要求 3 所述的半导体装置，其特征在于，上述高浓度区包含着第 2 导电型杂质浓度在 $1\times10^{17}cm^{-3}$ 以上的部分。

13. 根据权利要求 3 所述的半导体装置，其特征在于，还包括：工作时,在上述埋入区和上述漏极区之间施加反向偏压的手段。

14. 根据权利要求 3 所述的半导体装置，其特征在于，上述高浓度区和上述漏极区的外周端部邻接于上述沟道区的部分,保持一定的距离。

15. 根据权利要求 14 所述的半导体装置，其特征在于，上述距离不小于上述高浓度区的厚度。

16. 根据权利要求 3 所述的半导体装置，其特征在于，上述高浓度区的下面和上述埋入区的上面相互接触。

半导体装置

本申请是中国专利申请 99107965.5 的分案申请。

技术领域

本发明涉及一种半导体装置及其制造方法。特别是，本发明涉及漏源极间的击穿电压高，通态电阻又被减小了的大功率 MOSFET 的构造及其制造方法。

背景技术

首先,参照图 10,对包含有为改善漏源极间的击穿电压的结构的半导体装置的现有例进行说明。该半导体装置被刊登在日本专利公报特开平 4-107877 号(申请人:松下电子工业株式会社)中。

该装置包括:在P型单晶硅衬底 104 上所形成的N型源极区 107 和N型延长漏极区 103 以及被N型延长漏极区 103 包围起来的P型埋入区 102。 在该N型延长漏极区 103 的一部分内,设有漏极接触区 114 该漏极接触区 114 与漏极电极 110 相接触。N型源极区 107 和形成在P型单晶硅衬底 104 的表面上的衬底接触区 108 一起，与源极电极 111 相接触。设有抗穿通区 109，以包围源极区 107 和衬底接触区 108。

源极区 107 和延长漏极区 103 之间的区域起沟道区的作用,在沟道区上方的P型硅衬底 104 的表面上，中间夹着栅极绝缘膜，设有栅极电极 106。 衬底 104 的表面被热氧化膜 105 所覆盖

该半导体装置的特征为:它包括通过扩散工序而形成在P型衬底 104 内的杂质浓度比较低的N型延长漏极区 103 和形成在N型延长漏极区 103 内部的P型埋入区 102。

图 11 示出了杂质浓度和载流子浓度沿图 10 中的X－X'线深度方向的分布情况。半导体的特定区域的导电型为P型还是N型，要通过对该半

导体的特定区域中的P型杂质浓度和N型杂质浓度进行比较，根据哪一方浓度高而定并且，N型杂质浓度越高，MOSFET的通态电阻就越小。

下面，分别对该半导体的导通(ON)状态和截止(OFF)状态加以说明。

延长漏极区103和P型埋入区102处于反向偏置状态MOSFET为截止状态的时候，耗尽层从P型埋入区102和延长漏极区103之间的PN结开始扩大，同时还从P型衬底104和延长漏极区103之间的PN结开始扩大。可利用该耗尽层，实现MOSFET的高耐压化。

MOSFET为导通状态的时候，电子在延长漏极区103内移动。更确切地说，电子是在延长漏极区103内的N型杂质浓度最高的衬底表面区域以及P型埋入区102的下方区域里进行移动的。若P型埋入区102是由通常的扩散层形成的，那么衬底表面为P型。那时，就是N型杂质浓度最高的衬底表面，其导电型也会转化为P型，故N型载流子浓度下降，通态电阻增大。

按照日本专利公报特开平4-107877号，要进行通过往P型衬底104内的离子注入和扩散，而形成延长漏极区103的工序；往延长漏极区103内注入硼离子以后，再进行热处理的工序；对衬底表面进行热氧化的工序。经过最后的热氧化工序，P型杂质开始从P型埋入区102和衬底表面之间减少，该部分的导电型转化为N型。该热氧化工序，利用硅氧化膜和硅之间的偏析系数的不同，而把P型埋入区102上部的硼离子吸收到硅氧化膜105内。该热氧化工序的结果：P型埋入区102位于中间夹着被N型化了的薄区域，与衬底表面相隔一段距离的位置上，P型埋入区102变成了被埋在延长漏极区103内的状态。要想降低P型埋入区102上部的硼离子浓度，并使该区域的导电型转化为N型，就必须形成一定厚度(例如1μm)以上的热氧化膜。

按照上述现有的制造方法，P型埋入区102的形成深度以及对P型埋入区102与衬底表面间区域里的载流子浓度的控制都要被热氧化膜105的形成条件所左右。结果，延长漏极区103表面部的浓度要受热氧化膜105形成过程中的工艺参数的变动(比如温度 氧气流量等的变动)的影响。更具体地说，因为延长漏极区103的表面浓度，对热氧化膜的形成速度和所形成的热氧化膜的最终厚度的偏差非常敏感，所以靠热氧化工序来控制

延长漏极区 103 的表面浓度是很困难的。

如图 11 所示, 半导体衬底表面上的P型载流子浓度和N型载流子浓度只稍有不同, 该浓度的平衡极易因制造过程中的各种原因而发生变动例如在P型埋入区 102 的形成过程中, 若表面部的P型载流子浓度的减少程度不充分, 则会发生P型扩散层表面不能完全转化为N型的情形; 或者即使转化成N型, 其表面部浓度每次都大不一样的状态。 这将是由于通过栅极区和漏极电极间的延长漏极区内的电流而使通态电阻的差别变大以及特性差别变大的影响因素(比如单位面积为 1.2～2.0Ω)。 为减少该差别,我们想到了如下方法:例如, 如图 12(a)所示,在P型衬底 27 内形成延长漏极区26以后, 用1～2MeV的高能量来把硼离子注入到衬底27内。按照该方法, 先在P型衬底27的表面上涂敷3～4μm左右厚的抗蚀厚膜24, 接着该抗蚀厚膜24在光刻技术下, 经曝光、 显象以后, 便在厚抗蚀膜24内形成了开口部。 这之后, 利用高能量从抗蚀厚膜 24 的开口部,把硼离子注入到衬底 27 内。 硼离子进到了离延长漏极区 26 的表面约 1μm 左右的内部,如图 12(b)所示, 形成了P型埋入层 28 根据该方法, 延长漏极区 26 的表面浓度的均匀性受延长漏极区 26 本身的形成状态的影响, 所以象上述现有的技术那样, 把P型区表面的硼离子吸收到氧化膜 105 内, 而使它转化为N型的工序就不需要了。 还有, MOSFET 的通态电阻的偏差也可以得到改善。

然而, 为了用这样的高能量离子注入法来形成P型埋入层 28,被图案化的离子注入掩模(抗蚀膜、金属膜或者绝缘膜等)要形成在衬底上。 该被图案化的离子注入模的侧面边缘, 并不完全平行于离子注入方向。这样, 利用高能量注入法而注入到衬底内的杂质的最高浓度点,在离子注入用掩模的侧面边缘的下方, 朝着衬底的表面方向上移。为确保离子注入模的遮蔽效果,就要求:注入能量越高, 抗蚀膜的厚度越厚。为保持离子注入装置内的真空度,通常必须事先对半导体衬底进行加热, 把抗蚀膜内所包含的溶剂、 水分蒸发掉。 当抗蚀膜比较厚时, 就要求要么加热时间比正常时长, 要么加热温度比正常时高。 如果这样进行加热, 如图 12(b)所示, 抗蚀厚膜 24 的侧面边缘就发生倾斜, 抗蚀厚膜 24 的断面形状容易变成梯形。抗蚀厚膜 24 所发生的变形, 与其说是由于抗蚀厚膜 24 中与衬底 27

密切接触的部分发生收缩，倒不如说是由于该部分以外的其他部分发生收缩而引起的。 若用这样的变了形的抗蚀厚膜 24 来进行离子注入，抗蚀厚膜 24 中比较薄的侧面部分不能充分发挥其遮蔽效果，如图 12(b)所示,杂质离子则会穿过抗蚀膜 24 而被注入到靠近衬底表面部的区域里。结果，埋入区 28 的外周边缘部分,朝着衬底表面而向上方突出，形成了一个到达衬底表面的 P 型区。因为到达了衬底表面的 P 型区横切栅极区和漏极电极之间的电流流路，所以通态电阻增大了。

发明内容

本发明就是从上述课题出发而研究出来的。其目的在于提供一种漏源极间的击穿电压高,且通态电阻又被减小了的半导体装置。

本发明所涉及的半导体装置,包括：第 1 导电型半导体衬底；形成在上述半导体衬底内的第 2 导电型源极区；形成在上述半导体衬底内的第 2 导电型漏极区；在上述源极区和上述漏极区之间所设置的沟道区；以及形成在上述沟道区之上方的栅极电极，其特征在于：还包括第 1 导电型埋入区，所述第 1 导电型埋入区的至少一部分被包含在上述漏极区内，所述埋入区被分成多个部分，在所述多个部分中的相邻部分之间具有构成漏极电流之电流通路的间隙区，所述电流通路是直线的。

也可以再备有被电连接在上述漏极区上的漏极接触区,并通过上述漏极接触区而把上述漏极区连接到漏极电极上。

最好还备有形成在上述漏极区远离沟道区的一侧、且与漏极区分隔开的第 1 导电型杂质扩散区,且上述埋入区被连接在上述第 1 导电型杂质扩散区上。

上述第 1 导电型杂质扩散区内的第 1 导电型杂质浓度，最好比上述半导体层内的第 1 导电型杂质浓度高。

上述第 1 导电型杂质扩散区也可以起沟道阻止区的作用。

上述高浓度区也可以包括从上述埋入区外周端部的第 1 部分的上方开始，沿着上述漏极区的延长方向，向第 2 部分的上方延长的部分，且上述埋入区外周端部的上述第 1 部分比上述第 2 部分更接近于上述漏极区和漏极电极的接触区。

最好形成覆盖上述埋入区的外周端部的上述高浓度区。

上述高浓度区也可以覆盖着上述埋入区的外周端部沿着上述漏极区的延长方向延长的部分中的至少一部分。

上述高浓度区也可以接触着上述埋入区。

上述高浓度区的厚度最好在 0.5μm 以上。

上述高浓度区最好包含着第 2 导电型杂质浓度在 $1\times10^{17}cm^{-3}$ 以上的部分。

最好备有工作时,往上述埋入区和上述漏极区之间施加反向偏压的手段。

最好含有上述源极区、沟道区以及漏极区的有源区被元件隔离区所包围; 第 1 导电型杂质扩散区形成在上述元件隔离区内,并且上述第 1 导电型杂质扩散区至少有一部分和上述埋入区保持电接触。

上述高浓度区最好和上述漏极区的外周端部邻接于上述沟道区的部分，保持一定的距离。

上述距离最好不小于上述高浓度区的厚度。

上述高浓度区的下面和上述埋入区的上面可以相互接触。

在比较理想的实施例中,上述半导体层由单晶半导体衬底构成。

本发明所涉及的半导体装置的制造方法为一种: 备有第 1 导电型半导体层、形成在上述半导体层内的第 2 导电型源极区、形成在上述半导体层内的第 2 导电型漏极区、在上述源极区和漏极区之间所设置的沟道区、形成在上述沟道区之上方的栅极电极以及至少有一部分被包在上述漏极区内的第 1 导电型埋入区的半导体装置的制造方法, 包括:将为了形成上述漏极区的第 2 导电型杂质掺入到上述半导体层内的工序; 将为了形成上述埋入区的第 1 导电型杂质掺入到上述半导体层内的工序;将第 2 导电型杂质掺入到上述半导体层中, 并凭借它, 至少在上述半导体层的表面和上述埋入区之间形成第 2 导电型高浓度区的工序。

形成第 1 导电型埋入区域时, 若只在半导体层的表面区域掺入了第 1 导电型杂质而不采取其他措施, 则其结果是通态电阻增大; 但按照本发明, 可通过在半导体层的表面掺入第 2 导电型杂质, 而在半导体表面形成第 2 导电型高浓度区, 故可以比较稳定地提供适于减小通态电阻的结构。

最好通过高能离子注入法来进行为形成上述埋入区的掺杂。

在比较理想的实施例中，在进行为形成上述埋入区的掺杂之前，用能规定上述埋入区的位置和平面形状的掩模来覆盖上述半导体层。

还可以包含为形成上述埋入区的掺入之后所进行的第 1 热处理的工序；形成上述高浓度区的工序之后所进行的第 2 热处理的工序。

上述形成高浓度区的工序，还可以包含在上述半导体层上形成第 2 导电型杂质源，且从上述杂质源把上述第 2 导电型杂质扩散到上述半导体层的工序。

本发明所涉及的半导体装置的制造方法为一种：备有第 1 导电型半导体层、 形成在上述半导体层内的第 2 导电型源极区、 形成在上述半导体层内的第 2 导电型漏极区、 在上述源极区和漏极区之间所设置的沟道区、 形成在上述沟道区之上方的栅极电极和至少有一部分被包在上述漏极区内的第 1 导电型埋入区的半导体装置的制造方法,包括：将为了形成上述漏极区的第 2 导电型杂质掺入到上述半导体层内的工序；将为了形成上述埋入区的第 1 导电型杂质掺入到上述半导体层内，并形成被分割为多个部分的上述埋入区的工序。

附图说明

以下，简单说明一下本发明的附图，

图 1 (a)是本发明所涉及的半导体装置的实施例的剖面图，图 1 (b)是它的平面配置图。

图 2 是沿图 1 中的Ｙ－Ｙ'线深度方向的杂质浓度分布图。

图 3 (a)到(c)是本发明所涉及的半导体装置的制造方法的主要工序里的半导体装置的剖面图,(d)到(f)是对应于(a)到(c)的各个工序的半导体装置的平面配置图。

图 4 (a)是本发明所涉及的半导体装置的制造方法的某一工序里的半导体装置的剖面图，图 4 (b)是该工序里的半导体装置的平面配置图。

图 5 是按照本发明所涉及的半导体装置的制造方法,而制造出的半导体装置的剖面图。

图 6 (a)到(d)是本发明所涉及的半导体装置的主要元件的平面配置

图。

图 7 (a)及(b)是关于本发明所涉及的半导体装置的制造方法的，表示通过高能量离子注入法形成P型埋入区时，制造方法中的主要工序的工序剖面图。

图 8 (a)到(c)是关于本发明所涉及的半导体装置的制造方法的，表示通过高能量离子注入法形成P型埋入区时，制造方法中的主要工序的工序剖面图。

图 9 (a)到(c)是关于本发明所涉及的半导体装置的其他的制造方法的，表示不用高能量离子注入法而形成P型埋入区时，制造方法中的主要工序的工序剖面图。

图 10 是延长漏极区内有埋入区的现有的半导体装置的剖面图。

图 11 是沿图 10 中的X－X'线深度方向的杂质浓度分布图。

图 12(a)和(b)是表示用高能量离子注入法形成P型埋入区的工序的工序剖面图。

图 13(a)是有关本发明的半导体装置的一个变形例沿沟道长方向的剖面图，图 13(b)是该半导体装置的平面配置图，图 13(c)是沿垂直于沟道长方向的面切开来的剖面图。

图 14(a)是本发明所涉及的半导体装置的其他实施例的平面配置图,图14(b)是本发明所涉及的半导体装置的另一其他实施例的平面配置图。

图 15(a)是图 14(a)中的装置的垂直于沟道长方向的剖面图，图 15(b)是在图 15(a)中的装置里,设置了N型高浓度区 1 时的剖面图，图 15(c)是在图 15(a)的装置里的被分割为多个部分的P型埋入区 2 和半导体衬底 4 的表面之间，设置了被分割成多个部分,并其图案和P型埋入区 2 相同的N型高浓度区 1 时的剖面图。

具体实施方式

参照图 1(a)和(b)来说明本发明所涉及的半导体装置的实施例。图 1(a)表示该半导体装置的剖面结构，图 1(b)则表示该半导体装置中的几个元件的平面配置情况。

该半导体装置备有在P型杂质浓度约被设定为 1×10^{14} ～$3\times10^{14}cm^{-3}$ 的

P型单晶硅衬底4上所形成的横向 MOSFET 结构。更具体地说,该半导体装置包括:形成在P型硅衬底4内的N型源极区7、 N型延长漏极区 (也可称之为“漏极区”) 3和实质上被N型延长漏极区3包围起来的P型埋入区2。本实施例中的N型源极区7被设在P型单晶硅衬底4的表面上所形成的P型衬底接触区8的旁边。 该N型源极区7和P型衬底接触区8都与源极电极 11 相接触。 并且,图1(b)示出:P型埋入区2从N型延长漏极区3开始向外侧延伸, 而与P型衬底4保持电连接。 P型埋入区2与P型衬底4之间的电导通状态, 并不限于图1(b)的俯视图里所示的P型埋入区2的情形。 只要P型埋入区2有一部分从N型延长漏极区3开始向外侧(衬底内)延伸就可以了。但最好不让P型埋入区2向有沟道区的一侧延伸。

在本实施例中,N型延长漏极区3中的N型杂质的表面浓度约被设定在 1×10^{16} ～$1\times10^{17}cm^{-3}$ 左右。N型延长漏极区3的厚度约为 6 ～7μm 左右。P型埋入区2形成在离硅衬底4的表面约 1～1.5μm 深的地方。P型埋入区2的厚度约为 0.8～1.2μm 左右。

该半导体装置的特征为:还包括在P型硅衬底4的表面与P型埋入区2之间所设置的N型高浓度区 (厚度:约 0.5～1μm) 1。N型高浓度区1位于P型埋入区2之上。实际上,N型高浓度区1和P型埋入区2相隔一段距离也可以,如图1所示;和P型埋入区2直接接触也可以。例如在本实施例中,为使N型高浓度区1的面电阻为 0.8～1.0Ω/□,而设定了一个可以使N型杂质的表面浓度保持在 1×10^{17}～$1\times10^{18}cm^{-3}$ 之范围内的掺杂基准。另外,N型高浓度区1中的N型杂质的表面浓度,要根据 MOSFET 正常工作所必需的“通态电阻”来具体决定。要想减小通态电阻,最好是形成其中的N型杂质的表面浓度又高,其本身的厚度又厚的N型高浓度区1。

源极区7和延长漏极区3之间的区域起沟道区的作用。源极区7和衬底接触区8形成在掺有低浓度P型杂质的抗穿通区9中。隔着栅极绝缘膜,在P型硅衬底4的沟道区上设置有栅极电极6。绝缘膜 (厚度:1～2μm 左右) 5是为了覆盖栅极电极6而形成在半导体衬底4上的。

图1(a)及(b)所示装置中的N型高浓度区1从埋入区2的一端的上方,沿着延长漏极区3的延长方向,而延伸到埋入区2的另一端的上方。换句

话说,N型高浓度区1越过图1(a)中的埋入区2的右端部和左端部而向两外侧扩大。因为在本实施例中,有一部分N型高浓度区1直接与漏极电极10接触,所以没特别形成什么漏极接触区。即使在这样的情形下,只要N型高浓度区1的杂质浓度与通常的漏极接触区的杂质浓度基本上差不多,就能得到充分小的接触电阻。

MOSFET处于导通状态(ON状态)时所形成的电流通路,经N型高浓度区1和延长漏极区3,而指向源极区7,如图1(a)中的虚线箭头方向及图1(b)中的实线箭头方向所示。

图2示出了杂质浓度沿图1中的Y－Y'线深度方向的分布情况。由图2可知,形成在衬底4的表面和埋入区2之间的高浓度区1中的N型杂质浓度比现有的延长漏极区中的N型杂质浓度高(参见图11)。由于N型高浓度区1的存在,MOSFET的通态电阻被减小了。因为与该表面上的P型杂质浓度相比,在形成有延长漏极区3的那一部分表面上的N型杂质浓度要高出许多,所以不容易发生因制造工艺参数的变动而引起晶体管通态电阻增大、偏差加大之现象。

P型埋入区形成在N型延长漏极区3的内部时,埋入区和半导体表面之间,同时存在着N型和P型两种杂质。在图10所示的现有的半导体装置里,在N型延长漏极区3的上面区域里,形成反型层等,因此漏极电流流路有被遮断的危险;然而,在本实施例的装置里,特别设置了N型高浓度区,通过它,本实施例的电阻,和现有的装置相比,会大幅度地减小。

其次,参照图3(a)～(f)及图4(a)和(b),对本发明的半导体装置的制造方法的实施例进行说明。图3(a)～(c)和图4(a)分别表示装置在主要的制造工序里的剖面图。图3(d)～(f)和图4(b)则分别是对应于图3(a)～(c)和图4(a)所示的各工序中的装置的平面配置图。

首先,如图3(a)和图3(d)所示,N型延长漏极区3形成在P型半导体衬底4内。按通常的热扩散法就可以形成N型延长漏极区3。半导体衬底4的表面被绝缘膜5'所覆盖。

其次,如图3(b)和图3(e)所示,利用高能量离子注入法,而让P型埋入区2形成在P型半导体衬底4内。大部分P型埋入区2被延长漏极区3盖住,P型埋入区2的一端部从延长漏极区3开始向外侧的区域扩大,而与

P型半导体衬底4进行电接触。不同于图1(a)及(b)所示的配置情形,本实施例中的P型埋入区2,有一端部沿与漏极电流的流通方向相反的方向突出来了。

再其次,如图3(c)和图3(f)所示,用抗蚀膜 12 覆盖P型半导体衬底4的一部分表面以后,再用离子注入法将杂质离子注入到P型半导体衬底4内而形成高浓度区1。象本实施例这样,若通过掺杂杂质而形成高浓度区1,便能以较高的自由度来设计高浓度区1的杂质浓度和厚度。在图10所示的半导体装置中,半导体衬底表面和埋入区之间的N型层厚度不大于0.5μm。若按现有的制造图 10 中的装置的方法,则很难把N型层厚度搞成0.5μm以上。正因为如此,便不能充分地减小延长漏极区表面部分的电阻 若按本实施例的方法,则极易减小表面部分的电阻。

再再其次,如图4(a)和图4(b)所示,用抗蚀膜 13 覆盖P型半导体衬底4的一部分表面以后,再用离子注入法,并以 100keV 的加速能量将注入剂量为 $1\times10^{15}cm^{-2}$ 的P型杂质离子注入到P型半导体衬底4内,而形成沟道阻止区 (包含抗穿通区域)14。P型埋入区2的一端被连接在沟道阻止区14上。为了提高耐压性能而把P型埋入区2的杂质浓度设定得比较低,而这时P型埋入区2与P型衬底4之间的接触电阻就比较大。因此,通过把沟道阻止区 14 的杂质浓度设定得比较高,则P型埋入区2与沟道阻止区 14之间的接触电阻就减小了。结果,动作时,衬底电位就通过沟道阻止区 14而被高效率地供到P型埋入区2内。从减小电连接电阻的观点来看,最好是沟道阻止区14内的P型杂质浓度比P型埋入区2内的P型杂质浓度。

形成沟道阻止区 14 以后,再用已知的半导体制造方法,来制造如图5所示的半导体装置。图5的装置里,有用于把各元件隔离开来的 LOCOS膜 15 。如图5所示,LOCOS15 膜形成在沟道阻止区 14 内。实际上,还可以形成覆盖延长漏极区3的 LOCOS15 膜或者不覆盖延长漏极区3的LOCOS15 膜。 在沟道阻止区 14 内没形成 LOCOS15 的区域里,形成了源极区7、沟道区以及衬底接触区。但在本实施例之下,一部分N型高浓度层起衬底接触区的作用。还有,沟道阻止区 14 内包围源极区7的部分,起抗穿通区(即图1(a)的参考符号"9"所表示的部分)的作用。栅极电极6形成在栅极绝缘膜5a上,并被层间绝缘膜5b所覆盖;漏极电极 10 和源极电

极 11 形成在层间绝缘膜 5 b 之上。

图 6 (a)～(d)示出了本发明所涉及的半导体装置的主要元件的几个平面配置图。该图示出了N型高浓度区 1 、 P 型埋入区 2 、延长漏极区 3 以及栅极电极 6 的配置关系。并且图中的箭头方向表示电流的流向。有 P 型埋入区 2 形成在其中的那一部分延长漏极区 3 的厚度为:在埋入区 2 上侧的部分的厚度和在埋入区 2 的下侧的部分的厚度之和(参照图 1 (a)) 。这样一来,延长漏极区 3 在无埋入区 2 形成的区域,其厚度相对地就比较厚,而在有埋入区 2 形成的区域,其厚度相对地就比较薄。这样因为延长漏极区 3 的厚度随位置的不同而不同,所以延长漏极区 3 的表面电阻也随位置的不同而不同。因为表面电阻越小的部分,流过的电流就越多,所以电流便如图 6 (a)～(d)中的箭头方向所示优先流过N型高浓度区 1 。

在图 6 (a)所示的情形之下,N型高浓度区 1 从延长漏极区 3 内无 P 型埋入区 2 的部分开始,跨过一部分埋入区 2 的上面,而延伸到延长漏极区 3 内无 P 型埋入区 2 的另一部分。换句话说,N型高浓度区 1 穿过延长漏极区 3 的表面电阻因埋入区的存在而增大的部分,而把延长漏极区 3 的表面电阻较小的部分相互连接起来了。结果,即使为形成 P 型埋入区 2 所掺杂的 P 型载流子,会降低衬底表面和 P 型埋入区 2 之间的N型载流子浓度,但又因为N型高浓度区 1 提供低电阻的电流流路,故可抑制通态电阻的增大 。

图 6 (b)和(c)所示的N型高浓度区 1 的配置例,可更进一步地减小通态电阻。在图 6 (b)中,N型高浓度区 1 从漏极接触区开始,沿延长漏极区 3 的延长方向,而向栅极电极延伸。这里,漏极接触区即为延长漏极区 3 和漏极电极 10 的接触区。除N型高浓度层 1 以外,也可以再另设置一个N型高浓度杂质扩散区,并让该N型高浓度杂质扩散区作为漏极接触区而起作用。电流(漏极区)从漏极接触区开始顺利地流向沟道区,通态电阻就进一步地被减小了。在图 6 (c)的例子中,形成有覆盖埋入区 2 和电流流路相交叉的部分的N型高浓度层 1 。结果,图 7 (b)中的 P 型区 80 与电流流路之间的相互交叉就消失了。在图 6 (d)的例子中,N型高浓度区 1 把 P 型埋入区 2 全都盖起来了。这样做,可更进一步地减小通态电阻。另外,图 1 (a)是图 6 (d)的剖面图。

N型高浓度区 1 即使形成在P型埋入区 2 和硅片表面之间的一定范围内,也可以达到减小通态电阻的目的,那么,不言而喻,若N型高浓度区 1 形成在更广的范围内,对通态电阻的减小效果将会大大地增加。如此看来,与图 6 (a)～(c)中的平面配置相比,图 6 (d)中的平面配置则更适于减小通态电阻。

接下来,参照图 7 (a) (b)以及图 8(a)～(c),对通过高能量离子注入法而形成P型埋入区 2 时,其制造方法中的主要工序进行详细的说明。

首先,如图 7 (a)所示,往P型硅衬底 4 的特定区域里掺杂N型杂质,从而在硅衬底 4 内形成N型延长漏极区 3 。在硅衬底 4 的表面形成氧化膜 5 '以后,再利用光刻技术,用抗蚀厚膜(厚度: 3 ～5μm)16 a 覆盖硅衬底 4 的表面。该抗蚀厚膜 16 a 中有规定埋入区的形状及位置的开口部。借助该开口部,以 1 ～ 2 MeV 的高能量,把注入剂量为 1 ～$3\times10^{13}cm^{-2}$ 左右的硼离子注入到硅衬底 4 内。

通过高能量下的离子注入,硼离子被注入到离延长漏极区 3 的表面大约 1μm 左右的内部,之后,为激活硼离子而进行约 900～1000℃的热处理,来形成P型埋入区 2 。

在进行高能量下的离子注入而使抗蚀膜很厚的情况下,为保证离子注入时,装置的真空度,一般要事先加热,让抗蚀膜内所包含的溶剂和水分蒸发掉。因为该加热会使抗蚀膜的形状变坏,所以在离子注入工序里,杂质离子会穿透一部分抗蚀膜。结果,在图 7 (b)中虚线所示的部分,形成有P型区 80。若P型区 80 残存着且与电流流路互相交叉的话,将给通态电阻的减小带来不好的影响。

其次,如图 8 (a)所示,用抗蚀膜(膜厚: 1 ～ 2 μm)12 覆盖硅片表面后,再往延长漏极区 3 的表面注入N型杂质(例如磷或者砷)离子,若包含P型区 80 的区域转化为N型,则P型区 80 自然消失。最好是设注入剂量为 $1\times10^{13}cm^{-2}$ 以上,注入能量为 30～80keV 左右。在还需要进一步减小 MOSFET 的通态电阻的情况下,往延长漏极区 3 的表面上更广的一范围内,注入剂量更高的N型杂质,从而全面地提高N型载流子浓度即可。图 8 (b)示出了所形成的N型高浓度区 1 覆盖P型埋入区 2 的状态。

在图 8 (c)中,形成相对来说厚度较厚的N型高浓度区 1 ,而使该N型高

浓度区 1 的下面和 P 型埋入区 2 的上面接触上了。换句话说,它给出了一 N 型高浓度区 1 与 P 型埋入区 2 之间不夹低杂质浓度区域的结构。

N 型高浓度区 1 的形成方法并不仅限于离子注入法。若把液体、固体等杂质源(掺杂材料源)涂敷或蒸镀在衬底表面,就能很容易地形成 N 型高浓度区 1 。例如可以进行以 POCl3 为杂质源的扩散。

另外,N 型高浓度区 1 形成在与延长漏极区 3 外周边缘内邻接于沟道区的部分相隔一定距离的地方。从利用耗尽层以提高耐压性能的观点来看,距离 L w 最好在 N 型高浓度区 1 的厚度 T w 以上(L w≥ T w) 。

再其次,参照图 9 (a)～(c),说明本发明所涉及的半导体装置的制造方法的另一实施例。本实施例是一不用高能量离子注入法,而形成 P 型埋入区 2 的例子。按照本实施例,在高能量下注入离子时,由于抗蚀膜形状的恶化而造成的坏影响看不到了;也用不着进行那些复杂的工序了。

首先,进行已知的制造方法的工序,把延长漏极区 3 形成在硅衬底 4 内。这之后,如图 9 (a)所示,用抗蚀膜 16 b 覆盖衬底 4 的表面以后,再以 30～80keV 的加速能量,注入注入剂量为 1 ～ 3 $\times 10^{13} cm^{-2}$ 左右的硼离子。若加速能量保持在该范围内,那么,抗蚀膜 16 b 的厚度只要在 1 ～1.5μm 之间,就可以充分地对想要侵入进来的离子进行屏蔽。因硼离子的注入加速能量低,故所注入的硼在深度方向上的浓度分布最高点靠近衬底表面,接收了硼注入的衬底表面转化为 P 型。

其次,如图 9 (b)所示,用抗蚀膜(膜厚: 1 ～ 2 μm 左右)12 覆盖衬底 4 的表面以后,再以 30～50keV 左右的加速能量把注入剂量为 1 $\times 10^{13} cm^{-2}$ 以上的 N 型杂质(磷或者砷)离子注入到衬底 4 内。在需要大幅度地减小 MOSFET 的通态电阻的情况下,如前所述,进一步全面地提高衬底表面的 N 型载流子浓度即可。要想有效地减小 MOSFET 的通态电阻,如图 6(d)所示,最好是把 N 型杂质离子注入到完全覆盖 P 型埋入区 2 的广大范围内。图 9 (c)示出了由于形成 N 型高浓度区 1 , P 型区 2 而被埋在下面的状态。

和上述实施例一样,形成表面部的 N 型高浓度区的方法,并不仅限于离子注入法。通过液体· 固体等杂质源的涂敷· 蒸镀等方法,也可以很容易地形成高浓度区。

在上述实施例中,延长漏极区等杂质扩散区形成在半导体衬底内,但本

发明并不仅仅限于此。例如,可以把各种杂质扩散层设置于外延生长在半导体衬底上或者沉积在绝缘性衬底上的半导体层内。

还有,可以调换以下各工序的顺序 该工序分别为:往半导体层掺杂为了形成延长漏极区的第 2 导电型杂质的工序;往半导体层掺杂为了形成埋入区的第 1 导电型杂质的工序;往半导体层掺杂第 2 导电型杂质以使第 2 导电型高浓度区至少形成在半导体层的表面和埋入区之间的工序。

在上述半导体装置中,由一个连续不断的层形成了 P 型埋入区 2 。以下,说明 P 型埋入区 2 的结构被改良后的半导体装置。

图 13(a)是该改良有关的半导体装置的沿沟道长方向上的剖面图,它和图 1 (a)相对应;图 13(b)是该半导体装置的平面配置图,它和图 1 (b)相对应;图 13(c)是沿与沟道长方向垂直的面切开以后所看到的剖面图。

该改良例的半导体装置和图 1 (a)及(b)所示的半导体装置的不同点主要在 P 型埋入区 2 的构造上。因此,这里对 P 型埋入区 2 的构造以外的部分就不再多做说明了。

如图 13(b)所示,P 型埋入区 2 被分割为 2a 和 2b 两部分,在该平面配置图中,N 型延长漏极区 3 和 P 型埋入区 2 不重叠的区域,在延长漏极区 3 内连接成一体。结果,在形成一个被假想出来的 、垂直于衬底 4 的平面的 横切 N 型延长漏极区 3 的沟道侧边缘和漏极电极 10 的面(假想面)的时候,在图 1 (a)及(b)所示的半导体装置中,上述假想面一定会横切 P 型埋入区 2 。与此相反,按照图 13(a)～(c)所示的半导体装置,上述假想面则横切 P 型埋入区 2 的 2a 和 2b 部分之间所夹的部分。

在图 13(a)～(c)所示的半导体装置中,因为 P 型埋入区 2 的 2a 部分和 2b 部分之间的区域(以下,称“间隙区(G)”)里,不存在 P 型埋入区,所以和 N 型延长漏极区 3 中的其他部分相比,表面电阻小,漏极电流容易流过。

要想维持 P 型埋入区 2 提高耐压的性能,并且同时减小 N 型延长漏极区 3 对漏极电流的电阻,如图 13(b)及(c)所示,把 P 型埋入区 2 分割为多个部分,从而形成不妨碍漏极电流的间隙区 G 这一方法,将是非常有效的。若设置这样的间隙区 G,那么,即使不设如图 1 (a)和(b)所示的 N 型高浓度区 1 ,也仍能增大导通电流。

图 14(a)是本发明所涉及的半导体装置的其他的实施例的平面配置

图 。在图 14(a)所示的半导体装置中,P型埋入区 2 被分割为 2c、2d、2e 及 2f 四个部分,在相邻的各部分之间,一共形成三个间隙区。结果,漏极电流优先地流过间隙区,N型延长漏极区 3 相对于漏极电流的电阻就更加减小了。

图 14(b)是本发明所涉及的半导体装置的又一其他实施例的平面配置图。在图 14(b)所示的半导体装置中,P型埋入区 2 被分割为 2g～2u 十五个部分,在相邻的各部分之间形成多个间隙区。

如上所述,对P型埋入区 2 的分割方法是多种多样的,有一点要注意:对P型埋入区 2 的分割,必须保证漏极电流的流路形成在N型延长漏极区 3 内无P型埋入区 2 的区域里。

再就是,用已知的光刻技术形成规定想要形成的P型埋入区 2 的平面配置的抗蚀膜以后,再把为了形成P型埋入区 2 的P型杂质离子注入到衬底 4 中,这样,便可形成呈被分割状态的P型埋入区 2 。

间隙区 G 的宽度,例如约被设定为 1 ～ 5 μm 间隙区 G 的宽度由上述抗蚀膜的图案尺寸和杂质离子注入后所进行的热处理条件来决定。若该热处理要在高温下长时间地进行,向横方向扩散的杂质就表现得非常明显,以致间隙区 G 的宽度减小。因此,必须设定一使间隙区 G 的宽度在制造过程的最后阶段,不为零而为某一有限值的制造条件。

图 15(a)是图 14(a)中的装置的沿垂直于其沟道长方向的面切开后的剖面图。由图 15(a)可知,在该例中,虽然半导体衬底 4 的表面和P型埋入区 2 之间,没设N型高浓度区 1 ,但是因为漏极电流会优先地流过无P型埋入区 2 的区域(间隙区),所以通态电阻减小了。尽管如此,若还想进一步减小通态电阻,那么,最好还是在半导体衬底 4 的表面和P型埋入区 2 之间,设置一个N型高浓度区 1 。

在图 15(b)所示的结构中,图 1 (a)及(b)也有的N型高浓度区 1 形成在P型埋入区 2 之上方;在图 15(c)所示的结构中,在半导体衬底 4 的表面和被分割为多个部分的P型埋入区 2 之间,形成有被分割为多个部分,且其图案与P型埋入区 2 的图案相同的N型高浓度区 1 。用为形成P型埋入区 2 的抗蚀膜来形成这样的N型高浓度区 1 ,将非常有效。

还有,形成一与P型埋入区 2 的上面接触的N型高浓度区 1 也行。

这样,若既把P型埋入区2分割成多个部分,又把N型高浓度区1设置在漏极区的表面,那么,通态电阻的减小效果就会更进一步提高 这是非常理想的。

若按照本发明的半导体装置,在半导体层表面和至少有一部分被包在延长漏极区内的埋入区之间,设置了一第2导电型杂质浓度比延长漏极区内的第2导电型杂质浓度还高的高浓度区,所以既减小了半导体装置的通态电阻,又大大地抑制了通态电阻的偏差。

因为本发明的半导体装置的制造方法包括:往半导体层掺杂为了形成延长漏极区的第2导电型杂质的工序;往半导体层掺杂为了形成埋入区的第1导电型杂质的工序以及往半导体层掺杂第2导电型杂质,并通过它而至少在半导体层的表面和埋入区之间,形成第2导电型高浓度区的工序,故能以高精度、优良的再生产性在埋入区和半导体层表面之间形成低电阻的高浓度区。

因为按照本发明的其他的半导体装置,至少有一部分被包在延长漏极区内的埋入区被分割成多个部分,所以既能维持耐压,又能减小半导体装置的通态电阻。

图 1 (a)

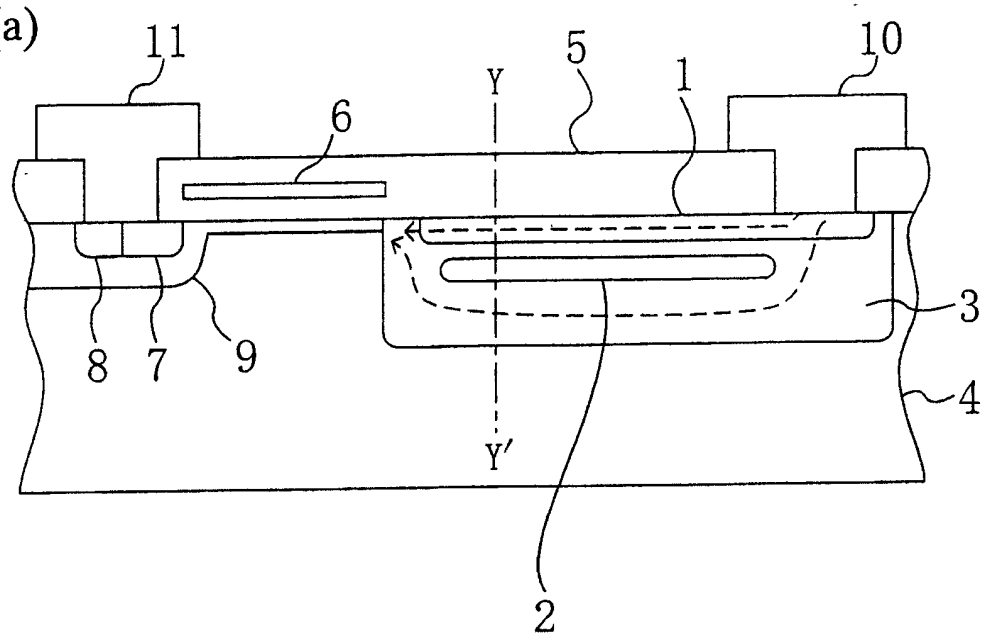


图 1 (b)

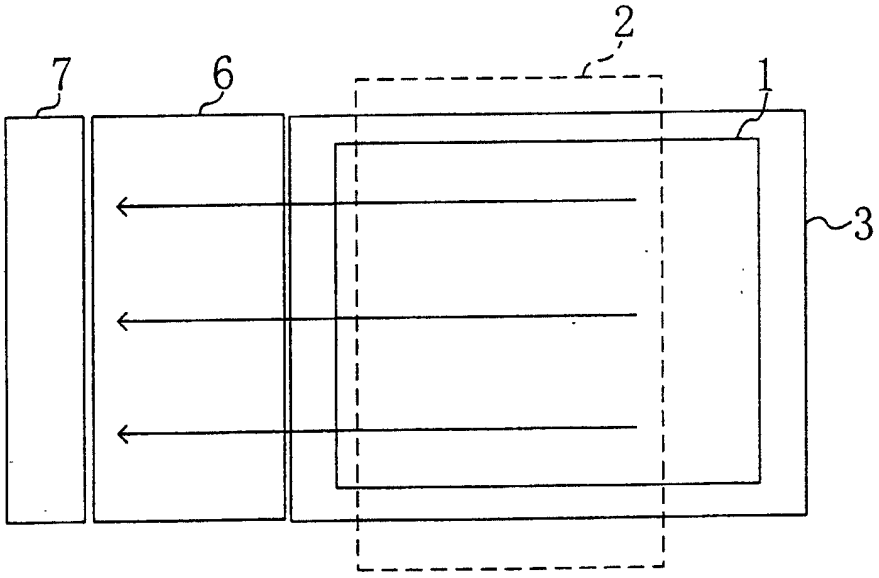


图 2

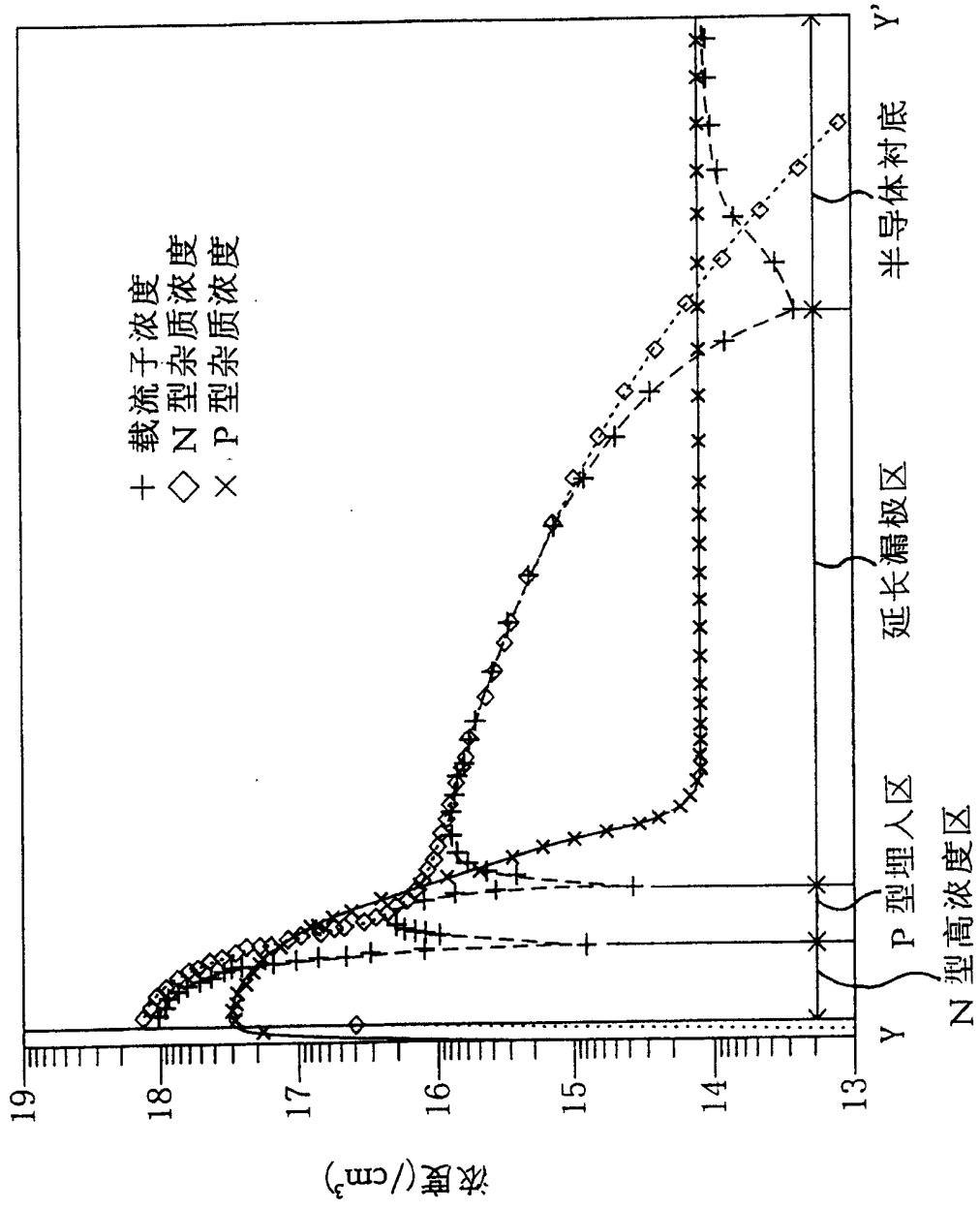

+ 载流子浓度
◇ N 型杂质浓度
× P 型杂质浓度
浓度(/cm³)
19
18
17
16
15
14
13
Y
Y'
N 型高浓度区
P 型埋入区
延长漏极区
半导体衬底

图 3 (a)

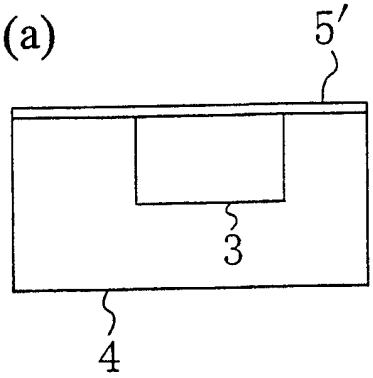


图 3 (b)

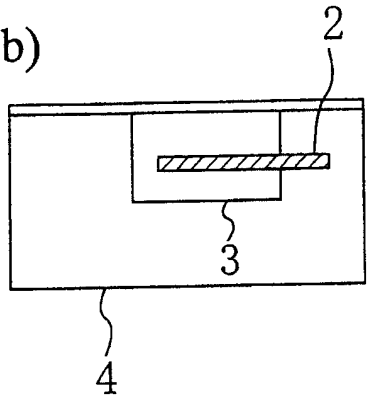


图 3 (c)

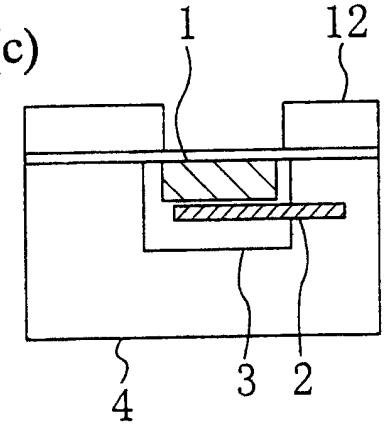


图 3 (d)

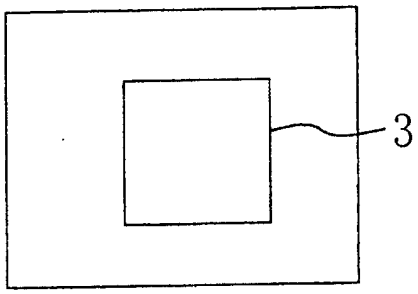


图 3 (e)

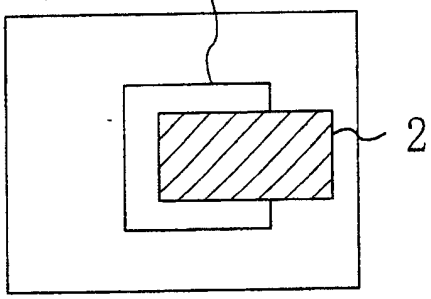


图 3 (f)

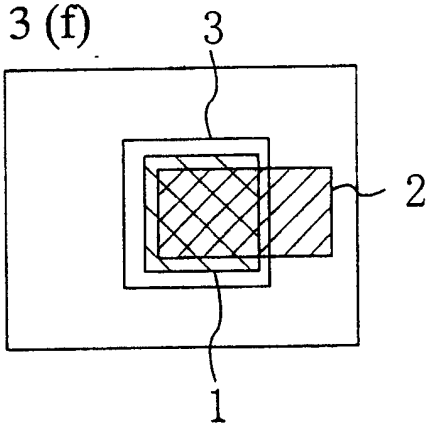


图 4 (a)

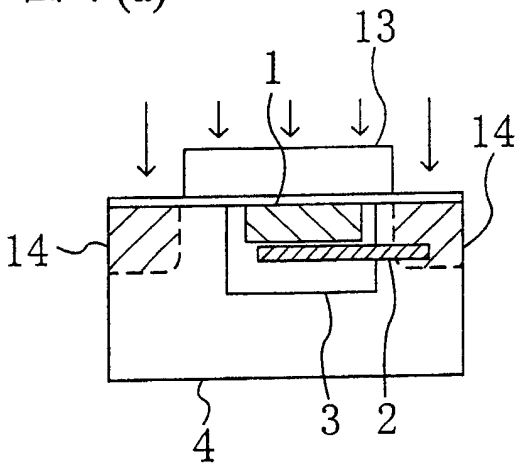


图 4 (b)

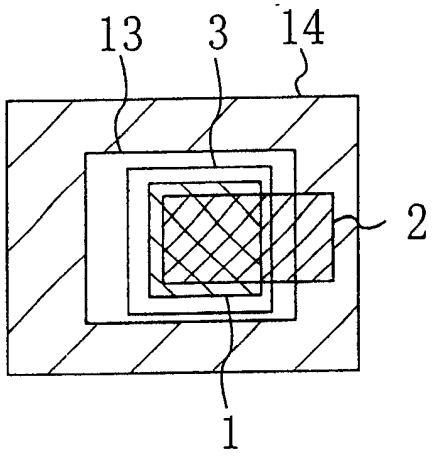


图 5

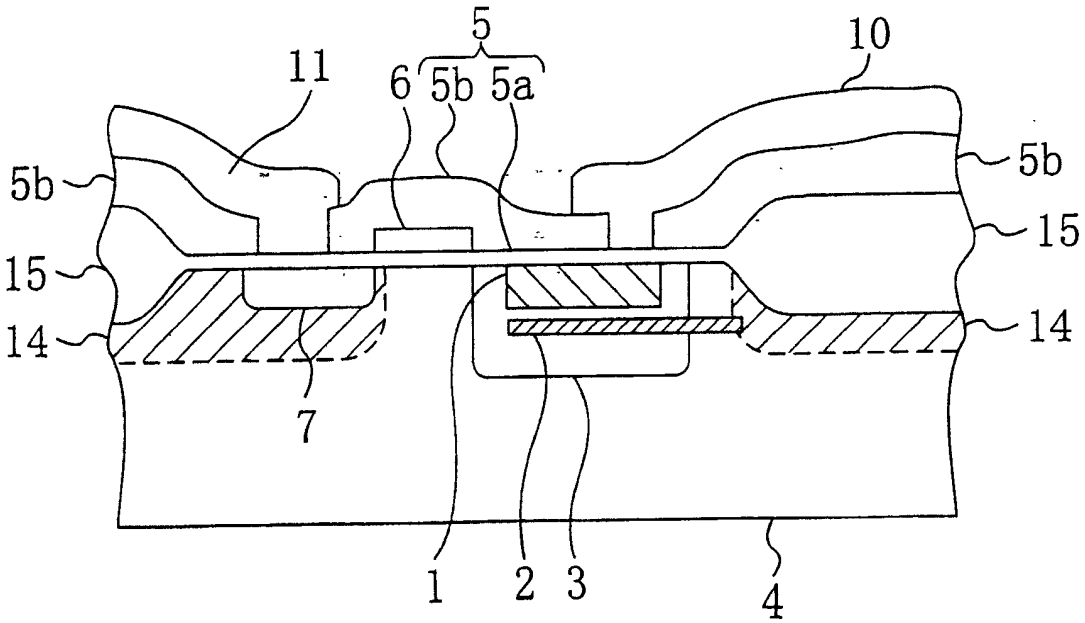


图 6 (a)

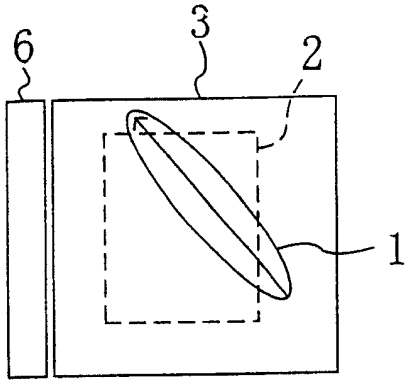


图 6 (b)

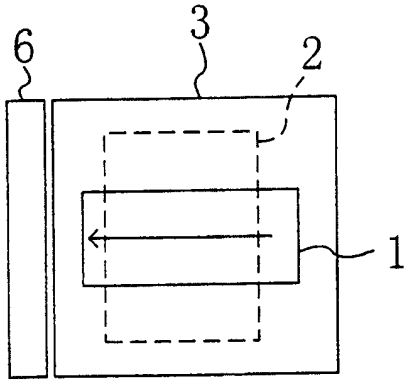


图 6 (c)

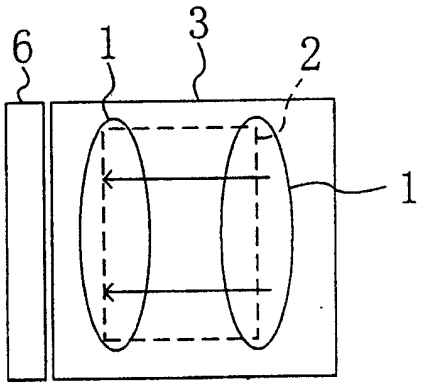


图 6 (d)

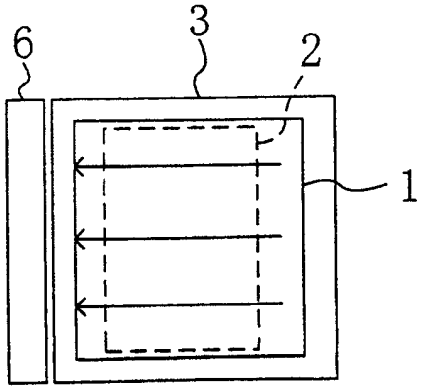


图 7 (a)

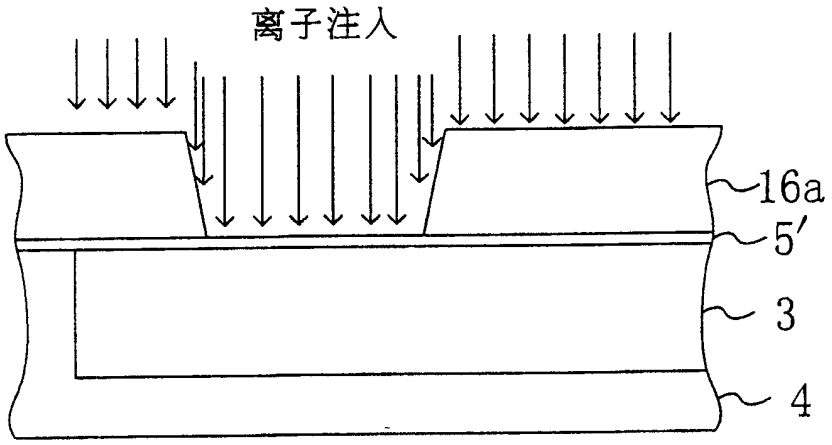


图 7 (b)

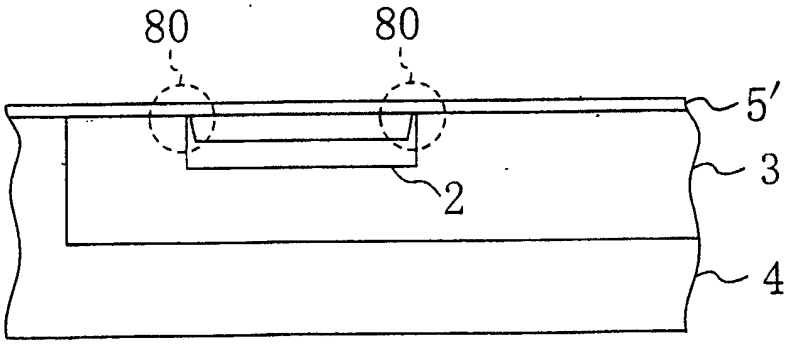


图 8 (a)

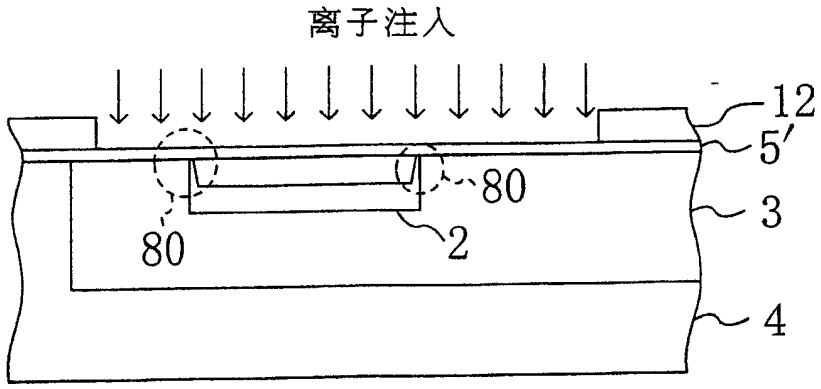


图 8 (b)

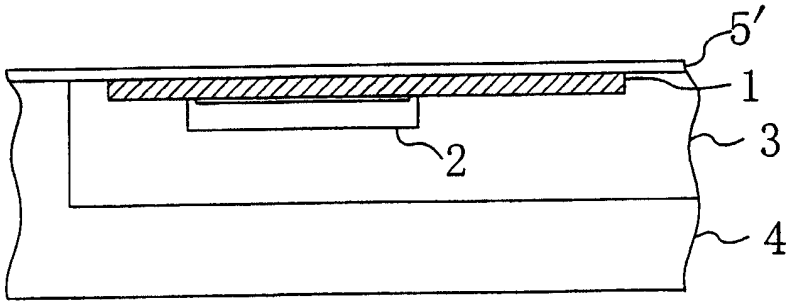
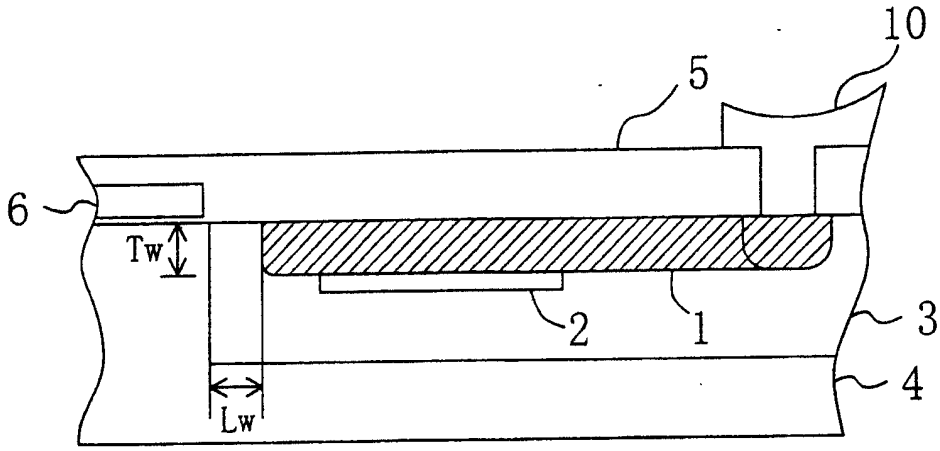


图 8 (c)



Lw ≧ Tw

图 9 (a)

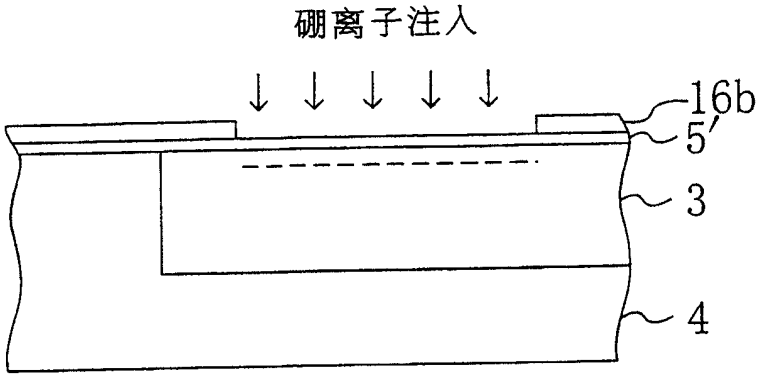


图 9 (b)

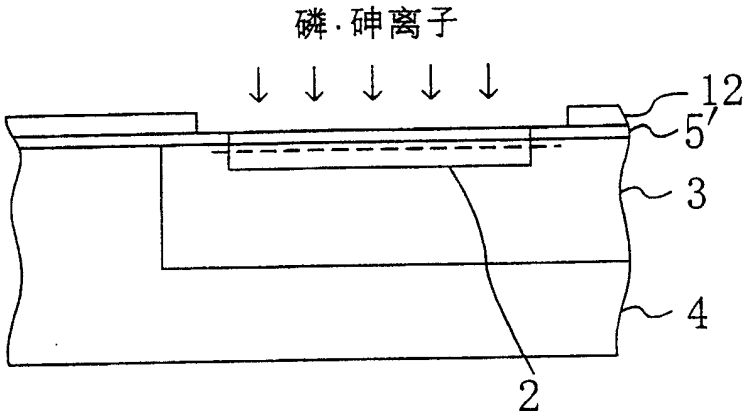


图 9 (c)

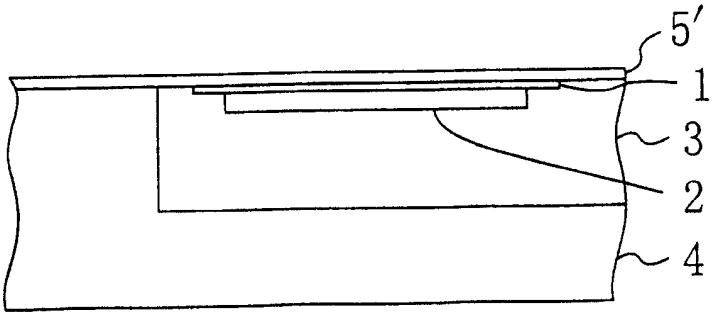


图 10

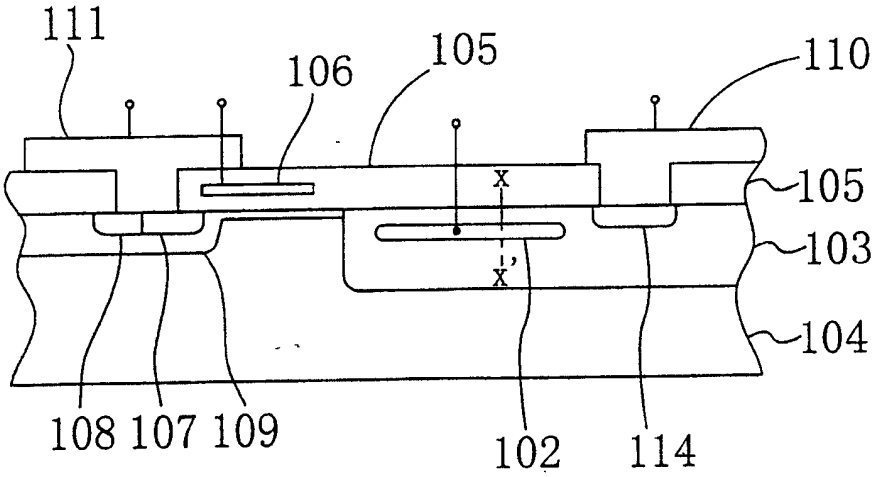


图 11

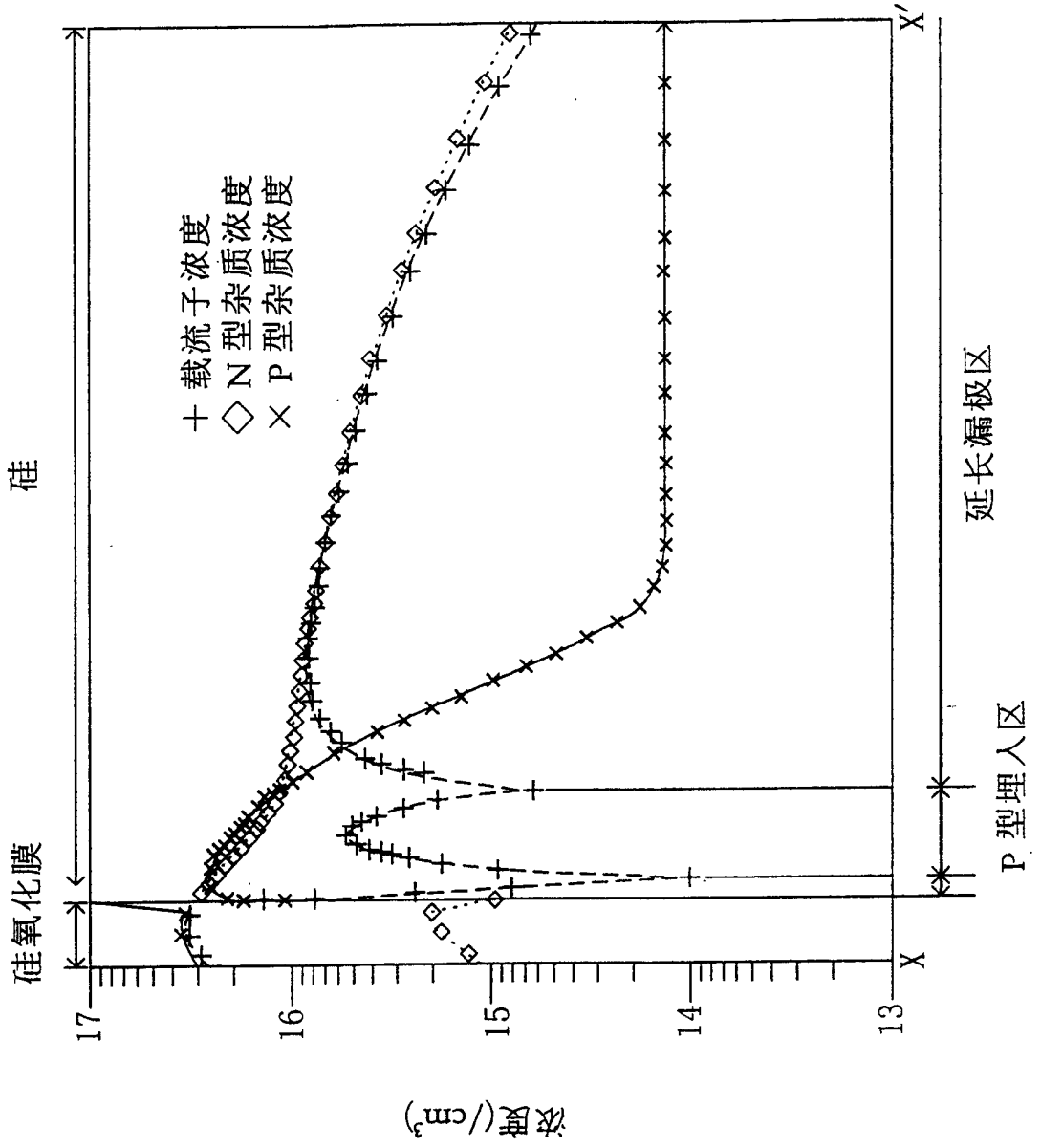


图 12 (a)

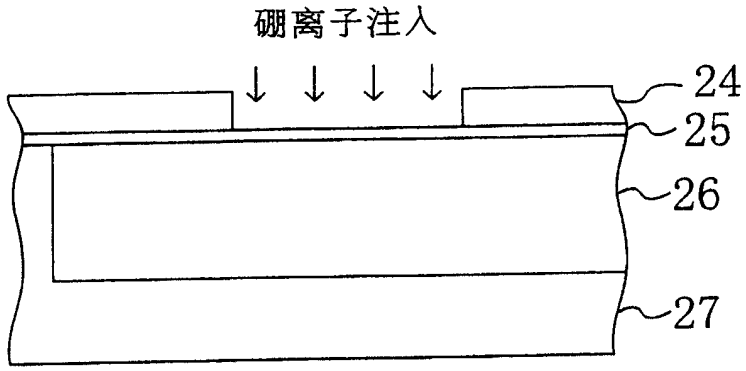


图 12 (b)

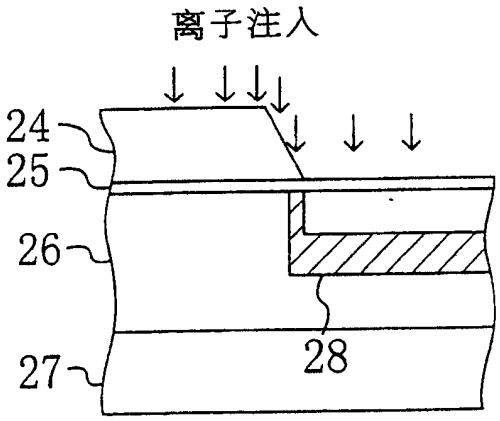


图 13 (a)

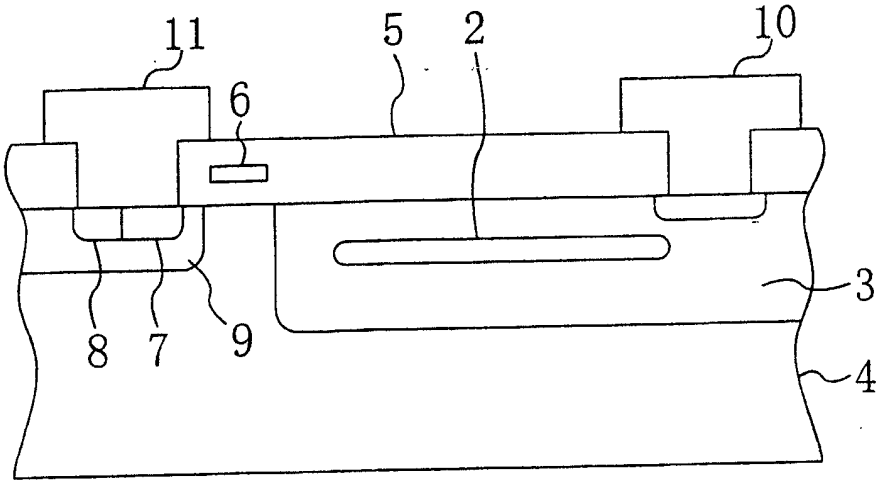


图 13 (b)

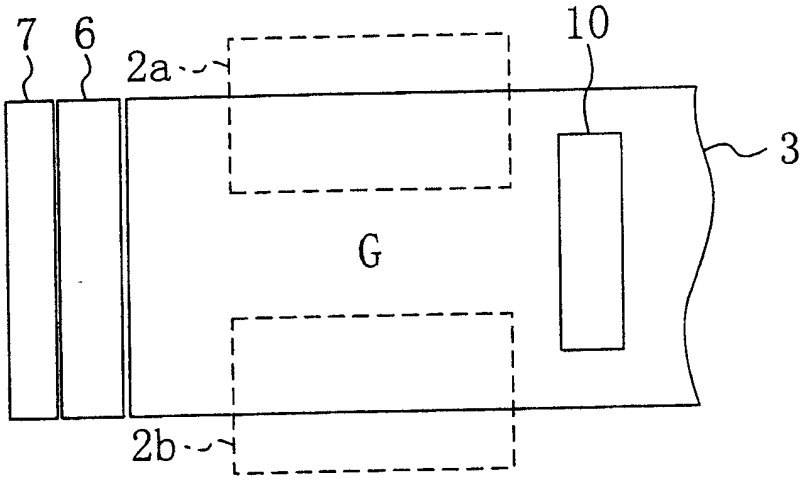


图 13 (c)

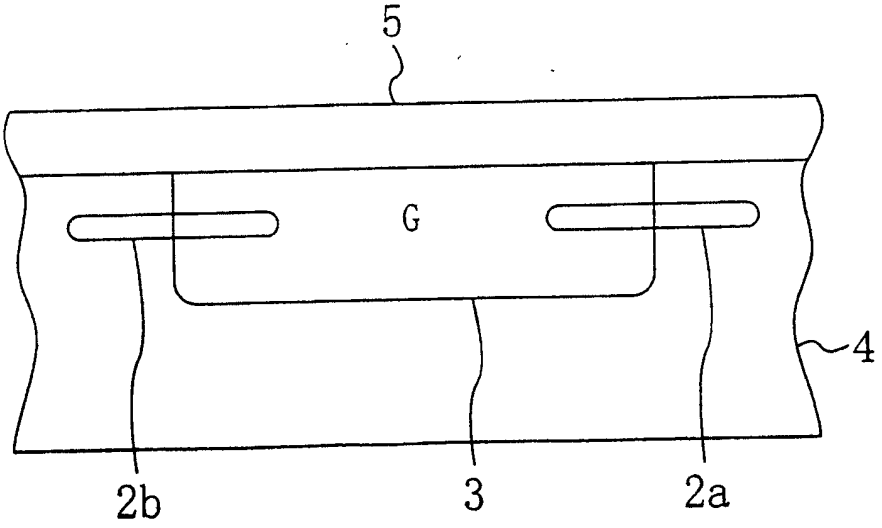


图 14 (a)

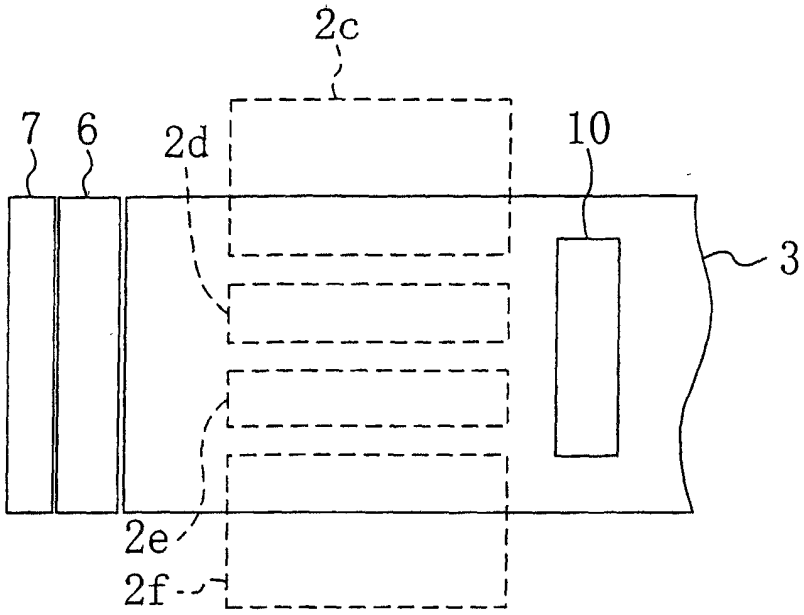


图 14 (b)

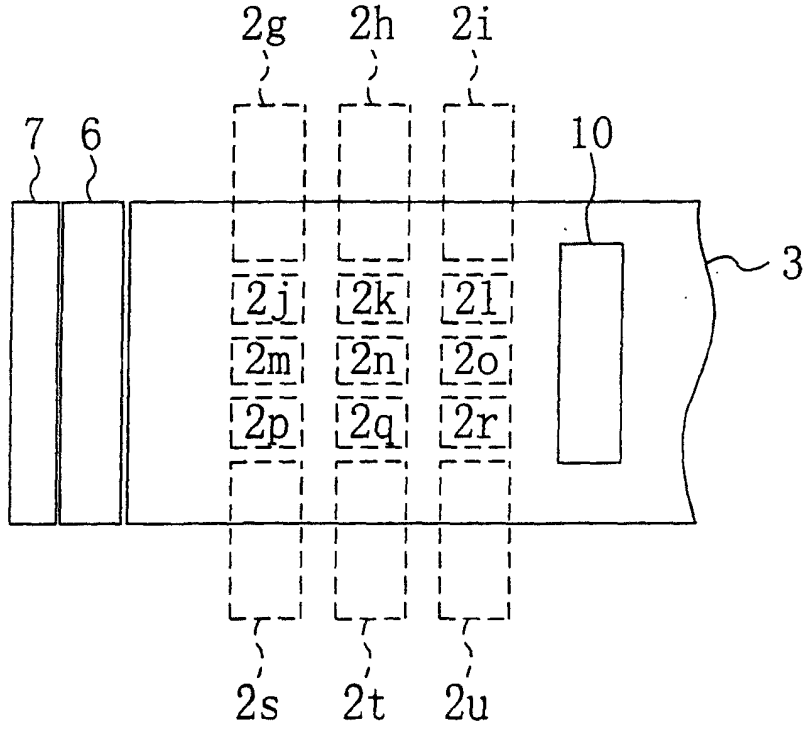


图 15 (a)

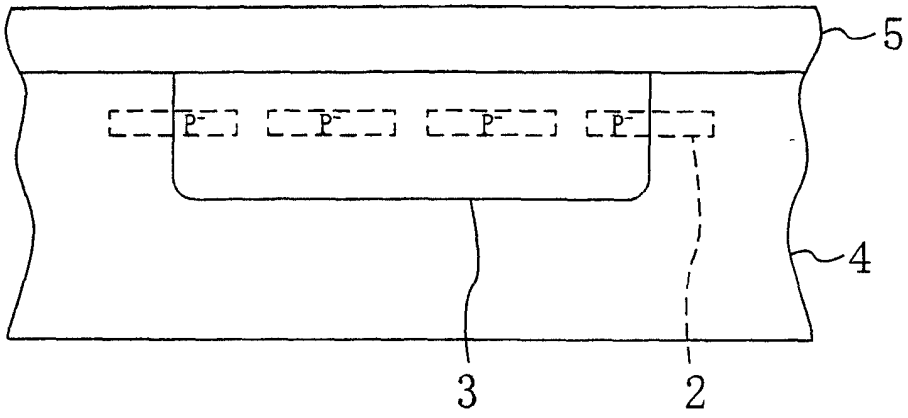


图 15 (b)

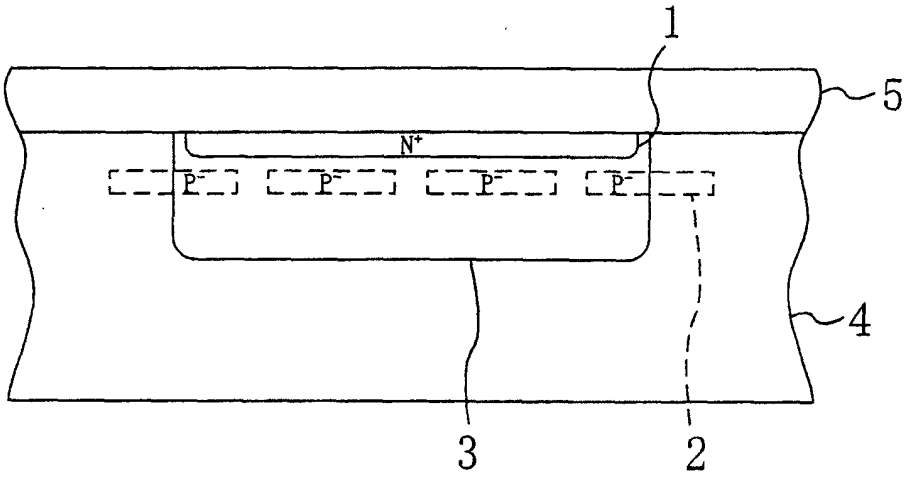


图 15 (c)

