



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0048231
(43) 공개일자 2011년05월11일

(51) Int. Cl.

H03M 1/38 (2006.01)

(21) 출원번호 10-2009-0104939

(22) 출원일자 2009년11월02일

심사청구일자 2009년11월02일

(71) 출원인

삼성전기주식회사

경기도 수원시 영통구 매탄동 314

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

정찬용

서울특별시 성동구 성수2가3동 279-50 성수1차대
우아파트 101동 1205호

김철우

서울특별시 성북구 길음동 1283 길음뉴타운
605-1301

(뒷면에 계속)

(74) 대리인

특허법인씨엔에스

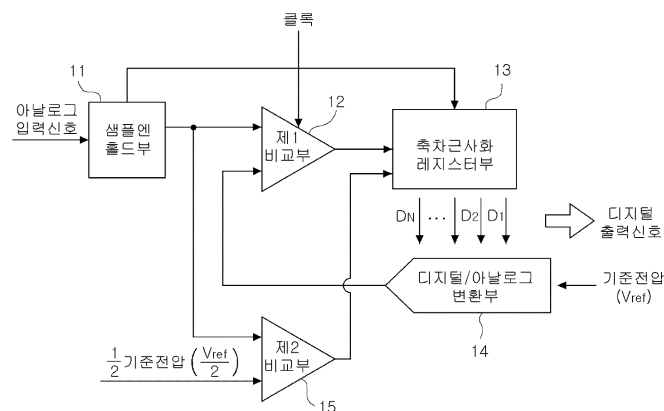
전체 청구항 수 : 총 2 항

(54) 축차 비교형 아날로그/디지털 변환기 및 시간-인터리브드 축차 비교형 아날로그/디지털 변환기

(57) 요약

클럭신호의 1 주기를 이용하여 아날로그 입력신호의 크기를 샘플링하고 유지하는 동작을 수행하는 샘플엔홀드부; 상기 샘플엔홀드부의 동작 주기에 이은 클럭의 1 주기마다 상기 샘플엔홀드부에서 유지된 상기 아날로그 입력신호의 크기와 추정된 디지털값에 의해 결정되는 비교 대상 전압을 비교하는 제1 비교부; 상기 샘플엔홀드부의 동작 클럭의 후반 1/2 주기를 이용하여 상기 샘플엔홀드부에서 샘플링된 입력신호의 크기와 사전 설정된 기준전압의 1/2을 비교하는 제2 비교부; 상기 제2 비교부의 비교 결과에 따라 변환될 디지털값의 최상위 비트의 값을 결정하고, 상기 제1 비교부의 비교 결과에 따라 상기 최상위 비트의 다음 비트들의 값을 결정하며, 결정되지 않은 비트에 대해서 추정값을 적용하여 상기 추정된 디지털값을 생성하는 축차근사화 레지스터부; 및 상기 추정된 디지털값 및 상기 기준전압을 이용하여 상기 비교 대상 전압을 생성하는 디지털/아날로그 변환부를 포함하는 축차 비교형 아날로그/디지털 변환기가 개시된다.

대표도



(72) 발명자

이호규

경기도 의왕시 내손1동 반도보라빌리지 106-1303

박철균

경기도 수원시 영통구 매탄3동 임광아파트 4-1303

특허청구의 범위

청구항 1

클럭신호의 1 주기를 이용하여 아날로그 입력신호의 크기를 샘플링하고 유지하는 동작을 수행하는 샘플엔홀드부;

상기 샘플엔홀드부의 동작 주기에 이은 클럭의 1 주기 마다 상기 샘플엔홀드부에서 유지된 상기 아날로그 입력신호의 크기와 추정된 디지털값에 의해 결정되는 비교 대상 전압을 비교하는 제1 비교부;

상기 샘플엔홀드부의 동작 클럭의 후반 1/2 주기를 이용하여 상기 샘플엔홀드부에서 샘플링된 입력신호의 크기와 사전 설정된 기준전압의 1/2을 비교하는 제2 비교부;

상기 제2 비교부의 비교 결과에 따라 변환될 디지털값의 최상위 비트의 값을 결정하고, 상기 제1 비교부의 비교 결과에 따라 상기 최상위 비트의 다음 비트들의 값을 결정하며, 결정되지 않은 비트에 대해서 추정값을 적용하여 상기 추정된 디지털값을 생성하는 축차근사화 레지스터부; 및

상기 추정된 디지털값 및 상기 기준전압을 이용하여 상기 비교 대상 전압을 생성하는 디지털/아날로그 변환부를 포함하는 축차비교형 아날로그/디지털 변환기.

청구항 2

클럭신호의 1 주기를 이용하여 아날로그 입력신호의 크기를 샘플링하고 유지하는 동작을 수행하는 샘플엔홀드부와, 상기 샘플엔홀드부의 동작 주기에 이은 클럭의 1 주기 마다 상기 샘플엔홀드부에서 유지된 상기 아날로그 입력신호의 크기와 추정된 디지털값에 의해 결정되는 비교 대상 전압을 비교하는 제1 비교부와, 상기 제1 비교부의 비교 결과에 따라 변환될 디지털값의 상기 최상위 비트의 다음 비트들의 값을 결정하며, 결정되지 않은 비트에 대해서 추정값을 적용하여 상기 추정된 디지털값을 생성하는 축차근사화 레지스터부와, 상기 추정된 디지털값 및 상기 기준전압을 이용하여 상기 비교 대상 전압을 생성하는 디지털/아날로그 변환부를 포함하며, 클럭 주기에 따라 순차적으로 동작하는 복수의 아날로그/디지털 변환부;

상기 복수의 아날로그/디지털 변환부 각각에 포함된 샘플엔홀드부의 동작 클럭의 후반 1/2 주기를 이용하여 상기 아날로그 입력신호의 크기와 사전 설정된 기준전압의 1/2을 비교하는 제2 비교부; 및

상기 제2 비교부의 비교 결과를 상기 복수의 아날로그/디지털 변환부 각각의 동작클럭에 맞추어 상기 복수의 아날로그/디지털 변환부에 각각 포함된 축차근사화 레지스터부로 전달하는 스위칭부를 포함하며,

상기 복수의 아날로그/디지털 변환부에 각각 포함된 축차근사화 레지스터부는 상기 제2 비교부의 비교 결과에 따라 변환될 디지털값의 최상위 비트의 값을 결정하는 것을 특징으로 하는 시간-인터리브드 축차비교형 아날로그/디지털 변환기.

명 세 서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 축차 비교형 아날로그/디지털 변환기에 관한 것으로, 더욱 상세하게는 데이터 변환에 소요되는 시간을 감소시켜 동작 속도를 향상시킨 축차 비교형 아날로그/디지털 변환기에 관한 것이다.

배 경 기 술

[0002] 자연계에 존재하는 아날로그 신호인 소리 또는 전파 등은 아날로그-디지털 변환기를 통하여 디지털 신호로 변환된 후, 변환된 디지털 신호를 텔레비전 또는 휴대전화 등과 같은 디지털 기기에서 사용하게 된다. 따라서 근래에 많은 전자 기기들이 디지털화 되어감에 따라, 아날로그와 디지털 신호처리의 인터페이스 부분인 아날로그/디

지털 변환 기술에 대한 중요성이 더욱 증가하고 있다.

[0003] 이러한 아날로그/디지털 변환기는 여러 가지 응용 분야의 다양한 기준에 부합하는 여러 종류의 기술들이 제안되고 실제 적용되고 있으며, 특히 무선 통신 기기에서 사용되는 아날로그/디지털 변환기는 무선 통신 기기의 특성 상 적은 전력 소모가 문제로 대두되고 있다. 또한, 광대역 통신에 대한 관심이 높아지면서 적은 전력 소모에 더하여 더욱 빠른 속도로 동작하는 아날로그/디지털 변환기가 요구되고 있다.

[0004] 다양한 아날로그-디지털 변환기 중에서, 축차 비교형 아날로그/디지털 변환기(Successive Approximation Analog/Digital Converter)는 다른 구조의 아날로그/디지털 변환기에 비해 회로의 구조가 간단하고, 저전력 설계가 가능하다는 특성을 갖는다. 시간-인터리브드(Time Interleaved) 기술을 적용 함으로서 아날로그/디지털 변환기의 동작 속도를 인터리빙 인자(Interleaving factor) 만큼 높일 수 있는 기술이 개발되어 있다. 또한 반도체 제조 공정 기술의 발달로 회로 선폭이 감소하게 되어 아날로그/디지털 변환기의 동작 속도도 빨라지게 되었다. 이러한 이유로 시간-인터리브드 기술을 사용한 축차 비교형 아날로그-디지털 변환기는 기존의 다른 구조보다 저전력화에 유리할 뿐만 아니라, 고속으로 동작하기 때문에 전력소모와 동작 속도 면에서 최적화된 구조로 알려져 있다.

[0005] 그러나, 이러한 축차 비교형 아날로그/디지털 변환기는 여러 단계의 비교-근사화 과정을 통해서 아날로그 신호를 디지털 신호로 변환해 주기 때문에 입력된 아날로그 신호가 디지털 신호로 변화되기 까지 소요되는 시간이 긴 단점이 있다. 즉, 일반적인 N bit의 해상도를 갖는 축차 비교형 아날로그/디지털 변환기의 경우 전체 데이터가 변환하는데 걸리는 시간은, N 회의 비교(Comparison)를 위한 N 클록 주기 시간과 아날로그 신호를 샘플링(Sampling) 하기 위한 1 클록 사이클의 시간을 더하여 총 N+1 클록 주기의 시간이 소요된다.

[0006] 따라서, 축차 비교형 아날로그/디지털 변환기의 데이터 변환기의 동작 속도를 증가시키기 위해서는 데이터 변환에 소요되는 클록 주기를 감소시킬 수 있는 기술이 요구되고 있다.

발명의 내용

해결 하고자하는 과제

[0007] 본 발명은 동작 속도를 향상시킨 축차 비교형 아날로그/디지털 변환기를 제공하는 것을 해결하고자 하는 기술적 과제로 한다.

[0008] 또한, 본 발명은 동작 속도를 향상시킨 시간-인터리브드(Time-interleaved) 축차 비교형 아날로그/디지털 변환기를 제공하는 것을 해결하고자 하는 기술적 과제로 한다.

과제 해결수단

[0009] 상기 기술적 과제를 해결하기 위한 수단으로서 본 발명은,

[0010] 클록신호의 1 주기를 이용하여 아날로그 입력신호의 크기를 샘플링하고 유지하는 동작을 수행하는 샘플엔홀드부;

[0011] 상기 샘플엔홀드부의 동작 주기에 이은 클럭의 1 주기 마다 상기 샘플엔홀드부에서 유지된 상기 아날로그 입력신호의 크기와 추정된 디지털값에 의해 결정되는 비교 대상 전압을 비교하는 제1 비교부;

[0012] 상기 샘플엔홀드부의 동작 클럭의 후반 1/2 주기를 이용하여 상기 샘플엔홀드부에서 샘플링된 입력신호의 크기와 사전 설정된 기준전압의 1/2을 비교하는 제2 비교부;

[0013] 상기 제2 비교부의 비교 결과에 따라 변환될 디지털값의 최상위 비트의 값을 결정하고, 상기 제1 비교부의 비교 결과에 따라 상기 최상위 비트의 다음 비트들의 값을 결정하며, 결정되지 않은 비트에 대해서 추정값을 적용하여 상기 추정된 디지털값을 생성하는 축차근사화 레지스터부; 및

[0014] 상기 추정된 디지털값 및 상기 기준전압을 이용하여 상기 비교 대상 전압을 생성하는 디지털/아날로그 변환부

- [0015] 를 포함하는 축차비교형 아날로그/디지털 변환기를 제공한다.
- [0016] 상기 기술적 과제를 해결하기 위한 다른 수단으로서 본 발명은,
- [0017] 클럭신호의 1 주기를 이용하여 아날로그 입력신호의 크기를 샘플링하고 유지하는 동작을 수행하는 샘플엔홀드부와, 상기 샘플엔홀드부의 동작 주기에 이은 클럭의 1 주기 마다 상기 샘플엔홀드부에서 유지된 상기 아날로그 입력신호의 크기와 추정된 디지털값에 의해 결정되는 비교 대상 전압을 비교하는 제1 비교부와, 상기 제1 비교부의 비교 결과에 따라 변환될 디지털값의 상기 최상위 비트의 다음 비트들의 값을 결정하며, 결정되지 않은 비트에 대해서 추정값을 적용하여 상기 추정된 디지털값을 생성하는 축차근사화 레지스터부와, 상기 추정된 디지털값 및 상기 기준전압을 이용하여 상기 비교 대상 전압을 생성하는 디지털/아날로그 변환부를 포함하며, 클럭 주기에 따라 순차적으로 동작하는 복수의 아날로그/디지털 변환부;
- [0018] 상기 복수의 아날로그/디지털 변환부 각각에 포함된 샘플엔홀드부의 동작 클럭의 후반 1/2 주기를 이용하여 상기 아날로그 입력신호의 크기와 사전 설정된 기준전압의 1/2을 비교하는 제2 비교부; 및
- [0019] 상기 제2 비교부의 비교 결과를 상기 복수의 아날로그/디지털 변환부 각각의 동작클럭에 맞추어 상기 복수의 아날로그/디지털 변환부에 각각 포함된 축차근사화 레지스터부로 전달하는 스위칭부를 포함하며,
- [0020] 상기 복수의 아날로그/디지털 변환부에 각각 포함된 축차근사화 레지스터부는 상기 제2 비교부의 비교 결과에 따라 변환될 디지털값의 최상위 비트의 값을 결정하는 것을 특징으로 하는 시간-인터리브드 축차비교형 아날로그/디지털 변환기를 제공한다.

효 과

- [0021] 본 발명에 따르면, 축차 비교형 아날로그/디지털 변환기의 동작 클럭을 한 주기 감소시킴으로써 축차 비교형 아날로그/디지털 변환기의 동작속도를 향상시킬 수 있다.
- [0022] 또한 본 발명에 따르면, 축차 비교형 아날로그/디지털 변환기의 동작 클럭을 한주기 감소시킴으로써 시간-인터리브드 아날로그/디지털 변환기의 동작속도를 향상시킬 수 있다.
- [0023] 또한, 본 발명에 따르면 복수의 축차 비교형 아날로그/디지털 변환부를 포함하는 시간-인터리브드 축차 비교형 아날로그/디지털 변환기에서 최상위 비트를 비교하기 위한 추가적인 비교기를 다수의 축차 비교형 아날로그/디지털 변환부가 공유하게 함으로써 시간-인터리브드 축차 비교형 아날로그/디지털 변환기의 제작에 필요한 칩면적을 감소시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- [0024] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시형태를 보다 상세하게 설명한다. 그러나, 본 발명의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명되는 실시형태로 한정되는 것은 아니다. 본 발명의 실시형태는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에 도시된 구성요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있다는 점을 유념해야 할 것이다.
- [0025] 도 1은 본 발명의 일실시형태에 따른 축차비교형 아날로그/디지털 변환기를 도시한 블록 구성도이다.
- [0026] 도 1을 참조하면, 본 발명의 일실시형태에 따른 시간-인터리브드 아날로그/디지털 변환기는 샘플엔홀드(Sample & Hold)부(11), 제1 비교부(12), 축차근사화 레지스터부(13), 디지털/아날로그 변환부(14) 및 제2 비교부(15)를 포함하여 구성될 수 있다.
- [0027] 상기 샘플엔홀드부(11)는 디지털 변환하기 위한 아날로그 입력 신호를 입력받아 소정 시점에 그 크기를 샘플링하고 축차비교형 아날로그/디지털 변환기에서 설정된 비트수 만큼의 비교동작이 수행되는 동안 유지시키는 동작을 수행한다. 상기 샘플엔홀드부(11)는 클럭에 의해 동작하며 한 주기의 클럭에서 샘플링 동작과 유지를 위한

동작을 수행할 수 있다.

- [0028] 상기 제1 비교부(12)는 상기 샘플엔홀드부(11)에서 샘플링되어 유지되는 아날로그 입력 신호의 크기와 축차근사화 레지스터부(13)에서 출력되는 추정된 디지털값에 따라 디지털/아날로그 변환부(14)에서 결정되어 출력되는 비교 대상 전압을 비교하여 그 결과를 출력한다. 상기 제1 비교부(12)의 동작은 상기 샘플엔홀드부(11)에서 사용되는 클럭 주기의 다음 주기부터 개시될 수 있다. 본 발명의 일 실시형태에 따르면, 상기 제1 비교부(12)는 변환하고자 하는 디지털값의 차상위 이하의 비트에 대한 비교가 수행될 수 있다.
- [0029] 상기 제2 비교부(15)는 샘플엔홀드부(11)에서 샘플링된 아날로그 입력신호의 크기와 사전설정된 기준전압(V_{ref})의 1/2 값을 서로 비교한다. 상기 제2 비교부(15)는 샘플엔홀드부(11)의 동작 클럭의 후반 1/2 주기를 이용하여 동작하며, 그 비교 결과는 축차근사화 레지스터부(13)로 입력되어 변환하고자하는 디지털값의 최상위 비트(Most Significant Bit: MSB)를 결정하는 비교 결과로 이용된다.
- [0030] 축차근사화 레지스터부(13)는 상기 제2 비교부(15)의 비교 결과에 따라 변환될 디지털값의 최상위 비트의 값을 결정하고, 상기 제1 비교부(12)의 비교 결과에 따라 상기 최상위 비트의 다음 비트들의 값을 결정하며, 결정되지 않은 비트에 대해서 추정값을 적용하여 추정된 디지털값을 생성한다. 최종 비트(Least Significant Bit: LSB) 대한 비교결과가 제1 비교부(12)로 입력되면 그 비교결과에 따라 최종 비트값을 결정하고 결정된 최상위 내지 최종 비트값을 최종 변환된 디지털 출력신호로 출력한다.
- [0031] 상기 디지털/아날로그 변환부(14)는 축차근사화 레지스터부(13)에 의해 출력되는 추정된 디지털값 및 기준전압(V_{ref})을 입력받아 상기 제1 비교부(12)에서 사용용된 비교 대상 전압을 생성한다. 예를 들어, 축차근사화 레지스터부(13)에서 출력되는 디지털값에서 최상위 비트가 1으로 결정되고 그 다음 비트가 비교대상이 되는 추정된 디지털값인 경우 상기 디지털/아날로그 변환부(14)는 $3 \cdot V_{ref}/4$ 의 값을 출력하고, 최상위 비트가 0으로 결정되고 그 다음 비트가 비교대상이 되는 추정된 디지털값인 경우 상기 디지털/아날로그 변환부(14)는 $V_{ref}/4$ 의 값을 출력할 수 있다.
- [0032] 도 2는 본 발명의 일 실시형태에 따른 축차비교형 디지털/아날로그 변환기의 동작원리를 설명하는 도면이다.
- [0033] 도 3의 (a) 및 (b)는 본 발명의 일 실시형태에 따른 축차비교형 디지털/아날로그 변환기와 통상적인 축차비교형 디지털/아날로그 변환기의 동작을 비교하는 타이밍도이다.
- [0034] 이하, 도 1 내지 도 3을 참조하여, 본 발명의 일 실시형태에 따른 축차비교형 디지털/아날로그 변환기의 작용 및 효과에 대해 상세하게 설명한다.
- [0035] 먼저, 축차비교형 디지털/아날로그 변환기의 동작이 개시되면 샘플엔홀드부(11)에서 아날로그 입력신호의 크기를 샘플링한다. 이 샘플링된 아날로그 입력신호의 크기는 전압값(V_A)으로 나타낼 수 있다. 도 3의 (a)에 도시된 것과 같이 클럭신호의 한 주기 중 전반의 1/2 주기를 이용하여 샘플의 동작이 수행되고 이후 1/2 주기를 이용하여 홀드 즉, 유지 동작이 수행될 수 있다.
- [0036] 본 발명의 일 실시형태는 최상위 비트(MSB)의 비교동작을 수행하기 위해 제2 비교부(15)를 구비한다. 상기 제2 비교부(15)는 상기 샘플링이 이루어지는 1/2 주기의 클럭 이후 샘플링된 아날로그 입력신호의 크기와 기준전압(V_{ref})의 1/2값을 비교하여 그 결과를 출력한다. 축차비교형 아날로그/디지털 변환기에서 최상위 비트의 결정을 위한 비교대상 전압은 기준전압의 1/2로 고정되어 있으므로 축차근사화 레지스터부에서 출력되는 추정된 디지털값에 관계없이 제2 비교부(15)에 의해 최상위 비트에 대한 비교가 수행될 수 있다.
- [0037] 이어, 축차근사화 레지스터부(13)에서는 제2 비교부(15)에 의해 결정된 비교결과를 입력받고 이 비교결과에 따라 최상위 비트의 값을 결정한 후, 그 다음 비트를 결정하기 위한 비교에 사용될 추정된 디지털값을 출력한다. 그 다음 비트를 결정하기 위한 비교에 사용될 추정된 디지털값은 디지털/아날로그 변환부(14)로 입력되고, 디지털/아날로그 변환부(14)는 기준전압(V_{ref})과 추정된 디지털값을 이용하여 비교대상 전압을 생성하여 출력한다. 도 3의 (a)에 도시한 바와 같이, 본 발명의 일 실시형태는, 샘플엔홀드부(11)에서 사용된 클럭 주기에 이은 그 다음 클럭주기에서 최상위 비트의 그 다음 비트를 결정하기 위한 비교가 수행된다. 이러한 비교 동작은 변환하고자 하는 디지털값의 최종 비트까지 반복될 수 있다.
- [0038] 축차비교형 아날로그/디지털 변환기의 동작 개념을 도 2를 참조하여 간단히 설명하면 다음과 같다. 도 2는 3비

트의 디지털값을 생성하기 위한 예를 도시한다. 최상위 비트를 결정하기 위해 추정된 디지털값을 "100"으로 설정하고 샘플엔홀드부(11)의 샘플링된 아날로그 입력신호의 크기와 기준전압의 1/2을 제2 비교부(15)에서 비교한다. 축차근사화 레지스터부(13)는, 아날로그 입력신호의 크기가 기준전압의 1/2보다 크면 최상위 비트를 1으로 유지하고, 작으면 최상위 비트를 0으로 변환한다. 예를 들어, 최상위 비트가 1으로 결정되었다고 하면, 축차근사화 레지스터부(13)는 그 다음 추정된 디지털값을 "110"으로 출력한다. 즉, 최상위 비트는 1으로 결정하고 그 다음 비트는 1으로 추정한 디지털값을 출력한다. 디지털/아날로그 변환부(14)는 "110"의 비트가 입력되는 경우 기준전압의 3/4의 크기를 갖는 비교 대상 전압을 출력하고 제1 비교부(12)에서는 이를 유지된 아날로그 입력신호의 크기와 다시 비교한다. 축차근사화 레지스터부(13)는, 아날로그 입력신호의 크기가 기준전압의 3/4보다 크면 최상위 그 다음 비트를 1으로 유지하고, 작으면 최상위 비트 그 다음 비트를 0으로 변환한다. 이러한 비교 과정을 통해 아날로그 값의 디지털 변환이 이루어질 수 있다.

- [0039] 본 발명의 일 실시형태에 따르면, 도 3의 (a) 및 (b)의 비교에서 알 수 있듯이, 최상위 비트의 비교를 제2 비교기(15)를 통해 샘플엔홀드부(11)의 동작 클럭 내에 처리하게 함으로써 통상적인 축차비교형 아날로그/디지털 변환기에 비해 전체 변환 동작에 소요되는 클럭의 수를 한주기 감소시킬 수 있다. 즉, 통상적인 축차비교형 아날로그/디지털 변환기는 N 비트의 디지털 변환을 수행하는 경우, 각 비트의 비교에 소요되는 총 N 개의 클럭주기에 샘플엔홀드에 소요되는 1 클럭주기를 더하여 N+1 클럭 주기가 소요되나, 본 발명의 일 실시형태는 N 클럭 주기만에 디지털 변환을 종료할 수 있어 디지털 변환에 소요되는 시간을 절약할 수 있게된다.
- [0040] 도 4는 본 발명의 또 다른 과제 해결 수단인 시간-인터리브드 축차비교형 아날로그/디지털 변환기의 일 실시형태를 도시한 블록도이다.
- [0041] 도 4에 도시된 것과 같이, 본 발명의 일 실시형태에 따른 시간-인터리브드 축차비교형 아날로그/디지털 변환기는, 복수의 아날로그/디지털 변환부(10-1 내지 10-M)와, 제2 비교부(20) 및 스위칭부(30)를 포함하여 구성된다.
- [0042] 상기 복수의 아날로그/디지털 변환부(10-1 내지 10-M) 각각은 클럭신호의 1 주기를 이용하여 아날로그 입력신호의 크기를 샘플링하고 유지하는 동작을 수행하는 샘플엔홀드부(11)와, 상기 샘플엔홀드부의 동작 주기에 이온 클럭의 1 주기 마다 상기 샘플엔홀드부에서 유지된 상기 아날로그 입력신호의 크기와 추정된 디지털값에 의해 결정되는 비교 대상 전압을 비교하는 제1 비교부(12)와, 상기 제1 비교부의 비교 결과에 따라 변환될 디지털값의 상기 최상위 비트의 다음 비트들의 값을 결정하며, 결정되지 않은 비트에 대해서 추정값을 적용하여 상기 추정된 디지털값을 생성하는 축차근사화 레지스터부(13)와, 상기 추정된 디지털값 및 상기 기준전압을 이용하여 상기 비교 대상 전압을 생성하는 디지털/아날로그 변환부(14)를 포함할 수 있다. 상기 복수의 아날로그/디지털 변환부(10-1 내지 10-M) 각각은, 전술한 도 1의 축차비교형 아날로그/디지털 변환부의 구성에서 제2 비교부를 제외한 구성과 실질적으로 동일하므로 상세한 구성에 대한 설명을 생략하기로 한다. 상기 복수의 아날로그/디지털 변환부(10-1 내지 10-M) 각각은 1 클럭 주기의 차이를 두고 순차적으로 동작할 수 있다.
- [0043] 상기 제2 비교부(20)는 상기 복수의 아날로그/디지털 변환부(10-1 내지 10-M) 각각에 포함된 샘플엔홀드부의 동작 클럭의 후반 1/2 주기를 이용하여 상기 아날로그 입력신호의 크기와 사전 설정된 기준전압의 1/2을 비교하여 해당 아날로그/디지털 변환부(10-1 내지 10-M)에 포함된 축차근사화 레지스터부(13)에 최상위 비트에 대한 비교 결과로써 제공한다. 즉, 상기 제2 비교부(20)는 상기 복수의 아날로그/디지털 변환부(10-1 내지 10-M) 각각의 최상위 비트 비교에 필요한 아날로그 입력신호의 크기를 클럭 주기에 맞추어 기준전압과 비교하고 그 결과를 해당 아날로그/디지털 변환부의 축차근사화 레지스터부(13)로 전달할 수 있다.
- [0044] 상기 스위칭부(30) 상기 복수의 아날로그/디지털 변환부(10-1 내지 10-M) 각각의 동작클럭에 맞추어 상기 제2 비교부(20)의 비교 결과를 상기 복수의 아날로그/디지털 변환부에 각각 포함된 축차근사화 레지스터부로 전달할 수 있다.
- [0045] 전술한 것과 같은 시간-인터리브드 축차비교형 아날로그/디지털 변환기의 작용 및 효과는 도 5를 참조함으로써 더욱 명확하게 이해될 수 있다.
- [0046] 도 5는 본 발명의 일 실시형태에 따른 시간-인터리브드 축차비교형 디지털/아날로그 변환기의 동작을 설명하기

위한 타이밍도이다.

[0047] 도 5에 도시된 것과 같이, 복수의 아날로그/디지털 변환부(10-1 내지 10-M)과 제2 비교부(20) 및 스위칭부(30)는 모두 동일한 클럭으로 동작하므로 그 동작의 연동이 가능하다.

[0048] 먼저 도 5의 (a)에 도시된 것과 같이, 첫번째 아날로그/디지털 변환부(10-1)의 동작이 이루어진다고 하면, 한 주기의 클럭에서 샘플 및 유지가 이루어지고 이 클럭 주기의 유지가 이루어지는 1/2 클럭동안 제2 비교부(20)에서 최상위 비트 결정을 위한 비교가 이루어질 수 있다. 또한, 이 1/2 클럭 동안 스위칭부(30)의 제2 비교부(20)의 출력과 축차근사화 레지스터부(13) 사이의 연결을 통해 제2 비교부(20)의 비교결과가 축차근사화 레지스터부(13)에 입력됨으로써 최상위 비트의 값을 결정할 수 있게된다. 이후 첫번째 아날로그/디지털 변환부(10-1)는 그 다음 비트를 결정하기 위한 비교 연산을 상기 도 1 내지 도 3을 통해 설명한 것과 같은 방식으로 수행할 수 있다.

[0049] 도 1에 도시된 축차비교형 아날로그/디지털 변환기는 최상위 비트 비교가 완료되면 그 하위 비트들의 비교가 수행되는 동안 제2 비교부는 동작을 중지할 수 있다. 이에 반해 도 4에 도시된 시간-인터리브드 축차비교형 아날로그/디지털 변환기에서 제2 비교부(20)는 첫번째 아날로그/디지털 변환부(10-1)의 최상위 비트 비교동작이 종료된 후 두번째 아날로그/디지털 변환부(10-2)의 최상위 비트 비교 동작을 위해, 첫번째 아날로그/디지털 변환부(10-1)의 샘플엔홀드가 이루어지는 클럭주기의 그 다음 주기에서 다시 동작을 하게된다. 이는 복수의 아날로그/디지털 변환부(10-1 내지 10-M)의 동작이 1 클럭 주기의 차이를 두고 순차적으로 진행되기 때문이다.

[0050] 이와 같이, 제2 비교부(20)는 클럭주기에 맞추어 복수의 아날로그/디지털 변환부(10-1 내지 10-M) 전체의 최상위 비트 비교 연산을 수행할 수 있으며, 글럭주기에 맞추어 동작하는 스위칭부에 의해 해당 아날로그/디지털 변환부에 포함된 축차근사화 레지스터부(13)로 제2 비교부(20)의 비교 결과가 전달될 수 있다.

[0051] 이와 같이, 본 발명의 일 실시형태의 시간-인터리브드 축차비교형 아날로그/디지털 변환기에 따르면, 전술한 도 1의 축차비교형 아날로그/디지털 변환기와 유사하게, 각 아날로그/디지털 변환부(10-1 내지 10-M)에서 수행되는 최상위 비트의 비교를 제2 비교기(15)를 통해 샘플엔홀드부(11)의 동작 클럭 내에 처리하게 함으로써 통상적인 축차비교형 아날로그/디지털 변환기에 비해 전체 변환 동작에 소요되는 클럭의 수를 한 주기 감소시킬 수 있다.

[0052] 또한, 아날로그/디지털 변환부(10-1 내지 10-M)의 개수가 증가하더라도 각 아날로그/디지털 변환부(10-1 내지 10-M)에 요구되는 최상위 비트에 대한 비교가 하나의 제2 비교기(20)에 공통으로 수행되므로 제품 생산시 칩사이즈의 크기 증가를 억제할 수 있다.

[0053] 본 발명의 상세한 설명에서는 구체적인 실시예에 관해 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다. 그러므로 본 발명의 범위는 설명된 실시예에 국한되지 않으며, 후술되는 특허청구의 범위 및 이 특허청구의 범위와 균등한 것들에 의해 정해져야 한다.

도면의 간단한 설명

[0054] 도 1은 본 발명의 일 실시형태에 따른 축차비교형 디지털/아날로그 변환기를 도시한 블록 구성도이다.

[0055] 도 2는 본 발명의 일 실시형태에 따른 축차비교형 디지털/아날로그 변환기의 동작원리를 설명하는 도면이다.

[0056] 도 3의 (a) 및 (b)는 본 발명의 일 실시형태에 따른 축차비교형 디지털/아날로그 변환기와 통상적인 축차비교형 디지털/아날로그 변환기의 동작을 비교하는 타이밍도이다.

[0057] 도 4은 본 발명의 일 실시형태에 따른 시간-인터리브드 축차비교형 디지털/아날로그 변환기의 블록 구성도이다.

[0058] 도 5는 본 발명의 일 실시형태에 따른 시간-인터리브드 축차비교형 디지털/아날로그 변환기의 동작을 설명하기 위한 타이밍도이다.

[0059] *도면의 주요부분에 대한 설명*

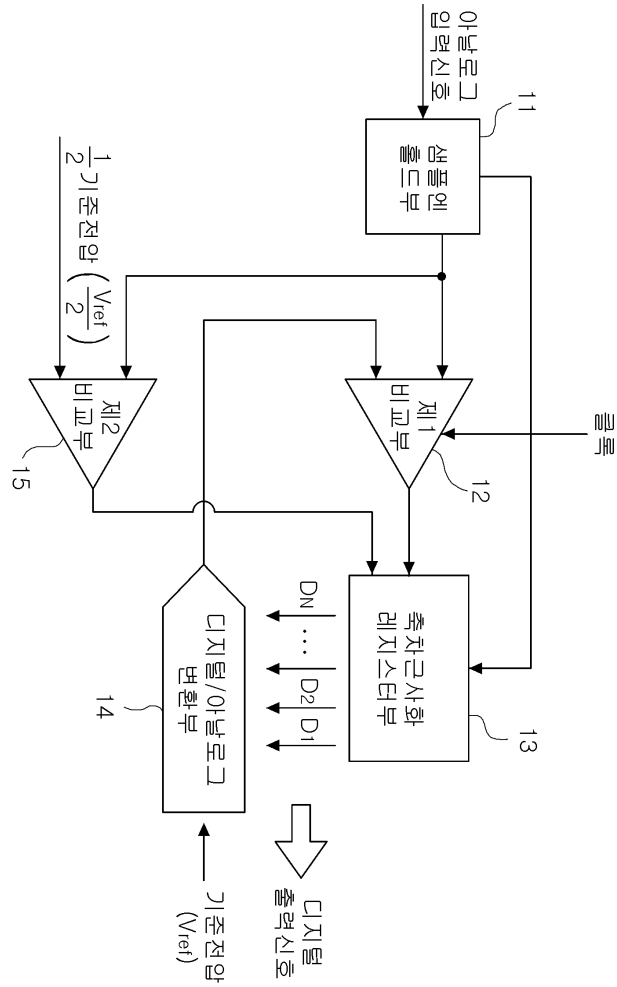
[0060] 11: 샘플엔홀드(Sample & Hold)부 12: 제1 비교부

[0061] 13: 축차 근사화 레지스터부 14: 디지털/아날로그 변환부

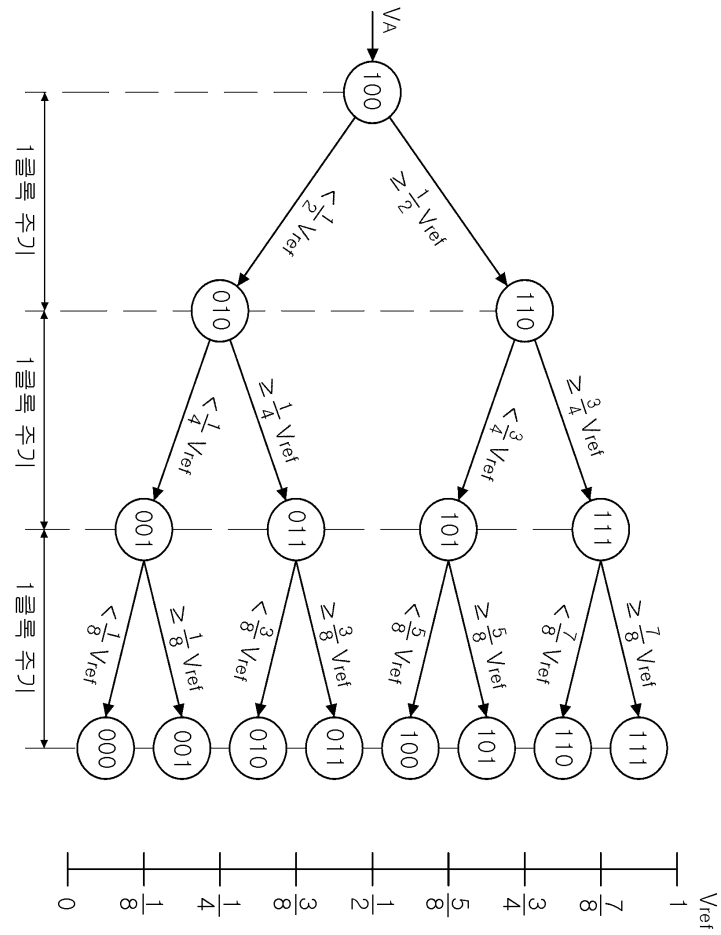
[0062] 15, 20: 제2 비교부 30: 스위칭부

도면

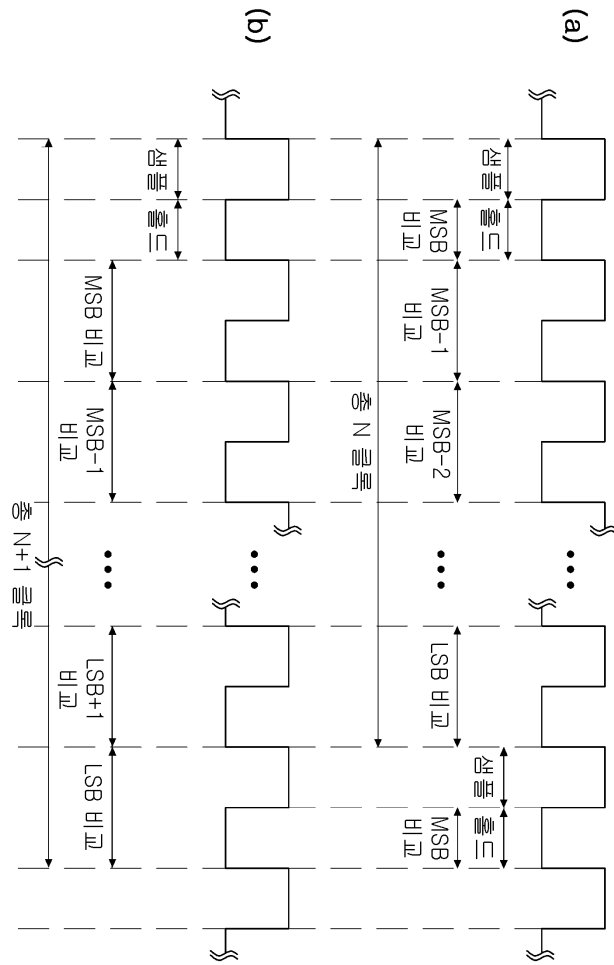
도면1



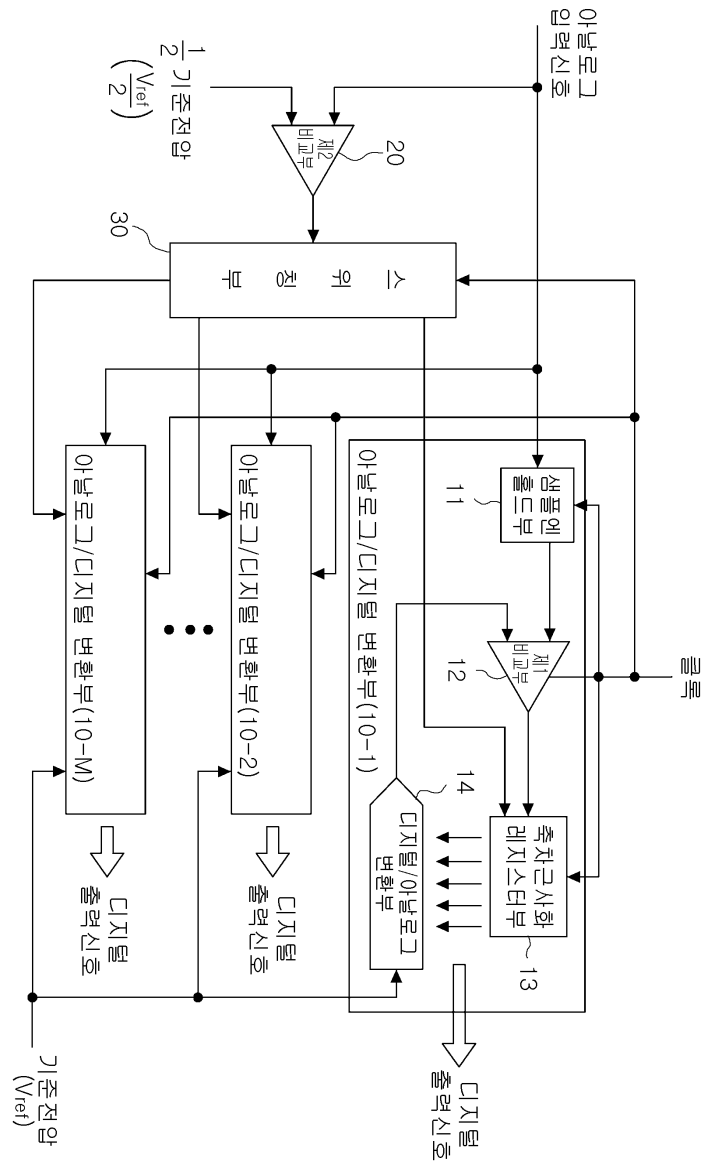
도면2



도면3



도면4



도면5

