

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁷ H01L 21/60	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년05월19일 10-0490843 2005년05월12일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2002-0083413 2002년12월24일	(65) 공개번호 (43) 공개일자	10-2004-0056831 2004년07월01일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자 동부아남반도체 주식회사
 서울 강남구 대치동 891-10

(72) 발명자 이대근
 경기도부천시원미구중동설악마을310동801호

(74) 대리인 유미특허법인

심사관 : 송원선

(54) 반도체 소자의 제조방법

요약

본 발명은 식각 후 금속박막의 표면에 발생하는 폴리머를 제거할 수 있는 반도체 소자의 제조방법을 제공하는 것으로, 이에 따른 제조방법은 실리콘 기판에 제1질화티타늄막, 금속박막 및 제2질화티타늄막을 순차적으로 적층하고, 제2질화티타늄막의 위에 포토레지스트로 된 제1패턴을 형성한 후, 이 제1패턴을 기반으로 금속박막을 식각하여 금속배선을 형성하는 단계; 상기 금속배선을 형성하는 단계에서 형성된 금속배선의 위에 증착공정을 통해 산화막과 질화막을 순차적으로 형성하는 패드를 형성하는 단계; 상기 패드가 형성되면 상기 패드의 위에 포토레지스트를 다시 도포하여 제2패턴을 형성하고, 이 제2패턴을 마스크로 하여 상기 금속박막이 드러나도록 식각하는 식각을 하는 단계; 및 상기 드러난 금속박막의 표면을 챔버의 내부에서 고주파처리하는 단계를 포함한다.

대표도

도 2f

색인어

반도체, 금속배선, 폴리머 제거, 고주파, C2F6, 산소가스

명세서

도면의 간단한 설명

도 1a 내지 도 1c에서는 종래 후처리 공정을 도시한 단면도이고,
도 2a 내지 2f는 본 발명에 따른 반도체 소자의 제조방법을 도시한 단면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자 제조 방법에 관한 것으로, 더욱 상세하게는 반도체 소자의 후처리 공정을 개선하여 소자의 특성을 향상시키는 반도체 소자의 제조방법에 관한 것이다.

최근들어 반도체 소자는 더욱더 집적도를 높이기 위한 방식으로 다층으로 된 구조의 각 층에 금속 배선을 형성하거나, 동일 층상에서 금속 배선과 금속 배선 사이의 간격을 좁게 하는 방식의 구조를 채택하고 있다.

본딩패드는 반도체 소자와 패키지를 연결해주는 단자로서의 역할을 하는 것으로, 소자의 최상층 금속배선이 일정 부분 노출된 패드를 패키지 후 핀(pin)으로 사용되는 부분과 상호 연결시켜주는 본딩 작업을 통해 반도체 소자의 배선을 전원 공급장치와 같은 외부와 전기적으로 접속하는 것이다.

도 1a 내지 도 1c에서는 종래 후처리 공정을 나타내고 있다.

먼저 도 1a에 도시한 바와 같이, 반도체기판의 구조물(1) 위에 제1질화티타늄막(2), 금속박막(3) 및 제2질화티타늄막(4)이 순차적으로 적층된 소자는 금속층의 식각 후 포토레지스트를 제거하고, 그 위에 산화막(5)과 질화막(6)을 순차적으로 증착시킨다.

그리고 도 1b에 도시한 바와 같이, 산화막(5)과 질화막(6)이 순차적으로 적층된 반도체 소자의 위에 포토레지스트(7)를 패턴하고, 이 패턴(7)을 기반으로 도 1c에 도시한 바와 같이 식각을 진행하여 상기한 제2질화티타늄막(4)과 금속박막(3)의 일부를 식각한 후, 포토레지스트 패턴(7)을 제거하게 된다.

그러나 금속박막(3)을 알루미늄으로 증착하여 형성하고, 이 금속박막(3)을 건식으로 식각할 경우 공정 진행시 사용되는 불소는 건식 식각이 끝나고 본딩을 위해 오픈된 금속박막의 표면에 잔존하게 되고, 대기중의 산소와 결합하여 $Al_2O_xF_y$ 의 폴리머(P)를 만들게 된다.

이에 따라 잔존하는 폴리머(P)로 인하여 본딩이 제대로 이루어지지 않고 본딩라인이 이탈하는 등의 문제점이 발생한다.

또한 폴리머의 제거를 위하여 불산과 같은 식각용액을 사용하기도 하는데 이러한 식각용액은 알루미늄 합금막과 같이 용융점이 낮은 금속막에 치명적인 악영향을 미친다.

아울러 본딩될 알루미늄 표면에 $Al_2O_xF_y$ 의 폴리머가 존재하게 되면 수율 테스트가 반복됨에 따라 탐침 카드 팁(Probe Card Tip)에 상기 폴리머가 묻어 나와 수율 테스트 측정을 불가능하게 한다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 바와 같은 문제점을 해결하기 위한 것으로, 식각 후 금속박막의 표면에 발생하는 폴리머를 제거할 수 있는 반도체 소자의 제조방법을 제공하는 데 있다.

발명의 구성 및 작용

상기한 바와 같은 기술적 과제를 달성하기 위하여, 본 발명에서는 반도체기판의 구조물에 제1질화티타늄막, 금속박막 및 제2질화티타늄막을 순차적으로 적층하고, 제2질화티타늄막의 위에 포토레지스트로 된 제1패턴을 형성한 후, 이 제1패턴을 기반으로 금속박막을 식각하여 금속배선을 형성하는 단계; 상기 금속배선을 형성하는 단계에서 형성된 금속배선의 위에 증착공정을 통해 산화막과 질화막을 순차적으로 형성하는 패드를 형성하는 단계; 상기 패드가 형성되면 상기 패드의 위에 포토레지스트를 다시 도포하여 제2패턴을 형성하고, 이 제2패턴을 마스크로 하여 상기 금속박막이 드러나도록 식각하는 식각을 하는 단계; 및 상기 드러난 금속박막의 표면을 챔버의 내부에서 고주파처리하는 단계를 포함하여 반도체 소자를 제조한다.

이하 첨부된 도면에 의거하여 본 발명에 따른 바람직한 실시예를 상세히 설명한다.

도 2a 내지 2f는 본 발명에 따른 반도체 소자의 제조방법을 도시한 단면도이다.

먼저, 도 2a에 도시된 바와 같이, 금속배선을 형성하는 단계에서, 반도체기판의 구조물(11) 위에 제1질화티타늄막(12), 금속박막(13) 및 제2질화티타늄막(14)을 순차적으로 적층하고, 제2질화티타늄막(14)의 위에 포토레지스트(15)를 도포한다.

그리고 도포된 포토레지스트(15)를 패턴링하여 원하는 금속배선에 대응하는 제1패턴(16)을 형성한다. 이 제1패턴(16)을 마스크로 하여 제1질화티타늄막(12), 금속박막(13) 및 제2질화티타늄막(14)을 식각하고, 제1패턴(16)을 제거하게 되는 데, 그 결과 도 2b에 도시한 바와 같이 금속박막(13)을 포함한 금속배선(17)이 형성된다.

여기서 금속박막(13)으로 다양한 물질을 이용할 수 있으나 본 발명에서는 알루미늄을 원료로 형성한다.

이어서 도 2c에 도시한 바와 같이, 패드를 형성하는 단계는 증착공정을 통해 금속배선(17) 위에 산화막(18)과 질화막(19)을 순차적으로 형성하여 패드(20)를 형성한다.

패드가 형성되면, 도 2d 및 도 2e에 도시한 바와 같이, 식각을 하는 단계에서는 패드(20)의 위에 포토레지스트를 다시 도포한 후 제2패턴(21)을 형성하고, 이 제2패턴(21)을 마스크로 하여 식각을 실시한다. 이에 따라 질화막(19) 및 산화막(18)이 관통되고, 산화막(18)의 아래에 위치한 제2질화티타늄막(14)과 금속박막(13)의 일부까지 건식 식각하여 홀을 형성한다. 이때 건식 식각에 사용되는 가스는 불소(Fluorine Gas)가스를 사용하게 되는 데, 그 결과 노출된 금속박막(13)의 표면에는 $Al_2O_xF_y$ 의 폴리머(P)가 생성된다. 식각 이후에는 제2패턴(21)을 제거한다.

마지막으로 도 2f에 도시한 바와 같이, 고주파처리 단계에서는 노출된 금속박막(13)의 표면을 고주파처리하여 금속박막(13)의 노출된 표면에 형성된 폴리머(P)를 제거하게 된다. 이러한 고주파처리는 고주파 플라즈마 챔버(Microwave Type Plasma; 이하 MTP라 칭함)에서 실시하게 된다. 이렇게 고주파를 사용하게 되면 금속박막 표면과 질화막 표면이 식각되는 것을 방지하게 된다. MTP의 내부에 공급되는 가스는 C_2F_6 및 산소가스이다.

이때 MTP에 가해지는 파워는 500W 내지 1500W 이고, 공급되는 C_2F_6 의 양은 5sccm 내지 15sccm 이고, 공급되는 산소가스의 양은 2000sccm 내지 4000sccm 이다.

그리고 MTP의 내부 압력은 0.5Torr 내지 1.5Torr 이며, MTP의 바닥 온도는 150°C 내지 350°C 이고, 공정진행시간은 1 min 내지 2min으로 한다.

발명의 효과

이상에서 살펴본 바와 같이 본 발명에 의하면, 알루미늄박막의 표면에 형성되는 폴리머를 제거하게 됨으로써 이후에 본딩라인의 이탈없이 원활한 본딩작업이 진행된다.

또한 고주파를 이용하여 폴리머를 제거하기 때문에 폴리머의 제거를 위한 불산과 같은 식각용액을 사용하지 않아도 되기 때문에 금속박막을 보호할 수 있게 된다.

아울러 금속박막 위에 폴리머가 제거됨으로써 수율 테스트에 사용되는 탐침 카드 팁에 폴리머가 묻지 않아 정확한 수율 테스트가 가능하다.

(57) 청구의 범위

청구항 1.

반도체기판의 구조물 위에 제1질화티타늄막, 알루미늄막 및 제2질화티타늄막을 순차적으로 적층하고, 제2질화티타늄막의 위에 포토레지스트로 된 제1패턴을 형성한 후, 이 제1패턴을 기반으로 알루미늄막을 식각하여 금속배선을 형성하는 단계;

상기 금속배선을 형성하는 단계에서 형성된 금속배선의 위에 증착공정을 통해 산화막과 질화막을 순차적으로 형성하는 패드를 형성하는 단계;

상기 패드가 형성되면 상기 패드의 위에 포토레지스트를 다시 도포하여 제2패턴을 형성하고, 이 제2패턴을 마스크로 하여 상기 알루미늄막이 드러나도록 식각하는 식각을 하는 단계; 및

상기 드러난 알루미늄막의 표면을 C_2F_6 및 산소가스가 공급되는 챔버의 내부에서 고주파처리하여 $Al_2O_xF_y$ 폴리머를 제거하는 단계

를 포함하는 반도체 소자의 제조방법.

청구항 2. 삭제

청구항 3. 삭제

청구항 4.

제 1 항에 있어서, 상기 C_2F_6 의 공급량은 5sccm 내지 15sccm 인 반도체 소자의 제조방법.

청구항 5.

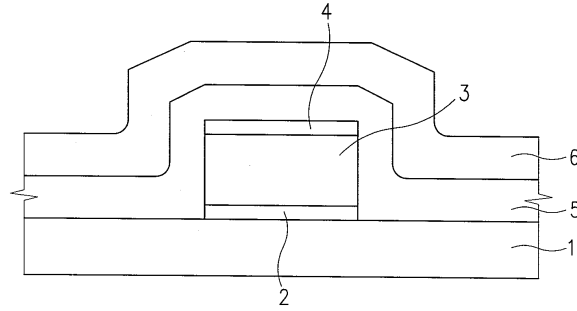
제 1 항 또는 제 4 항에 있어서, 상기 산소가스의 공급량은 2000sccm 내지 4000sccm 인 반도체 소자의 제조방법.

청구항 6.

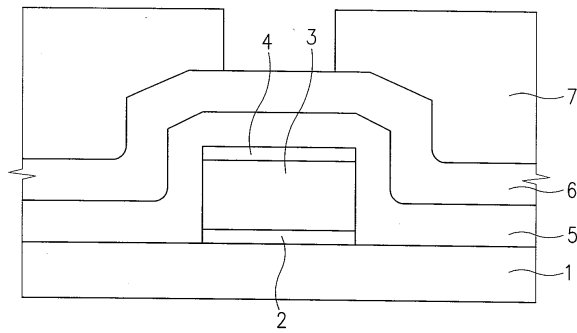
제 5 항에 있어서, 상기 챔버에 작업조건은 파워가 500W 내지 1500W 이고, 챔버의 내부 압력은 0.5Torr 내지 1.5Torr 이며, 챔버의 바닥 온도는 150℃ 내지 350℃ 이고, 공정진행시간은 1min 내지 2min 인 반도체 소자의 제조방법.

도면

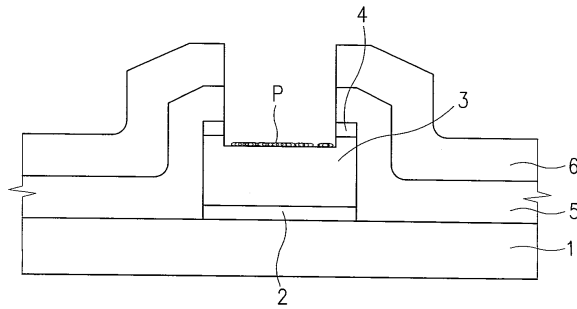
도면1a



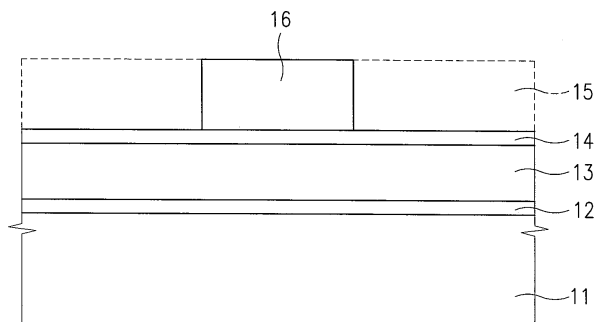
도면1b



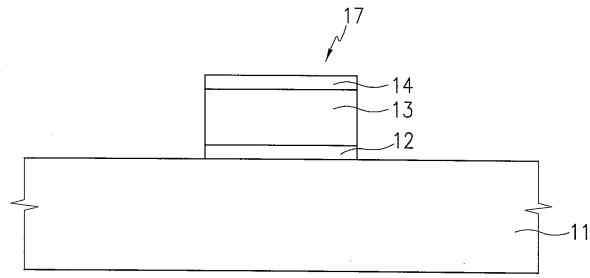
도면1c



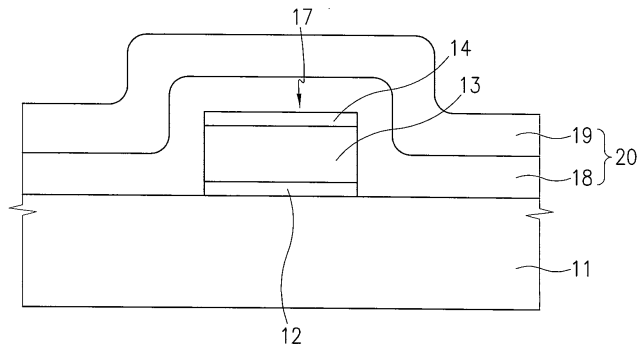
도면2a



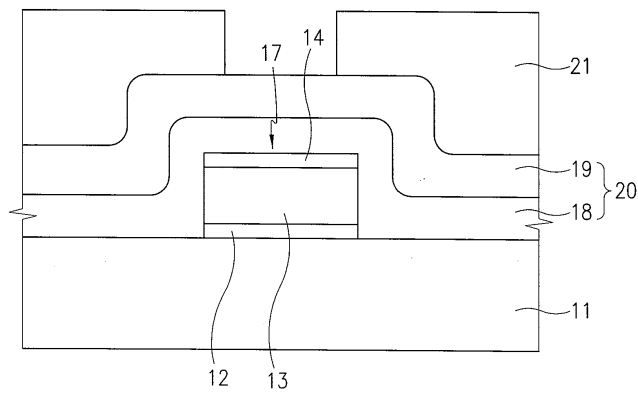
도면2b



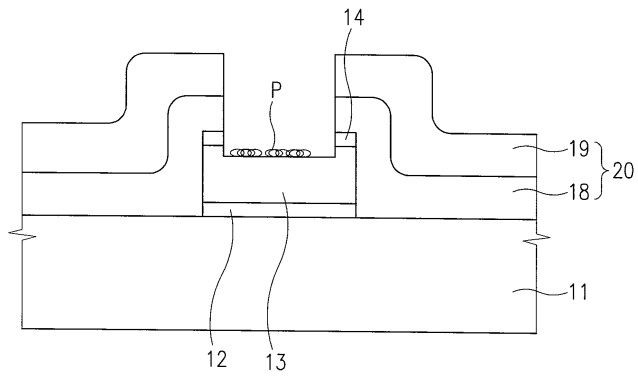
도면2c



도면2d



도면2e



도면2f

