

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-123426

(P2017-123426A)

(43) 公開日 平成29年7月13日(2017.7.13)

(51) Int.Cl.	F 1	テーマコード (参考)
H 0 1 S 5/028 (2006.01)	H 0 1 S 5/028	5 F 1 7 3
H 0 1 S 5/227 (2006.01)	H 0 1 S 5/227	
H 0 1 S 5/042 (2006.01)	H 0 1 S 5/042 6 1 2	

審査請求 未請求 請求項の数 32 O L (全 15 頁)

(21) 出願番号	特願2016-2549 (P2016-2549)	(71) 出願人	000006013
(22) 出願日	平成28年1月8日 (2016.1.8)		三菱電機株式会社
			東京都千代田区丸の内二丁目7番3号
		(74) 代理人	100082175
			弁理士 高田 守
		(74) 代理人	100106150
			弁理士 高橋 英樹
		(74) 代理人	100148057
			弁理士 久野 淑己
		(72) 発明者	川▲崎▼ 和重
			東京都千代田区丸の内二丁目7番3号 三
			菱電機株式会社内
		Fターム(参考)	5F173 AA26 AH06 AK21 AL10 AL17
			AL21 AP05 AP33 AR93

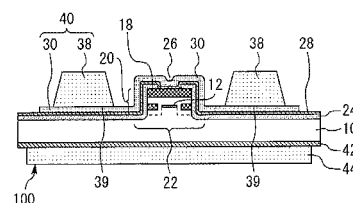
(54) 【発明の名称】 半導体レーザーおよびその製造方法

(57) 【要約】

【課題】本発明は半導体レーザーおよびその製造方法に係り、光通信分野での使用に好適な半導体レーザーおよびその製造方法に関し、メサ部を備えた半導体レーザーについて、基板の反りを抑制することが可能な半導体レーザーを得ることを目的とする。

【解決手段】基板と、前記基板の表面に配置され結晶成長層を備えたメサ部と、を備え、前記メサ部の少なくとも一方の側で、全域にわたり前記基板が露出した構造体と、前記構造体を覆い、前記メサ部の上面に開口部を備えた絶縁層と、前記開口部において前記結晶成長層と接触するように設けられた第2型の電極と、前記第2型の電極の表面に配置された表面めっき層と、前記構造体の裏面に配置された第1型の電極と、前記第1型の電極の裏面に配置された裏面めっき層と、を備え、前記表面めっき層および前記裏面めっき層は、前記基板の反りを抑制するような厚さを備える。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

N型およびP型の一方である第1型の基板と、
前記基板の表面に配置され、結晶成長層を備えたメサ部と、
を含む構造体を備える半導体レーザーであって、
前記構造体の前記メサ部の一方の側は、全域にわたり前記基板が露出した第1露出部であり、

前記構造体の前記メサ部の他方の側は、前記メサ部に隣接する位置に形成され前記基板が露出した状態となっている第2露出部を有し、

前記半導体レーザーは

前記構造体を覆い、前記メサ部の上面に開口部を備えた絶縁層と、

前記絶縁層の表面において、前記メサ部と前記メサ部の両側の規定領域を含む連続領域を覆い、前記開口部において前記結晶成長層と接触するように設けられたN型及びP型の他方である第2型の電極と、

前記第2型の電極の表面に前記連続領域を覆うように配置された表面めっき層と、

前記構造体の裏面に配置された第1型の電極と、

前記第1型の電極の裏面に配置された裏面めっき層と、

を備え、

前記表面めっき層および前記裏面めっき層は、前記基板の反りを抑制するような厚さを備えることを特徴とする半導体レーザー。

【請求項 2】

前記表面めっき層は、前記結晶成長層、前記第2型の電極および前記絶縁層が前記基板を反らせるストレスよりも大きなストレスを前記基板に与える厚さを備えることを特徴とする請求項1に記載の半導体レーザー。

【請求項 3】

前記裏面めっき層は、前記表面めっき層、前記第2型の電極、前記絶縁層、前記結晶成長層および前記第1型の電極が前記基板に与えるストレスを相殺する厚さを備えることを特徴とする請求項2に記載の半導体レーザー。

【請求項 4】

前記規定領域は、ボンディングワイヤの結線領域を含むことを特徴とする請求項1～3の何れか1項に記載の半導体レーザー。

【請求項 5】

前記第2型の電極は、前記基板の幅と同等の幅を備えることを特徴とする請求項1～4の何れか1項に記載の半導体レーザー。

【請求項 6】

前記第2露出部は、前記メサ部の他方の側において前記基板の全域を露出させることを特徴とする請求項1～5の何れか1項に記載の半導体レーザー。

【請求項 7】

前記第2型の電極は、前記メサ部に対し対称に設けられることを特徴とする請求項6に記載の半導体レーザー。

【請求項 8】

前記表面めっき層は、

前記連続領域を覆うように配置された第1めっき層と、

前記第1めっき層の表面において、前記基板と前記絶縁層が接する領域に配置され、上面が前記メサ部の上面よりも高い位置にある第2めっき層と、

を備えることを特徴とする請求項6または7に記載の半導体レーザー。

【請求項 9】

前記第2めっき層を前記規定領域に備えることを特徴とする請求項8に記載の半導体レーザー。

【請求項 10】

前記第 2 めっき層を前記第 1 めっき層の四隅に備えることを特徴とする請求項 8 または 9 に記載の半導体レーザー。

【請求項 1 1】

前記第 2 露出部は、前記メサ部に隣接した前記基板の一部の領域であり、

前記構造体は、前記第 2 露出部を挟んで前記メサ部と対向する領域において、前記基板の表面に前記結晶成長層を備え、

当該領域において前記表面めっき層の上面が前記メサ部の上面よりも高い位置にあることを特徴とする請求項 1 ～ 5 の何れか 1 項に記載の半導体レーザー。

【請求項 1 2】

前記表面めっき層は、

前記連続領域を覆うように配置された第 1 めっき層と、

前記第 1 めっき層の表面において、前記第 1 露出部側の前記規定領域に配置され、上面が前記メサ部の上面よりも高い位置にある第 2 めっき層と、

を備えることを特徴とする請求項 1 1 に記載の半導体レーザー。

【請求項 1 3】

前記裏面めっき層は、ヘキカイ対応箇所から前記基板の共振方向の幅の 20 分の 1 ～ 6 分の 1 のスペースを空けて備えられることを特徴とする請求項 1 ～ 12 の何れか 1 項に記載の半導体レーザー。

【請求項 1 4】

前記裏面めっき層は、複数に分断されて設けられることを特徴とする請求項 1 ～ 13 の何れか 1 項に記載の半導体レーザー。

【請求項 1 5】

前記裏面めっき層は、ヘキカイ方向と平行に分断されて設けられ、

ヘキカイ対応箇所に隣接する前記裏面めっき層は、前記ヘキカイ対応箇所に隣接しない前記裏面めっき層と比較して面積が小さいことを特徴とする請求項 1 4 に記載の半導体レーザー。

【請求項 1 6】

N 型および P 型の一方である第 1 型の基板の表面に結晶成長層を形成する工程と、

前記結晶成長層をエッチングし、メサ部と、前記メサ部の一方の側で全域にわたり前記基板を露出させる第 1 露出部と、前記メサ部の他方の側で前記メサ部に隣接する位置に前記基板を露出させる第 2 露出部と、を形成するメサ部形成工程と、

前記結晶成長層および前記基板を覆うように絶縁層を形成する工程と、

前記メサ部の上面において、前記絶縁層に開口部を形成する工程と、

前記絶縁層の表面に、前記メサ部と前記メサ部の両側の規定領域を含む連続領域を覆うように N 型及び P 型の他方である第 2 型の電極を形成する工程と、

前記第 2 型の電極の表面に、前記連続領域を覆うように表面めっき層を形成する表面めっき層形成工程と、

前記基板の裏面に第 1 型の電極を形成する工程と、

前記第 1 型の電極の下面に裏面めっき層を形成する裏面めっき層形成工程と、

を備え、

前記表面めっき層および前記裏面めっき層は、前記基板の反りを抑制するような厚さに形成されることを特徴とする半導体レーザーの製造方法。

【請求項 1 7】

前記表面めっき層形成工程は、裏面めっき層形成工程に先立って実行され、前記表面めっき層形成工程の完了時に前記基板が前記表面めっき層形成側に凸に反る厚さに前記表面めっき層を形成することを特徴とする請求項 1 6 に記載の半導体レーザーの製造方法。

【請求項 1 8】

前記表面めっき層形成工程は、

前記基板の反りを測定する工程と、

当該反りが所望の状態となるように、前記表面めっき層を形成する工程と、

を備えることを特徴とする請求項 17 に記載の半導体レーザーの製造方法。

【請求項 19】

前記裏面めっき層形成工程では、前記裏面めっき層形成工程の完了時に前記基板の反りが相殺されるような厚さに前記裏面めっき層を形成することを特徴とする請求項 17 または 18 に記載の半導体レーザーの製造方法。

【請求項 20】

前記裏面めっき層形成工程は、
前記基板の反りを測定する工程と、
当該反りが所望の状態となるように、前記裏面めっき層を形成する工程と、
を備えることを特徴とする請求項 19 に記載の半導体レーザーの製造方法。

10

【請求項 21】

前記規定領域は、ボンディングワイヤの結線領域を含むことを特徴とする請求項 16 ～ 20 の何れか 1 項に記載の半導体レーザーの製造方法。

【請求項 22】

前記第 2 型の電極を、前記基板の幅と同等の幅に渡って形成することを特徴とする請求項 16 ～ 21 の何れか 1 項に記載の半導体レーザーの製造方法。

【請求項 23】

前記メサ部形成工程では、前記メサ部の他方の側で全域にわたり前記基板を露出させるように前記第 2 露出部を形成することを特徴とする請求項 16 ～ 22 の何れか 1 項に記載の半導体レーザーの製造方法。

20

【請求項 24】

前記第 2 型の電極を、前記メサ部に対し対称に形成することを特徴とする請求項 23 に記載の半導体レーザーの製造方法。

【請求項 25】

前記表面めっき層形成工程は、
前記連続領域を覆うように第 1 めっき層を形成する工程と、
前記第 1 めっき層の表面において、前記基板と前記絶縁層が接する領域に、上面が前記メサ部の上面よりも高くなるように第 2 めっき層を形成する工程と、
を備えることを特徴とする請求項 23 または 24 に記載の半導体レーザーの製造方法。

【請求項 26】

前記第 2 めっき層を前記規定領域に形成する工程を備えることを特徴とする請求項 25 に記載の半導体レーザーの製造方法。

30

【請求項 27】

前記第 2 めっき層を前記第 1 めっき層の四隅に形成する工程を備えることを特徴とする請求項 25 または 26 に記載の半導体レーザーの製造方法。

【請求項 28】

前記メサ部形成工程では、前記第 2 露出部を介して前記メサ部と対向する領域に前記結晶成長層を残すようにエッチングを実施し、

当該領域における前記表面めっき層の上面を、前記メサ部の上面よりも高くする工程を備えることを特徴とする請求項 16 ～ 22 の何れか 1 項に記載の半導体レーザーの製造方法。

40

【請求項 29】

前記表面めっき層形成工程は、
前記連続領域を覆うように第 1 めっき層を形成する工程と、
前記第 1 めっき層の表面において、前記第 1 露出部側の前記規定領域に、上面が前記メサ部の上面よりも高くなるように第 2 めっき層を形成する工程と、
を備えることを特徴とする請求項 28 に記載の半導体レーザーの製造方法。

【請求項 30】

前記裏面めっき層形成工程では、前記裏面めっき層を、ヘキカイ対応箇所から前記基板の幅の 20 分の 1 ～ 6 分の 1 のスペースを空けて形成することを特徴とする請求項 16 ～

50

29の何れか1項に記載の半導体レーザーの製造方法。

【請求項31】

前記裏面めっき層形成工程では、前記裏面めっき層を複数に分断して形成することを特徴とする請求項16～30の何れか1項に記載の半導体レーザーの製造方法。

【請求項32】

ヘキカイ対応箇所に隣接する部分の面積が、前記ヘキカイ対応箇所に隣接しない部分の面積と比較して小さくなるように、前記裏面めっきをヘキカイ方向と平行に分断して形成することを特徴とする請求項31に記載の半導体レーザーの製造方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は半導体レーザーおよびその製造方法に係り、光通信分野での使用に好適な半導体レーザーおよびその製造方法に関する。

【背景技術】

【0002】

特許文献1～3には、メサ部を備える半導体レーザーが開示されている。また、特許文献1に示す半導体レーザーは、ボンディングパッドの下部およびメサ部において、基板の表面に結晶成長層を備える。

【先行技術文献】

【特許文献】

20

【0003】

【特許文献1】特開平3-263388号公報

【特許文献2】特開2001-94211号公報

【特許文献3】特開2004-363147号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

結晶成長層は、基板を反らせるストレスを発生させる。このため、結晶成長層を備えた半導体レーザーでは、基板の反りが発生する場合がある。

【0005】

30

本発明は、上述の問題点を解決するためになされたもので、第1の目的はメサ部を備えた半導体レーザーについて、基板の反りを抑制することが可能な半導体レーザーを得ることである。

第2の目的は、基板の反りを抑制することが可能な半導体レーザーの製造方法を得ることである。

【課題を解決するための手段】

【0006】

N型およびP型の一方である第1型の基板と、前記基板の表面に配置され、結晶成長層を備えたメサ部と、を含む構造体を備える半導体レーザーであって、前記構造体の前記メサ部の一方の側は、全域にわたり前記基板が露出した第1露出部であり、前記構造体の前記メサ部の他方の側は、前記メサ部に隣接する位置に形成され前記基板が露出した状態となっている第2露出部を有し、前記半導体レーザーは前記構造体を覆い、前記メサ部の上面に開口部を備えた絶縁層と、前記絶縁層の表面において、前記メサ部と前記メサ部の両側の規定領域を含む連続領域を覆い、前記開口部において前記結晶成長層と接触するように設けられたN型及びP型の他方である第2型の電極と、前記第2型の電極の表面に前記連続領域を覆うように配置された表面めっき層と、前記構造体の裏面に配置された第1型の電極と、前記第1型の電極の裏面に配置された裏面めっき層と、を備え、前記表面めっき層および前記裏面めっき層は、前記基板の反りを抑制するような厚さを備える。

40

【0007】

N型およびP型の一方である第1型の基板の表面に結晶成長層を形成する工程と、前記

50

結晶成長層をエッチングし、メサ部と、前記メサ部の一方の側で全域にわたり前記基板を露出させる第1露出部と、前記メサ部の他方の側で前記メサ部に隣接する位置に前記基板を露出させる第2露出部と、を形成するメサ部形成工程と、前記結晶成長層および前記基板を覆うように絶縁層を形成する工程と、前記メサ部の上面において、前記絶縁層に開口部を形成する工程と、前記絶縁層の表面に、前記メサ部と前記メサ部の両側の規定領域を含む連続領域を覆うようにN型及びP型の他方である第2型の電極を形成する工程と、前記第2型の電極の表面に、前記連続領域を覆うように表面めっき層を形成する表面めっき層形成工程と、前記基板の裏面に第1型の電極を形成する工程と、前記第1型の電極の下面に裏面めっき層を形成する裏面めっき層形成工程と、を備え、前記表面めっき層および前記裏面めっき層は、前記基板の反りを抑制するような厚さに形成される。

10

【発明の効果】

【0008】

本発明における半導体レーザーでは、メサ部の少なくとも片側の全域において、結晶成長層が除去されている。このため、結晶成長層から基板が受けるストレスが低減される。このとき、基板が受けるストレスの内、表面めっき層および裏面めっき層が基板に与えるストレスの割合が大きくなる。表面めっき層と裏面めっき層は、基板に対して逆向きのストレスを与える。本発明では、表面めっき層と裏面めっき層の厚さが基板の反りを抑制するように調整されている。このため、本発明によれば反りの小さな半導体レーザーを得ることができる。

【0009】

20

また、本発明における半導体レーザーの製造方法は、メサ部の少なくとも片側の結晶成長層をすべてエッチングする工程を備える。このため、結晶成長層が小さくなり、結晶成長層から基板が受けるストレスが低減される。このとき、基板が受けるストレスの内、表面めっき層および裏面めっき層が基板に与えるストレスの割合が大きくなる。表面めっき層と裏面めっき層は、基板に対して逆向きのストレスを与える。本発明では、表面めっき層と裏面めっき層の厚さが基板の反りを抑制するように調整されている。このため、本発明によれば反りの小さな半導体レーザーを得ることができる。

【図面の簡単な説明】

【0010】

【図1】本発明の実施の形態1において基板の表面に結晶成長層を設けた状態を示す断面図である。

30

【図2】本発明の実施の形態1において図1をエッチングした状態を示す断面図である。

【図3】本発明の実施の形態1において図2に上に絶縁層を設けた状態を示す断面図である。

【図4】本発明の実施の形態1において図3に第2型の電極および表面めっき層を設けた状態を示す断面図である。

【図5】本発明の実施の形態1において図4の状態を示す平面図である。

【図6】本発明の実施の形態1における半導体レーザーの断面図である。

【図7】本発明の実施の形態1における半導体レーザーの下面図である。

【図8】比較例において基板の表面に結晶成長層を設けた状態を示す断面図である。

40

【図9】比較例において図8をエッチングした状態を示す断面図である。

【図10】比較例において図9の上に絶縁膜パッドを設けた状態を示す断面図である。

【図11】比較例において図10の上に絶縁層、第2型の電極および表面めっき層を設けた状態を示す断面図である。

【図12】比較例における半導体レーザーの断面図である。

【図13】比較例における半導体レーザーの平面図である。

【図14】本発明の実施の形態2における半導体レーザーの平面図である。

【図15】本発明の実施の形態3における半導体レーザーの平面図である。

【図16】本発明の実施の形態4における半導体レーザーの断面図である。

【図17】本発明の実施の形態5における半導体レーザーの断面図である。

50

【図 18】本発明の実施の形態 6 における半導体レーザーの下面図である。

【図 19】比較例における半導体レーザーの下面図である。

【発明を実施するための形態】

【0011】

本発明の実施の形態に係る半導体レーザーおよびその製造方法について図面を参照して説明する。同じ又は対応する構成要素には同じ符号を付し、説明の繰り返しを省略する場合がある。

【0012】

実施の形態 1.

図 1～図 7 は、実施の形態 1 に係る半導体レーザー 100 の製造方法を説明する図である。図 1 では、基板 10 の表面に結晶成長層 20 が設けられている。基板 10 は第 1 型の InP 基板である。ここで、第 1 型は N 型および P 型の一方を示す。また、第 2 型は N 型および P 型の他方を示す。結晶成長層 20 は以下に示す工程で形成される。まず、MOCVD (Metal Organic Chemical Vapor Deposition) により第 1 型の InP クラッド層、活性層 12、第 2 型の InP クラッド層をこの順に積層する。次に、第 2 型の InP クラッド層の表面に、絶縁膜で共振方向のストライプパターンを形成する。次に RIE (Reactive Ion Etching) によりエッチングを行い、絶縁膜下にリッジ 14 を形成する。

【0013】

次に、MOCVD により、第 1 型の InP 層、第 2 型の InP 層 16、第 1 型の InP 層をこの順で積層する。これにより、リッジ 14 の側面が埋められる。また、電流が活性層 12 に効率よく流れるようになる。次に、絶縁膜をエッチングで除去する。次に、MOCVD により、第 2 型の InP 層と第 2 型の InGaAs 層をこの順に積層する。InGaAs 層は電極とのコンタクト層 18 となる。以上の工程から、基板 10 の上に結晶成長層 20 が形成される。

【0014】

次に、メサ部形成工程を実施する。メサ部形成工程では、図 2 に示すように、エッチングによりメサ部 22 を形成する。この時、メサ部 22 を除く全ての結晶成長層 20 がエッチングにより除去される。この結果、メサ部の両側に、基板 10 が露出した第 1 露出部 32 および第 2 露出部 34 が形成される。以上から基板 10 および結晶成長層 20 を備えた構造体 36 が形成される。

【0015】

次に、図 3 に示すように、構造体 36 を覆うように絶縁層 24 を成膜する。絶縁層 24 により、結晶成長層 20 が保護される。また、素子の容量が低減される。次に、メサ部 22 の上面の絶縁層 24 を除去する。これにより、絶縁層 24 に開口部 26 が形成され、コンタクト層 18 が露出する。開口部 26 は、コンタクト層 18 と電極の接触のために設けられる。

【0016】

次に、図 4 に示すように、絶縁層 24 の表面に第 2 型の電極 28 を成膜する。第 2 型の電極 28 はオーミック電極である。第 2 型の電極 28 は、開口部 26 においてコンタクト層 18 と接触することで、活性層 12 に効率よく電流を流すことが可能になる。また、活性層 12 に効率よく電流を流すため、第 2 型の電極 28 は低抵抗となっている。第 2 型の電極 28 は、メサ部 22 の両側のボンディングワイヤの結線領域 39 とメサ部 22 を含む連続領域 48 (図 5 参照) を覆うように形成される。

【0017】

次に、表面めっき層形成工程を実施する。本実施の形態では、電解金めっきによりめっき層を形成する。めっき液はノンシアンの光沢電界めっき液を使用する。めっき形成時の液温は 50℃ であり、攪拌を実施し、電流密度は 4 mA/cm² とする。電解金めっきでは、給電層とフォトレジストパターンを使用した選択めっきが可能である。また、めっ

10

20

30

40

50

きの厚さを調整することが出来る。表面めっき層形成工程では、まず、第2型の電極28の表面に第1めっき層30を形成する。第1めっき層30は、第2型の電極28を給電層として形成する。また、第1めっき層30は、フォトリソパターンを用いて、ボンディングワイヤの結線領域39とメサ部22を含む連続領域48を覆うように形成する。第1めっき層30により、第2型の電極28と活性層12との間の低抵抗性が向上する。

【0018】

次に、第2めっき層38を形成する。第2めっき層38は、第1めっき層30を給電層として形成する。また、第2めっき層38は、フォトリソパターンを用いて、ボンディングワイヤの結線領域39に形成する。第2めっき層38は、ワイヤボンディングのためのボンディングパッドとなる。また、矢印46に示すように、第2めっき層38は、上

10

【0019】

第1めっき層30および第2めっき層38は、表面めっき層40を構成する。表面めっき層40は、表面めっき層形成工程の完了時に、結晶成長層20、第2型の電極28および絶縁層24が基板10を反らせるストレスよりも大きなストレスを基板10に与える厚さに設ける。本実施の形態では、表面めっき層形成工程の完了時に、基板10が表面めっき層40形成側に凸に反るように、表面めっき層40の厚さを設定する。

【0020】

ここで、基板に反りを発生させるストレスの強さは層の厚さに比例する。本実施の形態において、各層の厚さは、結晶成長層20が $5\mu\text{m t}$ 、絶縁層24が $0.5\mu\text{m t}$ 、第2型の電極28が $0.5\mu\text{m t}$ である。ここで、本実施の形態では結晶成長層20がメサ部22を除いてエッチングされている。このため、結晶成長層20が基板10に与えるストレスは小さくなっている。本実施の形態において、基板10を表面めっき層40形成側に凸に反らせるためには、第1めっき層30の厚さを $3\mu\text{m t}$ 以上に形成すればよい。

20

【0021】

本実施の形態では、第1めっき層30の厚さを調整したが、第2めっき層38の厚さを調整して基板10を表面側に凸に反らせるものとしてもよい。また、第1めっき層30および第2めっき層38の両方の厚さを調整しても良い。本実施の形態では、表面めっき層40を、所望の反りが得られるように予め決められた厚さに設定した。これに対し、基板

30

【0022】

図5は、図4の状態を示す平面図である。上述したように、第2型の電極28および第1めっき層30は、ボンディングワイヤの結線領域39とメサ部22を含む連続領域48を覆うように設けられる。本実施の形態において、連続領域48は第1めっき層30に覆われる領域である。連続領域48は平面図において十字型である。また、第2型の電極28は連続領域48を含むように設けられる。第2型の電極28は、メサ部22に対して対称に設けられ、基板10の幅と同等の幅を備えるように設けられる。また、本実施の形態では連続領域48を十字型としたが、連続領域48は基板10の全域を覆うものとしても

40

【0023】

次に、基板10の裏面の加工を行う。図6に示すように、研削またはポリッシュにより基板10を $400\mu\text{m t}$ から $100\mu\text{m t}$ 以下に薄くする。次に、基板10の裏面に、第1型の電極42を成膜する。第1型の電極42はオーミック電極である。次に、裏面めっき層形成工程を実施する。裏面めっき層形成工程では、第1型の電極42の裏面に裏面めっき層44を形成する。裏面めっき層44は、フォトリソパターンを用いて電解金めっきにより形成する。裏面めっき層44の厚さは、裏面めっき層形成工程の完了時に基板10の反りが相殺されるように調整する。図7は、本実施の形態における半導体レーザー100の下面図である。裏面めっき層44は基板10の外周部を除いて形成される。

50

【0024】

本実施の形態において、第1めっき層30と裏面めっき層44の面積比は30対50である。第1めっき層30および裏面めっき層44によるストレスのみによって、基板10の反りが発生すると仮定した場合、裏面めっき層44の厚さは第1めっき層30の30/50となるように設定すればよい。第1めっき層30の厚さが3 μm である場合、裏面めっき層44の厚さは1.8 μm となる。本実施の形態では、裏面めっき層44を、反りが相殺されるように予め決められた厚さに設定した。これに対し、表面めっき層形成工程の場合と同様に、基板10の反りを測定する工程を備えてもよい。この場合、反りの測定値から基板10の反りを相殺する裏面めっき層44の厚さを決定する。以上でウエハ工程が完了する。

10

【0025】

次に、比較例に係る半導体レーザー110の製造方法を説明する。図8は、基板10の表面に活性層12および結晶成長層20を形成した状態を示す。ここまでの製造方法は、本実施の形態における半導体レーザー100の場合と同様である。次に、図9に示すように、メサ部122の両側の一部分について結晶成長層20をエッチングする。この結果、メサ部122の両側に結晶成長層201および202が残る。

【0026】

次に、図10に示すように、結晶成長層201および202の表面に絶縁膜パッド211及び212を形成する。次に、図11に示すように、メサ部122、結晶成長層201、202および基板10を覆うように絶縁層124を形成する。また、絶縁層124には、メサ部122の上面において開口部126が形成される。また、絶縁層124の表面には、第2型の電極128および表面めっき層130が形成される。次に、基板10の裏面を加工する。図12に示すように、400 μm の基板10を100 μm 以下に薄くする。次に、基板10の裏面に、第1型の電極142および裏面めっき層144を形成する。以上でウエハ工程が完了する。図13は、比較例に係る半導体レーザー110の平面図である。

20

【0027】

上述したように、基板に反りを発生させるストレスの強さは層の厚さに比例する。比較例において、結晶成長層20からのストレスが主要因となり、基板10に反りが発生する。なお、図12に示す基板10を薄くした状態では、表面工程の完了時である図11の状態と比較して基板厚がおよそ1/4になっている。この時、表面工程の完了時と比較して、基板10にはおよそ4倍の反りが発生している。

30

【0028】

半導体レーザーの後工程では、単体の素子を得るために、ウエハをヘキカイしてバーの状態に分割する。ここで、ヘキカイを行う際に、ウエハが反っていると衝撃が均一に伝わらないことがある。このため、分割不良を起こし易くなる。また、光通信分野では通信量の増大による高速化が進んでいる。このため、素子の共振器長が小さくなる傾向にある。共振器長が小さくなると、ヘキカイにおいて細いバーを切り出す必要がある。細いバーを切り出す場合、ウエハ反りの影響により、さらに分割不良を起こし易くなる。また、加工機の励起用光源では高出力化および高効率化のために、素子が複数並んだバーの状態

40

【0029】

本実施の形態では、結晶成長層20はメサ部22の両側の全域に渡って除去される。従って、結晶成長層20によるストレスは低減される。この結果、基板10が受けるストレスの内、表面めっき層40および裏面めっき層44が基板10に与えるストレスの割合が大きくなる。従って、表面めっき層40および裏面めっき層44を基板10が受けるストレスの主要因とすることが可能になる。このため、表面めっき層40および裏面めっき層44の厚さの調整で、反りを抑制することが可能になる。

【0030】

50

各めっき層は、基板10をめっき形成側に凸に反らせるストレスを発生させる。表面めっき層形成工程において、基板10が表面めっき層40形成側に凸に反るように、表面めっき層40の厚さを調整する。また、裏面めっき層44は、表面めっき層40と逆向きのストレスを発生させる。従って、裏面めっき層44を形成することで、表面方向に凸に反った基板10の反りを抑制することが可能になる。さらに、裏面めっき層44の厚さを調整することで、基板10の反りを相殺することが出来る。従って、ウエハ工程の完了時に、ウエハの反りが緩和される。このため、ウエハの分割不良および組み立て不良を抑制することが可能になる。

【0031】

また、PN接合を含む結晶成長層が電極に挟まれた場合、素子容量が大きくなる。素子容量が大きいと、高速通信の妨げとなる場合がある。素子容量を小さくするためには、絶縁層を厚くすることが考えられる。この場合、プロセスが不安定化する場合がある。また、素子容量を小さくする別の方法として、電極面積を小さくすることが考えられる。この場合、ワイヤボンディング工程の効率が低下する可能性がある。

【0032】

これに対し、本実施の形態では、結晶成長層20の領域が小さい。従って素子容量が低減される。このため、絶縁層24を薄膜化することが出来る。この時、プロセスを安定化させることが可能になる。また、電極面積を大きくすることが出来る。このため、ワイヤボンディング工程の効率を向上させることが可能になる。

【0033】

本実施の形態では、表面めっき層40を形成してから裏面めっき層44を形成するものとした。本実施の形態の変形例として、先に裏面めっき層を形成するものとしても良い。この場合、第2型の電極28を形成した後に、裏面の加工を実施する。この際、裏面めっき層形成工程では、基板10が裏面めっき層44形成側に凸に反るように裏面めっき層44の厚さを調整する。その後、表面めっき層形成工程を実施する。表面めっき層40は、基板10の反りが相殺されるように厚さが調整される。また、本実施の形態ではめっきは金めっきであるとしたが、白金めっきでもよい。

【0034】

また、本実施の形態では、連続領域48はボンディングワイヤの結線領域39とメサ部22を含むものとした。これに対し、連続領域48はメサ部22の両側の規定領域とメサ部22を含むものとしても良い。ここで、規定領域はボンディングワイヤの結線領域以外の場合も含む。

【0035】

実施の形態2.

図14は、本発明の実施の形態2における半導体レーザー200の平面図である。本実施の形態では、絶縁層24の表面に第2型の電極228が形成される。第2型の電極228は、絶縁層24の全域を覆うように形成される。また、第2型の電極228の表面には、第1めっき層230が形成される。第1めっき層230は、第2型の電極228の全域を覆うように形成される。第1めっき層230の表面には、ボンディングワイヤの結線領域39に第2めっき層238が設けられる。さらに、第2めっき層238は、第1めっき層230の四隅にも設けられる。第2めっき層238は、上面がメサ部22の上面よりも高くなるように形成されている。

【0036】

本実施の形態では、第1めっき層230の四隅に第2めっき層238を備える。このため、後工程または組み立て時に半導体レーザー200が受ける衝撃を、均等に分散することが可能になる。従って、実施の形態1と比較して、メサ部22に加わる衝撃を低減することが可能になる。

【0037】

実施の形態3.

図15は、本発明の実施の形態3における半導体レーザー300の平面図である。本実

10

20

30

40

50

施の形態は、第1めっき層330の表面に第2めっき層338が形成される。第2めっき層338は、第1めっき層330の四隅にのみ設けられる。また、本実施の形態では、第1めっき層330がボンディングパッドとして用いられる。このため、第1めっき層330はワイヤボンダ可能な厚さを備える。本実施の形態では、実施の形態2と比較して半導体レーザー300の表面の段差が少なくなる。このため、プロセスを安定化させることが可能になる。

【0038】

実施の形態4.

図16は、本発明の実施の形態4における半導体レーザー400の断面図である。本実施の形態では、第2露出部434はメサ部22に隣接した基板10の一部の領域である。また、基板10の表面には、第2露出部434を挟んでメサ部22と対向する領域に結晶成長層420が備えられる。

10

【0039】

また、第2露出部434を挟んでメサ部22と対向する領域において、結晶成長層420の上面には絶縁膜パッド211が形成される。絶縁膜パッド211は、その上部に配置される第1めっき層430の上面が、メサ部22の上面よりも高くなるように設けられる。

【0040】

本実施の形態では、メサ部22の両側に結晶成長層を備える場合と比較して、結晶成長層420が基板10に与えるストレスを半分程度に低減することが出来る。また、絶縁膜パッド211により、メサ部22を保護することが出来る。このため、第2めっき層を設けなくても、メサ部22を保護することが可能になる。

20

【0041】

実施の形態5.

図17は、本発明の実施の形態5における半導体レーザー500の断面図である。本実施の形態は、第1めっき層430の表面に第2めっき層538が形成される事以外は、実施の形態4と同様である。第2めっき層538は、第1露出部32の上部に形成される。また、第2めっき層538は、上面がメサ部22の上面よりも高くなるように備えられる。従って、絶縁膜パッド211に加え、第2めっき層538によってもメサ部22が保護される。このため、実施の形態4と比較してメサ部22の保護機能を向上出来る。

30

【0042】

実施の形態6.

図18は、本発明の実施の形態6における半導体レーザー600の下面図である。本実施の形態では、第1型の電極42の裏面に裏面めっき層644が形成される。裏面めっき層644は、ヘキカイ対応箇所52から一定のスペース50を空けて形成される。ここで、ヘキカイ対応箇所は、ウエハをバーに分割する際にヘキカイを行う箇所である。また、裏面めっき層644は、ヘキカイ方向と平行に分割された状態に形成される。裏面めっき層644のうち、ヘキカイ対応箇所52に隣接した部分の面積は、隣接しない部分の面積と比較して小さくなっている。

【0043】

図19は、比較例における半導体レーザー700の下面図である。図19において、半導体レーザー700はヘキカイされる前のウエハ状態である。半導体レーザーは第1型の電極742の裏面に裏面めっき層744を備える。ウエハをバーに分割するとき、ヘキカイを実施する。このとき、ヘキカイ対応箇所は、裏面めっき層744からストレスを受けている。このストレスにより、破線53に示すように、ヘキカイ面が曲がり、分割不良が発生する場合がある。裏面めっき層744からのストレスは、裏面めっき層744とヘキカイ対応箇所の間のスペース54が小さいほど、大きくなる。

40

【0044】

本実施の形態では、裏面めっき層644からのストレスを抑制するため、スペース50を大きく設ける。ダイボンダ時の安定性を確保するためには、裏面めっき層644は素子

50

の幅の3分の2の幅を備える必要がある。この幅を確保した場合、スペース50は、最大で素子の幅の6分の1となる。以上から、本実施の形態では、スペース50を素子の幅の6分の1に設定する。素子の大きさが $300 \times 200 \mu\text{m}$ である場合、スペース50は $33 \mu\text{m}$ となる。このとき、ヘキカイ対応箇所52が裏面めっき層644から受けるストレスを少なくすることが可能になる。従って、分割不良が抑制される。本実施の形態ではスペース50を、素子の幅の6分の1としたが、分割不良の抑制の効果を得るためには、スペース50を素子の幅の20分の1～6分の1の任意の値に設定しても良い。

【0045】

また、ヘキカイ対応箇所52に発生するストレスを低減するためには、ヘキカイ対応箇所52に隣接する裏面めっき層の面積を小さくすることが有効である。本実施の形態では、ヘキカイ方向に平行に、裏面めっき層644を分割して設けている。さらに、裏面めっき層644のうち、ヘキカイ対応箇所52に隣接する部分の面積は、隣接しない部分の面積よりも小さくなるように設定されている。このため、ヘキカイ対応箇所52に発生するストレスが低減される。従って、分割不良の発生が抑制される。

【0046】

本実施の形態では、ヘキカイ対応箇所52との間にスペース50を設けて裏面めっき層644を形成した。さらに、裏面めっき層644を複数に分割した状態に形成した。本実施の形態の変形例として、スペース50を設けたうえで、裏面めっき層644を分割しないで形成するものとしてもよい。この場合、裏面めっき層644の形成工程が容易になる。また、スペース50を設けずに、裏面めっき層644を分割した状態に形成するものとしても良い。この場合、ダイボンド時の安定性が向上する。

【符号の説明】

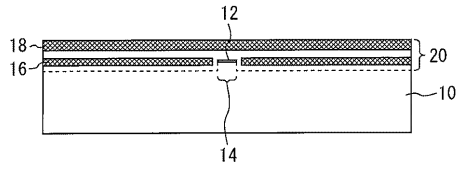
【0047】

100、200、300、400、500、600 半導体レーザー、10 基板、20、420 結晶成長層、22 メサ部、24 絶縁層、26 開口部、28、228 第2型の電極、30、230、330、430 第1めっき層、32 第1露出部、34、434 第2露出部、36 構造体、38、238、338、538 第2めっき層、39 ボンディングワイヤの結線領域、40 表面めっき層、42 第1型の電極、44、644 裏面めっき層、50 スペース、52 ヘキカイ対応箇所

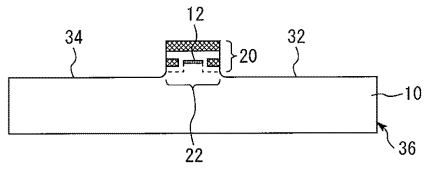
10

20

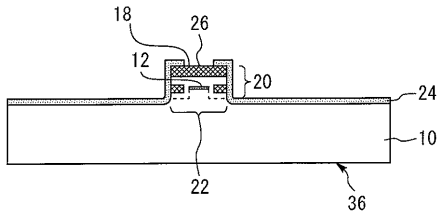
【図 1】



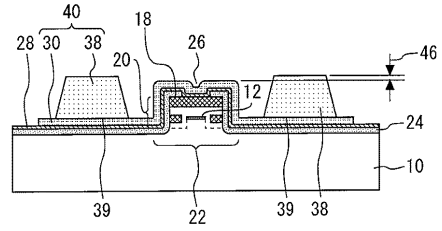
【図 2】



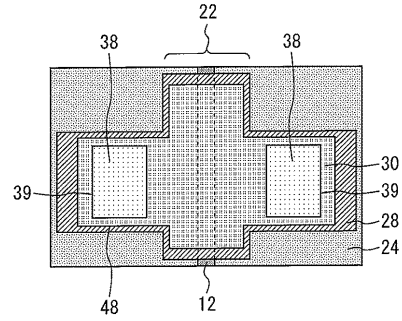
【図 3】



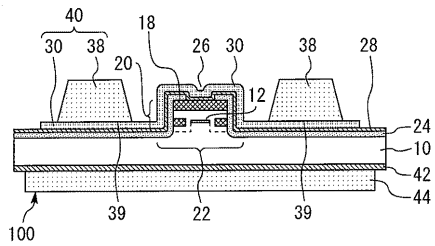
【図 4】



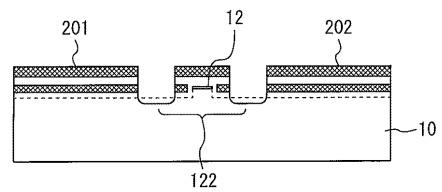
【図 5】



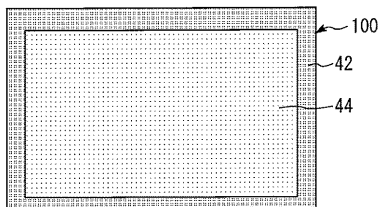
【図 6】



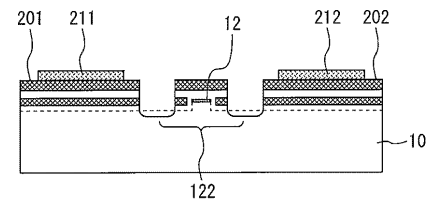
【図 9】



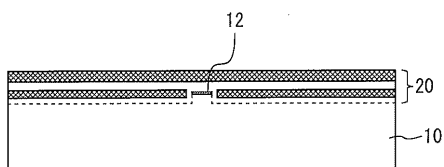
【図 7】



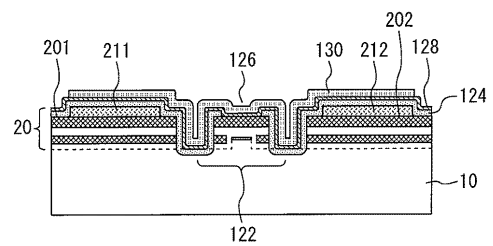
【図 10】



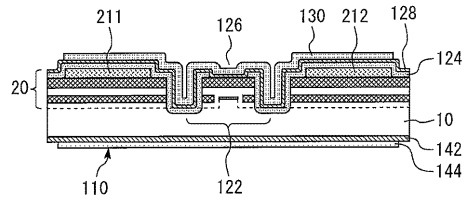
【図 8】



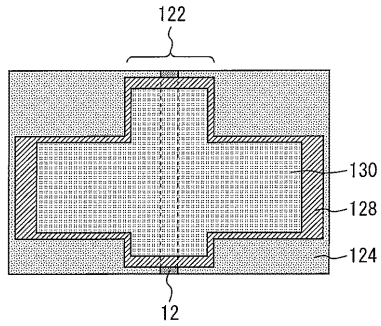
【図 11】



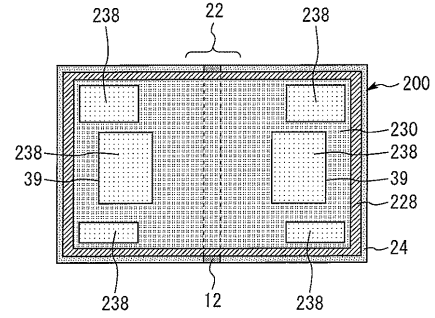
【図 1 2】



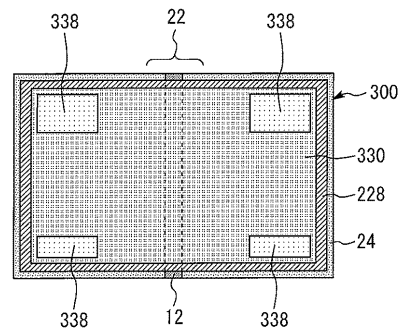
【図 1 3】



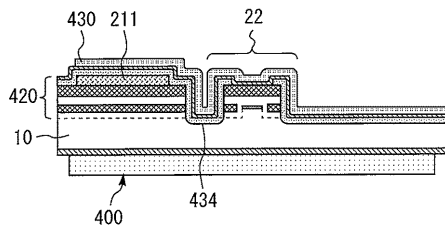
【図 1 4】



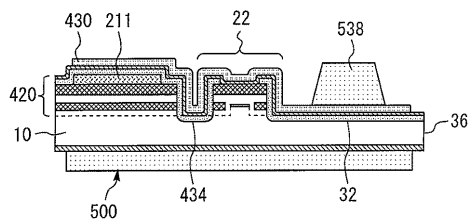
【図 1 5】



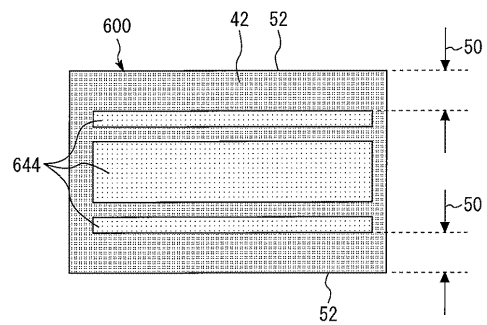
【図 1 6】



【図 1 7】



【図 1 8】



【図 19】

