

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：93134666

※ 申請日期：93 年 11 月 12 日

※IPC 分類：H01L ²⁹/₆₄ (2006.01)

一、發明名稱：(中文/英文)

藉由堆疊模板層的局部非晶化及再結晶形成具有選定的半導體
晶向之平面基板

PLANAR SUBSTRATE WITH SELECTED SEMICONDUCTOR CRYSTAL
ORIENTATIONS FORMED BY LOCALIZED AMORPHIZATION AND
RECRYSTALLIZATION OF STACKED TEMPLATE LAYERS

二、申請人：(共一人)

姓名或名稱：(中文/英文)(簽章)

萬國商業機器公司

INTERNATIONAL BUSINESS MACHINES CORPORATION

☐ 指定 為應受送達人

代表人：(中文/英文)(簽章)

傑羅 羅森梭

ROSENTHAL, GERALD

住居所或營業所地址：(中文/英文)

美國紐約州 10504 亞芒克市新奧爾察德路

New Orchard Road, Armonk, NY 10504, U. S. A.

國 籍：(中文/英文)

美國/U.S.A.

三、發明人：(共四人)

姓名(中文/英文)，國籍(中文/英文)

喬 P. 迪索薩，DE SOUZA, JOEL P.，巴西 BR

約翰 A. 歐特，OTT, JOHN A.，美國，US

亞歷山大 瑞茲尼塞克，REZNICEK, ALEXANDER，德國 DE

凱瑟琳 L 珊格，SAENGER, KATHERINE L.，美國，US

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國 US、西元 2003 年 12 月 2 日、10/725,850

2.

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於高效能互補式金氧半導體(CMOS)之電路，利用 p 型場效電晶體(FETs)與 n 型場效電晶體(FETs)之半導體間的相異半導體表面配向提升載子遷移率。本發明尤其關於製造具相異表面晶向之平面基板結構的方法，及以此方法所生產之混合配向(hybrid-orientation)基板結構。

【先前技術】

現今半導體之互補式金氧半導體(CMOS)電路技術，包含利用電子載子來運作的 n 型場效電晶體(nFETs)，以及利用電洞載子來運作的 p 型場效電晶體(pFETs)。CMOS 電路通常係製作於具單一晶向之半導體晶圓上。尤其，今日大多數的半導體元件皆建構於具(100)表面晶向的矽上。

已知電子於(100)表面配向矽中具高遷移率，而電洞於(110)表面配向矽中具高遷移率。事實上，電洞遷移率在 110 配向矽晶圓中，是比在標準 100 配向矽晶圓中高約二到四倍。也因此會想要建立一包含 100 配向矽(其中將形成 nFETs)及 110 配向矽(其中將形成 pFETs)的混合配向基板。

具有相異表面晶向之平面混合配向基板結構已描述於習知著作中(例如於 2003 年 10 月 29 日申請之共同讓與美國專利申請序號:10/696,634, 以及於 2003 年 6 月 17 日申請之共同讓與美國專利申請序號:10/250,241)。

圖 1A-1E 以剖面圖顯示一些平面混合配向半導體基板結構的習知實例，包含有主體半導體基板 10，介電隔離溝渠區 20，具一第一表面配向(例如 j'k'l')的半導體區 30，具一第二表面配向(例如 jkl)的半導體區 40。於圖 1A 之結構中，半導體區 30 及 40 係直接位於主體基板上，且半導體區 40 與主體半導體基板 10 具相同配向。圖 1B 之結構與圖 1A 之不同僅在於，半導體區 30 係位於埋藏氧化層 50(BOX)上，而非直接位在主體基板上。圖 1C-1E 的結構與圖 1A-1B 的差異在於，BOX 層 50 與 50'的厚度，以及隔離溝渠結構 20 與 20'的深度。

圖 2A-2B 以剖面圖顯示習知實例是如何的將積體 CMOS 電路適當地配置在圖 1B 的混合配向基板結構上，此積體 CMOS 電路包含至少一個 pFET 於(110)矽晶型平面，以及至少一個 nFET 於(100)矽晶型平面上。於圖 2A 中，具 100 配向的主體矽基板 120，有多個 110 配向矽區 130 位於 BOX 層 140 上，及多個再成長 100 配向矽區 150 位於主體基板 120 上。pFET 元件 170 位於 110 配向矽區 130 上，而 nFET 元件 180 則位於

100 配向區 150 上。於圖 2B 中，具 110 配向的主體矽基板 180，有多個 100 配向矽區 190 位於 BOX 層 140 上，及多個再成長 110 配向矽區 200 位於主體基板 180 上。pFET 元件 210 位於 110 配向區 180 上，而 nFET 元件 220 則位於 100 配向區 190 上。

圖 3A-3I 以剖面圖顯示習知用來形成圖 1B 結構之方法的步驟。詳言之，圖 3A 顯示初始矽基板 250，而圖 3B 則顯示 BOX 層 260 及矽覆絕緣體(SiOI)元件層 270 形成之後的基板 250。矽基板 250 可為 110(或 100)配向，而 SiOI 元件層 270 則為 100(或 110)配向。SiOI 層 270 可以接合或其他方式形成。在沉積保護介電層 280(較佳為 SiN_x)，以形成圖 3C 之結構後，移除 SiOI 元件層 270 與 BOX 層 260 之選定區域，以形成延伸至矽基板 250 的開口 290，如圖 3D 所示。開口 290 內襯一介電質(較佳為 SiN_x)，之後蝕刻此介電質以形成邊壁間隔物 300，如圖 3E 所示。接著，於開口 290 中選擇性成長磊晶矽(epitaxial Si)310，以製造圖 3F 之結構，然後再平坦化以形成如圖 3G 之結構。然後，以一種如研磨的製程將保護介電質 280 移除，形成如圖 3H 之具有共平面，相異配向之矽元件層 310(於主體矽基板 250 上)及 320(於 BOX 層 260 上)的結構。圖 3I 顯示在圖 3H 結構中形成淺溝隔離區 330 後之完整的基板結構。

然而，對許多應用而言，會需要在一 BOX 上有兩種相異配向矽區。變化圖 3A-3I 的方法以形成這種結構是可能的，但並不容易。舉例來說，製造圖 4 之結構可以一 SiOI 基板 400 取代在圖 3A 的矽基板 250，此 SiOI 基板 400 包含基板 410、BOX 層 420、矽層 430，以製造配向相異之單晶區 320 及 440，單晶區 320 具一第一配向，單晶區 440 具一第二配向，並與半導體層 430 匹配。然而，使用二個 BOX 層增加製程額外複雜度，且在所產生的結構中，會有其中之一混合配向明顯比另一者厚(當兩者都需要薄時會是一缺點)。此外，選擇性磊晶矽成長是很難處理的，在邊壁間隔物 300 上(如圖 3E-3F)容易有長晶(nucleate)的缺陷，特別是開口 290 很小時(例如半徑小於 500nm)。

有鑑於此，需要有更簡單且更好的方法(例如，不需要磊晶再成長)，以形成平面混合配向半導體基板結構，特別是平面混合配向半導體覆絕緣層(SOI)基板結構，其中不同配向之半導體都配置在共同 BOX 層上。

此外，在這種平面混合配向 SOI 基板上，也需有積體電子電路，此電子電路包含於一(110)配向晶型平面上的多個 pFET，及於一(100)晶型平面上的多個 nFET。

【發明內容】

本發明之目的為提供一平面混合配向 SOI 基板結構，具一表面係含有至少二個明確定義(clearly defined)且表面配向相異之單晶半導體區，其中此等相異配向之半導體區係配置於一共同 BOX 層上。此處使用「明確定義」的用語意旨，一既定表面配向的表面區域是宏觀的(macroscopic)，且不僅是多晶矽的單晶粒。

本發明之一相關目的，在於提供製造這種平面混合配向半導體基板結構的方法。

本發明之另一目的，係於多樣化支稱層上，提供製造相似混合配向半導體基板結構的方法。

本發明之又另一目的，係於本發明之混合配向基板上提供多個積體電路(ICs)，此積體電路包含在一(110)晶型平面之多個 pFET，與在一(100)晶型平面之多個 nFET。

依據以上所列及其他目的，提供新方法以用於形成多樣化平面混合配向半導體基板結構的。所有方法都有三個相同的基本步驟，以使所選定之半導體區域的配向可由原始配向轉變到所需的配向：

形成一雙層模板層疊，包含具一第一配向之一第一下部單晶半導體層(或基板)，及具異於第一配向之一第二配向之一第二上部單晶半導體層(通常為接合的)；

在選定區域中，非晶化多個雙層模板層疊之一(例如透過一遮罩之離子植入)，形成局部非晶化區；以及

使用未非晶化疊層當作一模板再結晶局部非晶化區，如此便可將局部非晶化區之原始配向轉變為一所需的配向。

為了使側面模板化可能性降到最小，選定作非晶化及模板再結晶之區域的側邊，通常會與鄰近之結晶區域作隔離，如使用溝渠。溝渠可在非晶化前形成並填滿，或在非晶化與再結晶之間形成或填滿，或是在非晶化之後形成，並於再結晶之後填滿。

在本發明之實施例中，上述基本步驟係涵蓋於形成一平面混合配向 SiOI 基板結構之方法中。一配向 100 之矽基板係用於雙層模板層疊之第一下層，而配向 110 之矽層則用於雙層模板層疊第二上層。將模板疊最上部之選定區域非晶化，其深度達到底下之 100 配向矽基板。接著，使用底下 100 配向矽為模板，將非晶化矽區再結晶成為 100 配向矽。在這些圖案式非晶

化及再結晶步驟之後，經處理區域留有 100 配向矽的表面區，而未經處理區域則為 110 配向矽的表面區，且埋藏氧化(BOX)層則以氧植入與退火形成(例如，「氧植入隔離法」，或是 SIMOX 製程)。

在本發明另一實施例中，有另一形成平面混合配向 SiOI 基板結構的方法係包含上述基本步驟。於此方法中，位於 BOX 層上的 110 配向 SiOI 層係用於雙層模板層疊之第一下層，而 100 配向矽層則用於雙層模板層疊第二上層。將模板疊最上部之選定區域非晶化，其深度達到底下之 100 配向矽基板。然後，使用 100 配向矽層作模板，將非晶化矽區再結晶為 100 配向矽。利用如研磨的製程去除雙層模板之最頂端部分，留下 110 配向矽(於未處理區)，以及 100 配向矽(於已處理區)共平面的表面區域。

本發明之基本步驟容易整體地或部分地適用於，在不同的基板(如，主體狀、薄型或厚型 BOX 層，絕緣或高阻抗基板)上形成平面混合配向半導體結構，或是形成具有三個或多個表面配向之平面混合配向半導體基板結構。

此外，本發明之另一態樣係在本發明之平面混合配向半導體基板上提供積體電路，此積體電路包含在(110)晶型平面上的多個 pFET，以及在(100)晶型平面上的多個 nFET。

【實施方式】

現在參考本申請案所附圖式，更詳細說明本發明所提供之平面混合配向 SOI 基板結構及其製造方法。

圖 5A 至 5B 以剖面圖顯示可由本發明之方法製造之混合配向基板的二個較佳實施例。圖 5A 之混合配向基板 450 及圖 5B 混合配向基板 460，都含具一第一配向之第一單晶半導體區 470，及具一第二配向之第二單晶半導體區 480，第二配向異於第一配向。半導體區 470 與 480 之厚度大致相同，且都配置於相同的 BOX 層 490 上。用語“BOX”係代表一埋藏氧化區。雖然於此特別使用此用語，然本發明並不僅侷限於埋藏氧化層，而是可使用各種絕緣層。以下將更詳細說明各種絕緣層。

半導體區 470 與 480 以介電隔離溝渠區 500 隔開，如圖所示，其具相同的深度，且止於 BOX 層 490。然而，本發明有某些實施例，其隔離溝渠 500 可以較淺(如此便不會到達 BOX 層 490)，或較深(以延伸通過 BOX 層 490)，或是視所需而具不相等深度。圖 5A 與 5B 差異僅在於基板 510 與 520 的特徵。圖 5A 之基板 510 是與單晶半導體區 480 係有磊晶關係的半導體，而圖 5B 的基板 520 就沒有此限制，除了要與後續經歷的任何製程相容以外。

圖 5A-5B 之混合配向基板結構可作為積體電路的基板，此積體電路包含至少一個 pFET 於(110)晶型平面上，以及至少一個 nFET 於(100)晶型平面上。圖 6 以剖面圖例示積體電路於圖 5B 之混合配向基板結構之矽上的範例。基板 520 有單晶 110 配向矽區 530 及單晶 100 配向矽區 540，其間以配置於 BOX 層 490 上的隔離區 500 隔開。多個 pFET 元件 170 配置於 110 配向區 530 上，而 nFET 元件 180 配置於 100 配向矽區 540 上。為清楚地說明，未顯示摻雜物。

使用此項技藝人士所熟知的技術，可以製造位於圖 5A 之結構上的各種 FET，如圖 6 所示。於某些實施例中，層 540 與層 530 中之 110 與 100 晶向可反轉。在那種實施例中，pFET 元件 170 還是可以作在 110 配向區上，而 nFET 元件 180 則可作在 100 配向表面上。

本發明同時提供形成平面混合配向半導體基板結構的新方法。所有其他方法都有相同的三個基本步驟，藉此，所選定之半導體區的配向可從原來的配向轉換成所需的配向：

形成一雙層模板層疊，包含具一第一配向之一第一下部單晶半導體層(或基板)，及具一第二配向的一第二上部單晶半導體層(通常為接合的)，第一配向異於第二配向；

在選定區域中，非晶化多個雙層模板層疊之一(例如透過一遮罩之離子植入)，形成局部非晶化區(localized amorphized regions)；以及

使用未非晶化疊層當作一模板，再結晶此局部非晶化區，如此便可將局部非晶化區之原始配向轉變為一所需的配向。

圖 7A-7G 顯示的步驟係以上層非晶化以及下層模板化之例子作示範。雖然此實施例如此顯示，本發明亦有考慮到非晶化下層而以上層作模板再結晶的方法。

圖 7A 顯示初始 SOI 基板 580，包含基礎基板 520、BOX 層 490、以及具有一第一配向的單晶 SOI 層 590。藉由接合或本領域中其他習知方法可形成 SOI 層 590。圖 7B 顯示雙層模板層疊 600，包含作為具一第一配向之一下層模板層的 SOI 層 590，以及具一第二配向之一上層模板層的單晶半導體層 610，第一配向與第二配向相異。層 610 通常以接合形成。圖 7C 顯示，圖 7B 在選定區域經過離子轟擊 620 後建立的局部非晶化區 630。局部非晶化區 630 由上模板層 610 的頂表面向下延伸至位於下模板層 590 內的介面 640。通常結合一圖案化的遮罩遮蓋離子轟擊，以選定離子轟擊 620 的區域。圖 7D 顯示再結晶圖 7C 結構之局部非晶化區 630 (始於介面 640，以下

層 590 為模板)後所形成的單晶半導體區 650。未非晶化上層模板區 610'(具第二晶向)與再結晶區 650(具第一晶向)此時即含具表面 A-B 的平面混合配向基板 650,其包含至少二個明確定義的且表面配向相異的單晶半導體區。

為了使側面模板化可能性降到最小,選定作非晶化及模板化再結晶區 630 的側邊區,通常至少會與鄰近之結晶區域作部分地隔離,如使用溝渠。溝渠可在非晶化前形成並填滿,或在進行非晶化與再結晶之間形成或填滿,或是在非晶化之後形成,並於再結晶之後填滿。形成溝渠通常藉由如透過遮罩的反應離子蝕刻(RIE)製程來產生。

圖 7E-7G 顯示三個隔離溝渠的幾何結構。於圖 7E 中,隔離溝渠 660 延伸穿透上模板層,但沒有超越非晶化層的深度。於此例子中,可能會有一些側邊界面 670 之模板化。於圖 7F 中,隔離溝渠 680 延伸超越非晶化層的深度,但未完全通抵 BOX 層 490。然而,若是所需要晶向之再結晶的速率,與因非需要晶向模板化而再結晶的速率比較之下,前者大很多,則隔離溝渠即非必要。例如,已有報導指出矽植入非晶化單晶矽試片的再結晶速率,100 配向矽比 110 配向矽快三倍。[參考如 L.Cseregi 等人於 J. Appl. Phys. 49 3096(1978)之著作]。

在設計模板層疊與製程流程時，也應該考慮相異的半導體配向之再結晶速率有差別的事實。雙層模板層疊中具較慢成長配向的層會是較佳的非晶化層，而具較快成長配向的層，則會是再結晶時要模板化的較佳選擇。

圖 8A-8G 顯示本發明之一實施例，係形成與圖 5A 之結構 450 類似之平面混合配向 SOI 基板結構的方法，圖 7A-7D 之基本步驟也涵蓋其中。為簡要說明，隔離溝渠未顯示。圖 8A 顯示 100 配向矽基板 700，具第一模板疊之下層；圖 8B 顯示加入 110 配向矽層 710 之後的基板 700，矽層 710 包含第二模板疊之上層。層 710 的形成通常藉由接合。

圖 8C 顯示圖 8B 在選定區域經過離子轟擊 720 的結構，以建立具局部非晶化區 730 的結構(如圖 D)，局部非晶化區 730 從模板層 710 的頂表面延伸到止於基板 700 的一深度。圖 8E 顯示，當圖 8D 的局部非晶化區 730 被再結晶後(使用 100 配向之矽基板 700 作模板)的結構，以形成單晶 100 配向矽區 740。未非晶化 110 配向矽區 710'，及再結晶後之 100 配向矽區 740，此時包含主體平面混合配向基板 750，其表面 A-B 含有至少二個明確定義之具相異表面配向的單晶半導體區。

接著，如圖 8F-8G 所示以一 SIMOX 製程建立一 BOX 層。圖 8F 顯示，圖 8E 的結構暴露於覆蓋氧離子植入 760 中，以建立埋藏富氧層(O-rich layer)770。富氧層 770 較佳含有在層 700 與 710 之間原有的介面，且藉由適當的退火步驟，將富氧層 770 轉化成如圖 8G 的 BOX 層 780。

圖 9A-9F 顯示本發明之另一實施例，係形成與圖 5B 之結構 460 類似之平面混合配向 SOI 基板結構的方法，圖 7A-7D 之基本步驟也涵蓋其中。詳言之，圖 9A 顯示初始 SiOI 基板 800，包含基礎基板 520，BOX 層 490，以及 110 配向之單晶矽層 810。形成矽層 810 可使用接合法，或其他習知方法。圖 9B 顯示雙層模板層疊 820，包含以 110 配向矽層 810 作一下模板層，以及以 100 配向單層 830 作一上模板層。層 830 通常藉由接合形成。圖 9C 顯示圖 8B 在選定區域經過離子轟擊 840 的結構，以建立如圖 9D 之結構，具有埋藏的局部非晶化區 850。局部非晶化區 850 自 BOX 層 490 延伸穿過下模板層 810，且部分地進入上模板層 830。如上所述，選定為非晶化及模板再結晶的區域，通常會藉溝渠(未顯示)與鄰接之結晶區隔離，以使側向模板化可能性降到最小。圖 9E 顯示圖 9D 之局部非晶化區 850，以上模板層 830 作模板而再結晶之後的結構，形成配向 100 單晶矽區 860。接著，以如研磨(或在濕回蝕後氧化)的製程去除上模板層 830，留下配置在共同 BOX 層 490 上，且共平面的 110-配向單晶矽區 810' 及 100-配向單晶矽區 860。

應注意的是，採用圖 8A-8G 所示之方法，可等效地將基板 700 以及上模板層 710 的配向反轉，意即，用含 110 配向矽晶圓，取代配向 100 矽晶圓的基板 700，以及具 100 配向矽單晶層，取代 110 配向矽單晶層的上模板層 710。同樣地，採用圖 9A-9F 所示之方法，也可將下模板層 810 以及上模板層 830 的配向反轉，意即，用 100 配向矽，取代 110 配向矽的下模板基層 810，以及用具 110 配向矽，取代 100 配向矽的上模板層 830。更廣泛而言，本發明之結構與方法可使用半導體來取代矽，以下將詳述此方式。

圖 10A-10I 以剖面圖顯示以本發明之方法所製造之混合配向基板的不同實施例。圖 10A 顯示「主體」平面混合配向半導體基板結構 900，包含具一第一配向之第一單晶半導體區 910，以及具一第二配向之第二單晶半導體區 920，其中第一配向與第一配向相異，但與基板 930 配向相同。平面混合配向半導體基板結構 940，如圖 10B 所示，與圖 10A 的結構 900 相似，但是，結構 940 有隔離溝渠 950 以區隔單晶半導體區 910 與 920。

圖 10C 之平面混合配向半導體基板結構 960，與圖 10A 的結構 900 相似。但是，基板 930 則被基板 980 取代，基板 980 與半導體區 920 可能有或沒有磊晶相關。結構 960 包含位

於半導體區 910 與 920 下方的 BOX 層 970，以及位於第一半導體區 910 下方殘留之具第二配向的第二半導體材料殘留物 990。圖 10D 中的平面混合配向半導體基板結構 1000 與圖 10C 中結構 960 相似，除了半導體區 920 與半導體區 930 有磊晶關係，以及 BOX 層 970 位在第一單晶半導體區 910 與基板 930 之間的界面 1010 上。

圖 10E 至 10F 所示之平面混合配向半導體基板結構 1020 與 1030，與圖 10A-10B 中結構 1000 與結構 940 相似，除了半導體基板 930 被絕緣基板 1040 取代以外。

圖 10G-10H 的平面混合配向半導體基板結構 1050 與 1060，與圖 10C 的結構 960 相似，但結構 1050 與 1060 有隔離溝渠區 950。圖 10G 之結構 1050 中，隔離溝渠區 950 延伸至第一單晶半導體區 910 與殘留物 990 之間的介面 1070 以下，但並沒有接觸到 BOX 層 970。圖 10H 的結構 1060 中，隔離溝渠區 950 延伸至 BOX 層 970。

圖 10I 之平面混合配向半導體基板結構 1080 包含三個相異配向之單晶半導體區 910、920、1090，並以延伸至 BOX 層 970 之隔離溝渠 950 隔開。藉由本發明之局部非晶化與再結晶方法，利用多層模板疊取代雙層模板層疊，可製造具三個以上之表面配向的平面混合配向半導體基板結構。

利用本發明基本步驟之各種排列組合，含或不含額外步驟，可製造如圖 5A-5B 及圖 10A-10I 之結構。例如，一類似於圖 5B 之 460 的平面混合配向結構，可從圖 10H 之結構，再加入非晶化第二半導體材料 920 之殘留物 990，以及再結晶此非晶化區(使用單晶區 910 為模板)等步驟來製成。

本發明之半導體基板及單晶半導體區可自廣泛半導體材料中挑選。例如，基板 510、520、700、930、980、以及不同配向的第一與第二半導體區 470、610'、910、及 480、650、920 可選自矽、碳化矽、鍺化矽、碳鍺化矽、鍺合金、鍺、碳、砷化鎵、砷化銮、磷化銮，以及其他 III-V 或 II-VI 族化合物半導體的群組。層狀結合或前述半導體材料的合金(例如，矽層覆鍺化矽)，不論是否有一個或以上的摻雜物(dopants)，於此皆納入考慮。第一與第二半導體區可能是應變的、未應變的、或是結合應變與未應變層都可使用。晶型配向通常選自(110)、(111)及(100)的群組。

第一與第二單晶半導體區 470、610'、910 以及 480、650 及 920 的厚度通常在約 1 至約 500 奈米，而以厚度為 10 至 100 奈米更普遍。基板 510、520、700、930 與 980 的厚度通常在 5 至 1000 毫米，其以約為 600 毫米最常用。

BOX 層與絕緣基板 1040 可自廣泛介電材料中挑選，包含但不僅限於二氧化矽、結晶二氧化矽、含氮或其他元素之二氧化矽、矽氮化物、金屬氧化物(如氧化鋁)、絕緣金屬氮化物(如氮化鋁)、高熱傳性材料如結晶化鑽石。BOX 的厚度可由約 2 奈米至約 500 奈米的範圍，其較佳厚度通常在約 50 至約 150 奈米左右。

形成模板疊的接合法可包含任何熟悉此領域人士的習知的方法(參照如 Q.Y Tong 等人之著作[*Semiconductor Wafer Bonding: Science and Technology*(John Wiley,1998)])，及共待審及共讓渡之美國專利申請號 10/696,634，於 2003 年 10 月 29 日申請，以及共待審(co-pending)與共讓渡之美國專利申請號 10/250,241，於 2003 年 6 月 17 日申請。以上所提每個共讓渡美國申請案之內容均納入本發明供參考。

接合不同配向之半導體的表面以具疏水性(不是親水性)有最乾淨的界面，因為於非晶化區的不純物通常會阻礙再結晶的進行。然而，若藉由適當的退火可製得之氧化物係呈現一種非連續，分離的形態，則在接合界面有非常薄的氧化物是可被容許的(參照如 P.McCann 等人之著作["An investigation into interfacial oxide in direct silicon bonding," 6th Int. Symp. on Semiconductor Wafer Bonding, San Francisco, Sep 2-7,2001])。接

合後晶圓的隔離/移除，可藉由研磨(grinding)或蝕刻去掉晶圓(以使用一蝕刻終止層較佳)，或是利用在初期製程中建立一機械強度弱之界面。弱機械界面層的實例包含多孔矽(參照如 K.Sakaguchi 等人於其著作 Solid State Technology, June 2000 中描述之磊晶層移轉 (ELTRAN)由)，以及離子轟擊含氫氣泡(ion-implanted H-containing bubbles)(參照如 M.Brueley 在美國專利 5,374,564(1994 年 12 月 20 日公告)中所描述之智慧切割製程(Smart Cut Process)，及 K.V Srikrishnan 之美國專利 5,882,987，(1999 年 3 月 16 日公告))。

非晶化通常以離子轟擊來作用。最佳離子植入之條件取決於模板層材質、模板層厚度、以及要非晶化之堆疊層的位置(上或下)。此領域人士所習知的任何離子種類都可使用，如矽、鍺、氫、碳、氧、氮、氫、氫、氫、氫、磷、硼、砷等等。非晶化用之離子，以矽或鍺較佳。較輕的離子如氫與氫非晶化效果通常較差。進行離子轟擊之溫度範圍從低溫至名義室溫(nominal room temperatures)以上數百度。所謂“名義室溫”，是指溫度由約 20°C 至約 40°C。不需要非晶化之區域，通常以圖案化之遮罩來保護以避免離子轟擊(例如用於室溫植入製程的圖案化光阻)。實施植入可有或無“遮蔽氧化物(screen oxide)”層，且若單一植入並無法產生足夠均勻之非晶化區，也可實施不同能量之多植入。植入劑量取決於植入物的種類、配

植入之半導體，以及需非晶化層的厚度。於 50、100、150 之低溫，200KeV 下植入總劑量約 $6E15/cm^2$ 的矽，被發現足以非晶化配向 100 與配向 110 矽的上方 400nm (參照如 L.Csepregi 等人之著作)。然而，當要植入之離子為鍺且要非晶化的表面比 50-100nm 還要薄時，非晶化矽之劑量可再更低(如 $5E14/cm^2$ 於 40keV)。

局部非晶化區 630,730 與 850 的再結晶，通常在約 200°C 至 1300°C 的退火溫度下作用，較佳為約 400°C 至約 900°C，特佳為 400°C 至 600°C，並持續一段時間到足以引發再結晶。此段時間得長短取決於模板層之配向，要再結晶的非晶化區厚度、非晶化層存在之植入物與其他雜質，也可能受到在植入與非植入區之介面尖銳度(sharpness)影響。退火可在熔爐(furnace)中進行或採用快速熱退火。在其他實施例中，退火可以雷射退火或峰值退火(spike anneal)進行。退火之環境通常選自含有氮氣、氫、氬、氫氣及這些氣體的混合物之群組中。

再結晶步驟後，要於結構中建立埋藏絕緣物時，可使用形成埋藏絕緣層的任何習知離子植入步驟及退火步驟。例如，製造如圖 8F-8G 之結構所示之一埋藏氧化層可使用任何習知之 SIMOX 製程。

在此已詳細說明本發明結合各種變化的許多實施例，並闡明於所附圖式中，應可瞭解仍可能還有其他的變化係不背離本發明的範圍。要特別強調的是，本發明大部分的基板結構、電路、以及方法已經以具二個相異配向之少量的單晶區作例子來示範說明，故本發明應可均等適用於，供作含大量這種單晶區結構的方法。除此之外，視後續所製造之元件所須，本發明的混合配向基板可包含一些基本特徵，如額外的覆蓋層(如磊晶成長半導體或額外的接合層)，去除或回蝕某些特定的表面特徵(如使一個或多個單晶半導體區或隔離溝渠凹陷)，及/或特定的摻雜輪廓。以上說明不意欲更限縮本發明所附申請專利範圍。上述實例不為排它而僅供示範說明。

【圖式簡單說明】

以下之詳盡說明可更清楚且更易理解本發明的這些與其它的特徵、態樣、以及優點。

圖 1A-1E 以剖面圖顯示一些習知實例之平面混合配向半導體基板結構，其中兩半導體配向之第一個係直接配置於主體半導體基板上，兩半導體配向之第二個則是配置於基板上(圖 1A 及 1C)，或由一薄 BOX 層部分地與基板隔離(圖 1E)，或以一厚 BOX 層完全地與基板隔離(圖 1B,1D)。

圖 2A-2B 以剖面圖顯示習知實例之混合配向基板結構圖 1B 是如何形成積體電路的基礎，此積體電路包含至少一個 pFET 於 110 配向單晶矽區，以及至少一個 nFET 於 100 配向單晶矽區；

圖 3A-3I 以剖面圖顯示習知方法之基本步驟，用於形成圖 1A-1E 之結構，以圖 1B 的例子作示範。

圖 4 以剖面圖顯示平面混合配向半導體基板結構的習知實例，其中兩配向相異之單晶矽區都配置在埋藏絕緣層上。

圖 5A-5B 以剖面圖顯示，本發明之二個較佳的混合配向基板 SOI 實施例。

圖 6 以剖面圖顯示，本發明之混合配向基板如何能形成積體電路的基礎，此積體電路包含至少一個 pFET 於(110)矽晶型平面上，以及至少一個 nFET 於(100)矽晶型平面上。

圖 7A-7G 以剖面圖顯示本發明方法之基本步驟，以上層表面非晶化與下層模板化之例子作示範。

圖 8A-8G 以剖面圖顯示，製造本發明圖 5A 之結構的一第一較佳方法。

圖 9A-9F 以剖面圖顯示，製造本發明圖 5B 之結構的一第二較佳方法。

圖 10A-10I 以剖面圖顯示，本發明之方法可製造出混合配向基板的各種不同實施例。

【主要元件符號說明】

10	基板
20	隔離溝渠
20'	隔離溝渠
30	半導體區
40	半導體區
50	埋藏氧化層
50'	埋藏氧化層
120	矽基板
130	矽區
140	BOX 層
150	矽區
170	pFET 元件
180	nFET 元件
190	矽區
200	矽區
210	pFET 元件
220	nFET 元件
250	矽基板
260	BOX 層
270	SiOI 元件層

280	保護介電層
300	邊壁間隔物
310	矽元件層
320	矽元件層
330	淺溝隔離
400	SiOI 基板
410	基板
420	BOX 層
430	矽層
440	單晶區
450	混合配向基板
460	混合配向基板
470	第一單晶半導體區
480	第二單晶半導體區
490	BOX 層
500	隔離溝渠
510	基板
520	基板
530	矽區
540	矽區
580	SOI 基板
590	SOI 層

600	雙層模板層疊
610	單晶半導體層
610'	未非晶化上層模板區
620	離子轟擊
630	局部非晶化區
640	介面
650	半導體區
660	隔離溝渠
670	側邊界面
680	隔離溝渠
690	隔離溝渠
700	基板
710	矽層
710'	矽區
720	離子轟擊
730	局部非晶化區
740	矽區
750	平面混合配向基板
760	氧離子植入
770	富氧層
780	BOX 層
800	SiOI 基板

810	矽區
810'	矽區
820	雙層模板層疊
830	模板層
840	離子轟擊
850	埋藏的局部非晶化區
860	矽區
900	半導體基板結構
910	第一單晶半導體區
920	第二單晶半導體區
930	基板
940	半導體基板結構
950	隔離溝渠
960	半導體基板結構
970	BOX 層
980	基板
990	殘留物
1000	半導體基板結構
1010	界面
1020	半導體基板結構
1030	半導體基板結構
1040	絕緣基板

- 1050 半導體基板結構
- 1060 半導體基板結構
- 1070 介面
- 1080 半導體基板結構

五、中文發明摘要：

本發明提供一種利用局部非晶化與再結晶堆疊模板層的方法，用以製造具有相異晶型配向的半導體層。同時也提供以本發明方法所建立之混合配向半導體基板結構，及這些結構與多種 CMOS 電路的整合，此 CMOS 電路係包含至少二個半導體元件，配置在相異表面配向，用以增強元件的效能。

六、英文發明摘要：

A method utilizing localized amorphization and recrystallization of stacked template layers is provided for making a planar substrate having semiconductor layers of different crystallographic orientations. Also provided are hybrid-orientation semiconductor substrate structures built with the methods of the invention, as well as such structures integrated with various CMOS circuits comprising at least two semiconductor devices disposed on different surface orientations for enhanced device performance.

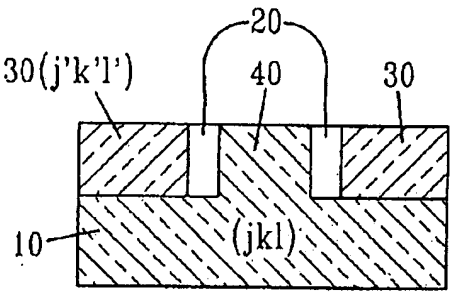


圖 1A
(習知技術)

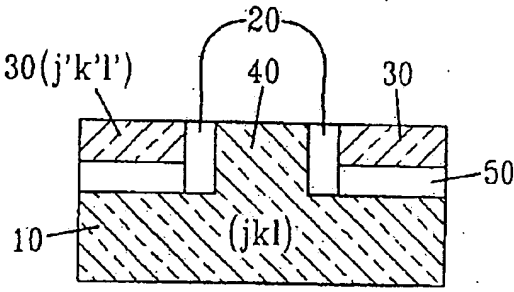


圖 1B
(習知技術)

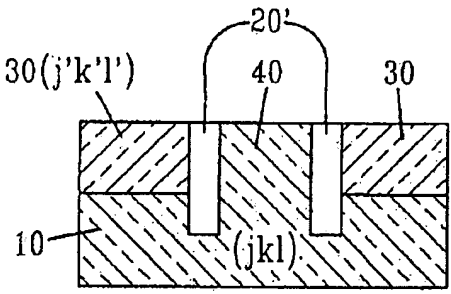


圖 1C
(習知技術)

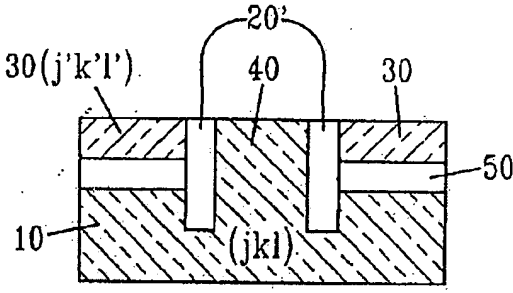


圖 1D
(習知技術)

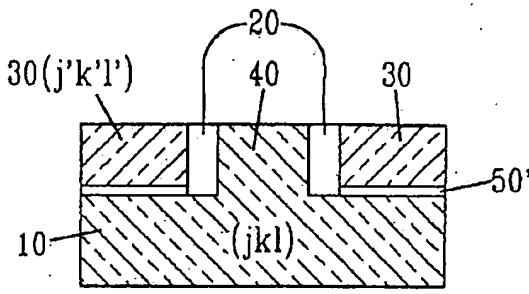


圖 1E
(習知技術)

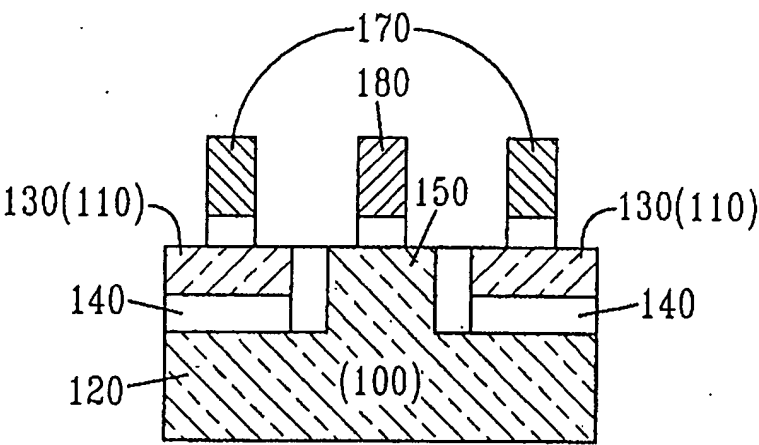


圖 2A
(習知技術)

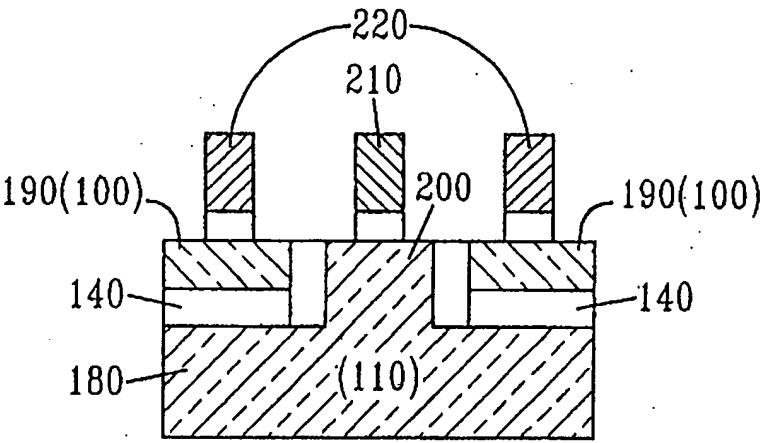


圖 2B
(習知技術)

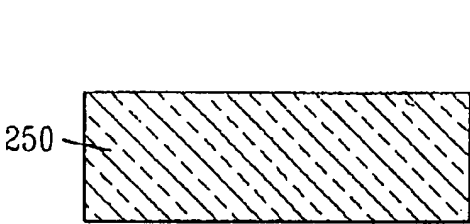


圖 3A
(習知技術)

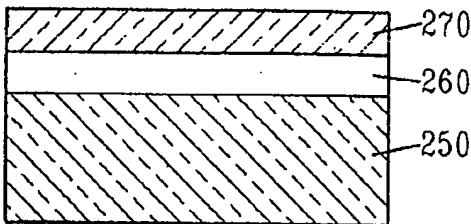


圖 3B
(習知技術)

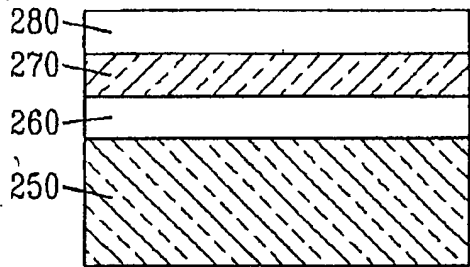


圖 3C
(習知技術)

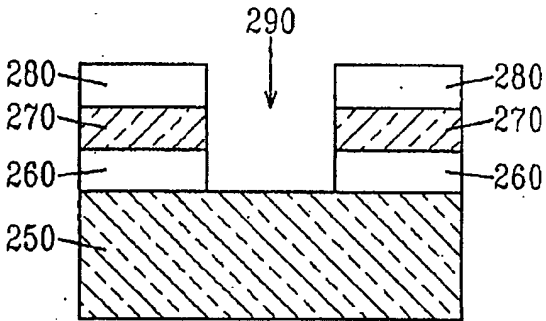


圖 3D
(習知技術)

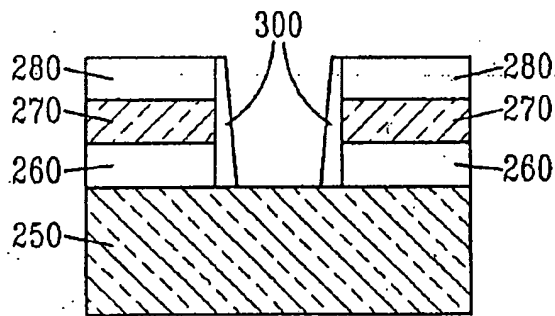


圖 3E
(習知技術)

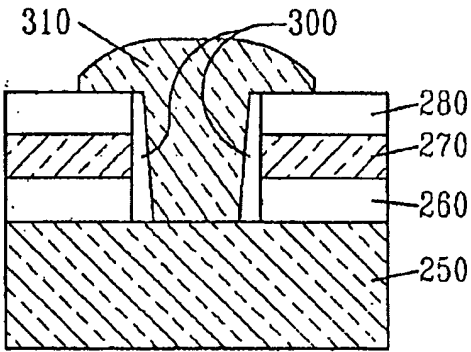


圖 3F
(習知技術)

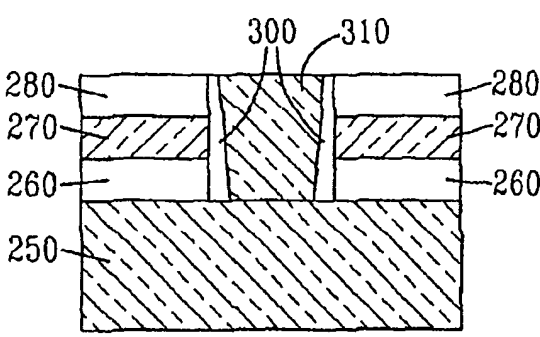


圖 3G
(習知技術)

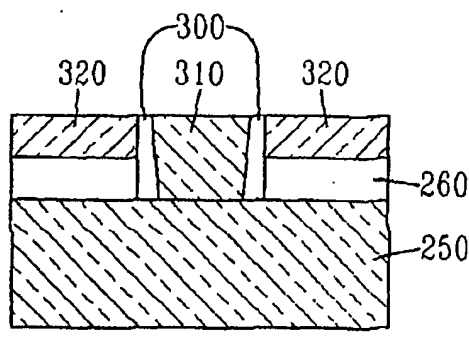


圖 3H
(習知技術)

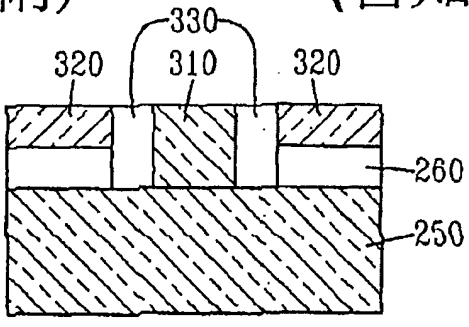


圖 3I
(習知技術)

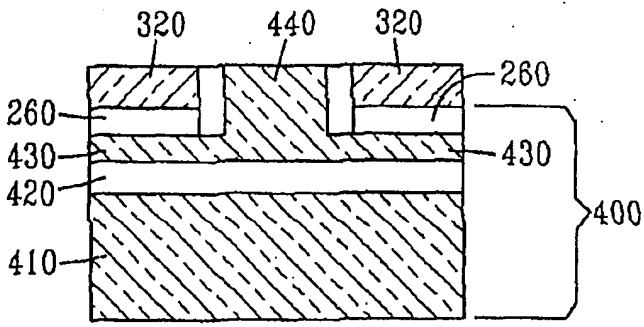


圖 4
(習知技術)

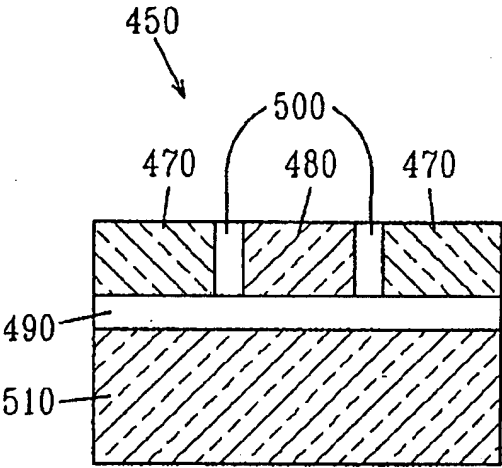


圖 5A

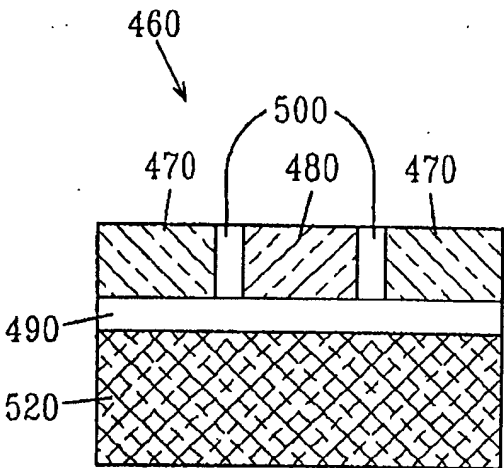


圖 5B

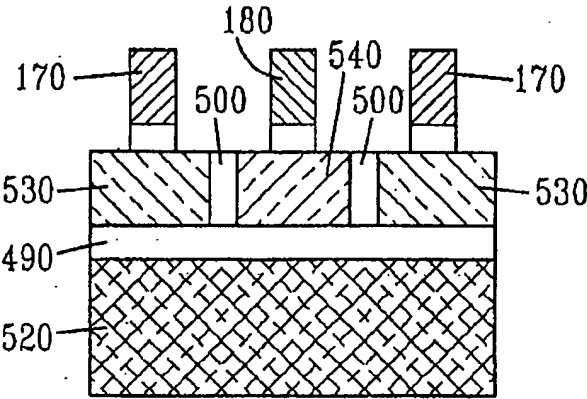


圖 6

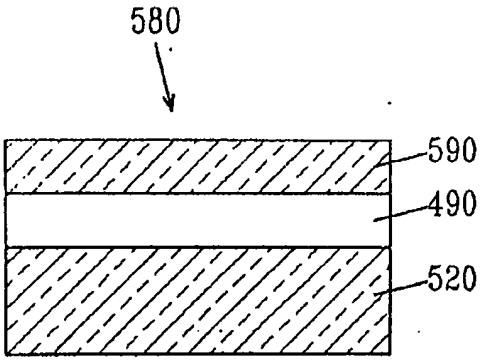


圖 7A

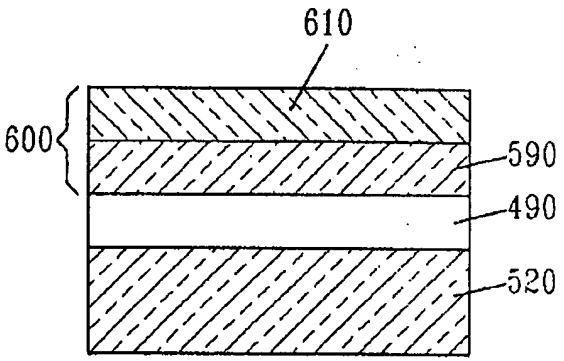


圖 7B

圖 7C

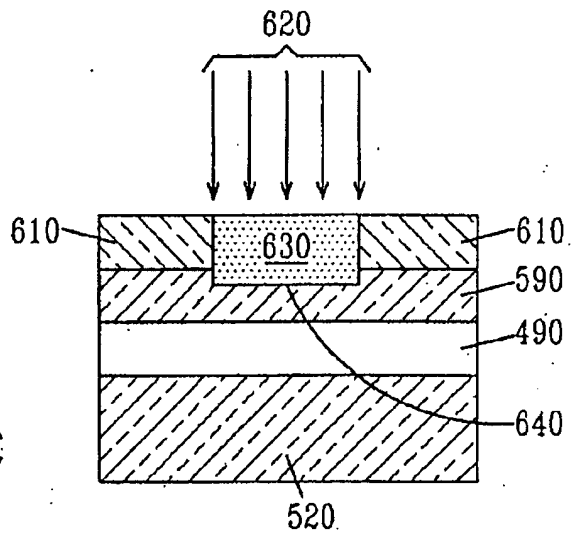


圖 7D

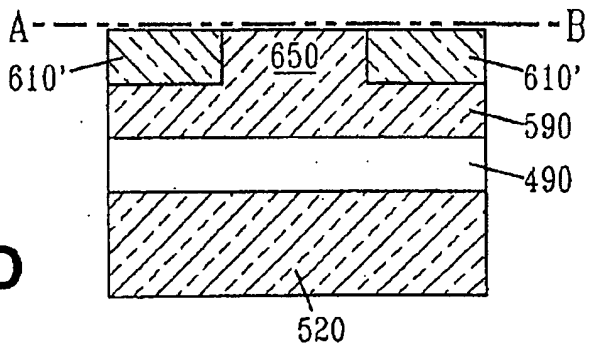


圖 7E

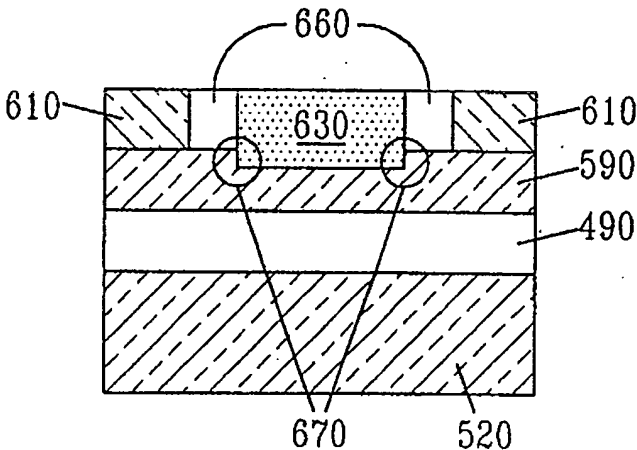


圖 7F

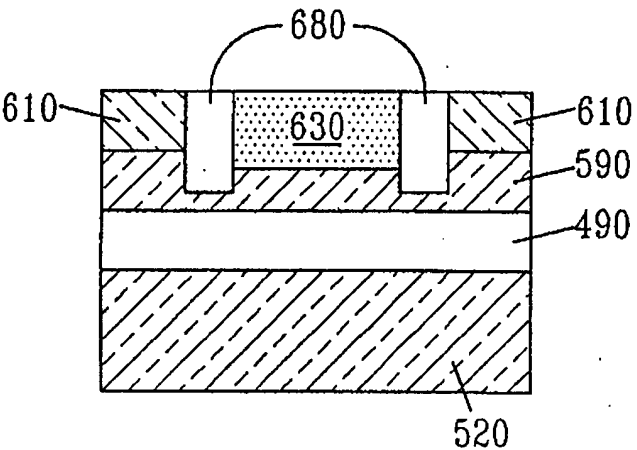
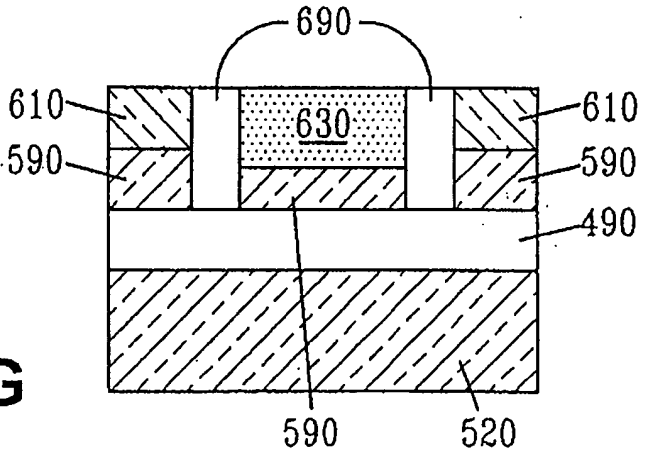


圖 7G



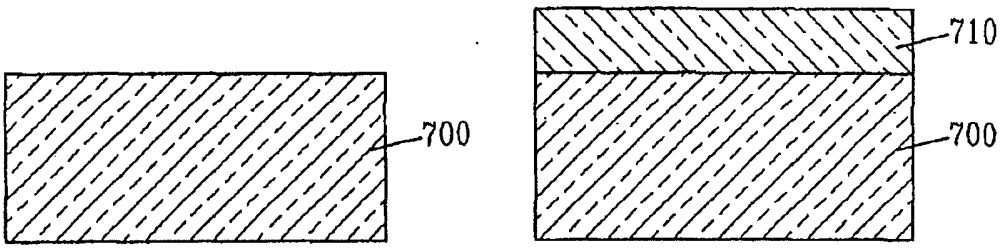


圖 8A

圖 8B

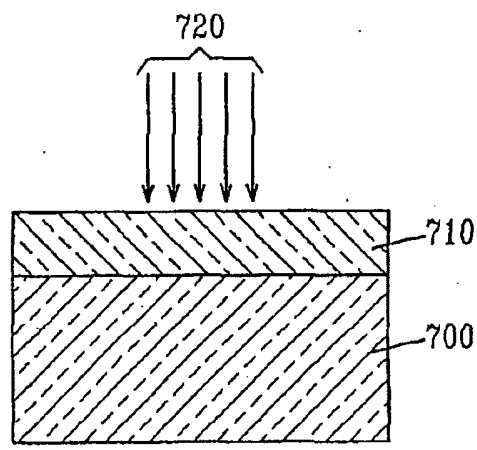


圖 8C

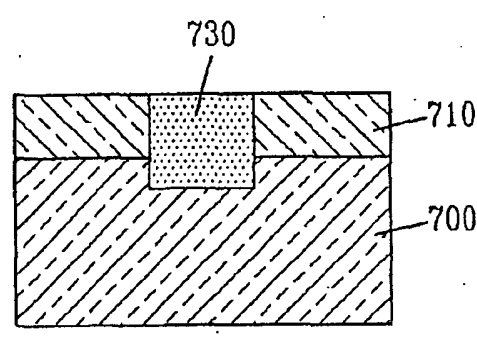


圖 8D

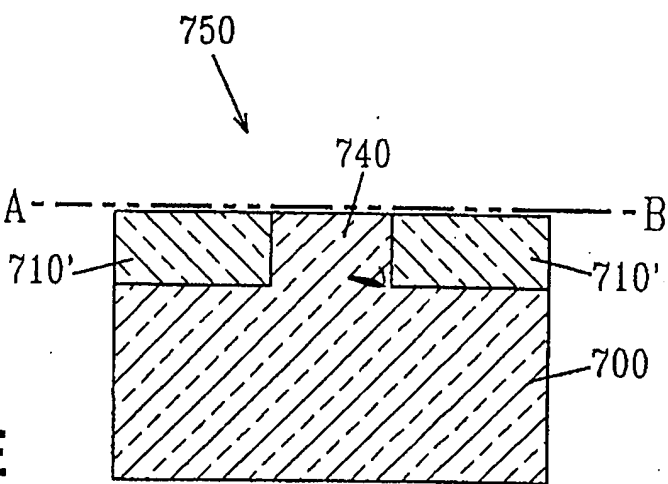


圖 8E

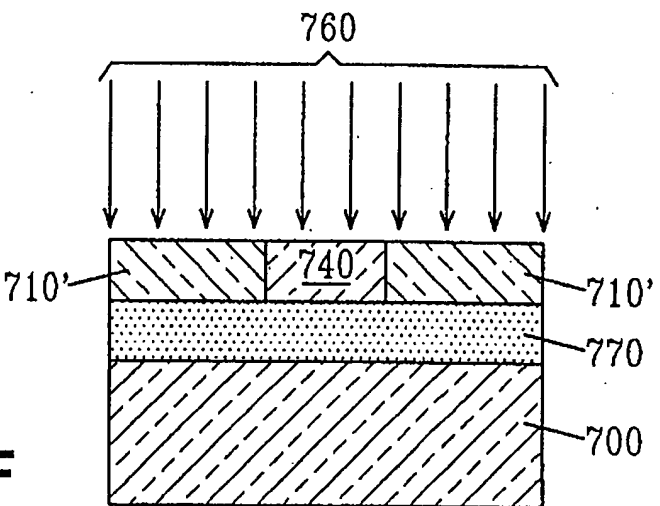


圖 8F

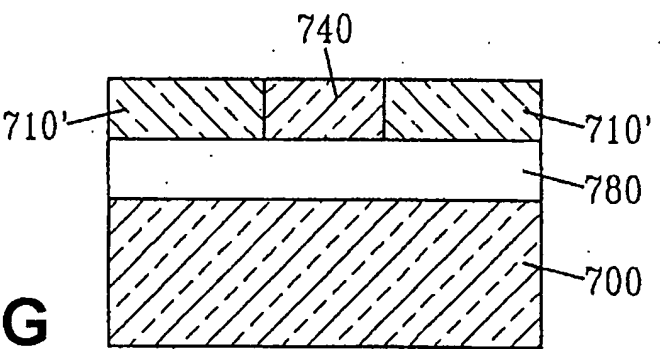


圖 8G

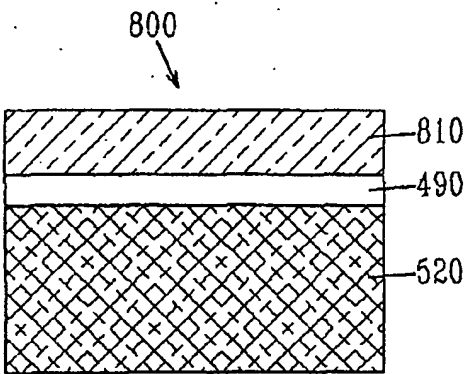


圖 9A

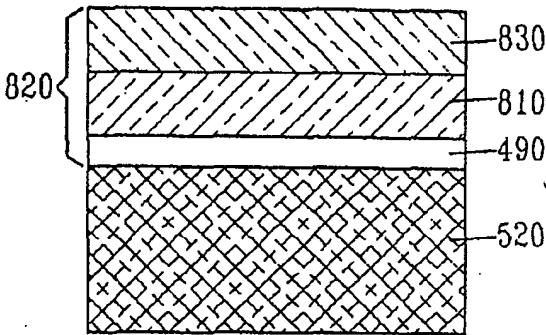


圖 9B

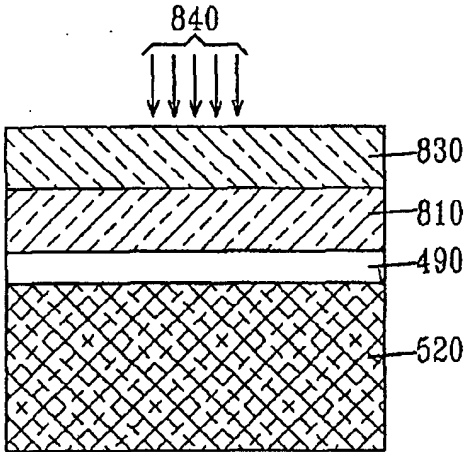


圖 9C

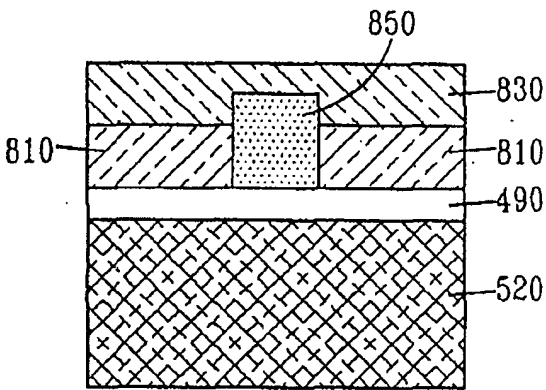


圖 9D

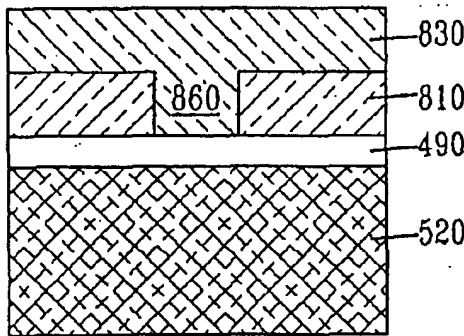


圖 9E

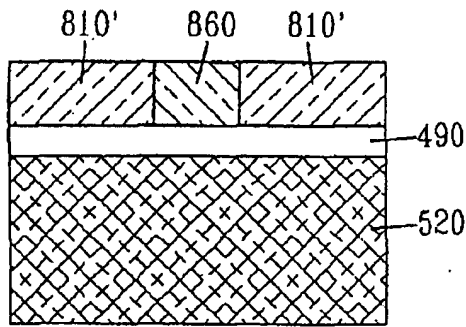


圖 9F

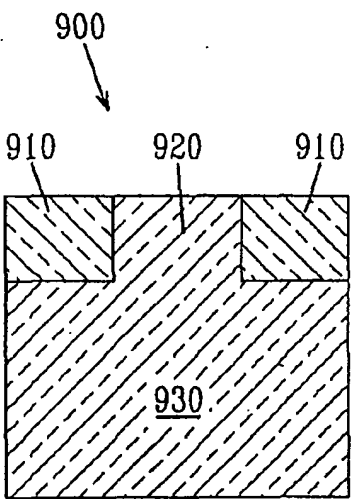


圖 10A

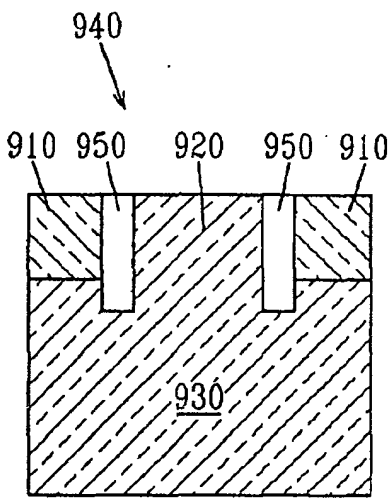


圖 10B

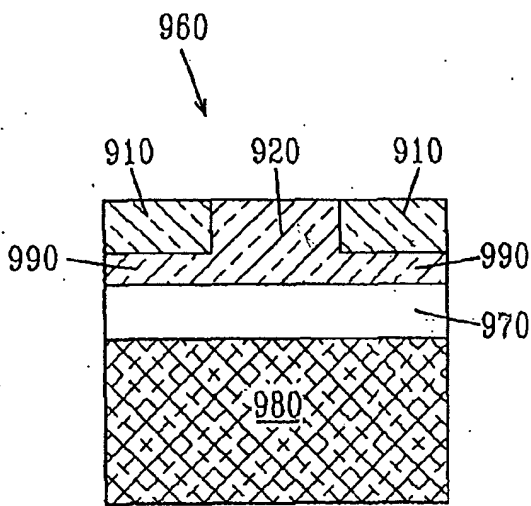


圖 10C

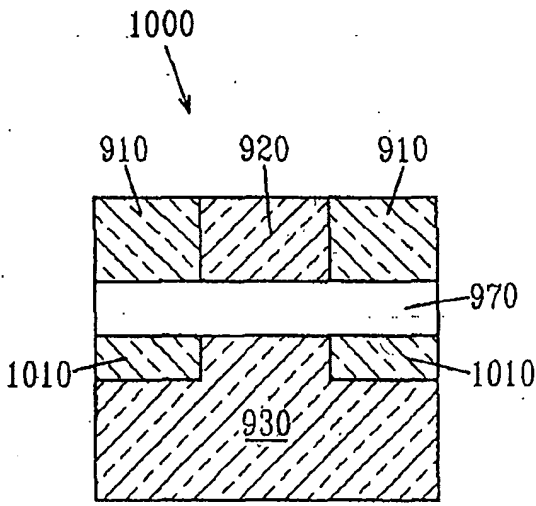


圖 10D

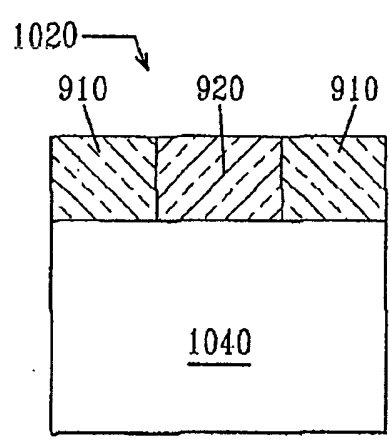


圖 10E

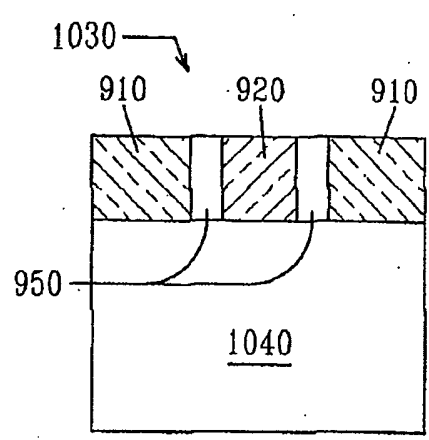


圖 10F

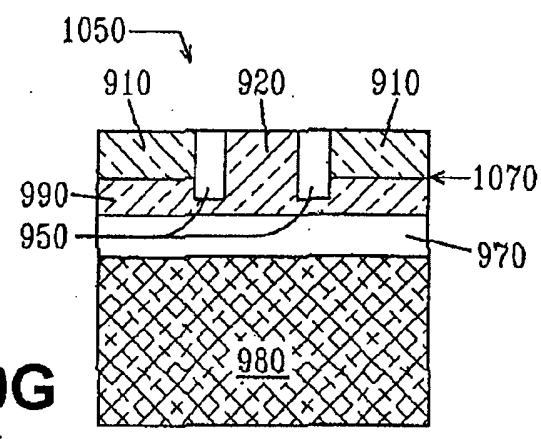


圖 10G

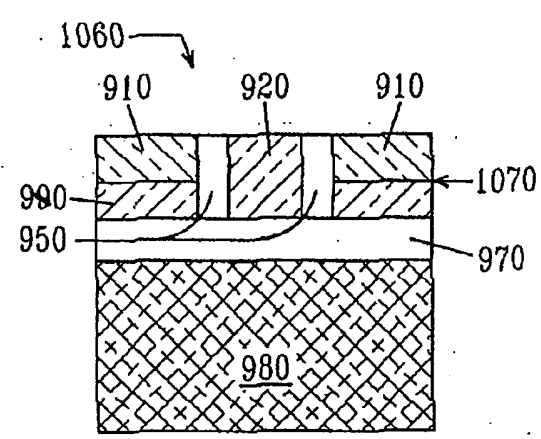


圖 10H

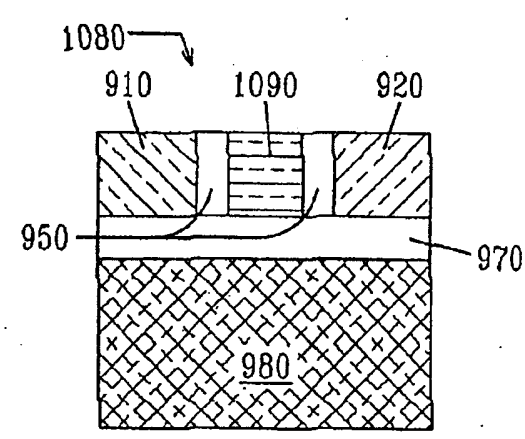


圖 10I

七、指定代表圖：

(一) 本案指定代表圖為：圖 6。

(二) 本代表圖之元件符號簡單說明：

170 pFET 元件

180 nFET 元件

490 BOX 層

500 隔離溝渠

520 基板

530 矽區

540 矽區

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無。

99年3月24日修(更)正替換頁

十、申請專利範圍：

1. 一種平面混合配向半導體覆絕緣層基板結構
(semiconductor-on-insulator, SOI)，包含：

至少一個明確定義(clearly defined)之第一單晶半導體區，具有一第一表面晶向；及

至少一個明確定義(clearly defined)之第二單晶半導體區，具有相異於該第一表面晶向之一第二表面晶向，該第二單晶半導體區之形成係藉由非晶化具該第一配向之一半導體材料並將其再結晶成具有該第二配向之一半導體材料，且該第一單晶半導體區係側向相鄰該第二單晶半導體區，且該二區係直接配置在一共同埋藏絕緣層上，該共同埋藏絕緣層配置在一基板頂上。

2. 如請求項 1 所述之平面混合配向 SOI 基板結構，更包含至少一個隔離區，將該至少二個明確定義之單晶半導體區彼此分開。
3. 如請求項 2 所述之平面混合配向 SOI 基板結構，其中該至少一個隔離區為一隔離溝渠區。
4. 如請求項 2 所述之平面混合配向 SOI 基板結構，其中該至

少一個隔離區向下延伸至該共同埋藏絕緣層的至少一上部表面。

5. 如請求項 2 所述之平面混合配向 SOI 基板結構，其中該至少一個隔離區並未向下延伸至該共同埋藏絕緣層。
6. 如請求項 1 所述之平面混合配向 SOI 基板結構，其中該至少二個明確定義之單晶半導體區包含相同或相異之半導體材料。
7. 如請求項 6 所述之平面混合配向 SOI 基板結構，其中該半導體材料係選自下列材料所組成的群組：矽、碳化矽、鍺化矽、碳鍺化矽、鍺合金、鍺、碳、砷化鎵、砷化銦、磷化銦、其各層狀組合或合金、以及其他 III-V 或 II-VI 族化合物半導體。
8. 如請求項 1 所述之平面混合配向 SOI 基板結構，其中該至少二個明確定義之具相異表面配向的單晶半導體區，皆包含一含矽半導體材料。
9. 如請求項 1 所述之平面混合配向 SOI 基板結構，其中該至少二個明確定義之單晶半導體區中之每一個係由應變

(strained)、未應變，或是一結合應變與未應變之半導體材料所組成。

10. 如請求項 1 所述之平面混合配向 SOI 基板結構，其中該相異表面配向係選自(110)、(111)、以及(100)所組成之群組。
11. 如請求項 8 所述之平面混合配向 SOI 基板結構，其中該相異表面配向係選自(110)、(111)、以及(100)所組成之群組。
12. 如請求項 11 所述之平面混合配向 SOI 基板結構，其中該第一含矽半導體區具有一(100)晶向，而該第二含矽半導體區具有一(110)晶向。
13. 如請求項 12 所述之平面混合配向 SOI 基板結構，更包含至少一個 n 型場效電晶體(nFET)元件、以及至少一個 p 型場效電晶體(pFET)元件，其中該至少一個 nFET 元件係位於該(100)晶向上，而該至少一個 pFET 元件係位於該(110)晶向上。
14. 如請求項 1 所述之平面混合配向 SOI 基板結構，更包含至少一個 n 型場效電晶體(nFET)元件、以及至少一個 p 型場效電晶體(pFET)元件，其中該至少一個 nFET 元件位於該

元件最佳的一晶向上，而該至少一個 pFET 元件則位於該元件最佳的一晶向上。

15. 如請求項 1 所述之平面混合配向 SOI 基板結構，其中該埋藏絕緣層為一介電材料，且選自下列材料所組成的群組：二氧化矽、結晶二氧化矽、含氮之二氧化矽、矽氮化合物、金屬氧化物、金屬氮化物、以及高熱傳導性材料。
16. 如請求項 15 所述之平面混合配向 SOI 基板結構，其中該介電材料為二氧化矽或結晶二氧化矽。
17. 如請求項 1 所述之平面混合配向 SOI 基板結構，其中該基板為一半導體材料，且選自下列材料所組成的群組：矽、碳化矽、鍺化矽、碳鍺化矽、鍺合金、鍺、碳、砷化鎵、砷化銦、磷化銦、其各層狀組合或合金、以及其他 III-V 或 II-VI 族化合物半導體。
18. 如請求項 1 所述之平面混合配向 SOI 基板結構，其中該基板與該等單晶半導體區中之至少一個有一磊晶關係 (epitaxial relationship)。

19. 如請求項 1 所述之平面混合配向 SOI 基板結構，更包含至少一個隔離區，將該至少二個明確定義之單晶半導體區彼此分開，其中該至少一個隔離區向下延伸，至少達到該共同埋藏絕緣層。
20. 如請求項 1 所述之平面混合配向 SOI 基板結構，更包含至少一個隔離區，將該至少二個明確定義之單晶半導體區彼此分開，其中該至少一個隔離區並未向下延伸至該共同埋藏絕緣層。
21. 如請求項 1 所述之平面混合配向 SOI 基板結構，其中該基板為一絕緣體。
22. 如請求項 8 所述之平面混合配向 SOI 基板結構，其中該埋藏絕緣層為一埋藏氧化層。
23. 如請求項 22 所述之平面混合配向 SOI 基板結構，其中該相異表面配向係選自(110)、(111)、以及(100)所組成之群組。
24. 如請求項 23 所述之平面混合配向 SOI 基板結構，其中該第一含矽半導體區具一(100)晶向，而該第二含矽半導體區

具一(110)晶向。

25. 如請求項 24 所述之平面混合配向 SOI 基板結構，更包含至少一個 nFET 元件、以及至少一個 pFET 元件，其中該至少一個 nFET 元件係位於該(100)晶向上，而該至少一個 pFET 元件係位於該(110)晶向上。
26. 如請求項 22 所述之平面混合配向 SOI 基板結構，更包含至少一個隔離區，將該至少二個明確定義之單晶半導體區彼此分開。
27. 如請求項 26 所述之平面混合配向 SOI 基板結構，其中該至少一個隔離區為一隔離溝渠區。
28. 如請求項 26 所述之平面混合配向 SOI 基板結構其中該至少一個隔離區向下延伸至該共同埋藏絕緣層的至少一上部表面。
29. 如請求項 26 所述之平面混合配向 SOI 基板結構，其中該至少一個隔離區並未向下延伸至該共同埋藏絕緣層。

30. 一種形成一平面混合配向基板的方法，包含：

形成一雙層模板層疊，包含一下部半導體層及一上部半導體層，其中該下部半導體層為具一第一配向之一第一下部單晶半導體層，該上部半導體層為具異於該第一配向之一第二配向之一第二上部單晶半導體層；

在至少一個選定區域中，非晶化該雙層模板層疊之一部分，以形成一埋藏局部非晶化區延伸穿越具該第一配向之該第一下部單晶半導體層並部分地進入具該第二配向之該第二上部單晶半導體層，但沒有延伸至該第二上部單晶半導體層之一露出頂表面；以及

使用該雙層模板層疊中之一未非晶化半導體層當作一模板，再結晶該埋藏局部非晶化區，如此便可將該埋藏局部非晶化區配向從一原始配向轉變為一所需之配向，其中該上部半導體層之該第二配向遍佈其整體，且於該再結晶之後，該下部半導體層包含具有該第一配向之至少一個單晶部分及具有該第二配向之至少一再結晶部分。

31. 如請求項 30 所述之方法，其中該第一下部單晶半導體層係配置於一 SOI 基板的絕緣層上。

32. 如請求項 30 所述之方法，其中該第一下部單晶半導體層包含一單晶半導體基板。
33. 如請求項 30 所述之方法，其中形成該雙層模板層疊係藉由接合該第二上部單晶半導體層與該第一下部單晶半導體層，其中該第二上部單晶半導體層直接配置於該第一下部單晶半導體層上。
34. 如請求項 30 所述之方法，其中該局部非晶化區主要 (predominately) 係形成於該第二上部單晶半導體層中。
35. 如請求項 31 所述之方法，其中該局部非晶化區主要 (predominately) 係形成於該第一下部單晶半導體層中，同時更包含於再結晶後藉由如化學機械研磨的一製程去除頂層的步驟。
36. 如請求項 30 所述之方法，更包含形成至少一個隔離溝渠區，以將該選定為非晶化之區域與未選定為非晶化之區域分開，該至少一個隔離溝渠區的形成係於非晶化前，或在非晶化與再結晶之間，或是有部分在非晶化後形成，而有

部分在再結晶後形成。

37. 如請求項 30 所述之方法，其中該第一下部單晶半導體層及該第二上部單晶半導體層係由相同或相異之半導體材料所組成，該半導體材料係選自下列材料所組成的群組：矽、碳化矽、鍺化矽、碳鍺化矽、鍺合金、鍺、碳、砷化鎵、砷化銦、磷化銦、其各層狀組合或合金、以及其他 III-V 或 II-VI 族化合物半導體。
38. 如請求項 30 所述之方法，其中該第一下部單晶半導體層及該第二上部單晶半導體層皆由一含矽半導體材料所組成。
39. 如請求項 30 所述之方法，其中該第一下部單晶半導體層及該第二上部單晶半導體層係由應變、未應變、或是一結合應變與未應變之半導體材料所組成。
40. 如請求項 30 所述之方法，其中該第一下部單晶半導體層及該第二上部單晶半導體層係具相異表面配向，該表面配向選自(110)、(111)、及(100)。

41. 如請求項 30 所述之方法，更包含至少一個 nFET 元件、以及至少一個 pFET 元件，其中該至少一個 nFET 元件位於該元件最佳的一晶向上，而該至少一個 pFET 元件則位於該元件最佳的一晶向上。
42. 如請求項 32 所述之方法，更包含在該再結晶步驟後形成一埋藏絕緣層。
43. 如請求項 42 所述之方法，其中該埋藏絕緣層係藉由一氧離子植入分隔(separation-by ion implantation of oxygen, SIMOX)製程所形成。
44. 如請求項 30 所述之方法，該非晶化係藉離子植入完成。
45. 如請求項 44 所述之方法，其中該離子植入所包含之離子係選自下列各項所組成之群組：矽、鍺、氫、碳、氧、氮、氫、氮、氫、氫、磷、硼、及砷。
46. 如請求項 44 所述之方法，其中該離子植入所包含之離子係選自矽與鍺所組成之群組。

47. 如請求項 30 所述之方法，其中該再結晶係在溫度介於約 200°C 至約 1300°C 之間實施。
48. 如請求項 30 所述之方法，其中該再結晶的實施係在一氣體中，該氣體係選自於由氮、氫、氬、氦及、及其混合物所組成之群組。
49. 如請求項 30 所述之方法，其中於該再結晶之後，具該第一配向之該至少一個第一單晶部分側接具有該第二配向之該至少一再結晶部分。
50. 如請求項 30 所述之方法，包含：
移除該第二上部單晶半導體層；及
露出該第一配向之該至少一個單晶部分的一頂表面及
具該第二配向之該至少一再結晶部分的一頂表面。