

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5507178号
(P5507178)

(45) 発行日 平成26年5月28日 (2014. 5. 28)

(24) 登録日 平成26年3月28日 (2014. 3. 28)

(51) Int. Cl.		F I	
HO 1 L 21/82	(2006. 01)	HO 1 L 21/82	F
HO 1 L 21/3205	(2006. 01)	HO 1 L 21/88	A
HO 1 L 21/768	(2006. 01)	HO 1 L 21/88	Z
HO 1 L 23/522	(2006. 01)		

請求項の数 4 (全 8 頁)

(21) 出願番号	特願2009-221238 (P2009-221238)	(73) 特許権者	000002325
(22) 出願日	平成21年9月25日 (2009. 9. 25)		セイコーインスツル株式会社
(65) 公開番号	特開2011-71324 (P2011-71324A)		千葉県千葉市美浜区中瀬 1 丁目 8 番地
(43) 公開日	平成23年4月7日 (2011. 4. 7)	(74) 代理人	100154863
審査請求日	平成24年7月11日 (2012. 7. 11)		弁理士 久原 健太郎
		(74) 代理人	100142837
			弁理士 内野 則彰
		(74) 代理人	100123685
			弁理士 木村 信行
		(72) 発明者	南 志昌
			千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツル株式会社内
		(72) 発明者	秋野 勝
			千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツル株式会社内
			最終頁に続く

(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体基板上に配置された素子分離絶縁膜と、
前記素子分離絶縁膜上に配置されたヒューズ素子と、
前記ヒューズ素子上に配置された絶縁膜と、
前記絶縁膜に設けられた接続孔を介して前記ヒューズ素子に接続される第 1 配線層と、
前記第 1 配線層とその上方に配置された第 2 配線層との間に設けられた、平坦化された
第 1 金属間絶縁膜および第 2 金属間絶縁膜と、

前記第 2 金属間絶縁膜の上に設けられた保護膜と、
を有する半導体集積回路装置であって、

前記保護膜は前記ヒューズ素子上方に開口領域を有しており、

隣り合う前記ヒューズ素子に接続される前記第 1 配線層間のスペース幅を前記第 1 金属間絶縁膜の側壁厚さの 2 倍未満とし、前記開口領域の内側に露出する前記第 1 配線層間が前記第 1 金属絶縁層のみで埋め込まれていることを特徴とする半導体集積回路装置。

【請求項 2】

半導体基板上に配置された素子分離絶縁膜と、

前記素子分離絶縁膜上に配置されたヒューズ素子と、

前記ヒューズ素子上に配置された絶縁膜と、

前記絶縁膜に設けられた接続孔を介して前記ヒューズ素子に接続される第 1 配線層と、

前記第 1 配線層とその上方に配置された第 2 配線層との間に設けられた、平坦化された

第1金属間絶縁膜および第2金属間絶縁膜と、
 前記第2金属間絶縁膜の上に設けられた保護膜と、
 を有する半導体集積回路装置であって、
 前記保護膜は前記ヒューズ素子上方に開口領域を有し、
 前記第1配線層の側面にサイドスペーサーを有し、
 隣り合う前記ヒューズ素子に接続される前記第1配線層間のスペース幅を、前記サイド
 スペーサーを形成するための絶縁膜の側壁厚さの2倍未満とし、前記開口領域の内側に露
 出する前記第1配線層間が前記第1金属絶縁層のみで埋め込まれていることを特徴とする
 半導体集積回路装置。

【請求項3】

10

前記サイドスペーサーは、シリコン酸化膜あるいはリン珪酸ガラス(PSG)膜あるい
 はシリコン窒化膜であることを特徴とする請求項2記載の半導体集積回路装置。

【請求項4】

半導体基板上に素子分離絶縁膜を設ける工程と、
 前記素子分離絶縁膜上にヒューズ素子を設ける工程と、
 前記ヒューズ素子上に絶縁膜を設ける工程と、
 前記絶縁膜に接続孔を介して前記ヒューズ素子に接続される第1配線層を、隣り合う前
 記ヒューズ素子に接続される前記第1配線層間のスペース幅を前記絶縁膜の側壁厚さの2
 倍未満となるよう設ける工程と、

20

前記第1配線層の側面にサイドスペーサーを形成する工程と、
 前記第1配線層および前記サイドスペーサーを覆うように第1金属間絶縁膜を形成する
 工程と、

前記第1金属間絶縁膜の上にSOGを設けてからエッチバックにより前記第1金属間絶
 縁膜を平坦化し、その上に第2金属間絶縁膜を設ける工程と、

前記第2金属間絶縁膜の上に保護膜を形成する工程と、
 前記ヒューズ素子上方の前記保護膜に開口領域を、前記開口領域の内側に前記第1配線
 層および前記第1配線層間に埋め込まれた第1金属絶縁層が露出するように形成する工程
 と、

を有する半導体集積回路装置の製造方法。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、ヒューズ素子を有する半導体集積回路装置およびその製造方法に関する。

【背景技術】

【0002】

ボルテージレギュレータやボルテージディテクタは、アナログ処理回路やロジック回路
 、容量、さらにプリーダ抵抗等で構成され、プリーダ抵抗部には、検査工程で所望の
 電圧に調整できるように、抵抗選択用のヒューズ素子が設けられている。

【0003】

その様な半導体集積回路装置の一従来例を図5および図6に示している。図5はヒュー
 ズ素子の平面図であり、図6は図5の切断線A-Aに沿った断面図である。図6に示すよ
 うに、ヒューズ素子は、素子分離絶縁膜401上にMOSFETのゲート電極と同一の導
 電材、つまり不純物をドーブされた多結晶Si膜とWSix膜とからなるポリサイド膜
 402(図5の符号302に相当)で形成される。

40

【0004】

ポリサイド膜402は、層間絶縁膜403と平坦化膜であるBPSG膜404とに覆わ
 れており、ポリサイド膜402の両端部近傍に達するコンタクト孔405(図5の符号3
 05に相当)がBPSG膜404と層間絶縁膜403とに開孔されている。BPSG膜4
 04上には、第1層目のアルミニウム膜406(図5の符号306に相当)から成る配線
 が、コンタクト孔405を介してポリサイド膜402にコンタクトする様にパターニング

50

されている。アルミニウム膜 406 は、TEOS を原料としてプラズマ CVD 法で形成された第 1 層目の金属間絶縁膜 407 に覆われている。

【0005】

図示されていないが、この一従来例では、第 1 層目のアルミニウム膜 406 の他に第 2 層目のアルミニウム膜も用いられている。このため、これらのアルミニウム膜同士の間の平坦化膜として、SOG 膜 408 が、回転塗布、キュアリング及びその後のエッチバックによって第 1 層目の金属間絶縁膜 407 上に形成されている。SOG 膜 408 は、TEOS を原料としてプラズマ CVD 法で形成された第 2 層目の金属間絶縁膜 409 に覆われている。第 2 層目の金属間絶縁膜 409 はプラズマ CVD 法で形成されたオーバコート膜である SiN 膜 410 に覆われている。

10

【0006】

また、ポリサイド膜 402 上には、ヒューズ素子であるこのポリサイド膜 402 をレーザー光で切断するための開口領域 311 が設けられている。開口領域 311 は、アルミニウムパッド（図示せず）上の SiN 膜 410 をエッチングする時のマスクを用いて同時にエッチングされたものであるが、オーバエッチングのために、第 2 層目の金属間絶縁膜 409 まで達している。

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】特開平 05 - 021605 号公報

20

【特許文献 2】特開平 07 - 022508 号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

ボルテージレギュレータやボルテージディテクタでは、素子形成後にウエハの状態で作成チェックが行われ、そのときに所望の電圧が出力できるように、所望の電圧に対応する抵抗のヒューズ素子が切断される。

【0009】

そのため、図 5 および図 6 から明らかな様に、ヒューズ素子のトリミング加工のための開口領域 311 の内側面、特に隣り合うヒューズ素子に接続されるアルミニウム配線間に SOG 膜 408 が露出するが、SOG 膜 408 は、水を吸収しやすいという性質がある。このため、外部から侵入した水あるいは水分が SOG 膜 408 を経路として、半導体集積回路の内部素子に混入し、半導体集積回路装置の信頼性不良の原因となっていた。

30

【0010】

本発明は、このような問題を考慮して成されたもので、多層配線の金属間絶縁膜構造を改良して、開口領域 311 の内側面、特に隣り合うヒューズ素子のアルミニウム配線間の開口領域 311 の内側面に露出した SOG 膜 408 を分断し、半導体集積回路の内部素子への水分侵入を防ぐことで信頼性向上を図った半導体集積回路装置を提供することを目的としている。

【課題を解決するための手段】

40

【0011】

本発明は上記課題を解決するために、以下のような手段を用いた。

【0012】

まず、半導体基板上に素子分離絶縁膜を設け、素子分離絶縁膜上にヒューズ素子を設け、ヒューズ素子上に絶縁膜を設け、絶縁膜に接続孔を介してヒューズ素子に接続される第 1 配線層を設け、第 1 配線層と上方の第 2 配線層との間に第 1 金属間絶縁膜と SOG と第 2 金属間絶縁膜を設けた半導体集積回路装置において、隣り合う前記ヒューズ素子に接続される第 1 配線層間のスペース幅を前記第 1 金属間絶縁膜の側壁厚さの 2 倍未満とすることを特徴とする半導体集積回路装置とした。

【0013】

50

また、第1配線層の側面にサイドスペーサーを有し、第1配線層と前記サイドスペーサーを覆うように第1金属間絶縁膜を設けたことを特徴とする半導体集積回路装置とした。

【0014】

また、サイドスペーサーは、シリコン酸化膜あるいはリン珪酸ガラス(PSG)膜あるいはシリコン窒化膜であることを特徴とする半導体集積回路装置とした。

【0015】

そして、半導体基板上に素子分離絶縁膜を設け、素子分離絶縁膜上にヒューズ素子を設け、ヒューズ素子上に絶縁膜を設け、絶縁膜に接続孔を介してヒューズ素子に接続される第1配線層を設け、第1配線層と上方の第2配線層との間に第1金属間絶縁膜とSOGと第2金属間絶縁膜を設けた半導体集積回路装置の製造方法において、第1配線層の側面にサイドスペーサーを形成する工程と、第1配線層および前記サイドスペーサーを覆うように第1金属間絶縁膜を形成する工程と、ヒューズ素子上方の保護膜に開口領域を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法とした。

10

【発明の効果】

【0016】

本発明の半導体集積装置では、隣り合うヒューズ素子のアルミニウム配線間の幅を第1層目の金属間絶縁膜の側壁厚さの2倍未満とする。あるいはヒューズ素子に接続される配線層側面にサイドスペーサーを設けることで、アルミニウム配線間にSOG膜が残るスペースがなくなり、SOG膜はインプロセス中で除去され、隣り合うヒューズ素子のアルミニウム配線間でSOG膜は途切れる。このため、SOG膜から吸収された水分は、SOG膜の途切れた部分において堰き止められ、半導体集積回路の内部素子へ水分が進入しないので、半導体集積回路の信頼性を向上することができる。

20

【図面の簡単な説明】

【0017】

【図1】本発明の実施例1の半導体集積回路装置の模式断面図である。

【図2】本発明の実施例1の補足説明図

【図3】本発明の実施例2の半導体集積回路装置の模式断面図である。

【図4】本発明の実施例2の補足説明図

【図5】従来の半導体集積回路装置の模式平面図である。

【図6】図5の従来の半導体集積回路装置のA-Aの模式断面図である。

30

【発明を実施するための形態】

【0018】

以下にこの発明の実施の形態を図面に基づいて説明する。

【0019】

実施例1について図1を基に説明する。図1は、多層配線の層間絶縁膜構造を改良して、信頼性向上を図った本発明の半導体集積回路装置の模式断面図である。

【0020】

図1に示すように、ヒューズ素子は、半導体基板上に形成された素子分離絶縁膜101上にMOSFETのゲート電極と同一の導電材、つまり不純物をドーブされた多結晶Si膜とWSix膜とからなるポリサイド膜102で形成される。ポリサイド膜102は、層間絶縁膜103と平坦化膜であるBPSG膜104とに覆われており、ポリサイド膜102の両端部近傍に達するコンタクト孔105がBPSG膜104と層間絶縁膜103とに開孔されている。BPSG膜104上に、第1層目のアルミニウム膜106から成る配線が、コンタクト孔105を介してポリサイド膜102にコンタクトする様にパターンニングされる。アルミニウム膜106は、TEOSを原料としてプラズマCVD法で形成された第1層目の金属間絶縁膜107に覆われる。第1層目の金属間絶縁膜107の表面にはSOG膜の回転塗布、キュアリング、エッチバックが施されるが、この結果SOG膜は残らずに第1層目の金属間絶縁膜107の表面が露出して平坦化された状態となる。第1層目の金属間絶縁膜107の上にはTEOSを原料としてプラズマCVD法で形成された第2層目の金属間絶縁膜109が形成され、その上に(図示しない)第2層目のアルミニウ

40

50

ム膜を設ける。さらに、第2層目のアルミニウム膜および第2層目の金属間絶縁膜109を覆うようにプラズマCVD法にて保護膜であるSiN膜110を形成する。そして、アルミニウムパッドやトリミング加工のための開口領域を保護膜SiN膜110に設ける。

【0021】

この構造において、隣り合うヒューズ素子に接続するアルミニウム配線106間のスペース幅Bを、TEOSを原料としてプラズマCVD法で形成された第1層目の金属間絶縁膜107の側壁厚さの2倍未満とすることで、配線層間の形状が高アスペクト比を有することになり、SOG膜が入り込む隙間がなくなる。その結果、インプロセス中の平坦化技術であるエッチバック工程によりSOG膜は完全に除去され、隣り合うヒューズ素子のアルミニウム配線間でSOG膜は途切れる。このため、半導体集積回路装置の内部素子へ水分が進入しないので、半導体集積回路装置の信頼性を向上することができる。なお、アルミニウム配線間のスペースにSOGを存在させないように配線間を第1層目の金属間絶縁膜で埋め込む領域はヒューズ素子のトリミング加工のための開口領域の内側面に露出する領域であって、開口領域の内側面に露出しない領域においてはアルミニウム配線間のスペースにSOGがあっても構わない。

10

【0022】

ここで、上述の側壁厚さに定義について図2を用いて説明する。図2は実施例1の補足説明図であり、図2(a)は第1層目のアルミニウム配線106間のスペース幅Bが広い場合での第1層目の金属間絶縁膜堆積後の図である。アルミニウム配線106上に第1層目の金属間絶縁膜107をCVD法で堆積すると、アルミニウム配線106の上面および側面に第1層目の金属間絶縁膜107が被着する。ここでは第1層目の金属間絶縁膜をSiO₂膜とする。この時、アルミニウム配線上面におけるSiO₂膜の膜厚と側面における膜厚は異なり、一般に上面の膜厚よりも側面の膜厚は薄くなる傾向がある。また、図に示すようにアルミニウム配線106の側面のSiO₂膜膜厚は、その上下位置によっても膜厚は変化する。上述の側壁厚さとはアルミニウム配線106上面と同じ高さ位置のSiO₂膜の側面膜厚であって、図の符号Cで表現される。

20

【0023】

図2(b)のようにアルミニウム配線106間のスペース幅Bを狭くして第1層目の金属間絶縁膜107の側壁厚さの2倍未満とすると配線間はSiO₂膜で埋め込まれ、後に塗布されるSOG膜はアルミニウム配線106間のスペースに入り込むことができなくなる。SOG膜塗布およびキュアリングを経た後、アルミニウム配線106間のスペース上方にあるSOG膜を除去するようにエッチバックすることで良好な平坦性を得ることができる。

30

【0024】

以上のようにして形成された本発明の半導体集積回路装置では、アルミニウム配線間のスペースに吸湿性のSOG膜が無いと、開口領域から内部素子への水分の浸入が防止され、半導体集積回路の信頼性を向上することができる。

【0025】

次に、実施例2について図3を基に説明する。図3の構造も図1と同様、多層配線の層間絶縁膜構造を改良して、信頼性向上を図った本発明の半導体集積回路装置の模式断面図である。

40

【0026】

実施例2では、BPSG膜204上に、第1層目のアルミニウム膜207から成る配線が、コンタクト孔206を介してポリサイド膜202にコンタクトする様にパターニングされた後に、TEOSを原料としてプラズマCVD法で形成されたSiO₂膜あるいはリン珪酸ガラス(PSG)膜またはSiN膜で覆い、アルミニウム膜206をエッチストップパーとしたエッチバックによってアルミニウム配線層端にサイドスペーサー212を形成する。次いで、第1層目のアルミニウム膜206とサイドスペーサー212とBPSG膜204を覆うように第1層目の金属間絶縁膜207を設ける。そして、第1層目の金属間絶縁膜207の表面にはSOG膜の回転塗布、キュアリング、エッチバックが施されるが

50

、このときSOG膜は残らずに第1層目の金属間絶縁膜207の表面が露出して平坦化された状態となる。第1層目の金属間絶縁膜207の上にはTEOSを原料としてプラズマCVD法で形成された第2層目の金属間絶縁膜209が形成され、その上に(図示しない)第2層目のアルミニウム膜を設ける。さらに、第2層目のアルミニウム膜および第2層目の金属間絶縁膜109を覆うようにプラズマCVD法にて保護膜であるSiN膜210を形成する。そして、アルミニウムパッドやトリミング加工のための開口領域を保護膜SiN膜210に設ける。

【0027】

この構造において、隣り合うヒューズ素子に接続するアルミニウム配線206間のスペース幅Dを、TEOSを原料としてプラズマCVD法で形成された第1層目の金属間絶縁膜207の側壁厚さの2倍未満とすることで、配線層間の形状が高アスペクト比を有することになり、SOG膜が入り込む隙間がなくなる。その結果、インプロセス中の平坦化技術であるエッチバック工程によりSOG膜は完全に除去され、隣り合うヒューズ素子のアルミニウム配線間でSOG膜は途切れる。このため、半導体集積回路装置の内部素子へ水分が進入しないので、半導体集積回路装置の信頼性を向上することができる。なお、アルミニウム配線間のスペースにSOGを存在させないように配線間を第1層目の金属間絶縁膜で埋め込む領域はヒューズ素子のトリミング加工のための開口領域の内側面に露出する領域であって、開口領域の内側面に露出しない領域においてはアルミニウム配線間のスペースにSOGがあっても構わない。

【0028】

ここで、図4を利用して実施例2の補足説明を行う。図4は実施例2の補足説明図であり、第1層目のアルミニウム配線206間のスペース幅Dが広い場合での第1層目の金属間絶縁膜堆積後の図である。第1層目のアルミニウム配線206の側面にはサイドスペーサー212が形成され、サイドスペーサー212および第1層目のアルミニウム配線206を覆うように第1層目の金属間絶縁膜207が堆積し、この時の第1層目の金属間絶縁膜の側壁厚さEは、図2(a)に示した第1層目の金属間絶縁膜の側壁厚さCに比べ大きくなっている。これはサイドスペーサー212が下敷きとなっているためである。

【0029】

以上のような構成とすることで実施例1に示した半導体集積回路装置に比べ第1層目のアルミニウム配線間のスペース幅を広くすることが可能となる。また、第1層目のアルミニウム配線間のスペースに埋め込まれた第1層目の金属間絶縁膜内に微小なボイド(空孔)を発生させる懸念も無くなり、より信頼性の高い半導体集積回路装置とすることができる。

【符号の説明】

【0030】

- 101、201、401 素子分離絶縁膜
- 102、202、302、402 ポリサイド膜(ヒューズ素子)
- 103、203、403 層間絶縁膜
- 104、204、404 BPSG膜
- 105、205、305、405 コンタクト孔
- 106、206、306、406 第1層目のアルミニウム膜(配線層)
- 107、207、407 第1層目の金属間絶縁膜
- 408 SOG膜
- 109、209、409 第2層目の金属間絶縁膜
- 110、210、410 SiN膜(保護膜)
- 311 開口領域
- 212 サイドスペーサー
- B、D スペース幅
- C、E 側壁厚さ

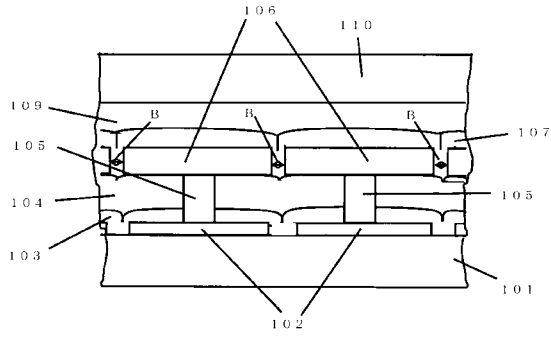
10

20

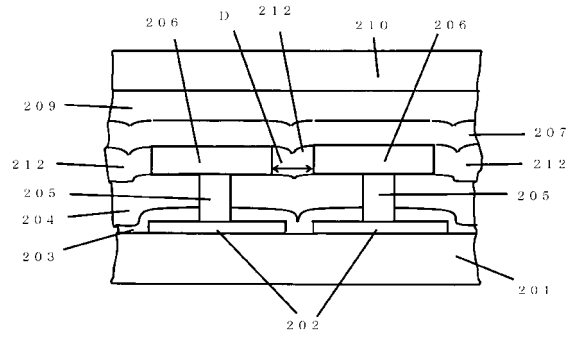
30

40

【図1】

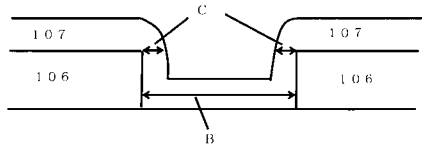


【図3】

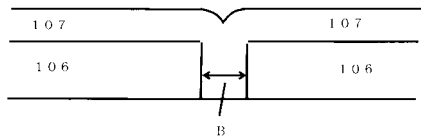


【図2】

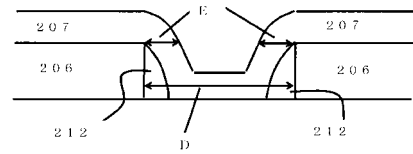
(a)



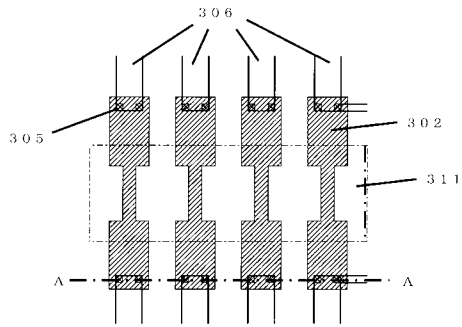
(b)



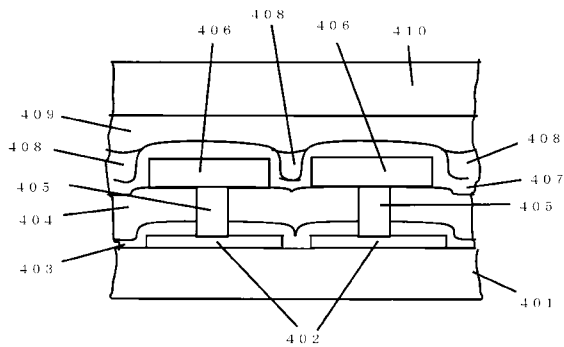
【図4】



【図5】



【図6】



フロントページの続き

審査官 須原 宏光

- (56)参考文献 特開平07 - 022508 (JP, A)
特開2002 - 050692 (JP, A)
特開平03 - 171758 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/82
H01L 21/3205
H01L 27/04