



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0098706
(43) 공개일자 2018년09월04일

- (51) 국제특허분류(Int. Cl.)
H01L 21/02 (2006.01) H01L 29/04 (2006.01)
H01L 29/786 (2006.01)
- (52) CPC특허분류
H01L 21/02554 (2013.01)
H01L 21/02565 (2013.01)
- (21) 출원번호 10-2018-7024745(분할)
- (22) 출원일자(국제) 2011년12월07일
심사청구일자 2018년08월28일
- (62) 원출원 특허 10-2013-7017759
원출원일자(국제) 2011년12월07일
심사청구일자 2016년11월22일
- (85) 번역문제출일자 2018년08월28일
- (86) 국제출원번호 PCT/JP2011/078837
- (87) 국제공개번호 WO 2012/081591
국제공개일자 2012년06월21일
- (30) 우선권주장
JP-P-2010-282135 2010년12월17일 일본(JP)
JP-P-2011-151859 2011년07월08일 일본(JP)

- (71) 출원인
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
야마자키 순페이
일본국 2430036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
나카시마 모토키
일본국 2430036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
혼다 타츠야
일본국 2430036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
- (74) 대리인
황의만

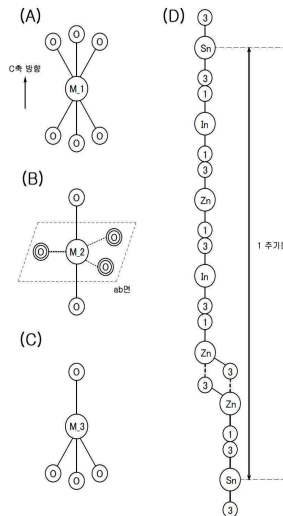
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 산화물 재료 및 반도체 장치

(57) 요약

트랜지스터, 다이오드 등의 반도체 용도로 적합한 재료를 제공하는 것을 과제로 한다. 또, 기본 유리와 같은 큰 기판을 이용하여, 신뢰성이 높은 반도체 장치의 대량 생산을 할 수 있는 반도체 장치를 제공한다. 또, 산화물 반도체막과 상기 산화물 반도체막과 접하는 게이트 절연막과의 계면의 전자 상태가 양호한 트랜지스터를 가지는 반도체 장치를 제공한다. 또, 산화물 반도체막을 채널에 이용한 트랜지스터에 안정된 전기적 특성을 부여하여, 신뢰성이 높은 반도체 장치를 제작하는 것을 과제로 한다. c축 배향하고, 표면 또는 계면의 방향에서 봤을 때 삼각형상 또는 육각형상의 원자 배열을 가지고, c축을 중심으로 회전한 결정을 포함하는 산화물 재료를 이용한 반도체 장치이다.

대표도 - 도1



(52) CPC특허분류

H01L 29/04 (2013.01)

H01L 29/045 (2013.01)

H01L 29/7869 (2013.01)

명세서

청구범위

청구항 1

막으로서,

제 1 산화물막과, 상기 제 1 산화물막 상에 형성된 제 2 산화물막을 포함하고,

상기 제 1 산화물막 및 상기 제 2 산화물막은 각각 인듐 및 아연을 포함하는 산화물 재료를 포함하고,

상기 산화물 재료는 c축 배향된 제 1 결정 및 제 2 결정을 적어도 포함하고,

상기 제 1 결정 및 상기 제 2 결정은 각각 ab면에 실질적으로 수직인 방향에서 보아 삼각형상 또는 육각형상을 가지도록 배열된 원자들을 포함하고,

상기 제 1 결정의 a축의 방향 및 b축의 방향 중 하나는, 상기 ab면에서 상기 제 2 결정의 a축의 방향 및 b축의 방향 중 하나와 상이한, 막.

청구항 2

막으로서,

제 1 산화물막과, 상기 제 1 산화물막 상에 형성된 제 2 산화물막을 포함하고,

상기 제 1 산화물막 및 상기 제 2 산화물막은 각각 c축 배향된 제 1 결정 및 제 2 결정을 포함하는 산화물 재료를 포함하고,

적어도 상기 제 1 결정 및 상기 제 2 결정은 각각 표면 또는 계면에 실질적으로 수직인 방향에서 보아 삼각형상 또는 육각형상을 가지도록 배열된 원자들을 포함하고,

상기 제 1 결정은 상기 제 2 결정이 c축을 중심으로 회전되는 구조를 가지는, 막.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제 1 결정 및 상기 제 2 결정은 각각 상기 c축에 실질적으로 수직인 방향에서 보아 층상으로 배열된 금속 원자, 또는 금속 원자 및 산소 원자를 포함하는, 막.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 제 1 결정 및 상기 제 2 결정은 각각 조성이 서로 다른 2개의 층을 포함하는, 막.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 제 1 결정 및 상기 제 2 결정은 각각 복수의 금속 산화물층을 포함하고,

상기 복수의 금속 산화물층은 4배위 산소 원자를 통하여 서로 결합되는, 막.

청구항 6

제 5 항에 있어서,

상기 복수의 금속 산화물층은 각각, 4배위 중심 금속 원자, 5배위 중심 금속 원자, 및 5개의 배위자 또는 6개의 배위자를 가지는 중심 금속 재료 중 어느 하나를 포함하는, 막.

청구항 7

제 1 항 또는 제 2 항에 있어서,

질소를 1×10^{20} atoms/cm³ 이상, 7원자% 미만의 농도로 함유하는, 막.

청구항 8

반도체 장치로서,

게이트 전극;

상기 게이트 전극에 인접하는 게이트 절연막; 및

제 1 산화물층과, 상기 제 1 산화물층 상에 형성된 제 2 산화물층을 포함하는 반도체층을 포함하고,

상기 제 1 산화물층 및 상기 제 2 산화물층은 각각, 인듐 및 아연을 포함하고 상기 게이트 절연막에 인접하는 산화물 재료를 포함하고,

상기 산화물 재료는 c축 배향된 제 1 결정 및 제 2 결정을 포함하고,

적어도 상기 제 1 결정 및 상기 제 2 결정은 각각 ab면에서 삼각형상 또는 육각형상을 가지도록 배열된 원자들을 포함하고,

상기 제 1 결정의 a축의 방향 및 b축의 방향 중 하나는, 상기 ab면에서 상기 제 2 결정의 a축의 방향 및 b축의 방향 중 하나와 상이한, 반도체 장치.

청구항 9

제 8 항에 있어서,

상기 반도체층은 한쌍의 도전막과 접촉하는 반도체 장치.

청구항 10

제 9 항에 있어서,

상기 한쌍의 도전막이 트랜지스터의 소스 전극 및 드레인 전극으로서 기능하는 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 트랜지스터 등의 반도체 소자를 포함하는 회로를 가지는 반도체 장치 및 그 제작 방법에 관한 것이다. 예를 들면, 전원 회로에 탑재되는 파워 디바이스, 메모리, 사이리스터, 컨버터, 이미지 센서 등을 포함하는 반도체 집적 회로, 액정 표시 패널로 대표되는 전기 광학 장치, 발광 소자를 가지는 발광 표시 장치를 부품으로서 탑재한 전자 기기에 관한 것이다. 또한, 본 발명은 반도체 장치에 이용되는 산화물에 관한 것이다.

[0002] 또한, 본 명세서 중에서 반도체 장치라는 것은, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키고, 전기 광학 장치, 발광 표시 장치, 반도체 회로 및 전자 기기는 모든 반도체 장치이다.

배경 기술

[0003] 액정 표시 장치로 대표되는 바와 같이, 유리 기판 등에 형성되는 트랜지스터의 대부분은 아몰퍼스 실리콘, 다결정 실리콘 등으로 구성되어 있다. 비록, 아몰퍼스 실리콘을 이용한 트랜지스터는 전계 효과 이동도가 낮지만 더 큰 유리 기판 위에 형성될 수 있다. 반면에, 다결정 실리콘을 이용한 트랜지스터의 전계 효과 이동도는 높지만 더 큰 유리 기판 위에 형성되기에는 적합하지 않다.

[0004] 실리콘을 이용한 트랜지스터 외에, 최근에는 산화물 반도체를 이용하여 트랜지스터를 제작하고, 전자 디바이스나 광 디바이스에 대응하는 기술이 주목되고 있다. 예를 들면, 산화물 반도체로서, 산화 아연, In-Ga-Zn-O계 산화물을 이용하여 트랜지스터를 제작하고, 표시 장치의 화소의 스위칭 소자 등에 이용하는 기술이 특허문헌 1

및 특허문헌 2에 개시되어 있다.

선행기술문헌

특허문헌

- [0005] (특허문헌 0001) 특개2007-123861호 공보
- (특허문헌 0002) 특개2007-096055호 공보

발명의 내용

해결하려는 과제

- [0006] 본 발명의 일 양태는, 트랜지스터, 다이오드 등의 반도체 용도로 적합한 재료를 제공하는 것을 과제의 하나로 한다.
- [0007] 또, 기본 유리와 같은 큰 기판을 이용하여, 신뢰성이 높고 대량 생산을 행할 수 있는 반도체 장치를 제공하는 것을 과제의 하나로 한다.
- [0008] 트랜지스터의 전기적 특성은 산화물 반도체막과, 상기 산화물 반도체막과 접하는 게이트 절연막과의 계면의 전자 상태에 영향을 받기 쉽다. 트랜지스터의 제작중 또는 제작 후에 있어서, 산화물 반도체막과 게이트 절연막과의 계면이 비정질 상태라면, 계면의 결합 밀도가 크고, 트랜지스터의 전기적 특성이 불안정해지기 쉽다.
- [0009] 또, 산화물 반도체막을 채널에 이용한 트랜지스터는 가시광이나 자외광을 조사함으로써 전기적 특성이 변화된다.
- [0010] 이와 같은 문제로 비추어 보아, 본 발명의 일 양태는, 산화물 반도체막과 상기 산화물 반도체막과 접하는 게이트 절연막과의 계면의 전자 상태가 양호한 트랜지스터를 가지는 반도체 장치를 제공하는 것을 과제의 하나로 한다.
- [0011] 또, 산화물 반도체막을 채널에 이용한 트랜지스터에 안정된 전기적 특성을 부여하여, 신뢰성이 높은 반도체 장치를 제작하는 것을 과제의 하나로 한다.

과제의 해결 수단

- [0012] c축 배향하고, 또 ab면, 표면 또는 계면의 방향에서 봤을 때 삼각형상 또는 육각형상의 원자 배열을 가지고, ab면에서, a축 또는 b축의 방향이 다른 결정을 포함하는 산화물 재료를 이용한다.
- [0013] 또한, 상기한 산화물 재료는 아연을 포함해도 좋다. 아연을 포함하는 것에 의해, c축 배향하고, 또 ab면, 표면 또는 계면의 방향에서 봤을 때 삼각형상 또는 육각형상의 원자 배열을 가지고, ab면에서, a축 또는 b축의 방향이 다른 결정을 포함하는 산화물 재료를 형성하기 쉬워진다.
- [0014] 또는, 상기한 산화물 재료는 인듐, 갈륨, 아연, 주석, 티탄 및 알루미늄으로부터 선택된 2종 이상의 원소를 포함하는 재료로 이루어진다.
- [0015] 상기한 산화물 재료는 스퍼터링법, 분자선 에피택시법, 원자층 퇴적법 또는 펄스 레이저 증착법으로 형성할 수 있다.
- [0016] 상기한 산화물 재료는 조성이 다른 두 종의 막을 적층함으로써 형성될 수 있다. 또는 두 종의 막이 적층된 후, 막들을 결정화시키는 것에 의해 형성할 수 있다.
- [0017] 본 발명의 일 양태는, 복수의 금속 산화물층을 가지고, 금속 산화물층끼리는 4배위의 산소 원자(이하, 4배위의 0)를 통하여 결합하는 산화물 재료이다. 또, 한개의 금속 산화물층은 4배위의 중심 금속 원자, 5배위의 중심 금속 원자, 또는 5배위 및 6배위의 양쪽을 취하는 중심 금속 원자를 가지고, 3배위의 산소 원자(이하, 3배위의 0) 또는 4배위의 0를 통하여 중심 금속 원자들을 결합함으로써, 평면적으로 넓어지는 층을 형성한다.
- [0018] 상기한 산화물 재료가 도전성을 가지는 경우, 트랜지스터의 게이트 전극의 재료용으로 이용할 수 있다. 또한, 게이트 전극은 상기한 산화물 재료로 이루어지는 막 및 금속막을 적층하여 형성해도 좋다.

[0019] 또는, 산화물 재료가 도전성을 가지는 경우, 트랜지스터의 소스 전극 및 드레인 전극의 재료로 이용할 수 있다. 또한, 소스 전극 및 드레인 전극은 상기한 산화물 재료로 이루어지는 막 및 금속막을 적층하여 형성해도 좋다.

[0020] 상기한 산화물 재료가 반도체 특성을 가지는 경우, 트랜지스터의 활성층에 상기한 산화물 재료로 이루어지는 막을 이용할 수 있다. 이 경우, 산화물 재료로 이루어지는 막은 예를 들면, 트랜지스터의 소스 전극 및 드레인 전극으로서 기능하는 도전막, 및 절연막과 접하여 형성한다. 또한, 상기한 절연막은 트랜지스터의 게이트 절연막, 하지 절연막 또는 층간 절연막으로서 기능한다.

발명의 효과

[0021] 본 발명의 일 양태에 대해, 우수한 전기 특성을 가지는 반도체 장치가 제공될 수 있다.

[0022] 또, 기본 유리와 같은 큰 기판을 이용하여, 신뢰성이 높은 반도체 장치의 대량 생산을 행할 수 있다.

도면의 간단한 설명

- [0023] 도 1은 본 발명의 일 양태인 산화물 재료의 구조를 설명하는 도면이다.
- 도 2는 본 발명의 일 양태인 반도체 장치의 일례를 도시하는 상면도 및 단면도이다.
- 도 3은 본 발명의 일 양태인 반도체 장치의 일례를 도시하는 상면도 및 단면도이다.
- 도 4는 본 발명의 일 양태인 반도체 장치의 일례를 도시하는 상면도 및 단면도이다.
- 도 5는 본 발명의 일 양태인 반도체 장치의 일례를 도시하는 상면도 및 단면도이다.
- 도 6은 본 발명의 일 양태인 반도체 장치의 일례를 도시하는 상면도 및 단면도이다.
- 도 7은 본 발명의 일 양태인 반도체 장치의 일례를 도시하는 상면도 및 단면도이다.
- 도 8은 본 발명의 일 양태인 트랜지스터를 이용한 액정 표시 장치의 일례를 도시하는 회로도이다.
- 도 9는 본 발명의 일 양태인 트랜지스터를 이용한 반도체 기억 장치의 일례를 도시하는 회로도 및 전기 특성을 도시하는 그래프이다.
- 도 10은 본 발명의 일 양태인 트랜지스터를 이용한 반도체 기억 장치의 일례를 도시하는 회로도 및 전기 특성을 도시하는 그래프이다.
- 도 11은 본 발명의 일 양태인 트랜지스터를 이용한 반도체 기억 장치의 일례를 도시하는 회로도이다.
- 도 12는 본 발명의 일 양태인 전자 기기의 일례를 도시하는 사시도이다.
- 도 13은 CAAC를 포함하는 산화물막의 HAADF-STEM에 의한 평면상 및 단면상이다.
- 도 14는 CAAC를 포함하지 않는 산화물막의 HAADF-STEM에 의한 평면상 및 단면상이다.
- 도 15는 CAAC를 포함하는 산화물막의 as-depo의 XRD 스펙트럼이다.
- 도 16은 CAAC를 포함하는 산화물막의 열처리 후의 XRD 스펙트럼이다.
- 도 17은 CAAC를 포함하는 산화물막의 as-depo의 XRD 스펙트럼이다.
- 도 18은 CAAC를 포함하는 산화물막의 열처리 후의 XRD 스펙트럼이다.
- 도 19는 CAAC를 포함하는 산화물막의 as-depo의 XRD 스펙트럼이다.
- 도 20은 CAAC를 포함하는 산화물막의 열처리 후의 XRD 스펙트럼이다.
- 도 21은 트랜지스터의 Vg-Id 곡선을 나타내는 그래프이다.
- 도 22는 +BT 시험의 결과 및 -BT 시험의 결과를 나타내는 그래프이다.
- 도 23은 트랜지스터에 빛을 조사하면서 행한 +BT 시험의 결과 및 -BT 시험의 결과를 나타내는 그래프이다.
- 도 24는 각종 스트레스 조건의 문턱 전압 Vth의 변화량(ΔV_{th})의 시간 의존성을 나타내는 그래프이다.

도 25는 부(負)바이어스 온도 스프레스 광열화의 메커니즘을 설명하는 모식도이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 이하에서는, 본 발명의 실시형태에 대하여 도면을 이용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 그 형태 및 세부 사항을 다양하게 변경할 수 있는 것은, 당업자라면 용이하게 이해된다. 또, 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다. 또한, 도면을 이용하여 발명의 구성을 설명할 때에, 같은 것을 가리키는 부호는 다른 도면간에서도 공통하여 이용한다. 또한, 같은 것을 가리킬 때에는 해치 패턴을 같게 하고, 특별히 부호를 붙이지 않는 경우가 있다.
- [0025] 이하, 본 발명의 설명을 하지만, 본 명세서에서 이용하는 용어에 대하여 간단히 설명한다. 우선, 트랜지스터의 소스와 드레인에 대해서는, 본 명세서에서는, 한쪽을 드레인이라고 부를 때 다른 한쪽을 소스라고 한다. 즉, 전위의 고저에 따라서, 이들을 구별하지 않는다. 따라서, 본 명세서에서, 소스라고 되어 있는 부분을 드레인이라고 바꾸어 읽을 수도 있다.
- [0026] 또, 전압이라는 것은 어느 전위와, 기준의 전위(예를 들면 그라운드 전위)와의 전위차인 것을 나타내는 경우가 많다. 따라서, 전압, 전위, 전위차를, 각각 전위, 전압, 전압차로 바꾸어 말할 수 있다.
- [0027] 본 명세서에서는, 「접속한다」라고 표현되는 경우에도, 실제의 회로에서는, 물리적인 접속 부분이 없고, 단지 배선이 연장되어 있는 경우도 있다.
- [0028] 또한, 제 1, 제 2로서 붙여진 서수사는 편의상 이용하는 것이며, 공정순 또는 적층순을 나타내는 것이 아니다. 또, 본 명세서에서 발명을 특정하기 위한 사항으로서 고유의 명칭을 나타내는 것은 아니다.
- [0029] (실시형태 1)
- [0030] 본 실시형태에서는, c축 배향하며, 또 ab면, 표면 또는 계면의 방향에서 봤을 때 삼각형상 또는 육각형상의 원자 배열을 가지는 산화물막의 형성 방법에 대하여 설명한다. 결정에서, 금속 원자는 층상(狀)으로 배열되거나 또는 금속 원자와 산소 원자가 c축을 따라 층상으로 배열되어 있고, ab면(혹은 표면 또는 계면)에서는, a축 또는 b축의 방향이 다르다(c축을 중심으로 회전한). 그러한 결정을 c축 정렬된 결정(CAAC:C Axis Aligned Crystal)이라고도 한다.
- [0031] CAAC를 포함하는 산화물이란 것은, 넓은 의미로 비단결정이고, 그 ab면에 수직인 방향에서 봤을 때, 삼각형, 육각형, 정삼각형, 또는 정육각형의 원자 배열을 가지고, 또, c축 방향에 수직인 방향에서 봤을 때, 금속 원자가 층상, 또는, 금속 원자와 산소 원자가 층상으로 배열된 상(相)을 포함하는 재료를 말한다. 또, CAAC를 포함하는 산화물막은 결정 입계를 가질 수 있는 새로운 구조의 막이며, ab면에 대해서는 반드시 배열하는 것은 아니다.
- [0032] CAAC는 단결정이 아니다. 또, CAAC를 포함하는 산화물막은 비정질만으로 형성되어 있는 것도 아니다. 또, CAAC를 포함하는 산화물막은 결정화한 부분(결정 부분)을 포함하지만, 1개의 결정 부분과 다른 결정 부분의 경계를 명확하게 판별할 수 없는 경우도 있다.
- [0033] CAAC를 포함하는 산화물막을 구성하는 산소의 일부는 질소로 치환되어도 좋다. 또, CAAC를 구성하는 개개의 결정 부분의 c축은 일정한 방향(예를 들면, CAAC를 지지하는 기판면이나 CAAC를 포함하는 산화물막의 표면 등에 수직인 방향)으로 정렬되어 있어도 좋다. 또는, CAAC를 구성하는 개개의 결정 부분의 ab면의 법선은 일정한 방향(예를 들면, CAAC를 지지하는 기판면이나 CAAC를 포함하는 산화물막의 표면 등에 수직인 방향)을 향하고 있어도 좋다.
- [0034] CAAC를 포함하는 산화물막은 그 조성 등에 따라서, 도체가거나, 반도체이거나, 절연체이거나 한다. 또, 이 조성 등에 따라서, 가시광에 대하여 투명하거나 불투명하거나 한다.
- [0035] 이와 같은 CAAC를 포함하는 산화물의 예로서, 막형상으로 형성되고, 막 표면, 기판면, 또는 계면에 수직인 방향에서 관찰하면 삼각형상 또는 육각형상의 원자 배열이 확인되고, 또 그 막 단면을 관찰하면 금속 원자 또는 금속 원자와 산소 원자(또는 질소 원자)와의 층상 배열이 확인되는 재료도 있다.
- [0036] CAAC에 대해서 도 1을 이용하여 상세하게 설명한다. 또한, 특별히 언급하지 않는 한, 도 1은 윗방향을 c축 방향으로 하고, 도 1을 도시하는 평면과 직교하는 면을 ab면으로 한다. 또한, 간단히 상반분, 하반분이라는 경우, ab면을 경계로 한 경우의 상반분, 하반분을 말한다.

- [0037] 도 1(A)에, 1개의 6배위의 금속 원자 M₁와, 금속 원자 M₁에 근접한 6개의 4배위의 O를 가지는 구조를 도시한다. 이와 같은 금속 원자 1개에 대하여, 근접한 산소 원자만 나타낸 구조를, 여기에서는 서브 유닛이라고 부른다. 도 1(A)의 구조는 팔면체 구조를 취하지만, 간단하게 하기 위해 평면 구조로 도시하고 있다. 또한, 도 1(A)의 상반분 및 하반분에는 각각 3개씩 4배위의 O가 있다. 서브 유닛은 대표적으로, 한개의 금속 원자만을 도시하고 있지만, 실제로는 복수의 서브 유닛끼리가 3배위의 O 또는 4배위의 O를 통하여 평면적으로 넓어진 금속 산화물층을 형성한다.
- [0038] 도 1(B)은 1개의 5배위의 금속 원자 M₂와, 금속 원자 M₂에 근접한 3개의 3배위의 O와, 근접한 2개의 4배위의 O를 가지는 구조를 도시한다. 3배위의 O는 모두 ab면에 존재한다. 도 1(B)의 상반분 및 하반분에는 각각 1개씩 4배위의 O가 있다.
- [0039] 도 1(C)은 1개의 4배위의 금속 원자 M₃과, 금속 원자 M₃에 근접한 4개의 4배위의 O에 의한 구조를 도시한다. 도 1(C)의 상반분에는 1개의 4배위의 O가 있고, 하반분에는 3개의 4배위의 O가 있다.
- [0040] 이들의 배위수를 가지는 금속 원자는 4배위의 O를 통하여 결합한다. 구체적으로는, 4배위의 O가 더하여 4개일 때에 결합한다. 예를 들면, 6배위의 금속 원자 M₁이 상반분의 4배위의 O를 통하여 결합하는 경우, 4배위의 O가 3개이기 때문에, 5배위의 금속 원자 M₂의 상반분의 4배위의 O, 5배위의 금속 원자 M₂의 하반분의 4배위의 O 또는 4배위의 금속 원자 M₃의 상반분의 4배위의 O 중 어느 것과 결합하게 된다.
- [0041] 또, 이외에도, 층구조의 합계의 전하가 0이 되도록 서브 유닛끼리가 결합한다.
- [0042] 여기에서, 3배위의 O 및 4배위의 O의 경우, 결합 1개당 전하는 각각 -0.667, -0.5라고 생각할 수 있다. 예를 들면, In(6배위 또는 5배위), Zn(4배위), Ga(5배위), Sn(5배위 또는 6배위)의 전하는 각각 +3, +2, +3, +4이기 때문에, In으로 이루어지는 서브 유닛, Zn으로 이루어지는 서브 유닛 및 Ga로 이루어지는 서브 유닛은 전하가 0이 된다. 따라서, 이들의 조합이라면 층구조의 합계의 전하는 항상 0이 된다. 한편, Sn으로 이루어지는 서브 유닛은 전하가 +1이 된다. 따라서, Sn을 포함하는 층구조를 형성하기 위해서는, 전하 +1을 없애는 전하 -1이 필요해진다. 전하 -1을 취하는 구조로서, Zn의 서브 유닛이 두개 결합한 구조가 있다. 예를 들면, Sn으로 이루어지는 서브 유닛이 1개에 대하여, Zn의 서브 유닛이 2개 결합한 구조가 1개 있으면, 전하가 없어지기 때문에, 층구조의 합계의 전하를 0으로 할 수 있다.
- [0043] 도 1(D)에 In-Sn-Zn-O계의 층구조를 나타낸다. 간단하게 하기 위해, 3배위의 O는 생략하고, 4배위의 O는 개수만을 도시했다. In은 5배위 및 6배위의 양쪽을 취할 수 있는 것으로 한다. 도 1(D)에 도시한 1주기분을 반복하는 구조로 함으로써, In-Sn-Zn-O계의 결정(In₂SnZn₃O₈)을 얻을 수 있다. 또한, In-Sn-Zn-O계의 층구조는 In₂SnZn₂O₇(ZnO)_m(m은 0 또는 자연수)로 하는 조성식으로 나타낼 수 있다. 이 외에도, 마찬가지로, In-Sn-Ga-Zn-O계의 재료, In-Ga-Zn-O계의 재료, In-Si-Zn-O계의 재료, In-Al-Zn-O계의 재료, Sn-Ga-Zn-O계의 재료, Al-Ga-Zn-O계의 재료, Sn-Al-Zn-O계의 재료나, In-Zn-O계의 재료, Sn-Zn-O계의 재료, Al-Zn-O계의 재료, Zn-Mg-O계의 재료, Sn-Mg-O계의 재료, In-Mg-O계의 재료, In-Ga-O계의 재료나, In-O계의 재료, Sn-O계의 재료, Zn-O계의 재료 등을 이용하여 산화물의 결정이 얻어질 수 있다.
- [0044] 이어서, CAAC를 포함하는 산화물막의 형성 방법에 대하여 설명한다.
- [0045] 우선, 기판에 제 1 산화물막을 스퍼터링법, 분자선 에피택시법, 원자층 퇴적법 또는 펄스 레이저 증착법에 의해서 성막한다. 또한, 성막시에 기판을 가열함으로써, 비정질 영역에 대한 결정 영역의 비율이 높은 산화물막으로 할 수 있다. 예를 들면, 기판 온도가 150℃ 이상 450℃ 이하로 하면 좋다. 바람직하게는, 기판 온도를 200℃ 이상 350℃ 이하로 한다.
- [0046] 기판 온도를 높이는 것에 의해, CAAC를 포함하는 산화물막을 더 결정화시킬 수 있다.
- [0047] 이어서, 기판에 제 1 열처리를 행해도 좋다. 제 1 열처리를 행하는 것에 의해, 비정질 영역에 대하여 결정 영역의 비율이 더 높은 산화물막으로 할 수 있다. 제 1 열처리는 예를 들면 200℃ 이상 기판의 변형점 미만으로 행하면 좋다. 바람직하게는, 250℃ 이상 450℃ 이하로 한다. 분위기는 한정되지 않지만, 산화성 분위기, 불활성 분위기 또는 감압 분위기에서 행한다. 처리 시간은 3분~24시간으로 한다. 처리 시간을 길게 할수록 비정질 영역에 대하여 결정 영역의 비율이 높은 산화물막을 형성할 수 있지만, 24시간을 넘는 열처리는 생산성의 저하를 불러일으키기 때문에 바람직하지 않다.
- [0048] 산화성 분위기는 산화성 가스를 포함하는 분위기이다. 산화성 가스라는 것은, 산소, 오존 또는 아산화

질소 등이며, 물, 수소 등이 포함되지 않는 것이 바람직하다. 예를 들면, 열처리 장치에 도입하는 산소, 오존, 아산화 질소의 순도를, 8N(99.999999%) 이상, 바람직하게는 9N(99.9999999%) 이상(즉, 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 미만)으로 한다. 산화성 분위기는 산화성 가스를 불활성 gas와 혼합하여 이용해도 좋다. 이 경우, 산화성 가스가 적어도 10ppm 이상 포함되는 것으로 한다.

- [0049] 여기에서, 불활성 분위기라는 것은, 질소, 희가스(헬륨, 네온, 아르곤, 크립톤, 크세논) 등의 불활성 가스를 주 성분으로 하는 분위기이다. 구체적으로는, 산화성 가스 등의 반응성 가스를 10ppm 미만으로 한다.
- [0050] 제 1 열처리는 RTA(Rapid Thermal Anneal) 장치를 이용할 수 있다. RTA를 이용함으로써, 단시간에 한하여, 기관의 변형점 이상의 온도에서 열처리를 행할 수 있다. 따라서, 비정질 영역에 대하여 결정 영역의 비율이 높은 산화물막을 형성하기 위한 시간을 단축할 수 있다.
- [0051] 산화물로서, 화학식 $InMO_3(ZnO)_m(m>0)$ 으로 표기되는 재료를 이용해도 좋다. 여기에서, M은 Ga, Al, Mn 및 Co로부터 선택된 하나 또는 복수의 금속 원소를 나타낸다. 예를 들면, M으로서, Ga, Ga 및 Al, Ga 및 Mn 또는 Ga 및 Co 등을 이용해도 좋다.
- [0052] 또, 질소를 $5 \times 10^{19} \text{ atoms/cm}^3$ 이상, 바람직하게는 $1 \times 10^{20} \text{ atoms/cm}^3$ 이상 7 원자% 미만 포함하는 In-Ga-Zn-O계의 재료는 c축 배향한 육방정 결정 구조를 포함하는 산화물이 되고, In-O의 결정면(인듐과 산소를 포함하는 결정면)과 In-O의 결정면(인듐과 산소를 포함하는 결정면)과의 사이에, 일층의 Ga 및 Zn을 가지는 층을 구비한다. 또는, 상기한 범위에서 질소를 포함하는 In-Ga-Zn-O계의 산화물 재료에서, In-O의 결정면과 In-O의 결정면과의 사이에, 복수층의 Ga 및 Zn을 가지는 층을 구비해도 상관없다.
- [0053] 이어서, 제 1 산화물막 위에 제 2 산화물막을 성막하고, 산화물 적층체를 형성해도 좋다. 제 1 산화물막과 제 2 산화물막은 같은 방법으로 성막할 수 있다.
- [0054] 제 2 산화물막을 성막할 때, 기관을 가열하면서 성막함으로써, 제 1 산화물막을 종결정에, 제 2 산화물막을 결정화시킬 수 있다. 이 때, 제 1 산화물막과 제 2 산화물막이 동일한 원소로 구성되는 것을 "호모 성장"이라고 한다. 또는, 제 1 산화물막과 제 2 산화물막이, 적어도 일종 이상 다른 원소로부터 구성되는 것을 "헤테로 성장"이라고 한다.
- [0055] 또한, 제 2 산화물막을 성막한 후, 제 2 열처리를 행해도 좋다. 제 2 열처리는 제 1 열처리와 같은 방법으로 행하면 좋다. 제 2 열처리를 함으로써, 비정질 영역에 대하여 결정 영역의 비율이 많은 산화물 적층체로 할 수 있다. 또는, 제 2 열처리를 함으로써, 제 1 산화물막을 종결정에, 제 2 산화물막을 결정화시킬 수 있다. 이 때, 제 1 산화물막과 제 2 산화물막이 동일한 원소로부터 구성되는 호모 성장으로 해도 상관없다. 또는, 제 1 산화물막과 제 2 산화물막이 적어도 일종 이상 다른 원소로 구성되는 헤테로 성장으로 해도 상관없다.
- [0056] 이상의 방법으로, CAAC를 포함하는 산화물막을 형성할 수 있다.
- [0057] 본 실시형태는, 다른 실시형태와 적절히 조합하여 이용할 수 있다.
- [0058] (실시형태 2)
- [0059] 본 실시형태에서는, 실시형태 1에서 나타낸 CAAC를 포함하는 산화물막을 이용한 트랜지스터의 일례에 대하여 도 2를 이용하여 설명한다.
- [0060] 도 2(A)는 트랜지스터의 상면도이다. 도 2(A)에 도시한 일점쇄선 A-B 및 일점쇄선 C-D는 각각 도 2(B)에 도시하는 A-B 단면 및 도 2(C)에 도시하는 C-D 단면에 대응한다.
- [0061] 여기에서는, 도 2(B)에 도시하는 A-B 단면에 대하여 상세하게 설명한다.
- [0062] A-B 단면은 기관(100)과, 기관(100) 위의 게이트 전극(104)과, 기관(100) 및 게이트 전극(104)을 덮는 게이트 절연막(112)과, 게이트 절연막(112)을 통하여 게이트 전극(104) 위에 있는 반도체막(106)과, 반도체막(106) 위에 있고 반도체막(106)과 일부가 접하는 한쌍의 전극(116)과, 게이트 절연막(112), 반도체막(106) 및 한쌍의 전극(116)을 덮는 층간 절연막(118)을 가지는 트랜지스터의 단면이다.
- [0063] 게이트 전극(104)은 단층 또는 적층 구조로 하면 좋고, Al, Ti, Cr, Co, Ni, Cu, Y, Zr, Mo, Ag, Ta 및 W, 이들의 질화물, 산화물 및 합금으로부터 하나 이상 선택하여 이용하면 좋다. 또, 게이트 전극(104)은 실시형태 1에 도시한 CAAC를 포함하는 산화물막으로 이루어지는 도전막(산화물 도전막)을 가지는 구성으로 할 수 있다. 산화물 도전막의 구성에 의해 일함수를 제어할 수 있다.

- [0064] 산화물 도전막을 게이트 전극(104)에 이용하는 경우, 산화물 도전막은 금속막과 비교하여 저항이 높기 때문에, 게이트 전극(104)의 저항을 저감하기 위해 시트 저항이 10Ω/sq 이하가 되도록 상기의 재료로부터 선택된 저저항막과 적층하여 이용하면 바람직하다. 단, 적층 구조에서 산화물 도전막이 게이트 절연막(112) 측에 형성된다면 점을 주목하라.
- [0065] 또한, 도 2(A)에서는 게이트 전극(104)이 반도체막(106)보다, 상면도에서 세로 및 가로가 모두 큰 형상으로 함으로써 반도체막(106)의 빛에 의한 열화, 전하의 발생을 억제하고 있지만, 이것에 한정되는 것은 아니다. 반도체막(106)이 게이트 전극(104)보다, 상면도에서 세로 및 가로가 모두 큰 형상으로 해도 상관없다.
- [0066] 기판(100)에 큰 제한은 없지만, 적어도, 후의 열처리에 견딜 수 있는 정도의 내열성을 가지고 있을 필요가 있다. 예를 들면, 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을 기판(100)으로서 이용해도 좋다. 또, 실리콘이나 탄화 실리콘 등의 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 게르마늄 등의 화합물 반도체 기판, SOI(Silicon On Insulator) 기판 등을 적용할 수도 있고, 이들의 기판 위에 반도체 소자가 형성된 것을 기판(100)으로서 이용해도 좋다.
- [0067] 또, 기판(100)으로서, 가요성 기판을 이용해도 좋다. 이 경우에는, 가요성 기판 위에 직접 트랜지스터를 제작하게 된다. 또한, 가요성 기판 위에 트랜지스터를 형성하는 방법으로서, 기판(100)으로서 비가요성의 것을 이용하여, 이 위에 트랜지스터를 제작한 후, 트랜지스터를 박리하고, 가요성 기판에 전치하는 방법도 있다. 그 경우에는, 기판(100)과 트랜지스터와의 사이에 박리층을 형성하면 좋다.
- [0068] 반도체막(106)은 실리콘막, 게르마늄막, 실리콘 게르마늄막, 탄화 실리콘막 또는 질화 갈륨막, 또는 실시형태 1에서 나타낸 CAAC를 포함하는 산화물막으로 이루어지는 반도체막(산화물 반도체막)을 이용하면 좋다. 산화물 반도체막은 성막이 용이하고, 또 레이저 빔 처리 등 행하지 않아도 높은 전계 효과 이동도를 가지기 때문에, 반도체막(106)에 이용하는 재료로서 바람직하다. 또, 산화물 반도체막과 상기 산화물 반도체막과 접하는 게이트 절연막과의 계면의 계면 준위가 적은 트랜지스터를 얻을 수 있다.
- [0069] 게이트 절연막(112) 및 층간 절연막(118)은 예를 들면 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 이트륨 또는 산화 지르코늄 등을 이용하면 좋고, 적층 또는 단층으로 형성한다. 예를 들면, 열산화법, CVD법, 스퍼터링법 등으로 형성하면 좋다. 게이트 절연막(112) 및 층간 절연막(118)은 가열에 의해 산소 방출하는 막을 이용해도 좋다. 가열에 의해 산소 방출하는 막을 이용함으로써, 반도체막(106)에 발생하는 결함을 복원할 수 있고, 트랜지스터의 전기 특성의 열화를 억제할 수 있다.
- [0070] 여기에서, 산화 질화 실리콘이라는 것은 그 조성에서, 질소보다도 산소의 함유량이 많은 것을 나타내고, 예를 들면, 산소가 50원자% 이상 70원자% 이하, 질소가 0.5원자% 이상 15원자% 이하, 규소가 25원자% 이상 35원자% 이하, 수소가 0원자% 이상 10원자% 이하의 범위에서 포함되는 것을 말한다. 또, 질화 산화 실리콘이라는 것은, 그 조성에 있어서, 산소보다도 질소의 함유량이 많은 것을 나타내고, 예를 들면, 산소가 5원자% 이상 30원자% 이하, 질소가 20원자% 이상 55원자% 이하, 규소가 25원자% 이상 35원자% 이하, 수소가 10원자% 이상 25원자% 이하의 범위에서 포함되는 것을 말한다. 단, 상기 범위는 러더퍼드 후방 산란법(RBS: Rutherford Backscattering Spectrometry)나, 수소 전방 산란법(HFS: Hydrogen Forward scattering Spectrometry)을 이용하여 측정된 경우의 것이다. 또, 구성 원소의 함유 비율은 그 합계가 100원자%를 넘지 않는 값을 취한다.
- [0071] 게이트 절연막(112) 및 층간 절연막(118)은 한쌍의 전극(116)의 재료가 반도체막(106)에 확산하고, 트랜지스터 특성에 악영향을 주는 것이 있는 경우, 한쌍의 전극(116)의 재료의 확산 계수가 작은 절연막을 이용하면 좋다. 층간 절연막(118)은 반도체막(106)의 보호막으로서 기능한다.
- [0072] 「가열에 의해 산소 방출한다」라는 것은, TDS(Thermal Desorption Spectroscopy: 승온 탈리 가스 분광법) 분석으로, 산소 원자로 환산한 산소의 방출량이 1.0×10^{18} atoms/cm³ 이상, 바람직하게는 3.0×10^{20} atoms/cm³ 이상인 것을 말한다.
- [0073] 여기에서, TDS 분석으로, 산소 원자로 환산한 산소의 방출량의 측정 방법에 대하여, 이하에 설명한다.
- [0074] TDS 분석했을 때의 기체의 방출량은 스펙트럼의 적분값에 비례한다. 이 때문에, 측정된 스펙트럼의 적분값과 표준 시료의 기준값과의 비로, 기체의 방출량을 계산할 수 있다. 표준 시료의 기준값은 소정의 원자를 포함하는 시료의 스펙트럼의 적분값에 대한 원자의 밀도의 비율이다.

- [0075] 예를 들면, 표준 시료인 소정의 밀도의 수소를 포함하는 실리콘 웨이퍼의 TDS 분석 결과, 및 절연막의 TDS 분석 결과로부터, 절연막의 산소 분자의 방출량(N_{O_2})은 수학적 식 1으로 구할 수 있다. 여기에서, TDS 분석으로 얻어진 질량수 32로 검출되는 스펙트럼의 모두가 산소 분자 유래라고 가정한다. 질량수 32인 것으로서 다른 CH_3OH 가 있지만, 존재하는 가능성이 낮은 것으로서 여기에서는 고려하지 않는다. 또, 산소 원자의 동위체인 질량수 17의 산소 원자 및 질량수 18의 산소 원자를 포함하는 산소 분자에 대해서도, 자연계에서의 존재 비율이 극미량이기 때문에 고려하지 않는다.
- [0076] $N_{O_2} = N_{H_2}/S_{H_2} \times S_{O_2} \times \alpha$ (수학적 식 1)
- [0077] N_{H_2} 는 표준 시료로부터 이탈한 수소 분자를 밀도로 환산한 값이다. S_{H_2} 는 표준 시료를 TDS 분석했을 때의 스펙트럼의 적분값이다. 여기에서, 표준 시료의 기준값을, N_{H_2}/S_{H_2} 으로 한다. S_{O_2} 는, 절연막을 TDS 분석했을 때의 스펙트럼의 적분값이다. α 는 TDS 분석에서의 스펙트럼 강도에 영향을 주는 계수이다. 수학적 식 1의 세부사항에 관해서는, 일본국 특개 평 6-275697 공보를 참조한다. 또한, 상기 절연막의 산소의 방출량은 전자 과학 주식회사(ESCO Ltd.)제의 승온 탈리 분석 장치EMD-WA1000S/W을 이용하고, 표준 시료로서 1×10^{16} atoms/cm³의 수소 원자를 포함하는 실리콘 웨이퍼를 이용하여 측정했다.
- [0078] 또, TDS 분석에서, 산소의 일부는 산소 원자로서 검출된다. 산소 분자와 산소 원자의 비율은 산소 분자의 이온화율로부터 산출할 수 있다. 또한, 상기한 α 는 산소 분자의 이온화율을 포함하기 때문에, 산소 분자의 방출량을 평가함으로써, 산소 원자의 방출량에 대해서도 어림잡을 수 있다.
- [0079] 또한, N_{O_2} 는 산소 분자의 방출량이다. 산소 원자로 환산했을 때의 방출량은 산소 분자의 방출량의 2배가 된다.
- [0080] 상기 구성에서, 가열에 의해 산소 방출하는 막은 산소가 과잉된 산화 실리콘($SiO_x(X>2)$)이어도 좋다. 산소가 과잉된 산화 실리콘($SiO_x(X>2)$)이라는 것은 실리콘 원자수의 2배보다 많은 산소 원자를 단위 체적당에 포함하는 것이다. 단위 체적당 실리콘 원자수 및 산소 원자수는 러더퍼드 후방 산란법으로 측정할 수 있다.
- [0081] 게이트 절연막(112) 또는 층간 절연막(118)으로부터 산화물 반도체막인 반도체막(106)에 산소가 공급됨으로써, 반도체막(106)과 게이트 절연막(112)과의 계면 준위 밀도, 또는 반도체막(106)과 층간 절연막(118)과의 계면 준위 밀도를 저감할 수 있다. 그 결과, 트랜지스터의 동작 등에 기인하여, 반도체막(106)과 게이트 절연막(112)과의 계면, 또는 반도체막(106)과 층간 절연막(118)과의 계면에 캐리어가 포획되는 것을 억제할 수 있고, 전기 특성의 열화가 적은 트랜지스터를 얻을 수 있다.
- [0082] 또한, 산화물 반도체막의 산소 결손에 기인하여 전하가 발생하는 경우가 있다. 일반적으로 산화물 반도체막의 산소 결손은 일부가 도너가 되어 캐리어인 전자를 방출한다. 그 결과, 트랜지스터의 문턱 전압이 마이너스 방향으로 시프트한다. 게이트 절연막(112) 또는 층간 절연막(118)으로 산화물 반도체막인 반도체막(106)에 산소가 충분히 공급되는 것에 의해, 문턱 전압이 마이너스 방향으로 시프트하는 요인인 산화물 반도체막의 산소 결손 밀도를 저감할 수 있다.
- [0083] 즉, 게이트 절연막(112) 또는 층간 절연막(118)에, 가열로 산소 방출하는 막을 형성함으로써, 반도체막(106)과 게이트 절연막(112)과의 계면의 계면 준위 밀도, 또는 반도체막(106)과 층간 절연막(118)과의 계면의 계면 준위 밀도, 및 산화물 반도체막인 반도체막(106)의 산소 결손 밀도를 저감될 수 있다. 따라서 산화물 반도체막인 반도체막(106)과 게이트 절연막(112) 사이의 계면 또는 반도체막(106)과 층간 절연막(118) 사이의 계면에서의 캐리어 포획의 영향을 작게 할 수 있다.
- [0084] 한쌍의 전극(116)은 게이트 전극(104)으로 나타낸 금속, 금속 질화물, 금속 산화물 또는 합금 등을 적절히 이용하면 좋다.
- [0085] 한쌍의 전극(116)에 Cu를 포함하는 막을 이용하면, 배선의 저항을 저감할 수 있고, 대형 표시 장치 등에서도 배선 지연 등의 발생을 저감할 수 있다. 한쌍의 전극(116)에 Cu를 이용하는 경우, 기판(100)의 재질에 의해서는 밀착성이 나빠지므로, 기판(100)과 밀착성이 좋은 막과의 적층 구조로 하는 것이 바람직하다. 기판(100)과 밀착성이 좋은 막으로서, Ti, Mo, Mn 또는 Al 등을 포함하는 막을 이용하면 좋다. 예를 들면, Cu-Mn-Al 합금을 이용해도 좋다.
- [0086] 이상과 같이, 문턱 전압이 제어된, 우수한 전기 특성을 가지는 트랜지스터를 얻을 수 있다. 따라서, 소비 전력

이 작고, 전기 특성이 양호하며 신뢰성이 높은 반도체 장치를 생산성 높게 제작할 수 있다.

- [0087] 본 실시형태는, 다른 실시형태와 적절히 조합하여 이용할 수 있다.
- [0088] (실시형태 3)
- [0089] 본 실시형태에서는, 실시형태 2에 나타난 트랜지스터와는 다른 구조의 트랜지스터에 대하여 설명한다.
- [0090] 도 3은 본 발명의 일 양태인 트랜지스터의 상면도 및 단면도이다. 도 3(A)에 도시한 일점쇄선 A-B 및 일점쇄선 C-D는 각각 도 3(B)에 도시하는 A-B 단면 및 도 3(C)에 도시하는 C-D 단면에 대응한다.
- [0091] 이하에, 도 3(B)에 도시하는 A-B 단면에 대하여 상세하게 설명한다.
- [0092] A-B 단면은 기판(100)과, 기판(100) 위의 게이트 전극(104)과, 기판(100) 및 게이트 전극(104)을 덮는 게이트 절연막(112)과, 게이트 절연막(112) 위의 한쌍의 전극(116)과, 게이트 절연막(112)을 통하여 게이트 전극(104) 위에 있는 한쌍의 전극(116)과 일부가 접하는 반도체막(106)과, 게이트 절연막(112), 한쌍의 전극(116) 및 반도체막(106)을 덮는 층간 절연막(118)을 가지는 트랜지스터의 단면이다.
- [0093] 본 실시형태에서도, 게이트 전극(104) 및 반도체막(106)은 실시형태 2와 같은 구성으로 한다. 실시형태 1에 나타난 CAAC를 포함하는 산화물막을 가지는 게이트 전극을 이용함으로써, 일함수가 제어되고, 트랜지스터의 문턱 전압을 제어할 수 있다. 또, 반도체막(106)에 실시형태 1에서 나타난 산화물 반도체막을 이용함으로써, 산화물 반도체막과 상기 산화물 반도체막과 접하는 게이트 절연막과의 계면의 계면 준위 밀도가 낮은 트랜지스터를 얻을 수 있다.
- [0094] 도 4는 본 발명의 일 양태인 트랜지스터의 상면도 및 단면도이다. 도 4(A)에 도시한 일점쇄선 A-B 및 일점쇄선 C-D는 각각 도 4(B)에 도시하는 A-B 단면 및 도 4(C)에 도시하는 C-D 단면에 대응한다.
- [0095] 이하에, 도 4(B)에 도시하는 A-B 단면에 대하여 상세하게 설명한다.
- [0096] A-B 단면은 기판(100)과, 기판(100) 위의 하지 절연막(102)과, 하지 절연막(102) 위의 반도체막(106)과, 반도체막(106) 위에 있어 반도체막(106)과 일부가 접하는 한쌍의 전극(116)과, 반도체막(106) 및 한쌍의 전극(116)을 덮는 게이트 절연막(112)과, 게이트 절연막(112)을 통하여 반도체막(106) 위에 있는 게이트 전극(104)을 가지는 트랜지스터의 단면이다.
- [0097] 하지 절연막(102)은 게이트 절연막(112) 및 층간 절연막(118)과 같은 구성으로 할 수 있다.
- [0098] 도 5는 본 발명의 일 양태인 트랜지스터의 상면도 및 단면도이다. 도 5(A)에 도시한 일점쇄선 A-B 및 일점쇄선 C-D는 각각 도 5(B)에 도시하는 A-B 단면 및 도 5(C)에 도시하는 C-D 단면에 대응한다.
- [0099] 이하에, 도 5(B)에 도시하는 A-B 단면에 대하여 상세하게 설명한다.
- [0100] A-B 단면은 기판(100)과, 기판(100) 위의 하지 절연막(102)과, 하지 절연막(102) 위의 한쌍의 전극(116)과, 한쌍의 전극(116) 위에 있고 한쌍의 전극(116)과 일부가 접하는 반도체막(106)과, 반도체막(106) 및 한쌍의 전극(116)을 덮는 게이트 절연막(112)과, 게이트 절연막(112)을 통하여 반도체막(106) 위에 있는 게이트 전극(104)을 가지는 트랜지스터의 단면이다.
- [0101] 또한, 도 3(A), 도 4(A), 및 도 5(A)에서는 게이트 전극(104)이 반도체막(106)보다 세로, 가로 모두가 큰 형상으로 함으로써 반도체막(106)의 빛에 의한 열화, 전하의 발생을 억제하고 있지만, 이것에 한정되는 것이 아니다. 반도체막(106)이 게이트 전극(104)보다 상면도에서 세로 및 가로가 모두 큰 형상으로 해도 상관없다.
- [0102] 도 6은 본 발명의 일 양태인 트랜지스터의 상면도 및 단면도이다. 도 6(A)에 도시한 일점쇄선 A-B 및 일점쇄선 C-D는 각각 도 6(B)에 도시하는 A-B 단면 및 도 6(C)에 도시하는 C-D 단면에 대응한다.
- [0103] 이하에, 도 6(B)에 도시하는 A-B 단면에 대하여 상세하게 설명한다.
- [0104] A-B 단면은 기판(100)과, 기판(100) 위의 하지 절연막(102)과, 하지 절연막(102) 위의 영역(126) 및 영역(121)을 가지는 반도체막과, 영역(121) 위의 게이트 절연막(112)과, 게이트 절연막(112) 위의 게이트 전극(104)과, 하지 절연막(102), 영역(126), 게이트 절연막(112) 및 게이트 전극(104)을 덮는 층간 절연막(118)과, 층간 절연막(118)에 형성된 영역(126)을 노출하는 개구부를 통하여 영역(126)과 접하는 한쌍의 전극(116)을 가지는 트랜지스터의 단면이다.

- [0105] 여기에서, 게이트 절연막(112) 및 게이트 전극(104)은 대략 동일한 윗면 형상으로 해도 좋다. 이 형상은 게이트 전극(104) 및 게이트 절연막(112)을 동일한 마스크를 이용하여 가공함으로써 얻을 수 있다. 또한, 게이트 전극(104) 및 게이트 절연막(112)을 형성 후, 플라즈마 처리 또는 약액 처리에 의해서 게이트 전극(104)의 폭을 좁게 해도 상관없다.
- [0106] 영역(121)은 게이트 절연막(112) 또는 게이트 전극(104)과 대략 동일한 윗면 형상으로 해도 좋다. 이 형상은 게이트 절연막(112) 또는 게이트 전극(104)을 마스크에 반도체막의 영역(126)을 형성함으로써 얻어진다. 예를 들면, 게이트 절연막(112) 또는 게이트 전극(104)을 마스크에, 반도체막에 불순물(붕소, 인, 수소, 희가스, 질소 등)을 도입하고, 저저항화된 영역을 영역(126)이라고 할 수 있다. 또한, 영역(121)은 영역(126)이 형성되어 있지 않은 반도체막의 영역이다.
- [0107] 영역(121)은 트랜지스터의 채널 영역으로서의 기능을 가진다. 또, 영역(126)은 트랜지스터의 소스 영역 및 드레인 영역으로서의 기능을 가진다.
- [0108] 도 7은 본 발명의 일 양태인 트랜지스터의 상면도 및 단면도이다. 도 7(A)에 도시한 일점쇄선 A-B 및 일점쇄선 C-D는 각각 도 7(B)에 도시하는 A-B 단면 및 도 7(C)에 도시하는 C-D 단면에 대응한다.
- [0109] 이하에, 도 7(B)에 도시하는 A-B 단면에 대하여 상세하게 설명한다.
- [0110] A-B 단면은 기판(100)과, 기판(100) 위의 게이트 전극(104)과, 게이트 전극(104) 위의 게이트 절연막(112)과, 게이트 절연막(112)을 통하여 게이트 전극(104)위에 있는 영역(126) 및 영역(121)을 가지는 반도체막과, 이 반도체막 및 게이트 절연막(112)을 덮는 층간 절연막(118)과, 층간 절연막(118)에 형성된 영역(126)을 노출하는 개구부를 통하여 영역(126)과 접하는 한쌍의 전극(116)을 가지는 트랜지스터의 단면이다.
- [0111] 도 7은 게이트 절연막(112) 및 게이트 전극(104)과 영역(121)이 대략 동일한 윗면 형상으로서 도시되어 있지만, 이것에 한정되지 않는다. 게이트 절연막(112) 및 게이트 전극(104)과 영역(121)의 형상이 상이하더라도 상관없다.
- [0112] 이상과 같이, 문턱 전압이 제어된, 우수한 전기 특성을 가지는 트랜지스터를 얻을 수 있다. 따라서, 소비 전력이 작고, 전기 특성이 양호하며 신뢰성이 높은 반도체 장치를 생산성 높게 제작할 수 있다.
- [0113] 본 실시형태는, 다른 실시형태와 적절히 조합하여 이용할 수 있다.
- [0114] (실시형태 4)
- [0115] 본 실시형태에서는, 실시형태 2 또는 실시형태 3에 도시한 트랜지스터를 이용하여 제작한 액정 표시 장치에 대하여 설명한다. 또한, 본 실시형태에서는 액정 표시 장치에 본 발명의 일형태를 적용한 예에 대하여 설명하지만, 이것에 한정되는 것은 아니다. 예를 들면, EL(Electroluminescence) 표시 장치에 본 발명의 일형태를 적용하는 것도, 당업자라면 용이하게 생각할 수 있는 것이다.
- [0116] 도 8에 액티브 매트릭스 구동 방식의 액정 표시 장치의 회로도도 도시한다. 액정 표시 장치는 소스선 SL₁ 내지 SL_a, 게이트선 GL₁ 내지 GL_b 및 복수의 화소(200)를 가진다. 화소(200)는 트랜지스터(230)와, 커패시터(220)와, 액정 소자(210)를 포함한다. 이러한 화소(200)가 복수 배열하여 액정 표시 장치의 화소부를 구성한다. 또한, 간단히 소스선 또는 게이트선을 가리키는 경우에는, 소스선 SL 또는 게이트선 GL이라고 기재한다.
- [0117] 트랜지스터(230)는 실시형태 2 또는 실시형태 3에서 나타내는 트랜지스터를 이용한다. 본 발명의 일 양태인 트랜지스터를 이용함으로써, 소비 전력이 작고, 전기 특성이 양호하며 신뢰성이 높은 표시 장치를 얻을 수 있다.
- [0118] 게이트선 GL은 트랜지스터(230)의 게이트와 접속하고, 소스선 SL은 트랜지스터(230)의 소스와 접속하고, 트랜지스터(230)의 드레인인 커패시터(220)의 한쪽의 용량 전극 및 액정 소자(210)의 한쪽의 화소 전극과 접속한다. 커패시터(220)의 다른 한쪽의 용량 전극 및 액정 소자(210)의 다른 한쪽의 화소 전극은 공통 전극과 접속한다. 또한, 공통 전극은 게이트선 GL과 같은 층, 같은 재료로 형성해도 좋다.
- [0119] 또, 게이트선 GL은 게이트 구동 회로와 접속된다. 게이트 구동 회로는 실시형태 2 또는 실시형태 3에 도시한 트랜지스터를 포함해도 좋다. 이 트랜지스터는 문턱 전압이 제어되어 있기 때문에, 오프 전류를 작게 할 수 있고, 또 온을 위한 전압을 작게 할 수 있다. 따라서, 소비 전력을 저감할 수 있다.

- [0120] 또, 소스선 SL은 소스 구동 회로와 접속된다. 소스 구동 회로는 실시형태 2 또는 실시형태 3에 도시한 트랜지스터를 포함해도 좋다. 이 트랜지스터는 문턱 전압이 제어되어 있기 때문에, 오프 전류를 작게 할 수 있고, 또 온을 위한 전압을 작게 할 수 있다. 따라서, 소비 전력을 저감할 수 있다.
- [0121] 또한, 게이트 구동 회로 및 소스 구동 회로 중 어느 하나 또는 양쪽을, 별도로 준비된 기판 위에 형성하고, COG(Chip On Glass), 와이어 본딩, 또는 TAB(Tape Automated Bonding) 등의 방법을 이용하여 접속해도 좋다.
- [0122] 또, 트랜지스터는 정전기 등에 의해 파괴되기 쉽기 때문에, 보호 회로를 형성하는 것이 바람직하다. 보호 회로는 비선형 소자를 이용하여 구성하는 것이 바람직하다.
- [0123] 게이트선 GL에 트랜지스터(230)의 문턱 전압 이상이 되도록 전위를 인가하면, 소스선 SL으로부터 공급된 전하가 트랜지스터(230)의 드레인 전류가 되어 커패시터(220)에 전하가 축적된다. 1열분의 충전 후, 이 열에 있는 트랜지스터(230)는 오프 상태가 되고, 소스선 SL으로부터 전압이 걸리지 않게 되지만, 커패시터(220)에 축적된 전하에 의해서 필요한 전압을 유지할 수 있다. 그 후, 다음 열의 커패시터(220)의 충전으로 이동한다. 이와 같이 하여, 1열~a열의 충전을 행한다.
- [0124] 또한, 트랜지스터(230)는 문턱 전압이 제어된 트랜지스터이기 때문에, 커패시터(220)에 유지된 전하가 빠져나가기 어렵고, 커패시터(220)의 용량을 작게 하는 것이 가능해지기 때문에, 충전에 필요한 소비 전력을 저감할 수 있다.
- [0125] 또, 트랜지스터(230)에 오프 전류가 작은 트랜지스터(산화물 반도체막을 이용한 트랜지스터 등)를 이용하는 경우, 전압을 유지하는 기간을 길게 할 수 있다. 이 효과에 의해서, 움직임이 적은 화상(정지 화면을 포함)으로는, 표시의 다시 쓰기 주파수를 저감할 수 있고, 또한 소비 전력의 저감이 가능해진다. 또, 커패시터(220)의 용량을 더 작게 하는 것이 가능해지기 때문에, 충전에 필요한 소비 전력을 저감할 수 있다.
- [0126] 이상과 같이, 본 발명의 일 양태에 의해, 신뢰성이 높고, 소비 전력이 작은 액정 표시 장치를 얻을 수 있다.
- [0127] 본 실시형태는, 다른 실시형태와 적절히 조합하여 이용할 수 있다.
- [0128] (실시형태 5)
- [0129] 본 실시형태에서는, 실시형태 2 또는 실시형태 3에 나타낸 트랜지스터를 이용하여, 반도체 기억 장치를 제작하는 예에 대하여 설명한다.
- [0130] 휘발성 반도체 기억 장치의 대표적인 예로서는, 기억 소자를 구성하는 트랜지스터를 선택하여 커패시터에 전하를 축적함으로써, 정보를 기억하는 DRAM(Dynamic Random Access Memory), 플립플롭 등의 회로를 이용하여 기억 내용을 유지하는 SRAM(Static Random Access Memory)이 있다.
- [0131] 불휘발성 반도체 기억 장치의 대표예로서는, 트랜지스터의 게이트 전극과 채널 형성 영역과의 사이에 플로팅 게이트를 가지고, 상기 플로팅 게이트에 전하를 유지함으로써 기억을 하는 플래쉬 메모리가 있다.
- [0132] 상기한 반도체 기억 장치에 포함되는 트랜지스터의 일부에 실시형태 2 또는 실시형태 3에서 나타낸 트랜지스터를 적용할 수 있다.
- [0133] 우선, 실시형태 2 또는 실시형태 3에서 나타낸 트랜지스터를 적용한 휘발성 메모리에 대하여 도 9를 이용하여 설명한다.
- [0134] 메모리 셀은 비트선 BL과, 워드선 WL과, 센스 앰프 SAmP와, 트랜지스터 Tr와, 커패시터 C를 가진다(도 9(A) 참조).
- [0135] 커패시터 C에 유지된 전압의 시간 변화는 트랜지스터 Tr의 오프 전류에 의해서 도 9(B)에 도시하는 바와 같이 점점 저감해가는 것으로 알려져 있다. 당초 V0부터 V1까지 충전된 전압은 시간이 경과하면 data1을 판독하는 한계점인 VA까지 저감한다. 이 기간을 유지 기간 T₁으로 한다. 즉, 2 레벨 메모리 셀의 경우, 유지 기간 T₁의 동안에 리플래시를 할 필요가 있다.
- [0136] 여기에서, 트랜지스터 Tr에 실시형태 2 또는 실시형태 3에서 나타낸 트랜지스터를 적용하면, 문턱 전압이 제어되고 있기 때문에, 유지 기간 T₁을 길게 할 수 있다. 즉, 리플래시의 빈도를 적게 하는 것이 가능해지기 때문에, 소비 전력을 저감할 수 있다.

- [0137] 트랜지스터 Tr에 오프 전류가 작은 트랜지스터를 이용하는 경우, 전압을 유지하는 기간을 더 길게 하는 것이 가능해지기 때문에, 소비 전력을 더 저감할 수 있다. 예를 들면, 고순도화되어 오프 전류가 1×10^{-21} A 이하, 바람직하게는 1×10^{-24} A 이하가 된 산화물 반도체막을 이용한 트랜지스터로 DRAM을 구성하면, 전력을 공급하지 않고 수일간~수십년간에 걸쳐 데이터를 유지할 수 있다.
- [0138] 이상과 같이, 본 발명의 일 양태에 의해, 신뢰성이 높고, 소비 전력이 작은 휘발성 메모리를 얻을 수 있다.
- [0139] 이어서, 실시형태 2 또는 실시형태 3에서 나타난 트랜지스터를 적용한 불휘발성 메모리에 대하여 도 10을 이용하여 설명한다.
- [0140] 도 10(A)은 불휘발성 메모리의 회로도이다. 불휘발성 메모리는 트랜지스터 Tr₁와, 트랜지스터 Tr₁의 게이트와 접속하는 워드선 WL₁과, 트랜지스터 Tr₁의 소스와 접속하는 소스 배선 SL₁과, 트랜지스터 Tr₂와, 트랜지스터 Tr₂의 소스와 접속하는 소스 배선 SL₂와, 트랜지스터 Tr₂의 드레인과 접속하는 드레인 배선 DL₂과, 커패시터 C와, 커패시터 C의 일단과 접속하는 용량 배선 CL과, 커패시터 C의 타단, 트랜지스터 Tr₁의 드레인 및 트랜지스터 Tr₂의 게이트와 접속하는 플로팅 게이트 FG를 가진다.
- [0141] 또한, 본 실시형태에 나타내는 불휘발성 메모리는 플로팅 게이트 FG의 전위에 따라서, 트랜지스터 Tr₂의 문턱 전압이 변동하는 것을 이용한 것이다. 예를 들면, 도 10(B)은 용량 배선 CL의 전압 VCL과, 트랜지스터 Tr₂을 흐르는 드레인 전류 ID₂와의 관계를 설명하는 도면이다.
- [0142] 여기에서, 플로팅 게이트 FG는 트랜지스터 Tr₁을 통하여, 전압을 조정할 수 있다. 예를 들면, 소스 배선 SL₁의 전위를 VDD로 한다. 이 때, 워드선 WL₁의 전위를 트랜지스터 Tr₁의 문턱 전압 Vth에 VDD를 가한 전위 이상으로 함으로써, 플로팅 게이트 FG의 전위를 HIGH로 할 수 있다. 또, 워드선 WL₁의 전위를 트랜지스터 Tr₁의 문턱 전압 Vth 이하로 함으로써, 플로팅 게이트 FG의 전위를 LOW로 할 수 있다.
- [0143] 따라서, FG=LOW으로 나타낸 V_{CL}-I_{D2}커브와, FG=HIGH으로 나타낸 V_{CL}-I_{D2}커브 중 하나를 얻을 수 있다. 즉, FG=LOW에서는, VCL=0V에서 드레인 전류 I_{D2}가 작기 때문에, 데이터 0이 된다. 또, FG=HIGH에서는, VCL=0V에서 드레인 전류 I_{D2}가 크기 때문에, 데이터 1이 된다. 이와 같이 하여, 데이터를 기억할 수 있다.
- [0144] 여기에서, 트랜지스터 Tr₁에 실시형태 2 또는 실시형태 3으로 나타난 트랜지스터를 적용하면, 이 트랜지스터는 오프 전류를 매우 작게 할 수 있기 때문에, 플로팅 게이트 FG에 축적된 전하가 트랜지스터 Tr₁의 소스 및 드레인 간을 의도치 않게 리크하는 것을 억제할 수 있다. 따라서, 장기간에 걸쳐서 데이터를 유지할 수 있다. 또, 본 발명의 일 양태를 이용함으로써, 트랜지스터 Tr₁의 문턱 전압이 제어되기 때문에, 기입에 필요한 전압을 저감하는 것이 가능해지고, 플래시 메모리 등과 비교하여 소비 전력을 저감할 수 있다.
- [0145] 또한, 트랜지스터 Tr₂에, 실시형태 2 또는 실시형태 3에서 나타난 트랜지스터를 적용해도 상관없다.
- [0146] 이어서, 도 10(A)에 도시한 불휘발성 메모리에서, 커패시터를 포함하지 않는 구성에 대하여 도 11을 이용하여 설명한다.
- [0147] 도 11은 불휘발성 메모리의 회로도이다. 불휘발성 메모리는 트랜지스터 Tr₁과, 트랜지스터 Tr₁의 게이트와 접속하는 워드선 WL₁과, 트랜지스터 Tr₁의 소스와 접속하는 소스 배선 SL₁과, 트랜지스터 Tr₂와, 트랜지스터 Tr₂의 소스와 접속하는 소스 배선 SL₂와, 트랜지스터 Tr₂의 드레인과 접속하는 드레인 배선 DL₂을 가진다. 트랜지스터 Tr₂는 트랜지스터 Tr₁의 드레인과 접속한다.
- [0148] 트랜지스터 Tr₁에 오프 전류가 작은 트랜지스터를 이용하는 경우, 커패시터를 형성하지 않아도 Tr₁의 드레인과 Tr₂의 게이트의 사이에 전하를 유지할 수 있다. 커패시터를 형성하지 않는 구성이기 때문에, 소면적화가 가능해지고, 커패시터를 형성한 경우와 비교하여 집적화할 수 있다.
- [0149] 또, 본 실시형태에서는, 배선을 4개 또는 5개 이용하는 불휘발성 메모리를 나타냈지만, 이것에 한정되는 것은 아니다. 예를 들면, 소스 배선 SL₁과 드레인 배선DL₂를 공통으로 하는 구성으로 해도 상관없다.
- [0150] 이상과 같이, 본 발명의 일 양태에 의해서, 장기간의 신뢰성이 높고, 소비 전력이 작은 반도체 기억 장치를 얻을 수 있다.
- [0151] 본 실시형태는, 다른 실시형태와 적절히 조합하여 이용할 수 있다.
- [0152] (실시형태 6)

- [0153] 본 실시형태에서는, 실시형태 2 또는 실시형태 3을 적용한 전자 기기의 예에 대하여 설명한다.
- [0154] 도 12(A)는 휴대 정보 단말기이다. 케이스(300)와, 버튼(301)과, 마이크로폰(302)과, 표시부(303)와, 스피커(304)와, 카메라(305)를 구비하고, 휴대형 전화기로서의 기능을 가진다. 본 발명의 일 양태는, 표시부(303) 및 카메라(305)에 적용할 수 있다. 또, 도시하진 않지만, 본체 내부에 있는 연산 장치, 무선 회로 또는 기억 회로에 본 발명의 일 양태를 적용할 수도 있다.
- [0155] 도 12(B)는 디스플레이이다. 케이스(310)와, 표시부(311)를 구비한다. 본 발명의 일 양태는, 표시부(311)에 적용할 수 있다. 본 발명의 일 양태를 이용함으로써, 표시부(311)의 사이즈를 크게 했을 때에도 표시 품위가 높은 디스플레이로 할 수 있다.
- [0156] 도 12(C)는 케이스(320)와, 버튼(321)과, 마이크로폰(322)과, 표시부(323)를 구비하는 디지털 스틸 카메라이다. 본 발명의 일 양태는, 표시부(323)에 적용할 수 있다. 또, 도시하지는 않지만, 기억 회로 또는 이미지 센서에 본 발명의 일 양태를 적용할 수도 있다.
- [0157] 본 발명의 일 양태를 이용함으로써, 전자 기기의 비용을 작게 할 수 있다. 또 표시 품위가 높은 표시 장치를 얻을 수 있다.
- [0158] 본 실시형태는, 다른 실시형태와 적절히 조합하여 이용할 수 있다.
- [0159] [실시에 1]
- [0160] CAAC를 포함하는 산화물의 고각 산란 환상 암시야 주사투과전자현미경법(HAADF-STEM: High-Angle Annular Dark Field Scanning Transmission Electron Microscopy)으로 얻어진 평면상 및 단면상을, 각각 도 13(A) 및 도 13(B)에 도시한다. 마찬가지로, 비정질의 산화물이 HAADF-STEM로 얻어진 평면상 및 단면상을, 각각 도 14(A) 및 도 14(B)에 도시한다.
- [0161] 샘플은 In-Ga-Zn-O계의 산화물막으로, DC 스퍼터링법에 의해 석영 기판 위에 성막했다. 그 외의 성막 조건은 전력을 0.5kW, 성막 압력을 0.4Pa, 성막 가스로서 Ar이 35sccm, O₂가 15sccm, 타겟-기판간 거리를 60mm로 했다. 타겟은 In-Ga-Zn-O 타겟(mol수비, In₂O₃:Ga₂O₃:ZnO=1:1:2)을 이용했다. 또한, 두께는 100nm이다.
- [0162] 여기에서, 샘플 1은 기판 온도를 400℃, 샘플 2는 기판 온도를 실온으로 하고, 성막 후의 열처리는 행하지 않는다.
- [0163] 도 13(A)의 영역(1001) 및 영역(1002)에 도시하는 평면상부터, ab면, 표면 또는 계면의 방향에서 봤을 때 삼각형상 또는 육각형상의 원자 배열을 가지는 것을 알 수 있었다. 또, 도 13(B)에 도시하는 단면상으로부터, 화살표로 나타내는 방향에 금속 원자가 나열되어 있는 것을 알 수 있었다. 즉, 금속 원자, 또는 금속 원자와 산소 원자가 c축 방향에 층상으로 배열하고 있는 것을 알 수 있었다. 즉, 샘플 1은 CAAC를 포함하는 산화물막인 것을 알 수 있었다.
- [0164] 도 14(A)에 도시하는 평면상으로부터, 표면 또는 계면의 방향에서 봤을 때 삼각형상 또는 육각형상의 원자 배열은 확인할 수 없었다. 또, 도 14(B)에 도시하는 단면상으로부터, 금속 원자, 또는 금속 원자와 산소 원자가 층상으로 배열하고 있지 않다는 것을 알 수 있었다. 즉, 샘플 2는 CAAC를 포함하는 산화물막이 아닌 것을 알 수 있었다.
- [0165] 이상과 같이, CAAC를 포함하는 산화물막을 얻을 수 있었다.
- [0166] [실시에 2]
- [0167] 본 실시예에서는, CAAC를 포함하는 산화물막의 결정 상태를, X선 회절(XRD: X-Ray Diffraction)법에 의해 평가한 예에 대하여 설명한다.
- [0168] 샘플의 In-Ga-Zn-O계의 산화물막으로, DC 스퍼터링법에 의해 석영 기판 위에 성막했다. 그 외의 성막 조건은 전력을 0.5kW, 성막 압력을 0.4Pa, 타겟-기판간 거리를 60mm, 기판 온도를 400℃로 했다. 타겟은 In-Ga-Zn-O 타겟(mol수비, In₂O₃:Ga₂O₃:ZnO=1:1:2)을 이용했다. 또한, 두께는 300nm이다.
- [0169] 여기에서, 샘플 3은 성막 가스가 O₂=40sccm이며, 샘플 4는 성막 가스가 N₂=40sccm이다.
- [0170] 도 15 및 도 16은 out of plane법으로 측정된 XRD의 스펙트럼을 각각 보여준다. 도 15가 성막 후(as-depo),

도 16이 성막 후 N_2 분위기에서 $450^\circ C$ 1시간의 열처리 후를 도시한다. 여기에서, 실선(1101) 및 실선(1103)은 샘플 3을, 실선(1102) 및 실선(1104)은 샘플 4의 XRD 스펙트럼을 나타낸다.

[0171] 도 15 및 도 16으로부터, 어느 조건에서도 (009)에 해당하는 피크를 가지고, c축에 강하게 배향하고 있는 것을 알 수 있었다. 즉, 샘플 3 및 샘플 4는 c축 배향인 것을 알 수 있었다. 특히, 샘플 4에서 (009)에 해당하는 피크 강도가 큰 경향을 볼 수 있었다. 또, 샘플 3은 (009)에 해당하는 피크 위치가 저각도측에 시프트하고 있는 것을 알 수 있었다.

[0172] 도 17 및 도 18은 각각 in plane법으로 측정된 XRD의 스펙트럼을 보여준다. 도 17이 성막 후(as-depo), 도 18이 성막 후 N_2 분위기에서 $450^\circ C$ 1시간의 열처리 후를 나타낸다. 여기에서, 실선(1111) 및 실선(1113)은 샘플 3을, 실선(1112) 및 실선(1114)은 샘플 4의 XRD 스펙트럼을 나타낸다.

[0173] 도 17 및 도 18로부터, 어떠한 조건에서도 (009)에 해당하는 피크를 가지고, c축에 강하게 배향하고 있는 것을 알 수 있었다. 또, (110)에 해당하는 피크 및 (119)에 해당하는 피크도 가지는 것을 알 수 있었다.

[0174] 이어서, 도 19 및 도 20은 각각 in plane법으로 얻어진 (110)의 피크 위치(2θ)에서 광학계를 고정하고, 시료면 법선을 축으로서 시료를 회전시켜서 얻은 XRD 스펙트럼을 보여준다. 여기에서, 실선(1121) 및 실선(1123)은 샘플 3을, 실선(1122) 및 실선(1124)은 샘플 4의 XRD 스펙트럼을 나타낸다.

[0175] 도 19 및 도 20으로부터, 어떠한 조건에서도 피크는 보이지 않았다.

[0176] 도 15 내지 도 20으로부터, 측정된 샘플이 비단결정이며, 또 다결정보다 다른 성질을 가지는 CAAC의 특징을 나타내는 것을 알 수 있었다. 또한, 본 실시예에서는 In-Ga-Zn-O계의 산화물막에 대하여 설명하고 있지만, 특별히 이 재료로 한정되지 않는다. In-Sn-Zn-O계의 산화물막에서도 CAAC를 포함하는 산화물막을 얻을 수 있다.

[0177] [실시예 3]

[0178] $600mm \times 720mm$ 의 유리 기판 위에, CAAC를 포함하는 In-Ga-Zn-O계의 산화물막(막 두께 35nm)을 이용하여 트랜지스터를 제작하고, 그 초기 특성을 도 21에 도시한다. 제작한 트랜지스터의 채널 길이 L은 $3\mu m$, 채널폭 W는 $50\mu m$ 이며, 도 2에 도시한 구조의 보텀 게이트형 트랜지스터이다. 또, 트랜지스터의 게이트 절연막의 막 두께는 100nm이다.

[0179] 도 21은 기판 내의 20포인트를 측정된 V_g - I_d 곡선 데이터($V_d=1V$, $V_d=10V$)를 보여준다. 거의 같은 값이 플롯되어 겹쳐지기 때문에, 이 결과로부터 CAAC를 포함하는 In-Ga-Zn-O계의 산화물막을 이용한 트랜지스터는 양호한 균일성을 가지고 있다. 도 21 중의 상측의 V_g - I_d 곡선이 $V_d=10V$ 일 때의 값이며, 도 21 중의 하측의 V_g - I_d 곡선이 $V_d=1V$ 일 때의 값이다.

[0180] 또한, 이러한 트랜지스터의 문턱 전압 V_{th} 의 평균값은 1.34V, 전계 효과 이동도의 평균값은 $10.7cm^2/Vs$ 이었다. 또한, 이 문턱 전압 V_{th} 은 V_d 을 10V로 하여 측정된 V_g - I_d 곡선의 I_d 를, 그 제곱근으로 표시한 곡선(이하, $\sqrt{I_d}$ 곡선이라고도 함)을 이용하여 산출한 값이다.

[0181] 또, 트랜지스터의 신뢰성을 평가하기 위해, 새롭게 CAAC를 포함하는 In-Ga-Zn-O계의 산화물막(막 두께 35nm)을 이용하여 5인치 기판 위에 복수의 트랜지스터를 제작하고, 그들의 트랜지스터에 대하여 BT 시험을 행했다. 제작한 트랜지스터의 채널 길이 L은 $6\mu m$, 채널폭 W는 $50\mu m$ 이며, 도 2에 도시한 구조의 보텀 게이트형 트랜지스터이다. 또, 트랜지스터의 게이트 절연막의 막 두께는 100nm이다.

[0182] BT 시험은 가속 시험의 일종이며, 장기간의 사용에 의해서 일어나는 트랜지스터의 특성 변화를, 단시간으로 평가할 수 있다. 특히, BT 시험 전후에서의 트랜지스터의 문턱 전압 V_{th} 의 변화량은 신뢰성을 조사하기 위한 중요한 지표가 된다. BT 시험 전후에서, 문턱 전압 V_{th} 의 변화량(ΔV_{th})이 적을수록, 신뢰성이 높은 트랜지스터라고 할 수 있다.

[0183] 구체적으로는, 트랜지스터가 형성되어 있는 기판의 온도(기판 온도)를 일정하게 유지하고, 트랜지스터의 소스 및 드레인을 동전위로 하고, 게이트에 소스 및 드레인과는 다른 전위를 일정 시간 인가한다. 기판 온도는 시험 목적에 따라서 적절히 설정하면 좋다. 또, 게이트에 인가하는 전위가 소스 및 드레인의 전위보다 높은 경우를 +BT 시험이라고 하고, 게이트에 인가하는 전위가 소스 및 드레인의 전위보다 낮은 경우를 -BT 시험이라고 한다.

[0184] BT 시험의 시험 강도는 기판 온도, 게이트 절연막에 가해진 전계 강도, 전계 인가 시간에 의해 결정할 수 있다.

게이트 절연막에 가해지는 전계 강도는 게이트와, 소스 및 드레인의 전위차를 게이트 절연막의 두께로 나누어 결정된다. 예를 들면, 두께가 100nm의 게이트 절연막에 인가하는 전계 강도를 2MV/cm로 하고자 하는 경우에는, 전위차를 20V으로 하면 좋다.

- [0185] 또한, 전압이란 2점 간에서의 전위차인 것을 가리키며, 전위와는 어느 한점에서의 정전장 중에 있는 단위 전하가 가지는 정전 에너지(전기적인 위치 에너지)인 것을 말한다. 단, 일반적으로, 어느 한점에서의 전위와 기준이 되는 전위(예를 들면 접지 전위)와의 전위차를, 간단히 전위 또는 전압이라고 하고, 전위와 전압이 동의어로서 이용되는 경우가 많다. 따라서, 본 명세서에서는 특별히 지정하는 경우를 제외하고, 전위를 전압이라고 바꿔 읽어도 좋고, 전압을 전위라고 바꿔 읽어도 좋다.
- [0186] BT 시험은 기판 온도를 80℃, 게이트 절연막에 인가하는 전계 강도를 3MV/cm, 인가 시간(스트레스 시간이라고도 함)을 100초, 200초, 500초, 1000초, 1500초, 2000초로 하고, +BT 시험 및 -BT 시험을 행했다.
- [0187] 2000초 후의 +BT 시험의 결과를 도 22(A)에 도시하고, 2000초 후의 -BT 시험의 결과를 도 22(B)에 도시한다.
- [0188] 도 22(A)에서는 초기 특성에 비해서 +BT 시험 후의 문턱 전압 V_{th} 이 플러스 방향으로 0.63V 변화하고 있고, 도 22(B)에서, 초기 특성에 비해 -BT 시험 후의 문턱 전압 V_{th} 이 플러스 방향으로 0.02V 변화하고 있다. 어느 쪽의 BT 시험에서도, 문턱 전압 V_{th} 의 변화량 ΔV_{th} 은 1V 이하이며, CAAC를 포함하는 In-Ga-Zn-O계의 산화물막을 이용하여 제작한 트랜지스터의 신뢰성이 높은 것이 확인되었다.
- [0189] 또한, BT 시험시에는, 아직 한번도 BT 시험을 행하지 않은 트랜지스터를 이용하여 시험을 행하는 것이 중요하다. 예를 들면, 한번 +BT 시험을 행한 트랜지스터를 이용하여 -BT 시험을 행하면, 먼저 행한 +BT 시험의 영향에 의해, -BT 시험 결과를 확실하게 평가할 수 있다. 또, 한번 +BT 시험을 행한 트랜지스터를 이용하여, 재차 +BT 시험을 행한 경우 등도 마찬가지이다. 단, 이들의 영향에 따라, 의도적으로 BT 시험을 반복하는 경우는 이에 해당하지 않는다.
- [0190] 또, LED 광원(조도 10000룩스의 백색광)을 이용하여, 빛을 조사하면서 행한 +BT 시험의 결과(광 정바이어스 열화라고도 함)를 도 23(A), LED 광원을 이용하고, 빛을 조사하면서 행한 -BT 시험의 결과(광 부바이어스 열화라고도 함)를 도 23(B)에 도시한다. 도 23(A)에서는 초기 특성에 비해 +BT 시험 후의 문턱 전압 V_{th} 가 플러스 방향으로 0.27V 변화하고 있고, 도 23(B)에서, 초기 특성에 비해 -BT 시험 후의 문턱 전압 V_{th} 가 마이너스 방향으로 0.23V 변화하고 있다. 광조사 시의 어느쪽의 BT 시험에서도, 문턱 전압 V_{th} 의 변화량 ΔV_{th} 은 1V 이하이며, CAAC를 포함하는 In-Ga-Zn-O계의 산화물막을 이용하여 제작한 트랜지스터의 신뢰성이 높은 것이 확인되었다.
- [0191] 또, 도 24에 각종 스트레스 조건에서의 문턱 전압 V_{th} 의 변화량 ΔV_{th} 의 시간 의존성을 도시한다. 종축은 문턱 전압 V_{th} 의 변화량 ΔV_{th} 을 리니어(linear) 스케일로 도시하고 있고, 횡축은 스트레스 시간을 로그(logarithmic) 스케일로 도시하고 있다.
- [0192] 도 25(A) 및 도 25(B)에 광 부바이어스 열화의 메커니즘을 설명하는 모식도를 도시한다. 도 25(A) 및 도 25(B)는 산화물 반도체와 게이트 절연막 사이의 계면을 나타내고 있다. 도 25(A)에 도시하는 바와 같이 트랜지스터에 빛이 닿으면, 홀이 생긴다. 이 홀이 트랩, 디트랩된다. 그 홀은 도 25(B)에 도시하는 바와 같이, 게이트 절연막에 끌어당겨짐으로써, 고정 전하가 되고, 문턱 전압 V_{th} 을 마이너스 시프트시킨다. 따라서, 산소 결손 준위가 없는 것이 광 부바이어스 열화를 없애기 때문에 중요하다. 즉, 산소 결손을 저감하는 것이 광 부바이어스 열화를 없애는데 효과적이다. 비정질 표면보다 결정 표면이 산소가 빠져나가기 어렵기 때문에, CAAC를 포함하는 In-Ga-Zn-O계의 산화물막을 이용한 트랜지스터는 높은 신뢰성을 가진다. 또, 산소 결손을 저감하기 위해, 게이트 절연막 및 층간 절연막으로서, 가열에 의해 산소 방출하는 막을 이용하는 것이나, 산화성 분위기하에서 가열 처리를 행하는 것은 신뢰성을 높이는데 있어서 효과적이다.
- [0193] 본 출원은 전문이 참조로서 본 명세서에 통합되고, 2010년 12월 17일 일본 특허청에 출원된, 일련 번호가 2010-282135인 일본 특허 출원과, 2011년 7월 8일 일본 특허청에 출원된, 일련 번호가 2011-151859인 일본 특허 출원에 기초한다.

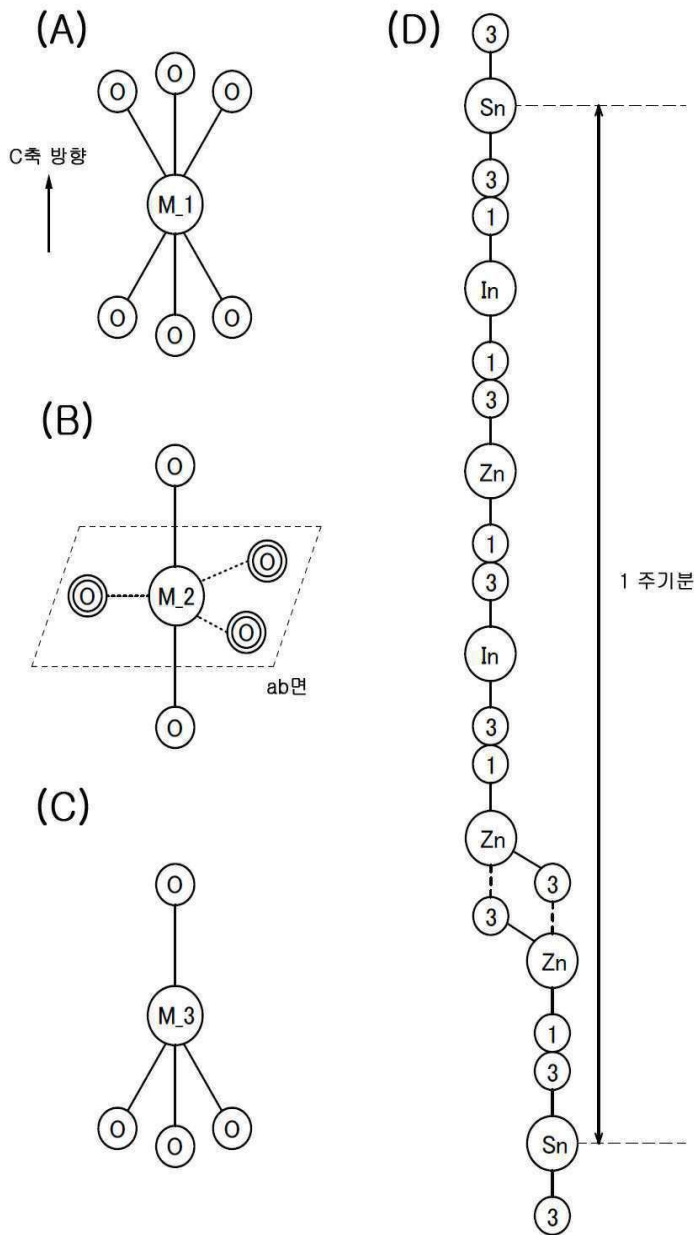
부호의 설명

- [0194] 100 : 기판
- 102 : 하지 절연막
- 104 : 게이트 전극

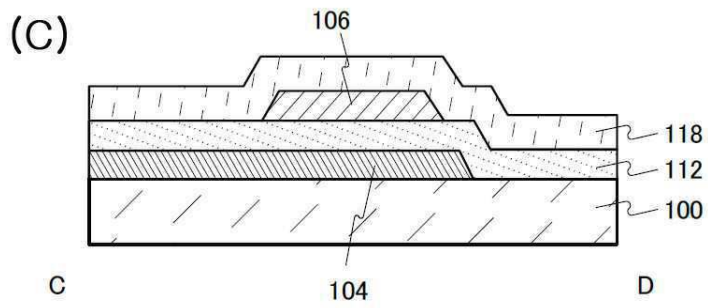
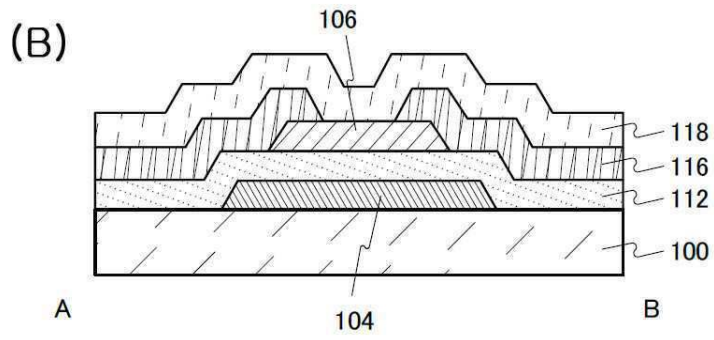
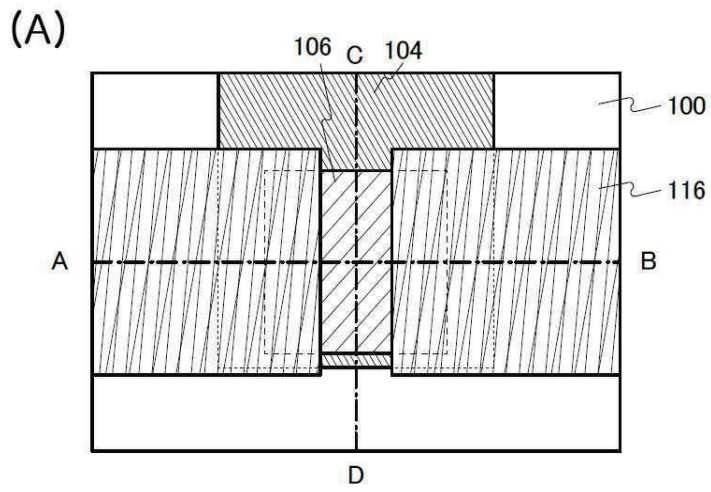
- 106 : 반도체막
- 112 : 게이트 절연막
- 116 : 전극
- 118 : 층간 절연막
- 121 : 영역
- 126 : 영역
- 200 : 화소
- 210 : 액정 소자
- 220 : 커패시터
- 230 : 트랜지스터
- 300 : 케이스
- 301 : 버튼
- 302 : 마이크로폰
- 303 : 표시부
- 304 : 스피커
- 305 : 카메라
- 310 : 케이스
- 311 : 표시부
- 320 : 케이스
- 321 : 버튼
- 322 : 마이크로폰
- 323 : 표시부
- 1001 : 영역
- 1002 : 영역
- 1101 : 실선
- 1102 : 실선
- 1103 : 실선
- 1104 : 실선
- 1111 : 실선
- 1112 : 실선
- 1113 : 실선
- 1114 : 실선
- 1121 : 실선
- 1122 : 실선
- 1123 : 실선
- 1124 : 실선

도면

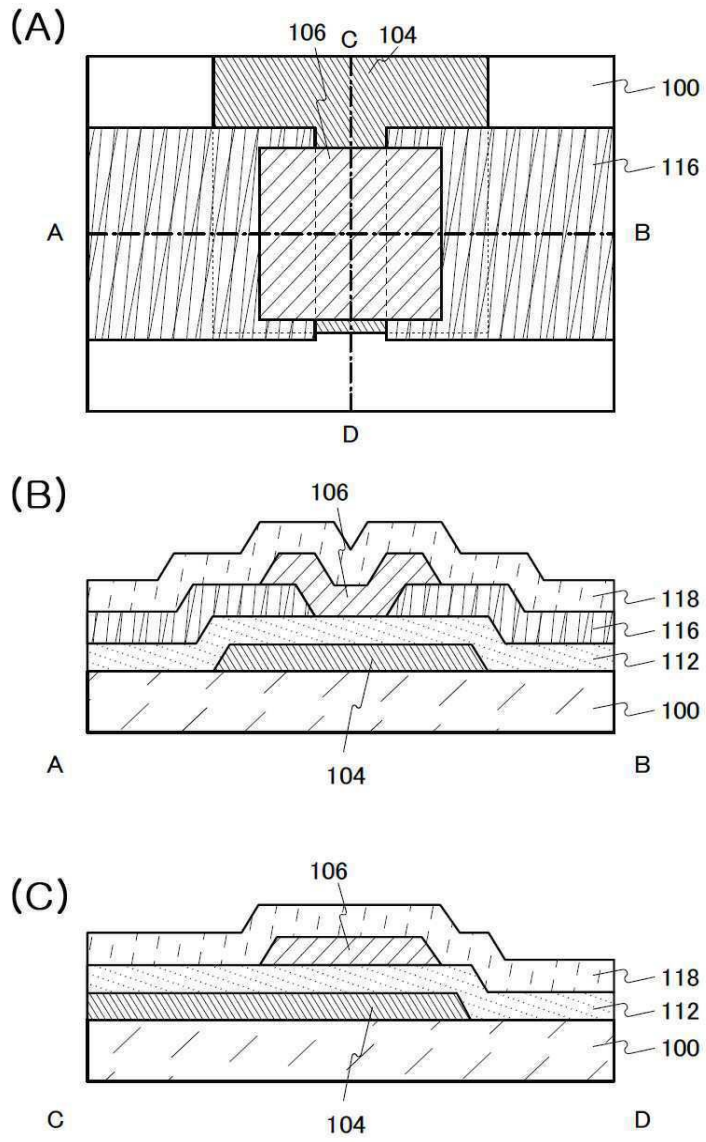
도면1



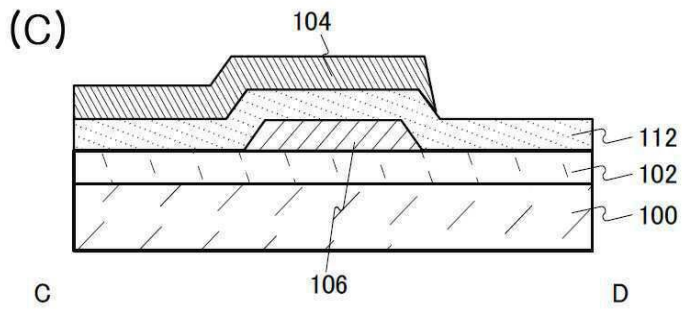
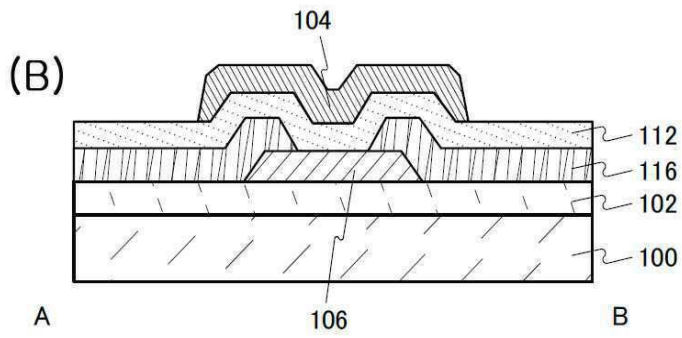
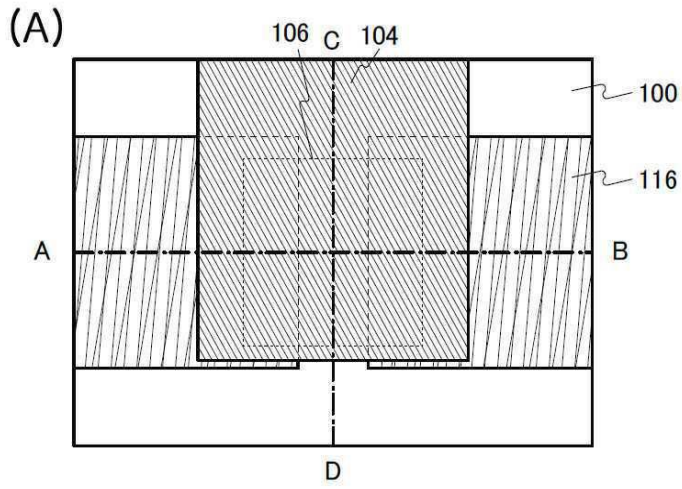
도면2



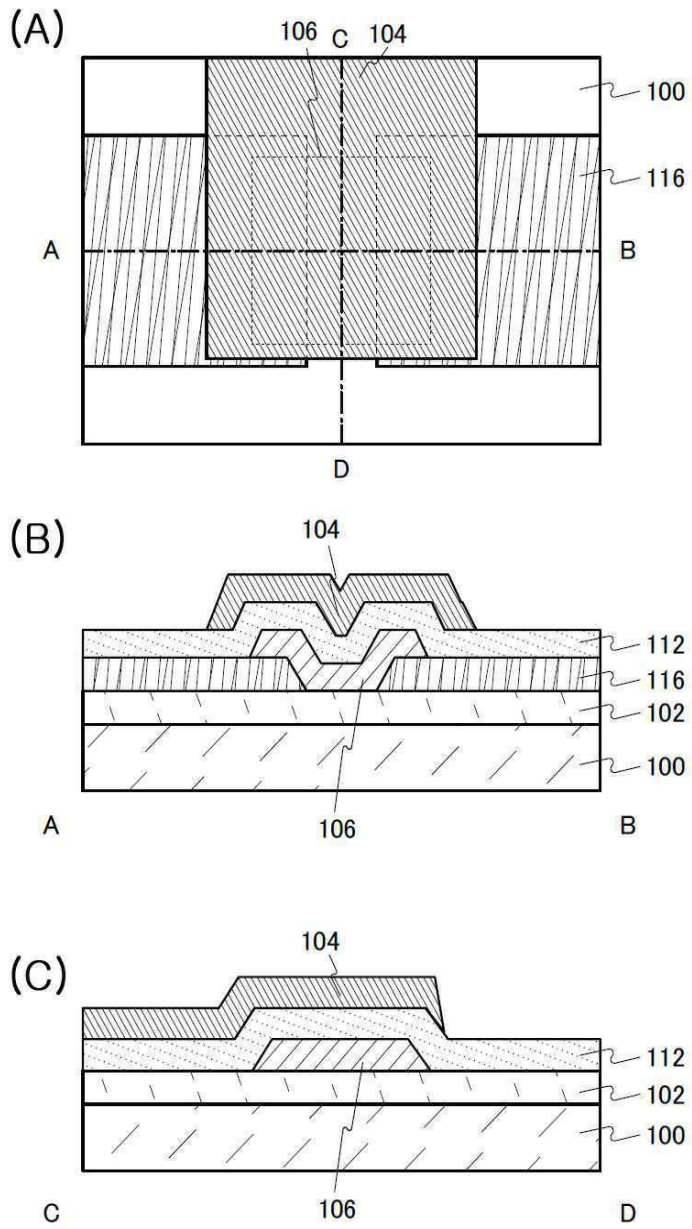
도면3



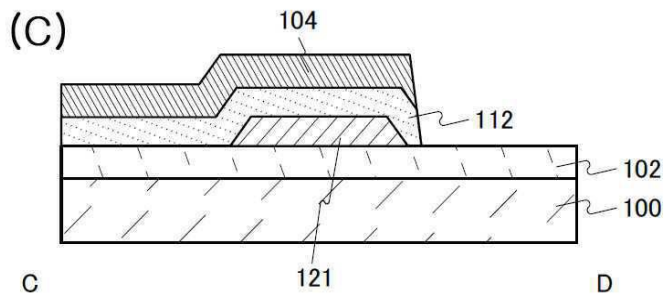
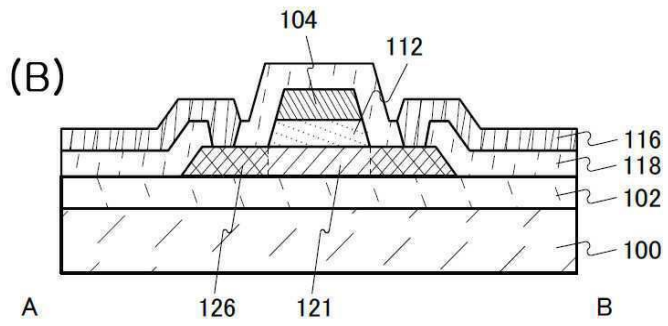
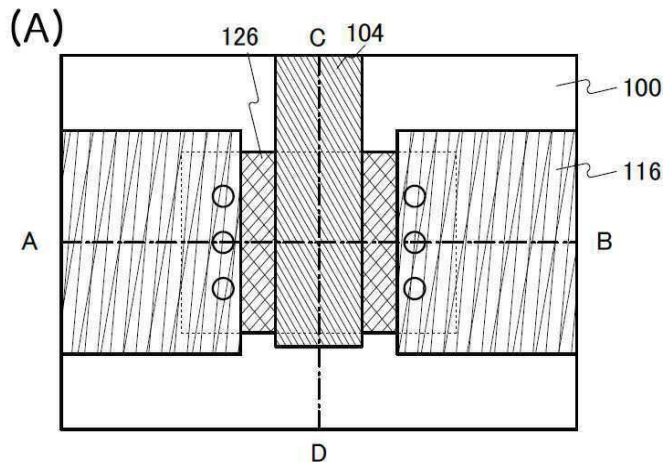
도면4



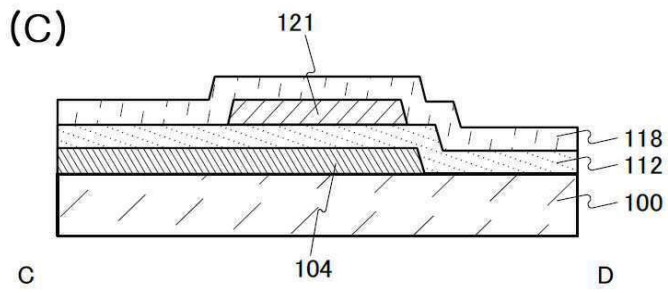
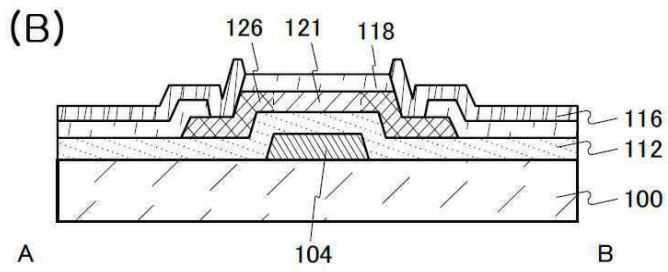
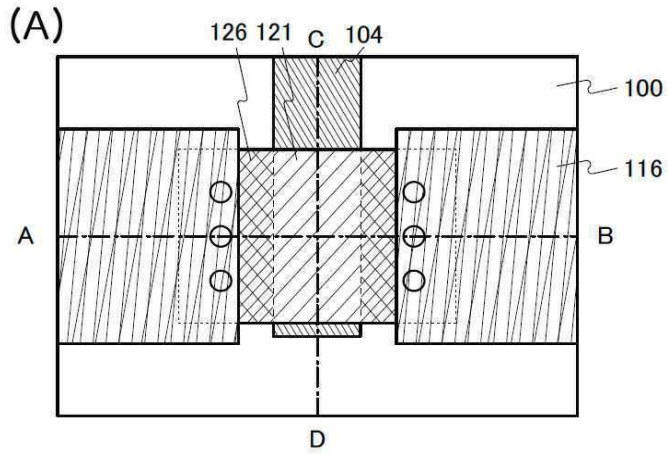
도면5



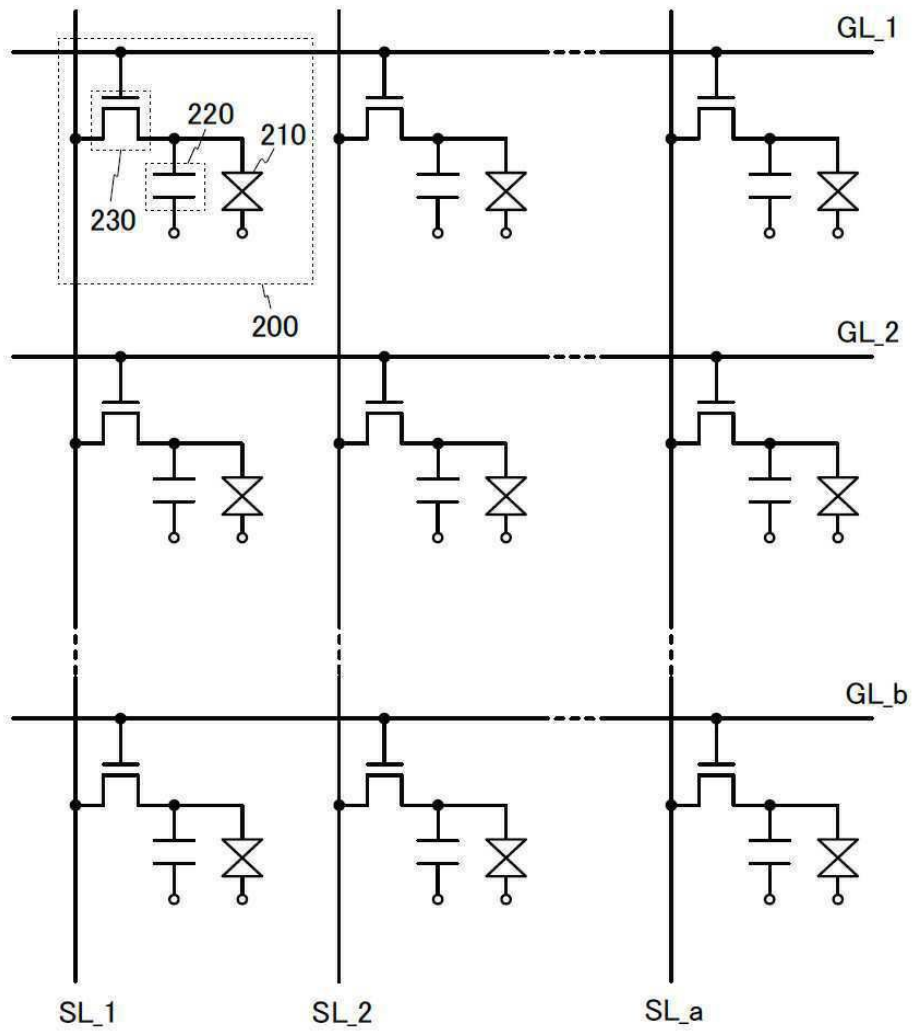
도면6



도면7

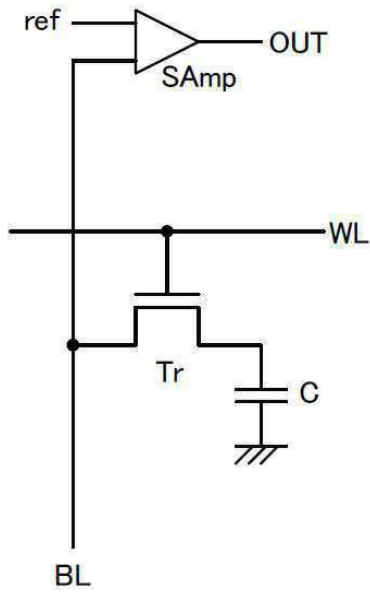


도면8

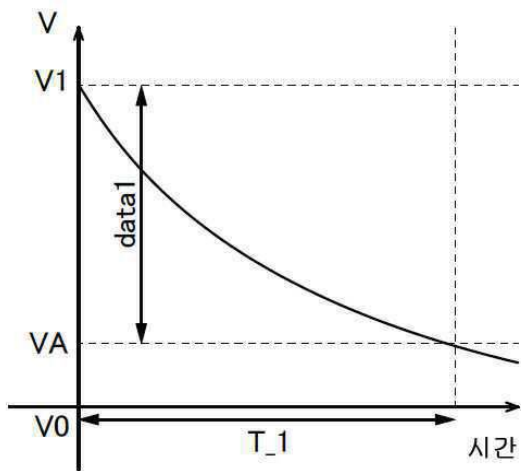


도면9

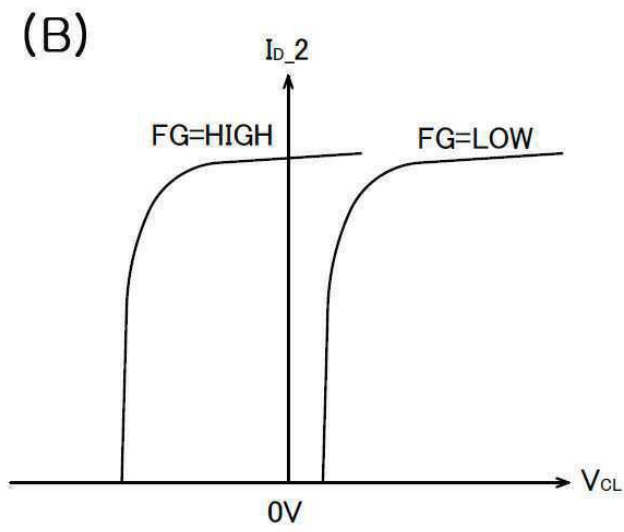
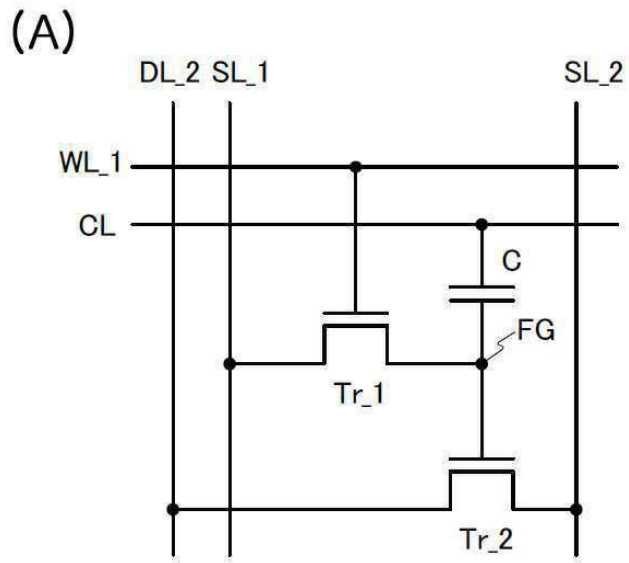
(A)



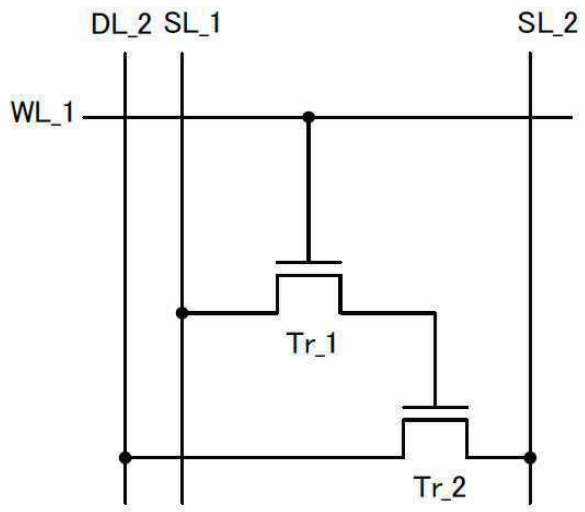
(B)



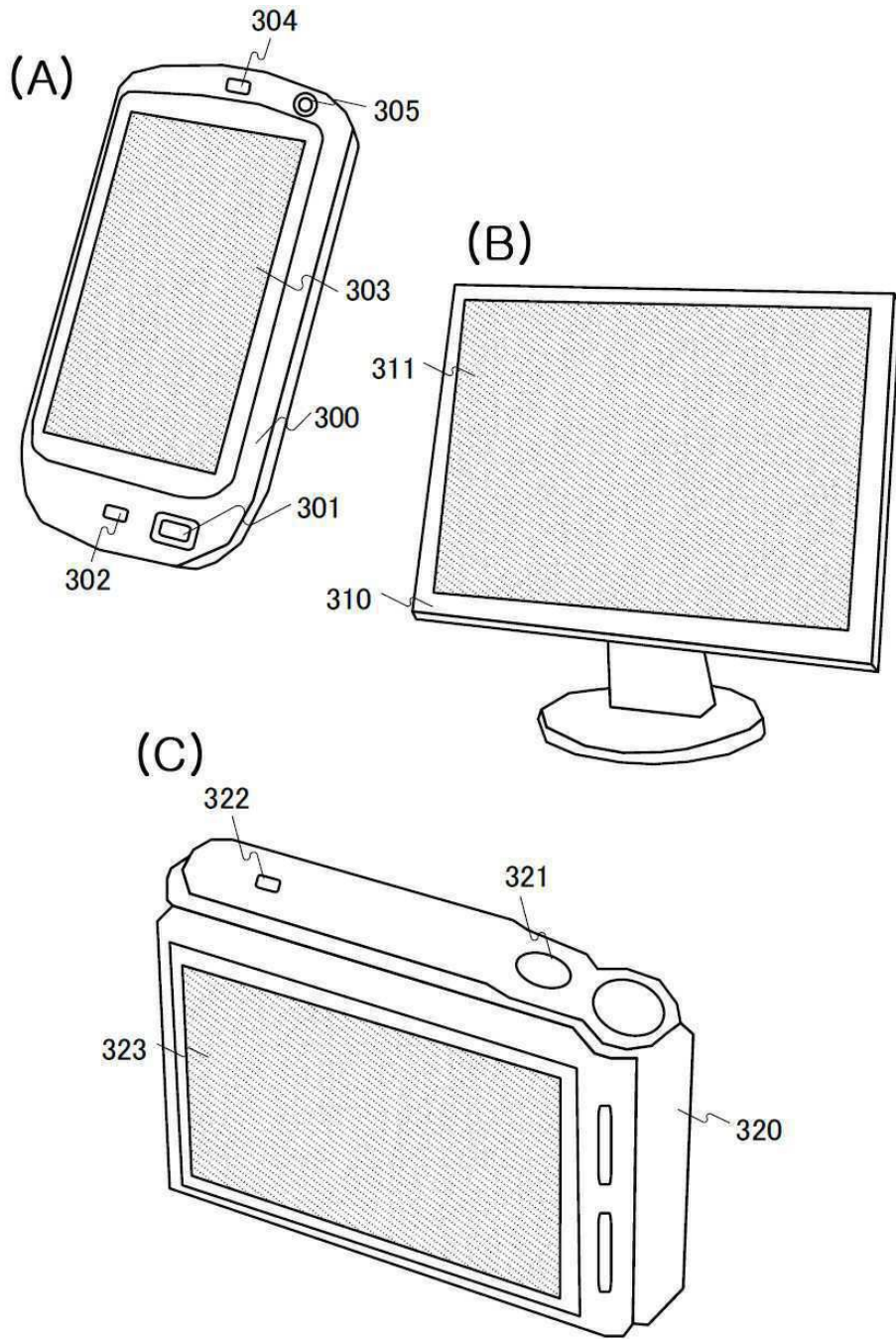
도면10



도면11

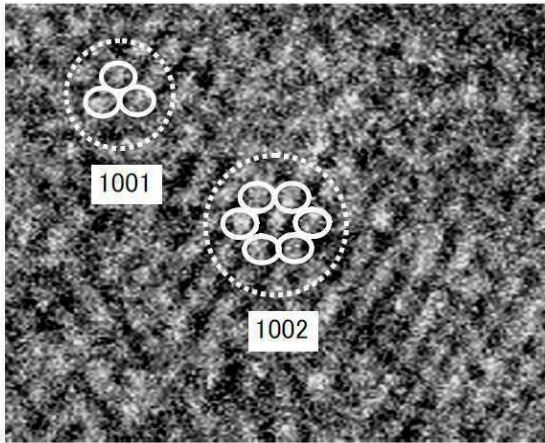


도면12



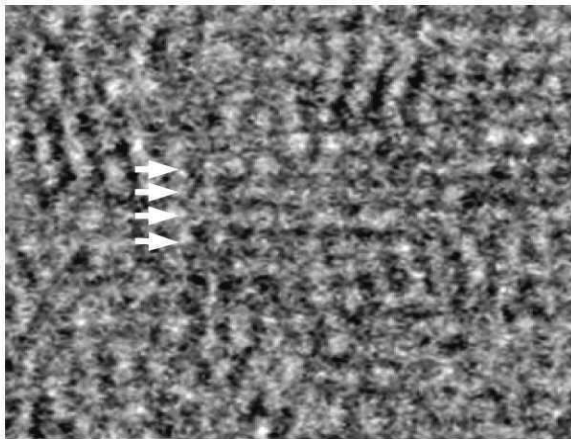
도면13

(A)



3nm

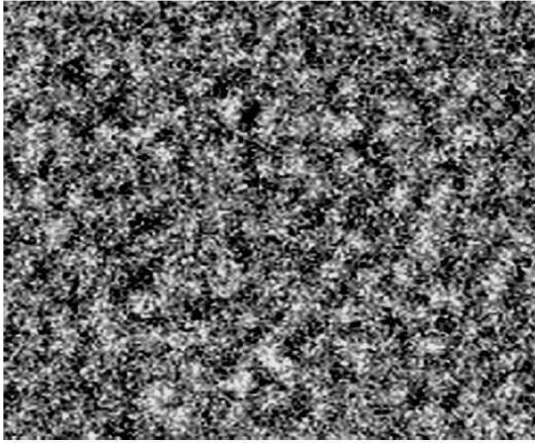
(B)



3nm

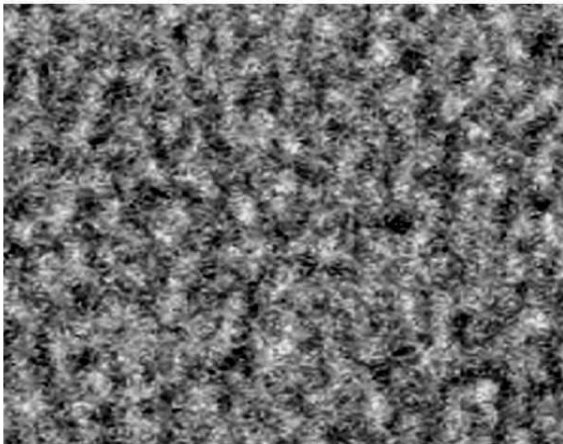
도면14

(A)



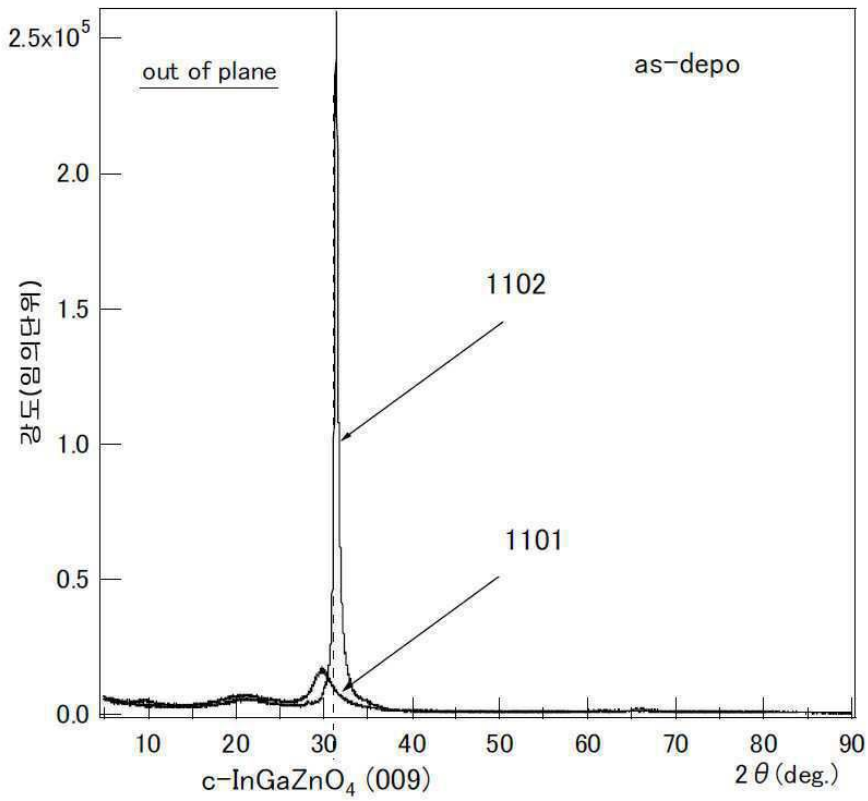
3nm

(B)

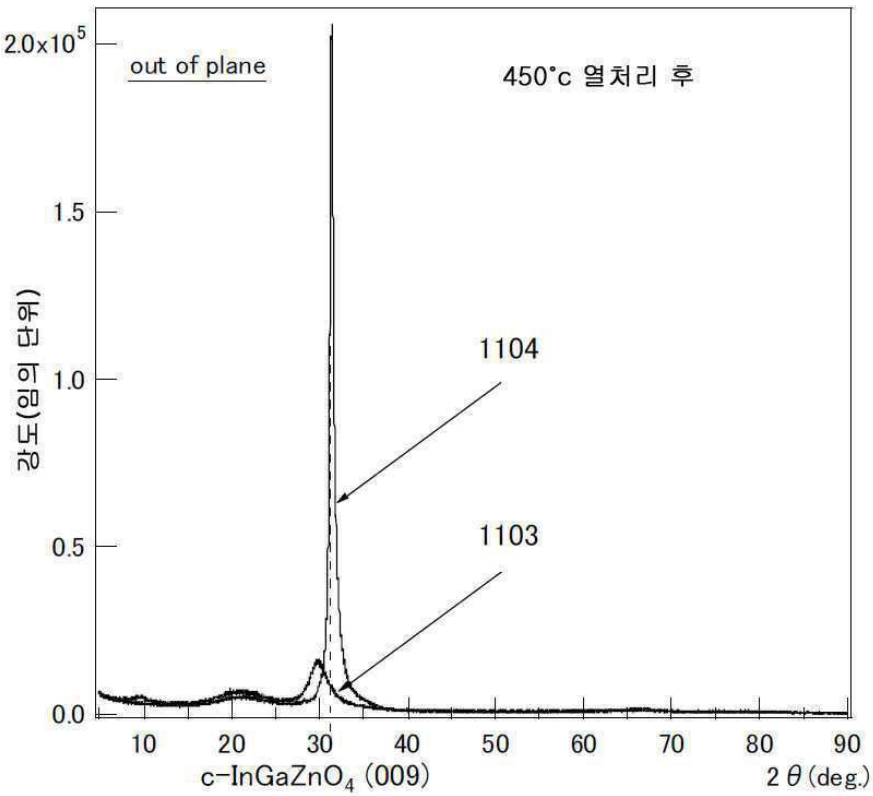


3nm

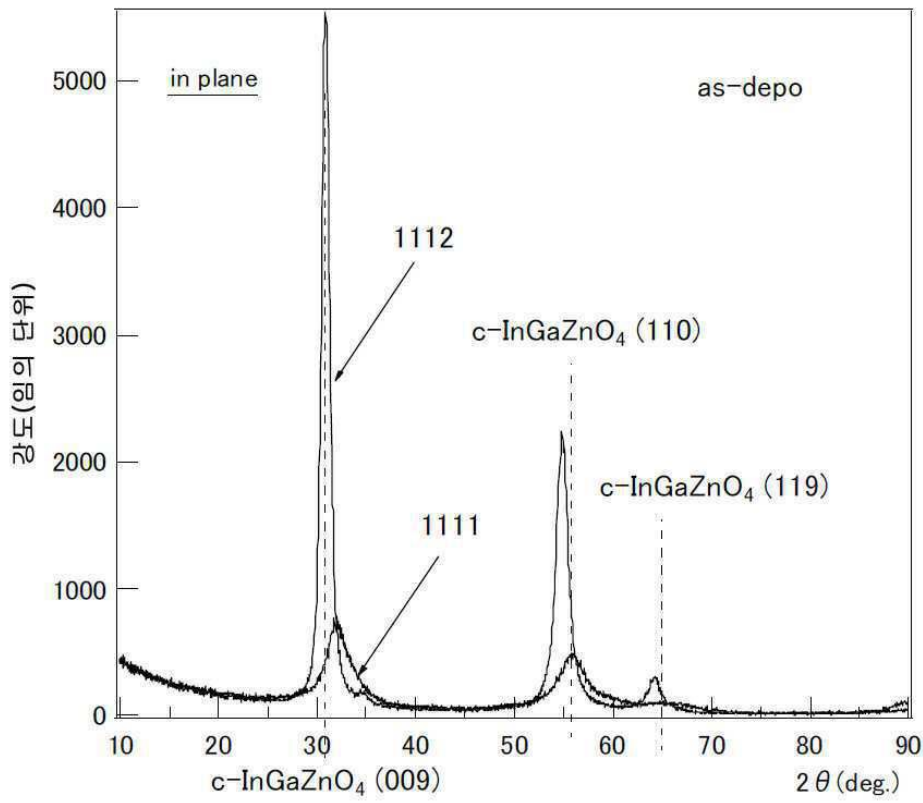
도면15



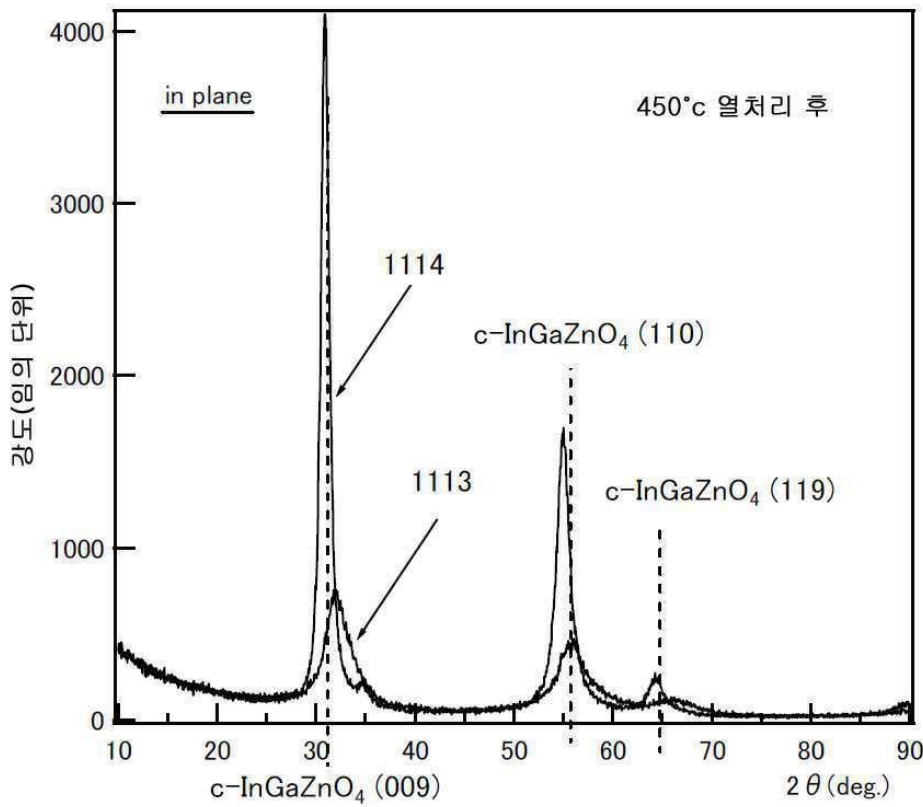
도면16



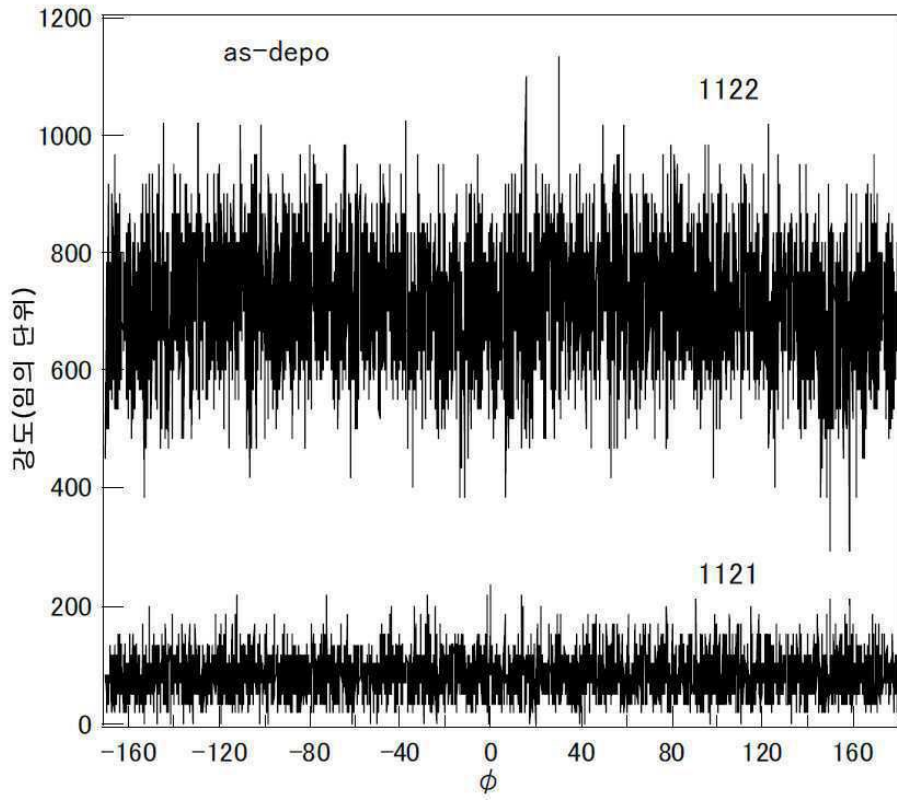
도면17



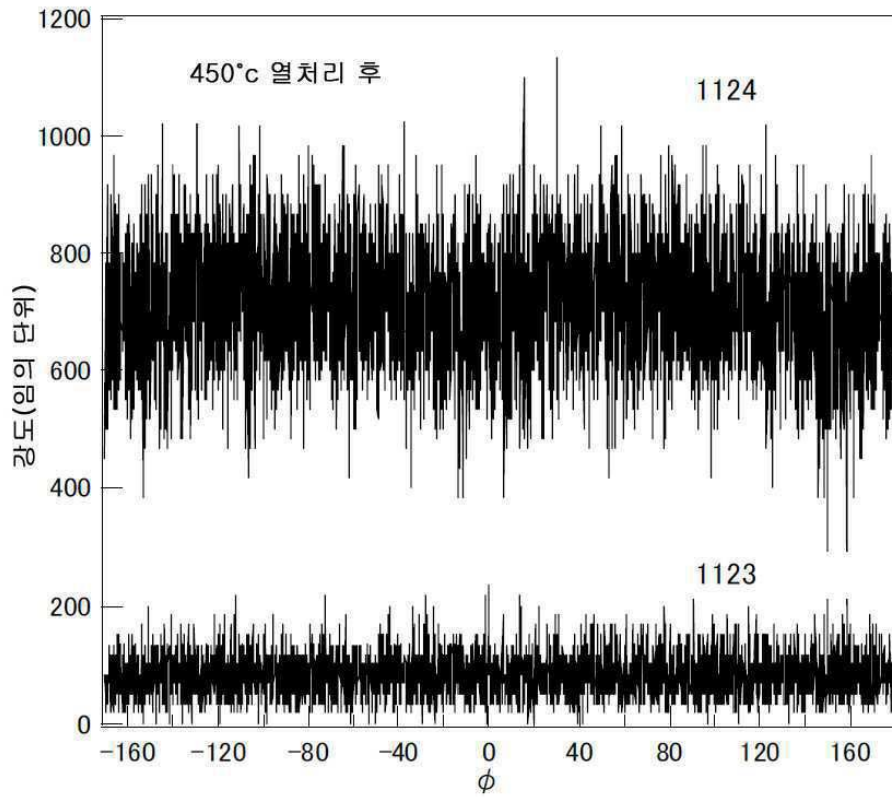
도면18



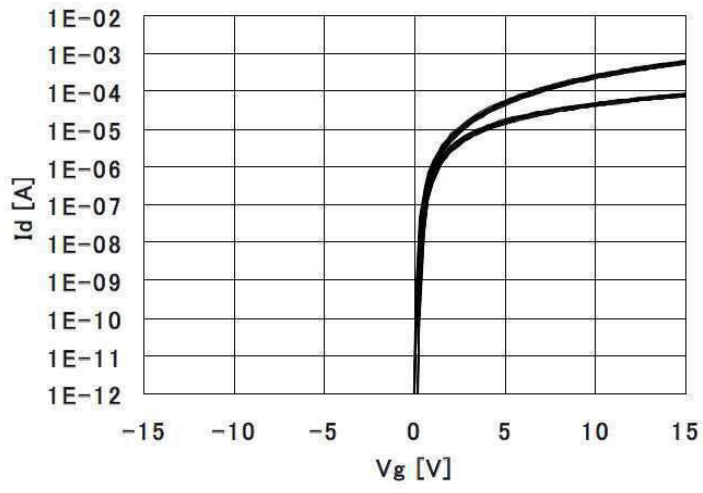
도면19



도면20

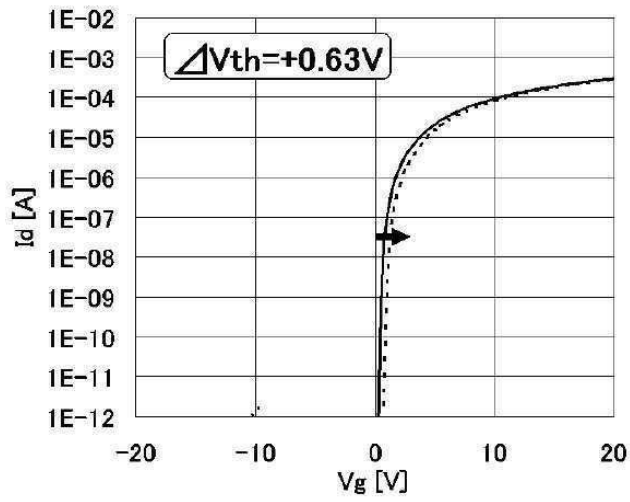


도면21

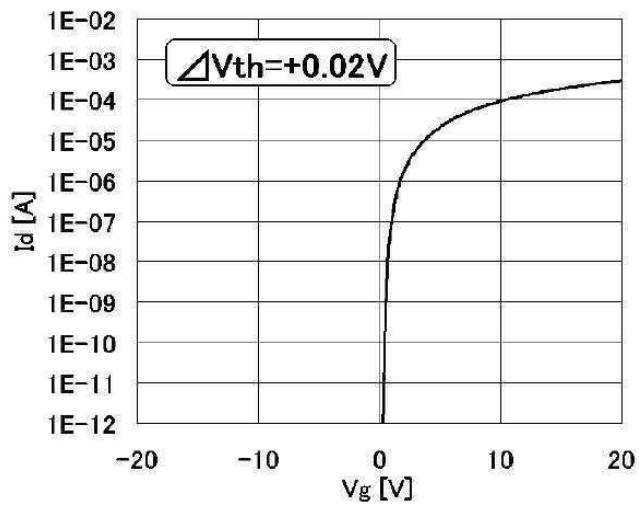


도면22

(A)

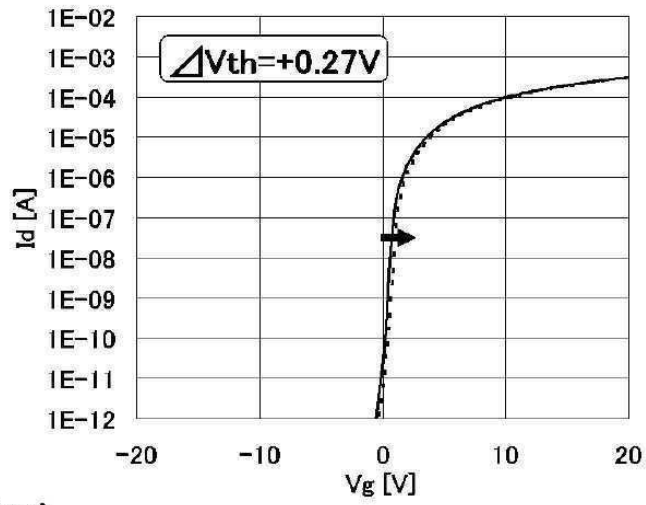


(B)

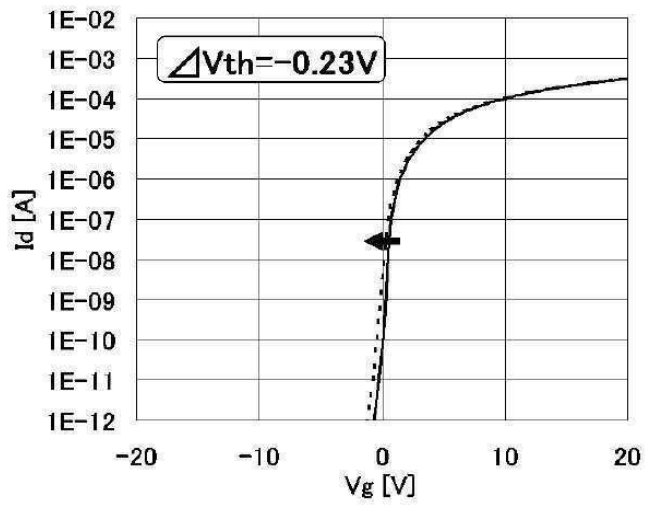


도면23

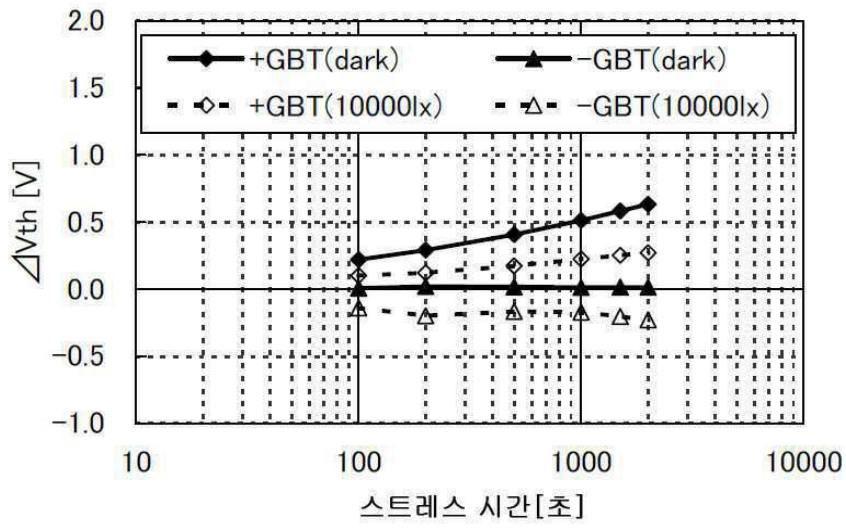
(A)



(B)

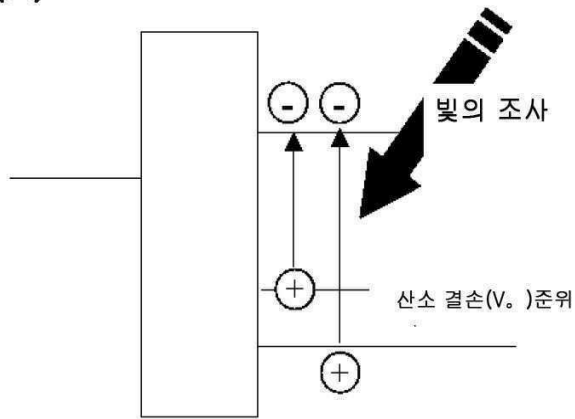


도면24



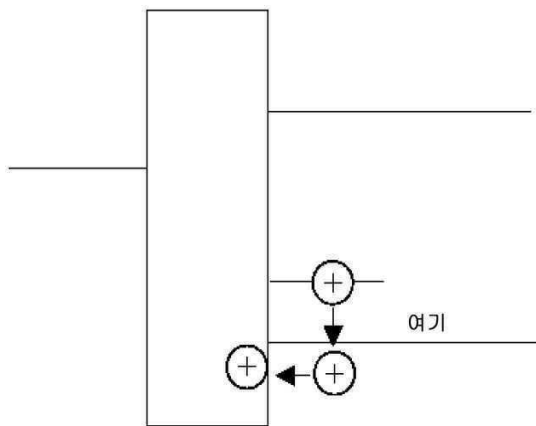
도면25

(A)



게이트 전극 게이트 전열체 산화물 반도체

(B)



게이트 전극 게이트 전열체 산화물 반도체