

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>5</sup> H01L 23/50	(11) 공개번호 특 1992-0003488
	(43) 공개일자 1992년 02월 29일
(21) 출원번호	특 1991-0011601
(22) 출원일자	1991년 07월 09일
(30) 우선권주장	2-181416 1990년 07월 11일 일본(JP)
(71) 출원인	가부시끼가이샤 히다찌세이사쿠쇼 미다 가쓰시게 일본국 도쿄도 지요다구 간다 스루가다이 4-6
(72) 발명자	미야노 이찌로 일본국 가나가와켄 후지사와시 쓰지도 5977-1 히다찌사이도 도미토 313 세리자와 고지 일본국 가나가와켄 후지사와시 쇼난다이 7-40-9 다나카 히로유키 일본국 가나가와켄 요코하마시 도쓰까구 요시다쵸 1545 히다찌후지미료 502 시노다 다다오 일본국 가나가와켄 요코하마시 도쓰까구 시모꾸라따쵸 1122 덴엔코포 201 사까구찌 스구루 일본국 가나가와켄 찌가사끼시 쓰즈미 65-2 B-32-2
(74) 대리인	백남기

**심사청구 : 있음**

**(54) 필름 캐리어 테이프 및 그것을 내장한 적층형 멀티칩 반도체장치와 그의 제조방법**

**요약**

내용 없음

**대표도**

**도 1**

**명세서**

[발명의 명칭]

필름 캐리어 테이프 및 그것을 내장한 적층형 멀티칩 반도체장치와 그의 제조방법

[도면의 간단한 설명]

제1도는 히이트 싱크를 가진 TAB테이프를 사용하고, 또 본 발명에 따른 싱글층의 패키지로써 기능하는 냉각장치를 도시한 도면.

제2도는 TAB테이프 제조공정에서 히이트 싱크의 제작법을 도시한 도면.

제3도는 3층 구조의 테이프를 도시한 도면.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

**(57) 청구의 범위**

**청구항 1**

캐리어 부재, 캐리어 부재상에 중첩된 금속층을 포함하며, 상기 금속층은 반도체 장치용 히이트 싱크와 금속 리이드를 형성하는 에칭층인 반도체 장치용 필름 캐리어 테이프.

**청구항 2**

특허청구의 범위 제1항에 있어서, 또 상기 캐리어 부재와 상기 금속 층 사이에 있는 접착층을 포함하는

반도체 장치용 필름 캐리어 테이프.

**청구항 3**

특허청구의 범위 제1항에 있어서, 상기 금속 리이드는 제1의 방향으로 연장하고, 상기 히이트 싱크는 상기 제1의 방향과 교차하는 제2의 방향으로 연장하는 반도체 장치용 필름 캐리어 테이프.

**청구항 4**

특허청구의 범위 제3항에 있어서, 상기 금속 리이드는 반도체 칩과 커넥터중의 적어도 하나의 결합되고, 상기 히이트 싱크는 방열 및 냉각을 하기 위해 반도체 장치에 결합되어 있는 반도체 장치용 필름 캐리어 테이프.

**청구항 5**

특허청구의 범위 제4항에 있어서, 상기 반도체 칩은 기판상에 탑재되어 있는 반도체 장치용 필름 캐리어 테이프.

**청구항 6**

반도체 장치용 히이트 싱크와 금속 리이드를 형성하도록 캐리어 부재상에 금속층을 중첩하는 스텝과 상기 금속층을 에칭하는 스텝을 포함하는 반도체 장치용 필름 캐리어 테이프.

**청구항 7**

특허청구의 범위 제6항에 있어서, 상기 에칭하는 스텝은 제1의 방향으로 연장하도록 금속 리이드를 형성하고 제1의 방향과 교차하는 제2의 방향으로 연장하도록 히이트 싱크를 형성하는 스텝을 포함하는 반도체 장치용 필름 캐리어 테이프 형성방법.

**청구항 8**

특허청구의 범위 제7항에 있어서, 또 반도체 칩과 커넥터 중의 하나에 상기 금속 리이드를 결합시키는 스텝과 방열 및 냉각을 하기 위해 반도체 장치에 히이트 싱크를 결합시키는 스텝을 포함하는 반도체 장치용 필름 캐리어 테이프 형성방법.

**청구항 9**

특허청구의 범위 제8항에 있어서, 또 기판상에 반도체 칩을 탑재하는 스텝을 포함하는 반도체 장치용 필름 캐리어 테이프 형성방법.

**청구항 10**

기판상에 적층한 다수의 칩 반도체 장치를 포함하는 적층형 멀티칩 반도체 장치에 있어서, 각각의 칩 반도체 장치는 리이드를 가진 필름 캐리어 테이프, 상기 필름 캐리어 테이프의 상기 리이드에 전기적으로 접속된 반도체 칩, 상기 반도체 칩의 표면에 탑재된 히이트 싱크와 상기 필름 캐리어 테이프의 상기 리이드에 전기적으로 접속되고 상기 히이트 싱크의 탑재를 위한 커넥터를 포함하는 적층형 멀티칩 반도체 장치.

**청구항 11**

특허청구의 범위 제10항에 있어서, 상기 히이트 싱크는 상기 필름 캐리어 테이프에 에칭한 부분이고, 상기 필름 캐리어 테이프는 캐리어 부재와 이 캐리어 부재상에 겹쳐놓여진 금속층을 포함하고, 상기 금속층은 반도체 장치를 위한 히이트 싱크와 리이드를 형성하는 에칭층인 적층형 멀티칩 반도체 장치.

**청구항 12**

특허청구의 범위 제11항에 있어서, 또 상기 캐리어 부재와 상기 금속 층 사이에 있는 접착층을 포함하는 적층형 멀티칩 반도체 장치.

**청구항 13**

특허청구의 범위 제11항에 있어서, 상기 금속 리이드는 제1의 방향으로 연장하고, 상기 히이트 싱크는 상기 제1의 방향과 교차하는 제2의 방향으로 연장하는 적층형 멀티칩 반도체 장치.

**청구항 14**

특허청구의 범위 제10항에 있어서, 상기 히이트 싱크상에는 적어도 하나의 제1의 위치결정 마크가 마련되어 있고, 상기 커넥터에는 상기 제1의 위치결정 마크에 대응하는 적어도 하나의 제2의 위치결정 마크가 마련되어 있는 적층형 멀티칩 반도체 장치.

**청구항 15**

특허청구의 범위 제10항에 있어서, 상기 히이트 싱크는 상기 기판에 접속되어 있는 적층형 멀티칩 반도체 장치.

**청구항 16**

특허청구의 범위 제15항에 있어서, 상기 기판은 금속 코어 기판인 적층형 멀티칩 반도체 장치.

**청구항 17**

특허청구의 범위 제10항에 있어서, 상기 기판상에는 열전도 패턴이 마련되어 있고, 상기 히이트 싱크는 상기 열전도 패턴을 거쳐서 상기 기판에 접속되어 있는 적층형 멀티칩 반도체 장치.

**청구항 18**

특허청구의 범위 제10항에 있어서, 상기 히이트 싱크에는 반도체 칩의 일부분의 위에 있는 위치에 열린 구멍이 마련되어 있는 적층형 멀티칩 반도체 장치.

**청구항 19**

특허청구의 범위 제10항에 있어서, 바깥으로 노출된 부분의 상기 히이트 싱크에는 방열 환이 마련되어 있는 적층형 멀티칩 반도체 장치.

**청구항 20**

특허청구의 범위 제10항에 있어서, 상기 커넥터에는 상기 히이트 싱크와 상기 커넥터와의 간섭을 방지하는 홈부분이 마련되어 있는 적층형 멀티칩 반도체 장치.

**청구항 21**

특허청구의 범위 제10항에 있어서, 또 반도체 칩 사이의 열 전달을 방지하기 위해 다수의 반도체 칩층의 인접하는 적어도 하나 사이에 단열재를 형성하는 수단을 포함하는 적층형 멀티칩 반도체 장치.

**청구항 22**

특허청구의 범위 제21항에 있어서, 상기 단열재는 히이트 싱크의 적어도 하나의 소정의 부분에 마련되어 있는 적층형 멀티칩 반도체 장치.

**청구항 23**

특허청구의 범위 제10항에 있어서, 또 상기 필름 캐리어 테이프의 상기 리이드에 전기적으로 접속되어 리이드에서의 방열이 가능하도록 리이드로부터 바깥쪽으로 연장하는 전기적 및 열적 전도부를 포함하는 적층형 멀티칩 반도체 장치.

**청구항 24**

다수의 칩 반도체 장치가 기판상에 적층되는 적층형 멀티칩반도체 장치의 형성방법에 있어서, 각각의 칩 반도체 장치는 리이드를 가진 필름 캐리어 테이프를 마련하는 스텝, 상기 필름 캐리어 테이프의 상기 리이드 반도체 칩을 전기적으로 접속하는 스텝, 상기 반도체 칩의 표면에 히이트 싱크를 탑재하는 스텝과 상기 히이트 싱크를 탑재하기 위한 커넥터를 마련하여 상기 필름 캐리어 테이프의 상기 리이드에 상기 커넥터를 전기적으로 접속하는 스텝에 의해 형성되는 것을 포함하는 적층형 멀티칩 반도체 장치의 형성방법.

**청구항 25**

특허청구의 범위 제24항에 있어서, 상기 필름 캐리어 테이프는 캐리어 부재와 이 캐리어 부재상에 겹쳐진 금속층을 포함하고, 반도체 칩을 위한 상기 히이트 싱크와 상기 리이드를 형성하도록 상기 금속층을 에칭하는 스텝을 또한 포함하는 적층형 멀티칩 반도체 장치의 형성방법.

**청구항 26**

특허청구의 범위 제25항에 있어서, 상기 에칭하는 스텝은 제1의 방향으로 연장하도록 상기 금속 리이드를 형성하고, 상기 제1의 방향과 교차하는 제2의 방향으로 연장하도록 상기 히이트 싱크를 형성하는 스텝을 포함하는 적층형 멀티칩 반도체 장치의 형성방법.

**청구항 27**

특허청구의 범위 제24항에 있어서, 또 적어도 하나의 제2의 위치결정 마크를 상기 히이트 싱크상에 마련하는 스텝, 적어도 하나의 제2의 위치결정 마크를 상기 제1의 위치결정마크에 대응하는 커넥터상에 마련하는 스텝과 위치 정합을 위해 상기 제1및 제2의 위치결정 마크를 사용하는 스텝을 포함하는 적층형 멀티칩 반도체 장치의 형성방법.

**청구항 28**

특허청구의 범위 제24항에 있어서, 또 상기 기판에 상기 히이트 싱크를 접속하는 스텝을 포함하는 적층형 멀티칩 반도체 장치의 형성방법.

**청구항 29**

특허청구의 범위 제28항에 있어서, 상기 기판은 금속 코어 기판인 적층형 멀티칩 반도체 장치의 형성방법.

**청구항 30**

특허청구의 범위 제24항에 있어서, 또 열전도 패턴을 상기 기판상에 형성하는 스텝과 상기 열전도 패턴을 통해 상기 기판에 상기 히이트 싱크를 접속하는 스텝을 포함하는 적층형 멀티칩 반도체 장치.

**청구항 31**

특허청구의 범위 제24항에 있어서, 또 상기 반도체 칩의 일부분의 위에 있는 위치의 히이트 싱크에 열린 구멍을 마련하는 스텝을 포함하는 적층형 멀티칩 반도체 장치의 형성방법.

**청구항 32**

특허청구의 범위 제24항에 있어서, 또 상기 히이트 싱크의 바깥쪽으로 노출된 부분에 방열 환을 마련하는 스텝을 포함하는 적층형 멀티칩 반도체 장치의 형성방법.

**청구항 33**

특허청구의 범위 제24항에 있어서, 또 상기 히이트 싱크와 커넥터의 간섭을 방지하기 위해 홈 부분을 갖는 커넥터를 형성하는 스텝을 포함하는 적층형 멀티칩 반도체 장치의 형성방법.

**청구항 34**

특허청구의 범위 제24항에 있어서, 또 반도체 칩 사이의 열 전달을 방지하기 위해 다수의 반도체 칩층의 인접하는 적어도 하나 사이에 단열재를 마련하는 스텝을 포함하는 적층형 멀티칩 반도체 장치의 형성방법.

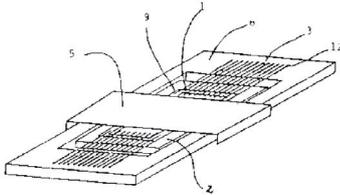
**청구항 35**

특허청구의 범위 제24항에 있어서, 또 리이드에서 방열을 가능하게 하기 위해 리이드로 부터 바깥쪽으로 연장하도록, 상기 필름 캐리어 테이프의 상기 리이드에 전기적 및 열적 전도부를 전기적으로 접속하는 스텝을 포함하는 적층형 멀티칩 반도체 장치의 형성방법.

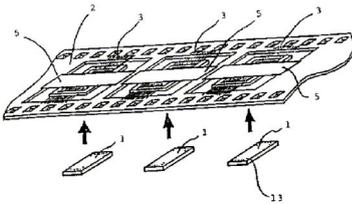
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

**도면**

**도면1**



**도면2**



**도면3**

