(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3718597号
(P3718597)
(45)発行日　平成17年11月24日(2005.11.24)　(24)登録日　平成17年9月9日(2005.9.9)

(51)Int.Cl.[7]　F I
G01R 29/18　G01R 29/18　Q

請求項の数 3　(全 11 頁)

(21)出願番号　特願平10-354671
(22)出願日　平成10年12月14日(1998.12.14)
(65)公開番号　特開2000-180491(P2000-180491A)
(43)公開日　平成12年6月30日(2000.6.30)
審査請求日　平成16年1月28日(2004.1.28)

(73)特許権者　502129933
株式会社日立産機システム
東京都千代田区神田練塀町３番地
(73)特許権者　000233217
株式会社日立ケーイーシステムズ
千葉県習志野市東習志野７丁目１番１号
(74)代理人　100078134
弁理士　武　顕次郎
(72)発明者　高田　直樹
千葉県習志野市東習志野７丁目１番１号
株式会社　日立製作所　産業機器事業部内
(72)発明者　渡嘉敷　睦男
千葉県習志野市東習志野７丁目１番１号
株式会社　日立製作所　産業機器事業部内

最終頁に続く

(54)【発明の名称】欠相検出回路

(57)【特許請求の範囲】

【請求項１】

３相交流の各相の３本の電源線に各々フォトカプラを接続し、前記各フォトカプラのオフにより欠相を検出する方式の欠相検出装置において、

前記各フォトカプラの入力側発光ダイオードのアノードを、該発光ダイオードと同じ導通方向の夫々のダイオードを介して、前記電源線の夫々に個別に接続し、

前記各フォトカプラの入力側発光ダイオードのカノードを、１個の抵抗を介して３個のダイオードのアノードに共通に接続し、

これら３個のダイオードのカソードを、夫々前記電源線に個別に接続することにより、

前記各フォトカプラを、夫々が接続された電源線の電圧が、３本の電源線の中で一番高くなったときだけオンになるように構成したことを特徴とする欠相検出回路。

【請求項２】

３相交流の各相の３本の電源線に各々フォトカプラを接続し、前記各フォトカプラのオフにより欠相を検出する方式の欠相検出装置において、

前記各フォトカプラの入力側発光ダイオードのアノードを、共通に１個の抵抗を介して３個のダイオードのカソードに接続し、

これら３個のダイオードのアノードを、夫々前記３本の電源線に個別に接続し、

前記各フォトカプラの入力側発光ダイオードのカソードを、該発光ダイオードと同じ導通方向の夫々のダイオードを介して、前記電源線の夫々に個別に接続することにより、

前記各フォトカプラを、夫々が接続された電源線の電圧が、３本の電源線の中で一番高

くなったときだけオンになるように構成したことを特徴とする欠相検出回路。
【請求項３】
請求項１又は請求項２に記載の発明において、
前記各フォトカプラの全てがオフしたとき、電源遮断と判別する論理回路が設けられていることを特徴とする欠相検出回路。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、３相交流電力供給系統を対象とした欠相検出回路に関する。
【０００２】
【従来の技術】
３相などの多相交流系統から受電している電気機器では、全ての相から電力が供給されていることが動作の前提になり、従って、欠相による異常の発生を未然に抑えるため、電源供給状態を監視し、欠相の有無を検出するようにした欠相検出回路が用いられている。
【０００３】
そこで、従来技術による欠相検出回路の一例を図８に示すと、まず、この図において、Ｒ、Ｓ、Ｔは３相交流電源からの３本の電源線である。
【０００４】
ここで、この図８の例は、３相交流電源から給電されるインバータ装置を対象として、これに欠相検出回路を設けた場合の例であり、このため、これら電源線Ｒ、Ｓ、Ｔは、インバータ装置の整流回路(順変換部)２に接続されており、そして、まず、各電源線Ｒ、Ｓ、Ｔの間、つまり３相の各相間には、夫々図示のように、抵抗Ｒ１、Ｒ２、Ｒ３を介して、フォトカプラＰＣ１、ＰＣ２、ＰＣ３の入力(発光ダイオード側)を接続する。
【０００５】
ここで、これらのフォトカプラＰＣ１、ＰＣ２、ＰＣ３は、入力側の発光ダイオードが発光したとき出力側のフォトトランジスタが導通するものであり、従って、何れもオンしたとき出力がＬレベルになり、オフしているときは、出力はＨレベルになる。
【０００６】
従って、フォトカプラＰＣ１は、電源線Ｒ－Ｓ間の電圧が所定値以上のときオンし、出力がＬレベルになり、同様に、フォトカプラＰＣ２は、電源線Ｓ－Ｔ間の電圧が所定値以上のときオンで出力がＬレベルに、そしてフォトカプラＰＣ３は電源線Ｔ－Ｒ間の電圧が所定値以上のときオンで出力がＬレベルになる。
【０００７】
なお、抵抗Ｒ１、Ｒ２、Ｒ３は電流制限用で、フォトカプラＰＣ１、ＰＣ２、ＰＣ３の入力側フォトダイオードに並列に接続してあるダイオードは、逆電圧保護用である。
次に、これらフォトカプラＰＣ１、ＰＣ２、ＰＣ３の出力(フォトトランジスタ側)は、図示のように、夫々論理回路２に接続される。
そして、この論理回路２は、図示のように、３個の時限回路Ｔと、各１個の３入力オアゲートＯＲ及び３入力アンドゲートＡＮＤを備えている。
【０００８】
次に、この論理回路２の動作について説明する。
まず、時限回路Ｔは、各フォトカプラＰＣ１、ＰＣ２、ＰＣ３から入力されてくる信号を監視しており、予め電源の周期よりも長い時間ｔとして設定してある期間以上、フォトカプラからオン信号がこなくなったとき、Ｈレベルになる信号を出力する。
【０００９】
そして、この時限回路Ｔを各相に対応して３個設けておき、これにより、３相のうちの１相からでも異常信号が出力されたときは、オアゲートＯＲが出力を発生し、３相の全てから異常信号が出力されたときは、アンドゲートＡＮＤが出力を発生するようにしておく。
【００１０】
従って、この論理回路２は、フォトカプラＰＣ１、ＰＣ２、ＰＣ３の何れか１個でもオフ

し、その出力がＨレベルになり、その状態が時限回路Ｔで決められている時間ｔ以上継続したとき欠相信号を発生し、フォトカプラＰＣ１、ＰＣ２、ＰＣ３の全てがオフし、その状態が時限回路Ｔで決められている時間ｔ以上継続したときは、電源遮断信号を発生するように働く。

【００１１】

次に、この図８の従来技術による欠相検出回路の動作について説明する。

まず、入力電源が正常な場合には、各電源線Ｒ、Ｓ、Ｔ間のフォトカプラＰＣ１、ＰＣ２、ＰＣ３は、図９(a)に示すように、何れも交流電源の周期毎に電源周期の半分の期間づつオンにされるので、オアゲートＯＲ及びアンドゲートＡＮＤの入力は全てＬレベルのままに保たれる。

従って、このときは、論理回路２からは、欠相信号も電源遮断信号も出力されない。

【００１２】

次に、何らかの理由により、交流電源が欠相状態になった場合について説明する。

いま、ここで、ＲＳＴ３相のうち例えばＳ相が欠相したとすると、電源線Ｓの電圧が消失するため、図９(b)に示すように、フォトカプラＰＣ１とフォトカプラＰＣ２はオンしなくなるので、オアゲートＯＲの入力の全てがＬレベルであるという条件が崩れてしまう。

従って、このときは、論理回路２から欠相信号が出力されることになる。

【００１３】

また、アンドゲートＡＮＤは、３入力の全てがＨレベルになったとき、出力を発生するので、３個のフォトカプラＰＣ１、ＰＣ２、ＰＣ３の全てがオフしたままになったとき、電源遮断信号が出力される。

このように、図８に示す従来技術によれば、フォトカプラの信号を監視することにより欠相が検出でき、且つ電源遮断、例えば停電なども検出できることになる。

なお、この種の技術に関連する公知例としては、例えば特開平１－１２３１６４号、特開平２－１３３０３１号の各公報を挙げることができる。

【００１４】

【発明が解決しようとする課題】

上記従来技術は、確実な欠相検出性能の保持について考慮がされておらず、適用態様によっては、以下に説明するように、欠相が検出できない場合が生じてしまうという問題があった。

【００１５】

例えば、インバータ装置などの電気装置では、その入力の線間に表示用のランプや電磁接触器などの機器が接続される場合がある。

また、近年は、電磁ノイズ障害の点から、インバータ装置の入力にノイズフィルタなどの機器を設ける場合が多くなってきている。

【００１６】

そうすると、このような場合には、入力に設けられた機器が回り回路として働き、この結果、従来技術では、欠相の検出が妨げられ、上記の問題が生じてしまうのである。

【００１７】

上記した従来技術の場合について、図１０により具体的に説明すると、この図において、Ｚは、インバータ装置の入力に設けられたノイズフィルタなどの機器によるインピーダンスを仮定したものであり、スイッチＳＷは、それが開いていることにより、Ｓ相に欠相が生じたことを表わすために設けたものである。

【００１８】

ここで、いま、図示のように、Ｓ相が欠相した場合について考えると、このときは、電源線Ｒ－Ｓ間とＳ－Ｔ間の電圧を検出しているフォトカプラＰＣ２とＰＣ１の入力側に電流が流れなくなることにより、欠相の検出が行われることになる。

【００１９】

しかし、このとき、インピーダンスＺが存在していると、これが電源線Ｒ－Ｓ間の回り回路となり、Ｓ相が欠相していても、フォトカプラＰＣ２及びフォトカプラＰＣ１には、電

源線Ｒからインピーダンスｚを経由して電流が流れ、両フォトカプラ共、オンしてしまうことになって、欠相が生じたにもかかわらず、それが検出ができない。
従って、これが従来技術の問題なのである。

【００２０】

本発明の目的は、電気機器の入力に回り回路が存在しても、欠相が検出できるようにした欠相検出回路を提供することにある。

【００２１】

【課題を解決するための手段】

上記目的は、３相交流の各相の３本の電源線に各々フォトカプラを接続し、前記各フォトカプラのオフにより欠相を検出する方式の欠相検出装置において、前記各フォトカプラの入力側発光ダイオードのアノードを、該発光ダイオードと同じ導通方向の夫々のダイオードを介して、前記電源線の夫々に個別に接続し、前記各フォトカプラの入力側発光ダイオードのカノードを、１個の抵抗を介して３個のダイオードのアノードに共通に接続し、これら３個のダイオードのカソードを、夫々前記電源線に個別に接続することにより、前記各フォトカプラを、夫々が接続された電源線の電圧が、３本の電源線の中で一番高くなったときだけオンになるようにして達成される。

【００２２】

同じく上記目的は、３相交流の各相の３本の電源線に各々フォトカプラを接続し、前記各フォトカプラのオフにより欠相を検出する方式の欠相検出装置において、前記各フォトカプラの入力側発光ダイオードのアノードを、共通に１個の抵抗を介して３個のダイオードのカソードに接続し、これら３個のダイオードのアノードを、夫々前記３本の電源線に個別に接続し、

前記各フォトカプラの入力側発光ダイオードのカソードを、該発光ダイオードと同じ導通方向の夫々のダイオードを介して、前記電源線の夫々に個別に接続することにより、

前記各フォトカプラを、夫々が接続された電源線の電圧が、３本の電源線の中で一番高くなったときだけオンになるようにしても達成される。

【００２３】

ここで、前記各フォトカプラの全てがオフしたとき、電源遮断と判別する論理回路が設けられているようにしてもよい。

【００２４】

上記手段によれば、３相の線間での電圧を検出する代りに、３相の各相のうち一番高い電圧となっている相のフォトカプラだけがオン動作することになり、これにより、回り電流の影響を受けないで欠相が検出できる。

【００２５】

【発明の実施の形態】

以下、本発明による欠相検出回路について、図示の実施形態により詳細に説明する。
図１は、本発明の第１の実施形態で、この図１の実施形態でも、次の点では、図８で説明した従来技術と同じである。
すなわち、まず３相の電源線Ｒ、Ｓ、Ｔがインバータ装置の整流回路２に接続されている点は同じである。

【００２６】

次に、各フォトカプラＰＣ１、ＰＣ２、ＰＣ３の入力側フォトダイオードに逆電圧保護用のダイオードが並列に接続してある点と、各フォトカプラＰＣ１、ＰＣ２、ＰＣ３の出力側には論理回路２が接続されている点も同じであり、且つ、各フォトカプラＰＣ１、ＰＣ２、ＰＣ３の動作条件についても同じである。

【００２７】

しかして、この図１の実施形態が、図８で説明した従来技術と異なる点は、以下の点にある。
まず、抵抗Ｒ１、Ｒ２、Ｒ３が除かれ、これによりフォトカプラＰＣ１、ＰＣ２、ＰＣ３の入力の一方は、３相の各電源線Ｒ、Ｓ、Ｔ３に各々直接接続されている。

次に、各フォトカプラＰＣ１、ＰＣ２、ＰＣ３の入力の他方は、１個の抵抗Ｒ１０に共通に接続されている。
そして、この抵抗Ｒ１０が３個のダイオードＤ４、Ｄ５、Ｄ６のアノードに共通に接続され、その上で、これらダイオードＤ４、Ｄ５、Ｄ６のカソードは、電源線Ｒ、Ｓ、Ｔに夫々接続されている。

【００２８】

この結果、まず、３個のダイオードＤ１、Ｄ２、Ｄ３は、電源線Ｒ、Ｓ、Ｔのうちで一番高い電圧にある相に接続されている１個だけが導通するという、最大値回路として働く。
従って、これらのダイオードＤ１、Ｄ２、Ｄ３に夫々直列に接続されているフォトカプラＰＣ１、ＰＣ２、ＰＣ３は、各々が接続され、検出対象となっている相の電圧が高くなったときだけオンすることになる。
ここで、抵抗Ｒ１０は、各フォトカプラに流れる電流を制限する働きをする。次に、ダイオードＤ４、Ｄ５、Ｄ６は、ダイオードＤ１、Ｄ２、Ｄ３とは反対に、電源線Ｒ、Ｓ、Ｔのうちで一番低い電圧にある相に接続されている１個だけが導通するという、最小値回路として働く。
従って、これらのダイオードＤ４、Ｄ５、Ｄ６は、各々が接続され、検出対象となっている相のうちで一番低い電圧となっている相に、フォトカプラを通過した電流を戻す働きをする。

【００２９】

次に、この実施形態の動作について、図２により説明する。
まず、電源が正常時は、各相の電圧が順番に交番するので、図２(a)に示すように、フォトカプラＰＣ１、ＰＣ２、ＰＣ３は順番にオンする。
この結果、論理回路２の時限回路Ｔの出力が全てＬレベルになることはなく、従って、このときは、欠相信号も電源遮断信号も発生しない。

【００３０】

次に、欠相が発生したとすると、欠相している相に接続されているフォトカプラの入力側には電流が流れなくなり、オンしなくなるので、論理回路２は、これを利用し、欠相を検出する。
以下、これらフォトカプラの出力側に設けられている論理回路２の動作について説明する。

【００３１】

次に、この論理回路２の動作について説明する。
まず、時限回路Ｔは、各フォトカプラＰＣ１、ＰＣ２、ＰＣ３から入力されてくる信号を監視しており、予め電源の周期よりも長い時間ｔとして設定してある期間以上、フォトカプラからのオン信号が途絶えたとき、異常ありとしてＨレベルになる異常信号を出力する。
そして、この時限回路Ｔを、図示のように、各相に対応して３個に設け、これにより、３相のうちの１相から異常信号が出力されたときは、オアゲートＯＲが出力を発生し、３相の全てから異常信号が出力されたときは、アンドゲートＡＮＤが出力を発生する。

【００３２】

従って、この論理回路２は、フォトカプラＰＣ１、ＰＣ２、ＰＣ３の何れか１個でもオフし、その出力がＨレベルになり、その状態が時限回路Ｔで決められている時間ｔ以上継続したとき欠相信号を発生し、フォトカプラＰＣ１、ＰＣ２、ＰＣの全てがオフし、その状態が時限回路Ｔで決められている時間ｔ以上継続したときは、電源遮断信号を発生するように働き、これにより欠相の検出と、電源遮断が検出できることになる。

【００３３】

次に、この実施形態による欠相検出回路の動作について説明する。
まず、入力電源が正常な場合には、各電源線Ｒ、Ｓ、Ｔ間のフォトカプラＰＣ１、ＰＣ２、ＰＣ３は、図２(a)に示すように、何れも交流電源の周期毎に電源周期の半分の期間づつオンにされるので、オアゲートＯＲ及びアンドゲートＡＮＤの入力は全てＬレベルのま

まに保たれる。
従って、このときは、論理回路２からは、欠相信号も電源遮断信号も出力されない。
【００３４】
次に、何らかの理由により、交流電源が欠相状態になった場合について説明する。
いま、ここで、ＲＳＴ３相のうち例えばＳ相が欠相したとすると、電源線Ｓの電圧が消失するため、図２(b)に示すように、フォトカプラＰＣ１とフォトカプラＰＣ２はオンしなくなるので、オアゲートＯＲの入力の全てがＬレベルであるという条件が崩れてしまい、このときは、論理回路２から欠相信号が出力されることになる。
【００３５】
また、アンドゲートＡＮＤは、３入力の全てがＨレベルになったとき、出力を発生するので、３個のフォトカプラＰＣ１、ＰＣ２、ＰＣ３の全てがオフしたままになったとき、電源遮断信号が出力される。
このように、この図１の実施形態でも、フォトカプラからの出力の監視により欠相が検出でき、且つ電源遮断、例えば停電なども検出できることになる。
【００３６】
次に、この本発明の実施形態において、図３に示すように、インバータ装置の入力にノイズフィルタなどの機器が設けられ、この結果、電源線Ｒ－Ｓ間にインピーダンスＺが接続された状態と等価になったときでの欠相検出動作について説明する。
【００３７】
この図３において、いま、図の(a)に示すように、開放したスイッチＳＷで表わしているように、Ｓ相に欠相が生じたものとし、この状態で、Ｒ相の電圧がＴ相の電圧より高くなっているときの等価回路を示すと、図３(b)に示すようになる。
【００３８】
この図３(b)に示すように、検出回路の入力側にインピーダンスＺが存在したとすると、Ｓ相に欠相が生じても、このインピーダンスＺを通って、Ｒ相から、Ｓ相の電圧を検出しているフォトカプラＰＣ２に至る電流流路が形成されてしまう。
【００３９】
この図３(b)の等価回路で、フォトカプラＰＣ２に流れる電流Ｉpc２について考えると、次の(1)式に示すようになる。
$$I_{pc2}=\{(V_{D1}+V_{pc1})-(V_{D2}+V_{pc2})\}/RL \quad \cdots\cdots \quad \cdots\cdots(1)$$
但し、ＲＬ：インピーダンスＺのインピーダンス値
V_{D1}：ダイオードＤ１のオン電圧
V_{D2}：ダイオードＤ２のオン電圧
V_{pc1}：フォトカプラＰＣ１の発光ダイオードのオン電圧
V_{pc2}：フォトカプラＰＣ２の発光ダイオードのオン電圧
【００４０】
ここで、ダイオードＤ１とダイオードＤ２及びフォトカプラＰＣ１とフォトカプラＰＣ２は、何れも同じ仕様の部品を使用するのが普通であり、そのようにした場合、夫々のオン電圧については、夫々、$V_{D1}=V_{D2}$、$V_{pc1}=V_{pc2}$ と考えることができ、従って、次の(2)式が成り立つ。
$$(V_{D1}+V_{pc1})-(V_{D1}+V_{pc1})=0 \quad \cdots\cdots \quad \cdots\cdots(2)$$
よって、(1)式は、次の(3)式として表わせる。
$$I_{pc2}=((V_{D1}+V_{pc1})-(V_{D1}+V_{pc1})/RL=0 \quad \cdots\cdots\cdots(3)$$
【００４１】
従って、この場合、入力回路にインピーダンスＺが存在していても、フォトカプラＰＣ２には電流が流れないことになり、この結果、Ｓ相に欠相が生じたことを確実に検出できることが判る。
【００４２】
そして、このことは、他のＴ相に欠相が生じた場合でも同じであり、更には、インピーダンスＺが何れの相間に接続された場合でも、同じで、欠相時にインピーダンスＺを介して

回り込む電流によるフォトカプラのオンを抑えることができる。
【００４３】
従って、この図１の実施形態によれば、インバータ装置の入力側にノイズフィルタなどのまわり回路が存在していた場合でも、電源線Ｒ、Ｓ、Ｔの何れかに欠相が発生したときには、論理回路２のオアゲートＯＲからは、確実に欠相信号を発生させることができ、常に確実に欠相を検出することができる。
【００４４】
そして、この実施形態によっても、論理回路２のアンドゲートＡＮＤから電源遮断信号が得られる点は、従来技術と同じである。
【００４５】
次に、本発明の他の実施形態について説明する。
まず、図４は、本発明の第２の実施形態で、この実施形態は、図１の実施形態とは反対に、まず、ダイオードＤ１、Ｄ２、Ｄ３のカソード側を共通にして抵抗Ｒ１０に接続し、この抵抗Ｒ１０の後、各フォトカプラＰＣ１、ＰＣ２、ＰＣ３に共通に接続する。
【００４６】
そして、更に、ダイオードＤ４、Ｄ５、ダイオードＤ６のカソード側を夫々電源線Ｒ、Ｓ、Ｔに直接接続し、これにより、一番電圧の低い相に電流を流すようにしたもので、これにより、結果として、電圧が最大の相を検出し、その相のフォトカプラだけがオンするようにしたものであり、その他の構成は、図１の実施形態と同じである。
【００４７】
よって、この図４の実施形態の動作も図５に示すようになり、従って、この図４の実施形態によっても、インバータ装置の入力側にノイズフィルタなどのまわり回路が存在していた場合でも、電源線Ｒ、Ｓ、Ｔの何れかに欠相が発生したときには、論理回路２のオアゲートＯＲからは、確実に欠相信号を発生させることができ、常に確実に欠相を検出することができる。
そして、この実施形態によっても、論理回路２のアンドゲートＡＮＤから電源遮断信号が得られる点は同じである。
【００４８】
次に、図６は、更に本発明の第３の実施形態で、この実施形態は、図１に示した第１の実施形態において、電源遮断検出用として、更にフォトカプラＰＣ４を付加したものであり、そして、このフォトカプラＰＣ４は、図示のように、抵抗Ｒ１０と直列に接続してある。
【００４９】
そして、これに応じて、このフォトカプラＰＣ４がオフされたときの出力を電源遮断信号とするようになっており、このため、論理回路２からはアンドゲートが除かれており、これ以外の構成は、図１の実施形態と同じである。
【００５０】
この図６の実施形態でも、欠相が発生してない電源正常時には、図７(a)に示すように、電源周期の間、フォトカプラＰＣ１、ＰＣ２、ＰＣ３の何れかが必ずオンしているので、電源遮断検出用のフォトカプラＰＣ４も同じく電源周期中必ずオンし、且つ、欠相が発生したときも、図７(b)に示すように、残りの健全な相のフォトカプラの何れかがオンしているため、やはりフォトカプラＰＣ４もオンしたままになるので、電源遮断信号は発生しない。
【００５１】
そして、フォトカプラＰＣ１、ＰＣ２、ＰＣ３が全てオフになったときだけ、始めてフォトカプラＰＣ４もオフするので、これにより電源遮断を検出することができる。
【００５２】
従って、この図６の実施形態によれは、図１の実施形態と同じく、インバータ装置の入力側にノイズフィルタなどのまわり回路が存在していた場合でも、電源線Ｒ、Ｓ、Ｔの何れかに欠相が発生したとき常に確実に欠相を検出することができる上、論理回路２を介する

ことなく、フォトカプラＰＣ４により直接電源遮断が検出できるので、電源遮断の検出が高速で得られるという効果がある。

【００５３】

【発明の効果】

本発明によれば、インバータ装置など電気機器の入力に、表示用のランプや電磁接触器、ノイズフィルタなど回り回路となってしまう各種の機器が接続されている場合でも、欠相を検出することができる。

また、本発明によれば、多相交流電力で運転される電気機器の異常発生を未然に抑えることができ、電気機器の安全性と信頼性を確保することができる。

【図面の簡単な説明】

【図１】本発明による欠相検出回路の第１の実施形態を示す回路図である。

【図２】本発明の第１の実施形態の動作を説明するためのタイミング図である。

【図３】　本発明の第１の実施形態における欠相時での検出動作を説明するための回路図と等価回路図である。

【図４】本発明による欠相検出回路の第２の実施形態を示す回路図である。

【図５】本発明の第２の実施形態の動作を説明するためのタイミング図である。

【図６】本発明による欠相検出回路の第３の実施形態を示す回路図である。

【図７】本発明の第３の実施形態の動作を説明するためのタイミング図である。

【図８】従来技術による欠相検出装置の一例を示す回路図である。

【図９】従来技術による欠相検出装置の動作を説明するためのタイミング図である。

【図１０】従来技術による欠相検出装置における入力側インピーダンスの影響を説明するための回路図である。

【符号の説明】

１　インバータ装置の整流回路

２　論理回路

ＰＣ１～ＰＣ４　フォトカプラ

Ｄ１～Ｄ６、Ｄ１０　ダイオード

Ｒ１～Ｒ４、Ｒ１０　抵抗

Ｚ　回り回路を形成するインピーダンス

ＳＷ　スイッチ

Ｒ、Ｓ、Ｔ　三相交流電源の各相の電源線

Ｔ　時限回路

【図１】

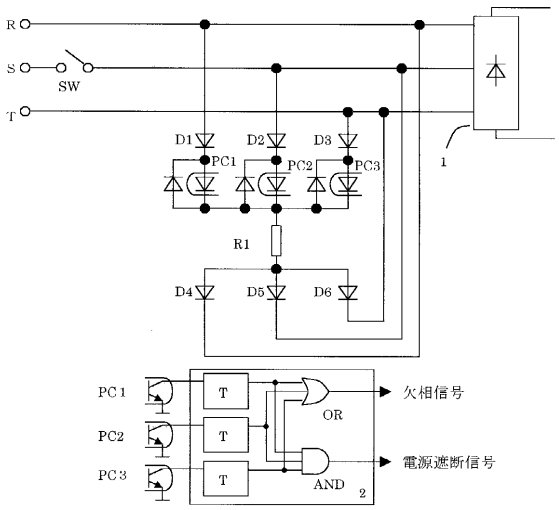
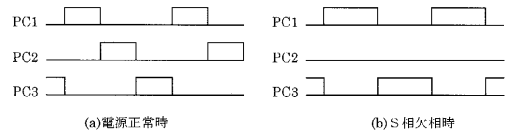


図１

【図２】

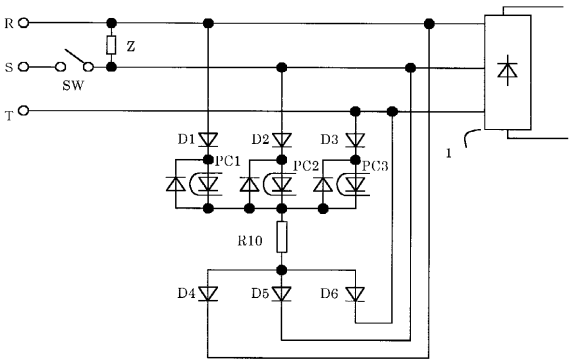


(a)電源正常時　(b)Ｓ相欠相時

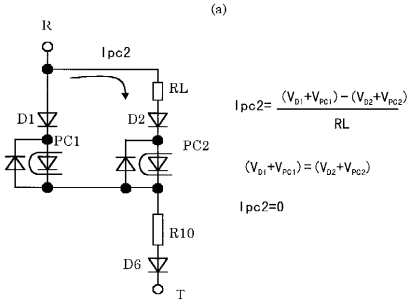
図２

本発明の欠相検出回路

【図３】



(a)



(b)

図３

【図４】

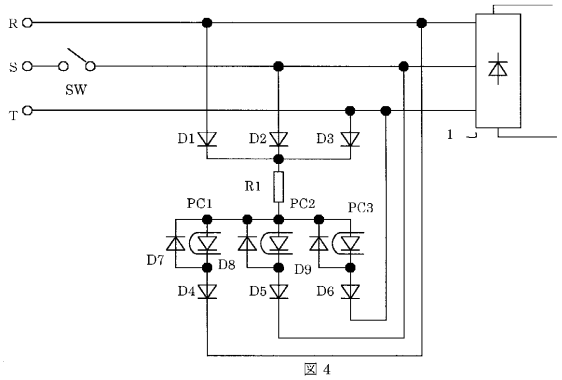
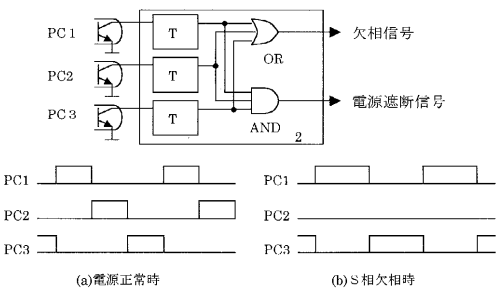


図４

【図５】



(a)電源正常時　(b)Ｓ相欠相時

図５

【図６】

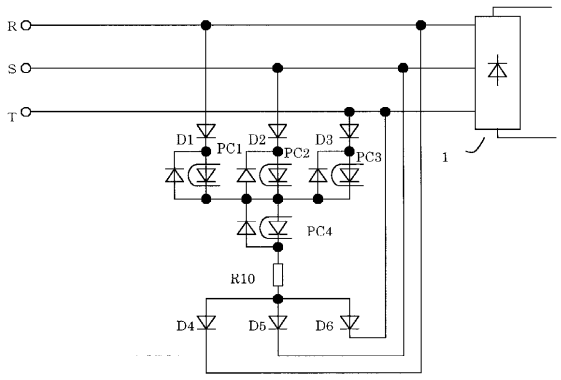
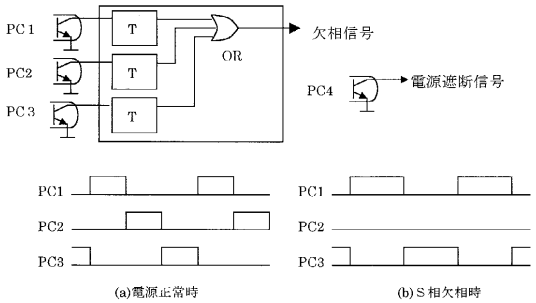


図６

【図７】



(a)電源正常時　(b)Ｓ相欠相時

図７

【図８】

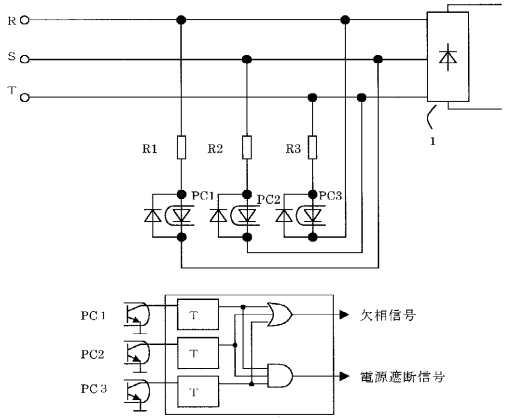


図８

【図９】

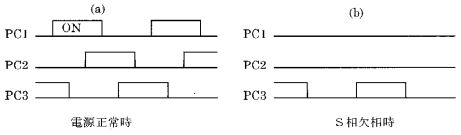


図９

従来の欠相検出回路

【図１０】

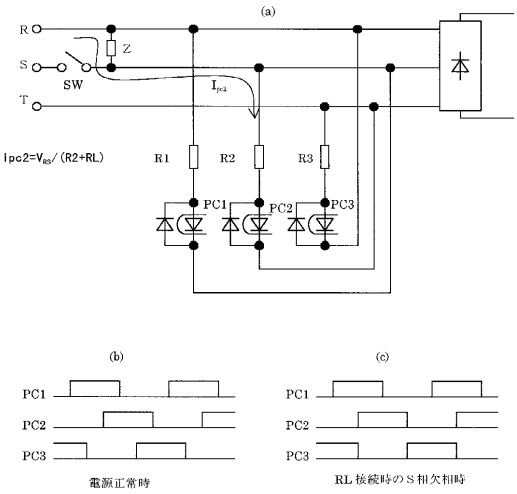


図１０

従来の欠相検出回路

フロントページの続き

(72)発明者　石井　聡子
千葉県習志野市東習志野７丁目１番１号　株式会社　日立製作所　産業機器事業部内
(72)発明者　広田　雅之
千葉県習志野市東習志野７丁目１番１号　日立京葉エンジニアリング株式会社内

審査官　中村　直行

(56)参考文献　特開平０２－０２３０２４（ＪＰ，Ａ）
特開平０８－１２６１９４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G01R 29/16-29/18
H02H 3/08- 3/52
H02M 7/00- 7/40