



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I509593 B

(45)公告日：中華民國 104 (2015) 年 11 月 21 日

(21)申請案號：102147563

(22)申請日：中華民國 102 (2013) 年 12 月 20 日

(51)Int. Cl. : G09G3/36 (2006.01)

G11C19/28 (2006.01)

(71)申請人：友達光電股份有限公司 (中華民國) AU OPTRONICS CORP. (TW)

新竹市新竹科學工業園區力行二路 1 號

(72)發明人：白承丘 PAI, CHENG CHIU (TW)；莊銘宏 CHUANG, MING HUANG (TW)；曾淑雯 TZENG, SHU WEN (TW)；廖偉見 LIAO, WEI CHIEN (TW)

(74)代理人：吳豐任；戴俊彥

(56)參考文獻：

TW 200844926A

TW 200915290A

US 5222082

審查人員：林長華

申請專利範圍項數：13 項 圖式數：5 共 23 頁

(54)名稱

移位暫存器

SHIFT REGISTER

(57)摘要

一種移位暫存器包含輸入級電路、第一開關、控制電路及下拉電路。第一開關的第一端接收第一時脈訊號，第一開關的第二端耦接於移位暫存器的輸出端，而第一開關的控制端耦接於輸入級電路的第一輸出端。控制電路依據第二時脈訊號控制第一系統電壓端與節點之間的電性連接，並依據輸入級電路的第二輸出端的電位控制節點與第二系統電壓端之間的電性連接。下拉電路依據節點的電位控制輸入級電路的第二輸出端與第二系統電壓端之間的電性連接，以及移位暫存器的輸出端與第二系統電壓端之間的電性連接。

A shift register has an input stage circuit, a first switch, a control circuit and a pull down circuit. A first terminal of the first switch receives a first clock signal, a second terminal of the first switch is coupled to an output terminal of the shift register, and a control terminal of the first switch is coupled to a first output terminal of the input stage circuit. The control circuit controls electrical connection between a first power terminal and a node according to a second clock signal and controls electrical connection between the node and a second power terminal according to a voltage level of a second output terminal of the input stage circuit. The pull down circuit controls electrical connection between the second output terminal and the second power terminal and electrical connection between the output terminal and the second power terminal according to a voltage level of the node.

發明摘要

※ 申請案號： 102147563

※ 申請日： 102.12.20

※IPC 分類： G09G 3/36 (2006.1)
G11C 19/28 (2006.1)

【發明名稱】 移位暫存器

SHIFT REGISTER

【中文】

一種移位暫存器包含輸入級電路、第一開關、控制電路及下拉電路。第一開關的第一端接收第一時脈訊號，第一開關的第二端耦接於移位暫存器的輸出端，而第一開關的控制端耦接於輸入級電路的第一輸出端。控制電路依據第二時脈訊號控制第一系統電壓端與節點之間的電性連接，並依據輸入級電路的第二輸出端的電位控制節點與第二系統電壓端之間的電性連接。下拉電路依據節點的電位控制輸入級電路的第二輸出端與第二系統電壓端之間的電性連接，以及移位暫存器的輸出端與第二系統電壓端之間的電性連接。

【英文】

A shift register has an input stage circuit, a first switch, a control circuit and a pull down circuit. A first terminal of the first switch receives a first clock signal, a second terminal of the first switch is coupled to an output terminal of the shift register, and a control terminal of the first switch is coupled to a first output terminal of the input stage circuit. The control circuit controls electrical connection between a first power terminal and a node according to a second clock signal and controls electrical connection between the node and a second power terminal according to a voltage level of a second output terminal of the input stage circuit. The pull down circuit controls electrical connection between the second output terminal and the second power terminal and electrical connection between the output terminal and the second power terminal according to a voltage level of the node.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

100	移位暫存器
110	輸入級電路
120	控制電路
130	下拉電路
A	節點
CLK	第二時脈訊號
M1	第一開關
M2	第二開關
M3	第三開關
M4	第四開關
M5	第五開關
N11、N21、N31、N41、N51	第一端
N12、N22、N32、N42、N52	第二端
N1C、N2C、N3C、N4C、N5C	控制端
O1	第一輸出端
O2	第二輸出端
S_{IN}	輸入訊號
SR[n]	輸出端
VGH	第一系統電壓端
VGL	第二系統電壓端

XCLK

第一時脈訊號

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

【發明名稱】 移位暫存器

SHIFT REGISTER

【技術領域】

【0001】 本發明係關於一種移位暫存器，尤指一種可抑制漏電流的移位暫存器。

【先前技術】

【0002】 一般而言，顯示面板包含有複數個畫素、閘極驅動電路以及源極驅動電路。源極驅動電路係用以寫入資料訊號至被開啟的畫素。閘極驅動電路包含複數級移位暫存器，用來提供複數個閘極訊號，以控制畫素之開啟與關閉。然而，先前技術中的移位暫存器具有漏電流過大及電晶體數目過多的問題，引起額外功耗。此外，因電晶體數目過多而造成佈局面積過大，故不利於實現窄邊框顯示面板的設計。

【發明內容】

【0003】 本發明之一實施例提供一種移位暫存器。移位暫存器包含輸入級電路、第一開關、控制電路及下拉電路。輸入級電路用以接收至少一輸入訊號。第一開關的第一端用以接收第一時脈訊號，第一開關的第二端耦接於移位暫存器的輸出端，而第一開關的控制端耦接於輸入級電路的第一輸出端。控制電路包含第二開關及第三開關。第二開關的第一端耦接於第一系統電壓端，第二開關的第二端耦接於節點，而第二開關的控制端用以接收第二時脈訊號。第三開關的第一端耦接於節點，第三開關的第二端耦接於第二系統電壓端，而第三開關的控制端耦接於輸入級電路的第二輸出端。下拉電路包含第四開關及第五開關。第四開關的第一端耦接於輸入級電路的第二輸出端，第四開關的第二端耦接於第二系統電壓端，而第四開關的控制端耦接於節

點。第五開關的第一端耦接於移位暫存器的輸出端，第五開關的第二端耦接於第二系統電壓端，而第五開關的控制端耦接於節點。

【0004】 透過本發明實施例之移位暫存器，可抑制漏電流，而具有節能的功效。此外，由於移位暫存器採用精簡的設計，而具有較少的電晶體數目，故可降低製造成本，並適合用於窄邊框的面板設計。

【圖式簡單說明】

【0005】

第 1 圖為本發明一實施例之移位暫存器的示意圖。

第 2 圖為第 1 圖移位暫存器的時序圖。

第 3 圖為本發明一實施例之移位暫存器的電路圖。

第 4 圖為第 3 圖移位暫存器的時序圖。

第 5 圖為第 1 圖及第 3 圖之第一時脈訊號及第二時脈訊號的另一時序圖。

【實施方式】

【0006】 請參考第 1 圖，第 1 圖為本發明一實施例之移位暫存器 100 的示意圖。移位暫存器 100 可用於顯示面板的閘極驅動器，而閘極驅動電路可包含複數級的移位暫存器 100，用來提供複數個閘極訊號以控制顯示面板的畫素之開啟與關閉。移位暫存器 100 包含輸入級電路 110、第一開關 M1、控制電路 120 及下拉電路 130。輸入級電路 110 用以接收輸入訊號 S_{IN} 。第一開關 M1 的第一端 N11 用以接收第一時脈訊號 XCLK，第一開關 M1 的第二端 N12 耦接於移位暫存器 100 的輸出端 SR[n]，而第一開關 M1 的控制端 N1C 耦接於輸入級電路 110 的第一輸出端 O1。控制電路 120 包含第二開關 M2 及第三開關 M3。第二開關 M2 的第一端 N21 耦接於第一系統電壓端 VGH，第二開關 M2 的第二端 N22 耦接於節點 A，而第二開關 M2 的控制端 N2C 用以接收第二時脈訊號 CLK。第三開關 M3 的第一端 N31 耦接於節點 A，第三開關

M3 的第二端 N32 耦接於第二系統電壓端 VGL，而第三開關 M3 的控制端 N3C 耦接於輸入級電路 110 的第二輸出端 O2。下拉電路 130 包含第四開關 M4 及第五開關 M5。第四開關 M4 的第一端 N41 耦接於輸入級電路 110 的第二輸出端 O2，第四開關 M4 的第二端 N42 耦接於第二系統電壓端 VGL，而第四開關 M4 的控制端 N4C 耦接於節點 A。第五開關 M5 的第一端 N51 耦接於移位暫存器 100 的輸出端 SR[n]，第五開關 M5 的第二端 N52 耦接於第二系統電壓端 VGL，而第五開關 M5 的控制端 N5C 耦接於節點 A。

【0007】 第一系統電壓端 VGH 和第二系統電壓端 VGL 以供應閘極驅動器所需之電力。一般而言，第一系統電壓端 VGH 的電位會高於第二系統電壓端 VGL 的電位。例如，第一系統電壓端 VGH 的電位可以是 8.5 伏特或其他的正電位，而第二系統電壓端 VGL 的電位可以是負 8 伏特或其他的負電位。此外，上述的輸入訊號 S_{IN} 可以是移位暫存器 100 於閘極驅動器中前一級的移位暫存器 100 的輸出，或是移位暫存器 100 於閘極驅動器中下一級的移位暫存器 100 的輸出。請參考第 2 圖並同時參照第 1 圖，第 2 圖為第 1 圖移位暫存器 100 的輸出。第一時脈訊號 XCLK 和第二時脈訊號 CLK 為週期性訊號。此外，當第一時脈訊號 XCLK 為高電位時，第二時脈訊號 CLK 為低電位；而當第二時脈訊號 CLK 為高電位時，第一時脈訊號 XCLK 為低電位。在本實施例中，第一時脈訊號 XCLK 的上緣(rising edge)和第二時脈訊號 CLK 的下緣(falling edge)對齊，而第一時脈訊號 XCLK 的下緣和第二時脈訊號 CLK 的上緣對齊，但本發明並不以此為限，只需第一時脈訊號 XCLK 為高電位的部分與第二時脈訊號 CLK 為高電位的部分不重疊即可，例如第 5 圖所示的第一時脈訊號 XCLK 及第二時脈訊號 CLK。值得注意地，第一時脈訊號 XCLK 除了在本級的移位暫存器 100 中會輸入至第一開關 M1 的第一端 N11 之外，第一時脈訊號 XCLK 還會被輸入至上一級和下一級移位暫存器 100 之第二開關 M2 的控制端 N2C。而第二時脈訊號 CLK 除了在本級的移位暫存器 100 中

會輸入至第二開關 M2 的控制端 N2C 之外，第二時脈訊號 CLK 還會被輸入至上一級和下一級移位暫存器 100 之第一開關 M1 的第一端 N11。此外，當輸入訊號 S_{IN} 為高電位時，輸入級電路 110 的第一輸出端 O1 及第二輸出端 O2 的電位會為高電位。

【0008】 在時段 T1 期間，第一時脈訊號 XCLK 為高電位，而第二時脈訊號 CLK 為低電位。此時，因輸入訊號 S_{IN} 尚未提升至高電位，故第一輸出端 O1 及第二輸出端 O2 的電位會為低電位。進而使第一開關 M1、第二開關 M2 及第三開關 M3 皆關閉。此外，因節點 A 的電位在時段 T1 期間為高電位，故第四開關 M4 和第五開關 M5 會被開啟，而使得移位暫存器 100 的輸出端 SR[n]的電位為低電位。

【0009】 在時段 T2 期間，第一時脈訊號 XCLK 為低電位，而第二時脈訊號 CLK 為高電位。此時，因輸入訊號 S_{IN} 提升至高電位，故第一輸出端 O1 抬升位準至 V1，故第一開關 M1 被開啟。另外，因輸入訊號 S_{IN} 提升至高電位，故第一輸出端 O1 及第二輸出端 O2 的電位會為高電位。又因第二時脈訊號 CLK 為高電位，故第二開關 M2 及第三開關 M3 會被開啟。此外，在本實施例中，因第二開關 M2 的寬長比(width-to-length ratio; W/L)相較於第三開關 M3 的寬長比來得小，而使得第二開關 M2 的等效電阻值大於第三開關 M3 的等效電阻值。因此，第二開關 M2 之第一端 N21 及第二端 N22 之間的跨壓會大於第三開關 M3 之第一端 N31 及第二端 N32 之間的跨壓，而使得節點 A 的電位降為低位準 V0'。因節點 A 的電位為低位準 V0'，故第四開關 M4 和第五開關 M5 會被關閉。因此，輸出端 SR[n]之電位在時段 T2 期間會維持在低電位。此外，在第二開關 M2 的第二端 N22 直接耦接於節點 A 的情況下，第二開關 M2 的尺寸可遠小於第三開關 M3 的尺寸，亦即第二開關 M2 與第三開關 M3 的寬長比的比值可小於比例(例如是二十二分之一)，以使節點 A 的電

壓在時段 T2 維持低位準 V_0' ，以使第四開關 M4 及第五開關 M5 關閉。

【0010】 在時段 T3 期間，第一時脈訊號 XCLK 為高電位，而第二時脈訊號 CLK 為低電位，此時，因第一開關 M1 的寄生電容效應，且第一時脈訊號 XCLK 被提升至高電位，而使得第一輸出端 O1 的電位從第一電位 V_1 被提升至第二電位 V_2 。其中，第一電位 V_1 及第二電位 V_2 皆高於第一輸出端 O1 在時段 T1 期間的初始電位 V_0 。此外，在時段 T3 期間，因第二時脈訊號 CLK 為低電位，故第二開關 M2 會被關閉。第三開關 M3 因第二輸出端 O2 處於高電位而被開啟，而使得節點 A 因耦接於第二系統電壓端 VGL 而被下拉至初始電位 V_0 。此時，第四開關 M4 及第五開關 M5 會因節點 A 處於初始電位 V_0 而被關閉。此外，因第一時脈訊號 XCLK 為高電位，第一輸出端 O1 處於第二電位 V_2 ，故第一開關 M1 會被開啟，而使得移位暫存器 100 的輸出端 SR[n] 之電位會被提升至高電位。

【0011】 在時段 T4 期間，第一時脈訊號 XCLK 為低電位，而第二時脈訊號 CLK 為高電位，且輸入級電路 110 會將第一輸出端 O1 及第二輸出端 O2 的電位拉至低電位。此時，第一開關 M1 及第三開關 M3 會被關閉。此外，因第二時脈訊號 CLK 為高電位，故第二開關 M2 會被開啟，而使節點 A 被拉至高電位。第四開關 M4 和第五開關 M5 則因節點 A 處於高電位而被開啟，並導致移位暫存器 100 的輸出端 SR[n] 之電位被拉至低電位。

【0012】 在時段 T5 期間，第一時脈訊號 XCLK 為高電位，而第二時脈訊號 CLK 為低電位，且輸入級電路 110 會將第一輸出端 O1 及第二輸出端 O2 的電位維持在低電位。此時，第一開關 M1、第二開關 M2 及第三開關 M3 會被關閉，而使節點 A 因處於浮接狀態而維持在高電位。第四開關 M4 和第五開關 M5 則因節點 A 維持在高電位而持續被開啟，並使移位暫存器 100 的輸

出端 SR[n]之電位維持在低電位。

【0013】 請參考第 3 圖，第 3 圖為本發明一實施例之移位暫存器 300 的示意圖。移位暫存器 300 亦可用於顯示面板的閘極驅動器，而閘極驅動電路可包含複數級的移位暫存器 300，用來提供複數個閘極訊號以控制顯示面板的畫素之開啟與關閉。移位暫存器 300 包含輸入級電路 310、第一開關 M1、控制電路 320 及下拉電路 330。輸入級電路 310 具有兩個輸入端，其中輸入級電路 310 的一輸入端耦接至上一級移位暫存器 300 的輸出端 SR[n-1]，而輸入級電路 310 的另一輸入端耦接至下一級移位暫存器 300 的輸出端 SR[n+1]。因此，輸入級電路 310 會將上一級及下一級的移位暫存器 300 之輸出訊號作為本級移位暫存器 300 的輸入訊號。第一開關 M1 的第一端 N11 用以接收第一時脈訊號 XCLK，第一開關 M1 的第二端 N12 耦接於移位暫存器 300 的輸出端 SR[n]，而第一開關 M1 的控制端 N1C 耦接於輸入級電路 310 的第一輸出端 O1。控制電路 320 包含第二開關 M2 及第三開關 M3。第二開關 M2 的第一端 N21 耦接於第一系統電壓端 VGH，第二開關 M2 的第二端 N22 耦接於節點 A，而第二開關 M2 的控制端 N2C 用以接收第二時脈訊號 CLK。第三開關 M3 的第一端 N31 耦接於節點 A，第三開關 M3 的第二端 N32 耦接於第二系統電壓端 VGL，而第三開關 M3 的控制端 N3C 耦接於輸入級電路 310 的第二輸出端 O2。下拉電路 330 包含第四開關 M4 及第五開關 M5。第四開關 M4 的第一端 N41 耦接於輸入級電路 310 的第二輸出端 O2，第四開關 M4 的第二端 N42 耦接於第二系統電壓端 VGL，而第四開關 M4 的控制端 N4C 耦接於節點 A。第五開關 M5 的第一端 N51 耦接於移位暫存器 300 的輸出端 SR[n]，第五開關 M5 的第二端 N52 耦接於第二系統電壓端 VGL，而第五開關 M5 的控制端 N5C 耦接於節點 A。

【0014】 輸入級電路 310 可具有第六開關 M6，用以使第二輸出端 O2 於時

段 T2 及 T3 的電位維持在低於第一電位 V1 的電位。第六開關 M6 的第一端 N61 耦接於輸入級電路 310 的第二輸出端 O2，第六開關 M6 的第二端 N62 耦接於輸入級電路 310 的第一輸出端 O1，而第六開關 M6 的控制端 N6C 耦接於第一系統電壓端 VGH。因此，當移位暫存器 300 被供電的期間，第六開關 M6 會維持在被開啟的狀態。為清楚說明第六開關 M6 的功用，請參考第 4 圖並同時參照第 3 圖。第 4 圖為第 3 圖移位暫存器 300 的時序圖。在時段 T3 期間，當第一輸出端 O1 由第一電位 V1 被提升至第二電位 V2 時，因第六開關 M6 的作用，而使得第二輸出端 O2 在時段 T3 內的電位，維持與在時段 T2 內的電位一致。如此一來，第二輸出端 O2 的電位在時段 T3 內不會被提升至第二電位 V2，也使得第四開關 M4 的第一端 N41 及第二端 N42 之間的跨壓不至被提升。因此，第四開關 M4 的漏電流不會因第一端 N41 及第二端 N42 之間跨壓的提升而連帶地增大。然而，移位暫存器 300 亦可在不具有第六開關 M6 的情況下操作。在此情況下，第一輸出端 O1 會直接地耦接於第二輸出端 O2，但不直接與第一系統電壓端 VGH 耦接。由此可知，藉由第六開關 M6 的設置，可限制第四開關 M4 的漏電流不會過大，而達到抑制漏電流及節能的功效，並同時增加移位暫存器 300 對於漏電流的容忍度。

【0015】 在本發明一實施例中，移位暫存器 300 可另包含第七開關 M7，用以維持第二輸出端 O2 於時段 T3 的電位。第七開關 M7 的第一端 N71 及控制端 N7C 耦接於移位暫存器 300 的輸出端 SR[n]，而第七開關 M7 的第二端 N72 耦接於輸入級電路 310 的第二輸出端 O2。如第 4 圖所示，在時段 T3 期間，移位暫存器 300 的輸出端 SR[n] 的電位為高電位，而由於第七開關 M7 的作用，第二輸出端 O2 在時段 T3 的電位會被維持在 $(V_{SRN} - V_{TH})$ ，其中 V_{SRN} 為輸出端 SR[n] 在時段 T3 的電位，而 V_{TH} 為第七開關 M7 的臨界電壓。移位暫存器 300 亦可在不具有第七開關 M7 的情況下操作。但藉由設置第七開關 M7，第二輸出端 O2 的電位在時段 T3 期間不會因第四開關 M4 的漏電流而下

降，故可增加移位暫存器 300 對於漏電流的容忍度。

【0016】 在本發明一實施例中，移位暫存器 300 另包含電容 C1，耦接於輸入級電路 310 的第一輸出端 O1 及移位暫存器 300 的輸出端 SR[n]之間，用以穩定第一輸出端 O1 及輸出端 SR[n]的電位，並減少漏電流。電容 C1 可由兩導電層及兩導電層之間的介電質層所構成，但本發明並不以此為限。以第 3 圖為例，電容 C1 可為 N 型金屬氧化物半導體場效電晶體(NMOSFET)、或者是 N 型薄膜電晶體(TFT)等，並可依該製程選擇適合的電晶體，故不以此為限。在本實施例中，構成電容 C1 的電晶體其閘極 NCC 耦接於第一輸出端 O1，且其源極 NC1 和汲極 NC2 耦接於移位暫存器 300 的該輸出端 SR[n]。

【0017】 在本發明一實施例中，輸入級電路 310 包含雙向選擇電路 312，用以擇一地輸出來自前一級移位暫存器 300 的輸出端 SR[n-1]的輸入訊號及來自後一級移位暫存器 300 的輸出端 SR[n+1]的輸入訊號。雙向選擇電路 312 可包含第八開關 M8 及第九開關 M9。第八開關 M8 的第一端 N81 接收第一選擇訊號 U2D，第八開關 M8 的第二端 N82 耦接於輸入級電路 310 的第二輸出端 O2，而第八開關 M8 的控制端 N8C 接收來自前一級移位暫存器 300 的輸出端 SR[n-1]的輸入訊號。第九開關 M9 的第一端 N91 耦接於輸入級電路 310 的第二輸出端 O2，第九開關 M9 的第二端 N92 接收第二選擇訊號 D2U，而第九開關 M9 的控制端 N9C 接收來自後一級移位暫存器 300 的輸出端 SR[n+1]的輸入訊號。此外，當第一選擇訊號 U2D 為高電位時，第二選擇訊號 D2U 會為低電位；而當第二選擇訊號 D2U 為高電位時，第一選擇訊號 U2D 會為低電位。藉此，雙向選擇電路 312 即可選擇前一級或下一級的移位暫存器 300 的輸出端 SR[n-1]或 SR[n+1]的輸出作為輸入訊號。舉例來說，當第一選擇訊號 U2D 維持在高電位，而第二選擇訊號 D2U 維持在低電位時，雙向選擇電路 312 即會選擇前一級移位暫存器 300 的輸出端 SR[n-1]的輸出作為輸入訊

號，其結果就如第 4 圖所示，輸出端 SR[n-1]的電位在時段 T2 為高電位，而輸出端 SR[n+1]的電位在時段 T4 才會為高電位。也因此，第二輸出端 O2 的電位在時段 T2 會由低電位提升至高電位，且第二輸出端 O2 的電位在時段 T4 會由高電位降至低電位。

【0018】 在本發明一實施例中，移位暫存器 300 另包含重置電路 340，用以依據重置訊號 RST，重設節點 A 的電位。重置電路 340 可包含第十開關 M10，其中第十開關 M10 的第一端 NA1 及控制端 NAC 用以接收重置訊號 RST，而第十開關 M10 的第二端 NA2 耦接於節點 A。當重置訊號 RST 為高電位時，第十開關 M10 會被開啟，而使得節點 A 處與高電位，進而開啟第四開關 M4 及第五開關 M5，而使得輸出端 SR[n]及第二輸出端 O2 耦接至第二系統電壓端 VGL。

【0019】 在本發明一實施例中，控制電路 320 亦可另包含電阻 R，耦接於第二開關 M2 的第二端 N22 及節點 A 之間，用以於第二開關 M2 及第三開關 M3 都開啟時(如時段 T2)，減少流經第二開關 M2 和第三開關 M3 的電流，而達到節能的功效。此外，因電阻 R 的作用，可使節點 A 的電壓在時段 T2 夠低，而足以關閉第四開關 M4 及第五開關 M5。且藉由電阻 R 的設置可不用改變電晶體的寬長比比值，更能節省佈局面積。

【0020】 在本發明一實施例中，第一開關 M1、第二開關 M2、第三開關 M3、第四開關 M4、第五開關 M5、第六開關 M6、第七開關 M7、第八開關 M8、第九開關 M9 及第十開關 M10 可分別為 N 型電晶體(例如：N 型薄膜電晶體或 N 型金屬氧化物半導體場效電晶體)，而每一開關的控制端為 N 型電晶體的閘極。藉此，可使用較少的光罩，以製造本發明實施例之移位暫存器，而簡化移位暫存器的製程。

【0021】 綜上所述，透過本發明實施例之移位暫存器，可抑制漏電流，而具有節能的功效。再者，由於移位暫存器採用精簡的設計，而具有較少的電晶體數目，故可降低製造成本，並適合用於窄邊框的面板設計。此外，移位暫存器可使用電晶體作為各個開關，較佳可使用 N 型薄膜電晶體或者 N 型金屬氧化物半導體場效電晶體，或是使用同一製程的電晶體，以使用較少的光罩製造本發明實施例之移位暫存器，故可使移位暫存器的製程簡化。

【0022】 以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【符號說明】

【0023】

100、300	移位暫存器
110、310	輸入級電路
120、320	控制電路
130、330	下拉電路
312	雙向選擇電路
340	重置電路
A	節點
C1	電容
CLK	第二時脈訊號
D2U	第二選擇訊號
M1	第一開關
M2	第二開關
M3	第三開關
M4	第四開關

M5	第五開關
M6	第五開關
M7	第五開關
M8	第五開關
M9	第五開關
M10	第五開關
N11、N21、N31、N41、N51、 N61、N71、N81、N91、NA1	第一端
N12、N22、N32、N42、N52、 N62、N72、N82、N92、NA2	第二端
N1C、N2C、N3C、N4C、N5C、 N6C、N7C、N8C、N9C、NAC	控制端
NC1	源極
NC2	汲極
NCC	閘極
O1	第一輸出端
O2	第二輸出端
R	電阻
RST	重置訊號
S _{IN}	輸入訊號
SR[n]	輸出端
SR[n-1]	前一級移位暫存器的輸出端
SR[n+1]	後一級移位暫存器的輸出端
T1、T2、T3、T4、T5	時段
U2D	第一選擇訊號
V0	初始電位

V0'	低位準
V1	第一電位
V2	第二電位
VGH	第一系統電壓端
VGL	第二系統電壓端
XCLK	第一時脈訊號

申請專利範圍

1. 一種移位暫存器，包含：

一輸入級電路，用以接收一第一輸入訊號，且該輸入級電路包含一第一輸出端及一第二輸出端，其中當該第二輸出端的電位降至低電位時，該第一輸出端的電位也降至低電位，而當該第一輸入訊號由低電位提升至高電位時，該第一輸出端的電位及該第二輸出端的電位由低電位提升至高電位；

一第一開關，該第一開關的一第一端用以接收一第一時脈訊號，該第一開關的一第二端耦接於該移位暫存器的一輸出端，而該第一開關的一控制端耦接於該輸入級電路的該第一輸出端；

一控制電路，包含：

一第二開關，該第二開關的一第一端耦接於一第一系統電壓端，該第二開關的一第二端耦接於一節點，而該第二開關的一控制端用以接收一第二時脈訊號；以及

一第三開關，該第三開關的一第一端耦接於該節點，該第三開關的一第二端耦接於一第二系統電壓端，而該第三開關的一控制端耦接於該輸入級電路的該第二輸出端；以及

一下拉電路，包含：

一第四開關，該第四開關的一第一端耦接於該輸入級電路的該第二輸出端，該第四開關的一第二端耦接於該第二系統電壓端，而該第四開關的一控制端耦接於該節點；以及

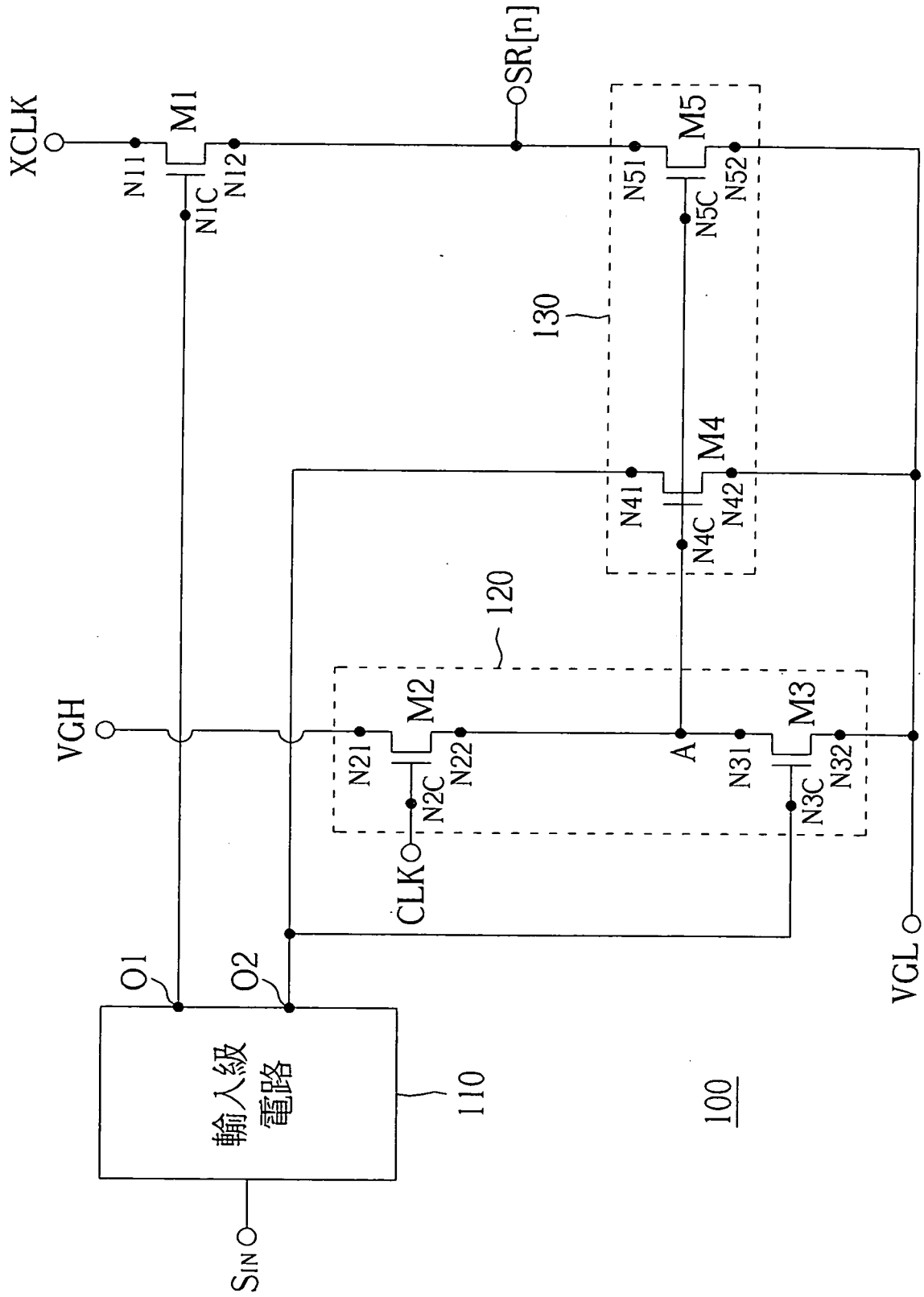
一第五開關，該第五開關的一第一端耦接於該移位暫存器的該輸出端，該第五開關的一第二端耦接於該第二系統電壓端，而該第五開關的一控制端耦接於該節點。

2. 如請求項 1 所述之移位暫存器，其中當該第一時脈訊號為高電位時，該第二時脈訊號為低電位；以及
當該第二時脈訊號為高電位時，該第一時脈訊號為低電位。
3. 如請求項 1 所述之移位暫存器，其中該輸入級電路包含一第六開關，該第六開關的一第一端耦接於該輸入級電路的該第二輸出端，該第六開關的一第二端耦接於該輸入級電路的該第一輸出端，而該第六開關的一控制端耦接於該第一系統電壓端。
4. 如請求項 1 所述之移位暫存器，其中該第一輸出端直接耦接於該第二輸出端。
5. 如請求項 1 所述之移位暫存器，另包含一第七開關，該第七開關的一第一端及一控制端耦接於該移位暫存器的該輸出端，而該第七開關的一第二端耦接於該輸入級電路的該第二輸出端。
6. 如請求項 1 所述之移位暫存器，其中該輸入級電路另接收一第二輸入訊號，而該輸入級電路包含一雙向選擇電路，用以擇一地輸出該第一輸入訊號及該第二輸入訊號。
7. 如請求項 6 所述之移位暫存器，其中該雙向選擇電路包含：
一第八開關，該第八開關的一第一端接收一第一選擇訊號，該第八開關的一第二端耦接於該輸入級電路的該第二輸出端，而該第八開關的一控制端接收該第一輸入訊號；以及
一第九開關，該第九開關的一第一端耦接於該輸入級電路的該第二輸出端，該第九開關的一第二端接收一第二選擇訊號，而該第九開關的

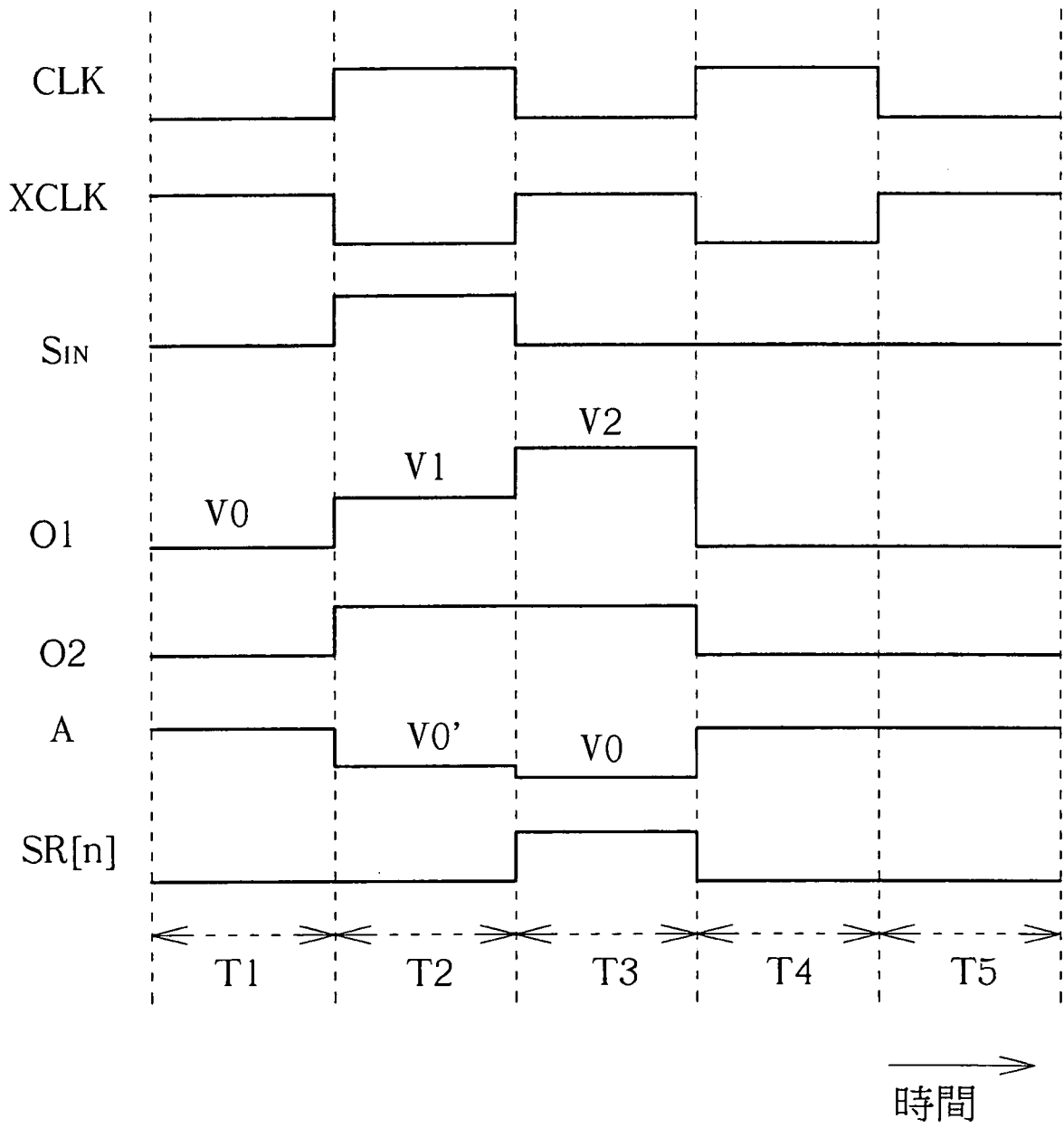
一控制端接收該第二輸入訊號。

8. 如請求項 7 所述之移位暫存器，其中當該第一選擇訊號為高電位時，該第二選擇訊號為低電位；以及
其中當該第二選擇訊號為高電位時，該第一選擇訊號為低電位。
9. 如請求項 1 所述之移位暫存器，另包含：
一重置電路，用以依據一重置訊號，重設該節點的電位。
10. 如請求項 9 所述之移位暫存器，其中該重置電路包含：
一第十開關，包含一第一端，一第二端，一控制端，該第十開關的該第一端及該控制端用以接收該重置訊號，而該第十開關的該第二端耦接於該節點。
11. 如請求項 1 所述之移位暫存器，另包含：
一電容，耦接於該輸入級電路的該第一輸出端及該移位暫存器的該輸出端之間。
12. 如請求項 11 所述之移位暫存器，其中該電容係為一 N 型電晶體，包含一閘極、一源極、及一汲極，該閘極耦接於該第一輸出端，而該源極及該汲極耦接於該移位暫存器的該輸出端。
13. 如請求項 1 所述之移位暫存器，其中該控制電路另包含一電阻，耦接於該第二開關的該第二端及該節點之間。

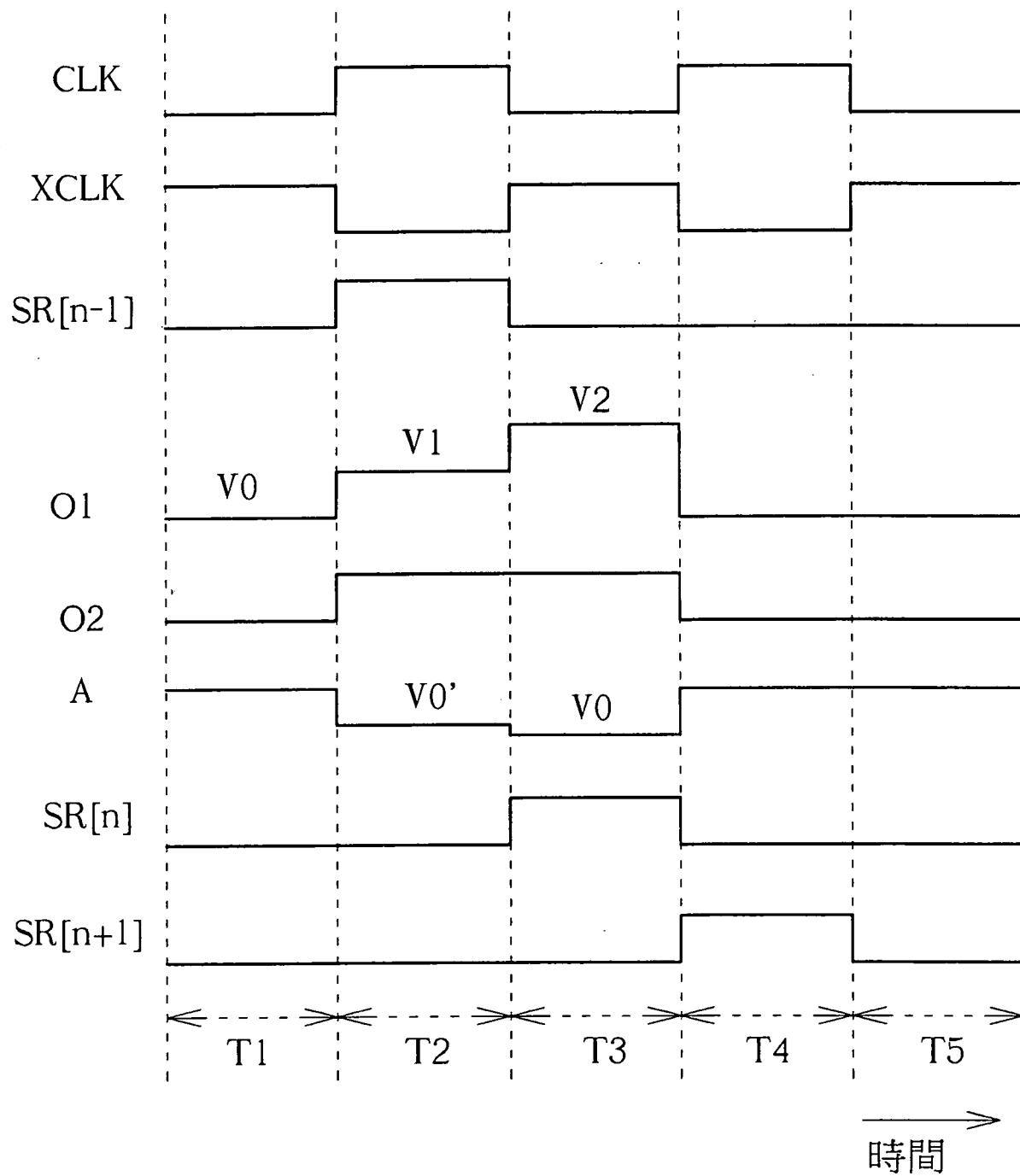
圖式



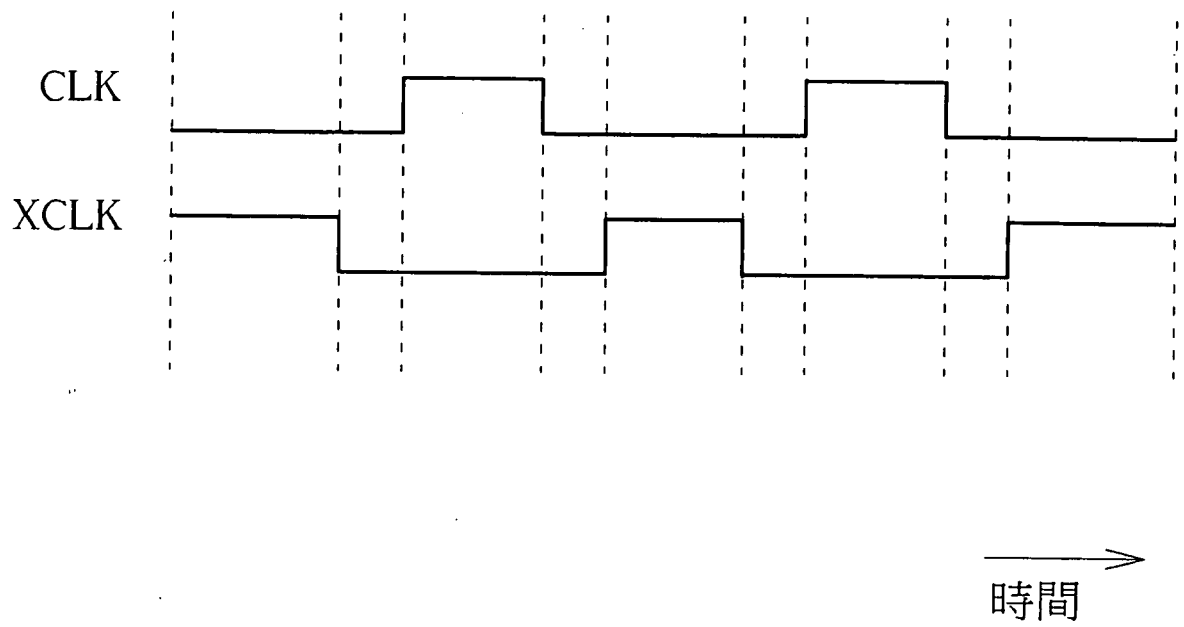
第1圖



第2圖



第4圖



第5圖