

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-48065

(P2012-48065A)

(43) 公開日 平成24年3月8日(2012.3.8)

(51) Int.Cl.	F I	テーマコード (参考)
G02B 7/34 (2006.01)	G02B 7/11 C	2H151
H04N 5/369 (2011.01)	H04N 5/335 690	5C024

審査請求 未請求 請求項の数 12 O L (全 20 頁)

(21) 出願番号	特願2010-191316 (P2010-191316)	(71) 出願人	000001007
(22) 出願日	平成22年8月27日 (2010.8.27)		キヤノン株式会社
			東京都大田区下丸子3丁目30番2号
		(74) 代理人	100126240
			弁理士 阿部 琢磨
		(74) 代理人	100124442
			弁理士 黒岩 創吾
		(72) 発明者	前田 康次
			東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		(72) 発明者	井上 大介
			東京都大田区下丸子3丁目30番2号キヤノン株式会社内

最終頁に続く

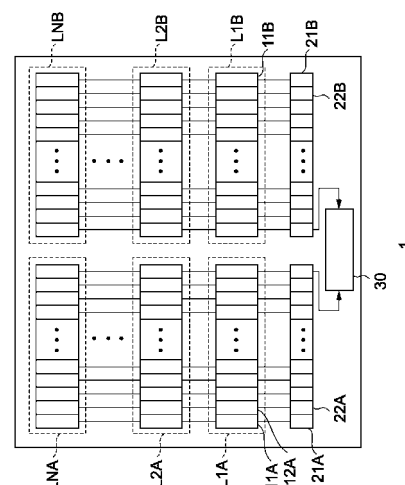
(54) 【発明の名称】 光電変換装置、焦点検出装置、および撮像システム

(57) 【要約】

【課題】 従来の構成では、光電変換装置の検出回路間の誤差がA Fの特性に悪影響を及ぼす恐れがあり、精度を向上させることが困難であった。

【解決手段】 複数の単位画素の各々が第1および第2の光電変換部と、第1および第2の光電変換部に共通の画素出力部とを有し、複数の単位画素が配列される第1の方向とは異なる第2の方向に、第1および第2の光電変換部を配置する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

各々が第 1 の光電変換部と、
第 2 の光電変換部と、
前記第 1 および第 2 の光電変換部の少なくとも一方で生成された電荷に基づく信号を出力する画素出力部と、
前記第 1 の光電変換部で生成された電荷を前記画素出力部に転送する第 1 の転送部と、
を有する複数の単位画素を有し、
前記複数の単位画素は第 1 の方向に配列され、
前記第 1 および第 2 の光電変換部は前記第 1 の方向とは異なる第 2 の方向に沿って配置されたこと
を特徴とする光電変換装置。

10

【請求項 2】

前記第 2 の光電変換部で生成された電荷に基づく、前記画素出力部から出力された信号に基づいて前記第 1 の光電変換部の電荷蓄積動作を制御するモニタ部をさらに有することを特徴とする請求項 1 に記載の光電変換装置。

【請求項 3】

前記モニタ部は、複数の前記画素出力部から出力される信号の最大値と最小値の差分に基づいて前記第 1 の光電変換部の電荷蓄積動作を制御することを特徴とする請求項 2 に記載の光電変換装置。

20

【請求項 4】

前記第 1 の光電変換部は少なくとも 2 つの光電変換領域を含み、前記第 2 の光電変換部は前記 2 つの光電変換領域の間に設けられることを特徴とする請求項 1 ないし 3 のいずれかに記載の光電変換装置。

【請求項 5】

前記第 2 の光電変換部は少なくとも 2 つの光電変換領域を含み、前記第 1 の光電変換部は前記 2 つの光電変換領域の間に設けられることを特徴とする請求項 1 ないし 3 のいずれかに記載の光電変換装置。

【請求項 6】

前記画素出力部は、浮遊拡散部を入力として有し、
前記第 2 の光電変換部は前記浮遊拡散部と配線を介して接続されることを特徴とする請求項 1 ないし 5 のいずれかに記載の光電変換装置。

30

【請求項 7】

前記第 2 の光電変換部で生成された電荷を前記画素出力部に転送する第 2 の転送部をさらに有することを特徴とする請求項 1 ないし 5 のいずれかに記載の光電変換装置。

【請求項 8】

前記画素出力部は、浮遊拡散部を入力として有し、
前記第 2 の光電変換部は前記浮遊拡散部と前記第 2 の転送部を介して接続されることを特徴とする請求項 7 に記載の光電変換装置。

【請求項 9】

前記第 2 の方向は、前記第 1 の方向と直交する方向であることを特徴とする請求項 1 ないし 8 のいずれかに記載の光電変換装置。

40

【請求項 10】

前記第 1 の光電変換部は、前記第 2 の光電変換部よりも受光面積が大きいことを特徴とする請求項 1 ないし 9 のいずれかに記載の光電変換装置。

【請求項 11】

請求項 1 ないし 10 のいずれかに記載の光電変換装置を有する焦点検出装置。

【請求項 12】

請求項 11 に記載の焦点検出装置を備える撮像システム。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は光電変換装置に関し、特に、位相差検出型オートフォーカス（Auto Focusing；AF）を行う光電変換装置に関する。

【背景技術】

【0002】

オートフォーカス（Auto Focusing；以下、AFとする）用のセンサとして、被写体の位置情報を検出するための受光部に加えて、受光部の蓄積時間を制御するために光量を検出するモニタ用センサを備えるものが知られている。特許文献1には、位置情報検出用の受光部からの信号を伝達する経路と、モニタ用センサからの信号を伝達する経路とが互いに異なることに加えて、複数の位置情報検出用の受光部に対して1つのモニタ用センサが設けられる構成を取っている。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2000-031507号公報

【特許文献2】特開2009-239788号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

20

特許文献1に開示された構成では、位置情報検出用の受光部とモニタ用センサとで、出力される信号が互いに異なる検出回路で処理されるため、検出回路間の誤差がAFの特性に悪影響を及ぼす恐れがある。さらに、複数の位置情報検出用の受光部に対して1つのモニタ用センサが設けられるために、モニタの精度を向上させることが困難である。

【0005】

本発明は、上述の問題を鑑みて、光電変換装置における信号検出の精度を向上することを目的とする。

【課題を解決するための手段】

【0006】

上記目的を達成する本発明は、各々が第1の光電変換部と、第2の光電変換部と、前記第1および第2の光電変換部の少なくとも一方で生成された電荷に基づく信号を出力する画素出力部と、前記第1の光電変換部で生成された電荷を前記画素出力部に転送する第1の転送部と、を有する複数の単位画素を有し、前記複数の単位画素は第1の方向に配列され、前記第1および第2の光電変換部は前記第1の方向とは異なる第2の方向に沿って配置されたことを特徴とする光電変換装置である。

30

【発明の効果】

【0007】

本発明によれば、光電変換装置における信号検出の精度を向上することが可能となる。

【図面の簡単な説明】

【0008】

40

【図1】本発明に係るAF用の光電変換装置の主要な構成を示す図

【図2】本発明に係るラインセンサ部の主要な構成を示す図

【図3】実施例1に係る単位画素の等価回路図

【図4】実施例1に係るタイミング図

【図5】実施例1に係る単位画素の平面レイアウト図

【図6】実施例2に係る単位画素の等価回路図

【図7】実施例2に係るタイミング図

【図8】実施例2に係る単位画素の平面レイアウト図

【図9】実施例3に係るラインセンサ部の主要な構成を示す図

【図10】実施例3に係るタイミング図

50

【図 1 1】実施例 4 に係る単位画素の平面レイアウト図
【図 1 2】実施例 5 に係る単位画素の平面レイアウト図
【図 1 3】実施例 6 に係る単位画素の平面レイアウト図
【図 1 4】実施例 7 に係る単位画素の平面レイアウト図
【図 1 5】実施例 8 に係る単位画素の平面レイアウト図
【図 1 6】実施例 9 に係る単位画素の平面レイアウト図
【図 1 7】実施例 1 0 に係る A F 用の光電変換装置の主要な構成を示す図
【図 1 8】実施例 1 0 に係るラインセンサ部の主要な構成を示す図
【図 1 9】実施例 1 1 に係る撮像システムの構成を示すブロック図
【発明を実施するための形態】

10

【0009】

(実施例 1)

本発明に係る第 1 の実施例を以下に説明する。第 1 の実施例は、位相差方式の焦点検出 (Auto Focusing; 以下 A F とする) 用の光電変換装置に適用した例を示す。

【0010】

図 1 は、位相差 A F 用の光電変換装置の主要な構成を模式的に示した図である。光電変換装置 1 は、対となるラインセンサ部 L 1 A と L 1 B、L 2 A と L 2 B、・・・L N A と L N B を有する。一对のラインセンサ部は撮像面のある領域における被写体のデフォーカス量を測定するために用いられ、このラインセンサ部の対を複数配列することで測距点を複数設け、A F の精度の向上を図るものである。各ラインセンサ部は、それぞれが位相差情報を検出するための A F 用光電変換部と、光量を検出するためのモニタ用光電変換部と、を有する単位画素 1 1 A、1 2 A、・・・を含んでいる。複数のラインセンサ部 L 1 A、L 2 A、・・・、L N A および L 1 B、L 2 B、・・・、L N B の単位画素同士は、画素毎に共通の信号出力部 2 1 A、2 2 A、・・・および 2 1 B、2 2 B、・・・を介して信号を例えばモニタ部 3 0 に出力する。

20

【0011】

図 2 は、ラインセンサ部 L 1 A に係る部分をより詳細に示した図である。単位画素 1 1 A は、光電変換部 1 0 0 A、信号出力部 2 1 A とを含み、信号出力部 2 1 A は最大値検出部 1 0 2 - 1 A と最小値検出部 1 0 2 - 2 A とを含んで成る。光電変換部から出力された信号は最大値検出部 1 0 2 - 1 A と最小値検出部 1 0 2 - 2 A とに供給される。最大値検出部 1 0 2 - 1 A および最小値検出部 1 0 2 - 2 A は例えばソースフォロワアンプである。このほか、信号検出の精度を向上させるために、ノイズ除去回路を含んでも良い。他の単位画素は単位画素 1 1 A と同じ構成である。ラインセンサ部 L 2 A、L 3 A、・・・、L 1 B、L 2 B、・・・もラインセンサ部 L 1 A と同様の構成なので、説明を省略する。

30

【0012】

各単位画素の最大値検出部及び最小値検出部の出力は信号保持部 3 0 1 を介してモニタ部 3 0 へと導かれる。信号保持部 3 0 1 は、最大値検出部から出力された信号を一時的に保持する保持部を有するとともに、最大値検出部及び最小値検出部の信号を保持することなくモニタ部 3 0 に伝達する経路を有する。後述するモニタ動作を行う期間には、信号を一次保持することなくモニタ部 3 0 に信号を伝達することでリアルタイムな光量のモニタリングを実現する。そして、各単位画素からの信号を読み出す場合には、ラインセンサ部内で蓄積時間を揃えるために一時的に信号を信号保持部 3 0 1 で保持し、保持された信号を不図示の走査回路によって順次、出力バッファ B u f へと伝達する。

40

【0013】

各単位画素の最大値検出部の出力端子同士、並びに最小値検出部の出力端子同士は、信号保持部 3 0 1 の後段でそれぞれ共通に接続されており、モニタ部へと入力される。この構成により、ラインセンサ部 L 1 A の信号出力の最大値と最小値とがモニタ部でリアルタイムに検出され、最大値と最小値の差分信号 (以下、P - B 信号) が予め定められた閾値を超えると、モニタ部 3 0 から光電変換部の電荷蓄積動作を終了させる信号が出力される

50

。上記の閾値とは、使用条件によって変更されうるものである。また、モニタ部 30 は可変ゲイン増幅部を含み、P - B 信号が十分なコントラストを得られないときに信号に対する増幅率を増大させる。

【0014】

ここでは各単位画素からの信号を個別に読み出すために最大値検出部を用いているが、最大値検出部に換えて最小値検出部を用いても良い。

【0015】

図 3 は、光電変換検出部 101 に係る部分をより詳細に示した等価回路図である。

【0016】

図 3 において、PDA は位相差情報を検出するためのフォトダイオード、PDM は光量を検出するためのモニタ用のフォトダイオードである。フォトダイオードの PDA のアノードは転送トランジスタ TX を、フォトダイオード PDM のアノードは転送トランジスタ MON を介してアンプ Amp の入力ノードに接続される。Cpd はフォトダイオード PDA と転送トランジスタ TX との寄生容量を、そして Cmon はフォトダイオード PDM と転送トランジスタ MON との寄生容量を意味している。アンプ Amp の入力ノードには、浮遊拡散部の容量としての FD 容量 Cfd と、リセットトランジスタ RES とが接続される。信号 PTX がハイレベルになると転送トランジスタ TX が導通し、容量 Cpd に蓄積された電荷が FD 容量 Cfd に転送される。また、信号 PMON がハイレベルになると転送トランジスタ MON が導通し、容量 Cmon に蓄積された電荷が FD 容量 Cfd に転送される。信号 PRES がハイレベルになるとリセットトランジスタ RES が導通し、アンプ Amp の入力ノードを電源電圧 VRES に応じてリセットする。信号 PTX、PMON、PRES、PSELx は、例えば不図示のタイミング生成部から与えられる。ここで PDA は第 1 の光電変換部、PDM は第 2 の光電変換部、TX は第 1 の転送部、MON は第 2 の転送部、アンプ Amp が画素出力部、リセットトランジスタ RES がリセット部に、それぞれ対応する。

【0017】

次に、フォトダイオード PDA と PDM と電源電圧 VRES との関係を説明する。

【0018】

位相差情報検出用のフォトダイオード PDA 及びモニタ用のフォトダイオード PDM は、ともにリセットトランジスタ RES によって逆バイアス状態にリセットされる。ここで、リセットトランジスタ RES によってリセットされたときに、フォトダイオード PDA は空乏化し、フォトダイオード PDM は空乏化しないようにする。これにより、フォトダイオード PDA の容量 Cpd の容量値はほぼ無視できる値になる。一方、容量 Cmon の容量値は、空乏化していない受光部の寄生容量が支配的となる。また、FD 部の容量 Cfd は、転送スイッチ TX、MON、リセットスイッチ RES、アンプ Amp の入力ノード、ならびに付随する配線による配線容量が寄与する。典型的には、容量値の大きさは $Cmon > Cfd > Cpd$ となる。

【0019】

次に、本実施例に係る光電変換装置の動作を、図 4 (a) を参照しながら説明する。この動作は、被写体の輝度が低い条件で有効なものである。図 4 は、信号 PRES、PTX、PMON に加えて、アンプ Amp の入力ノードの電位 (FD 電位と表記) を示している。図 4 (a) には示していないが、信号 PSELx はこの期間内で常時ハイレベルにあるものとする。また、対となっているラインセンサ部は同時に動作するように制御されている。

【0020】

まず、時刻 t0 に信号 PRES、PTX、PMON がハイレベルになると、これに対応してリセットトランジスタ RES、転送トランジスタ TX および MON が導通する。これにより、フォトダイオード PDA、PDM、アンプ Amp の入力ノードが電源電圧 VRES によってリセットされる。

【0021】

時刻 t_1 に信号 $P T X$ がローレベルになると転送トランジスタ $T X$ がオフすることで、フォトダイオード $P D A$ が電荷を蓄積する状態になる。この時点ではリセットトランジスタ $R E S$ が導通しているので、 $F D$ 電位は変化しない。

【0022】

時刻 t_2 に信号 $P R E S$ がローレベルになるとリセットトランジスタ $R E S$ がオフし、フォトダイオード $P D M$ のリセット状態が解除される。この時点から、フォトダイオード $P D M$ で発生した電荷によって $F D$ 電位が変化する。

【0023】

時刻 t_2 から時間が経過し、モニタ部 30 で検出される $P - B$ 信号が予め定められた閾値を超えると（時刻 t_3 ）、信号 $P R E S$ がハイレベルになるとともに信号 $P M O N$ がローレベルになる。これによりフォトダイオード $P D M$ とアンプ $A m p$ の入力ノードとの接続が遮断され、 $F D$ 電位が電源電圧 $V R E S$ によってリセットされる。

【0024】

時刻 t_4 から時刻 t_5 の期間に信号 $P T X$ がハイレベルになり、位相差情報検出用のフォトダイオード $P D A$ に蓄積された電荷が $F D$ 容量 $C f d$ に転送される。以上をもって位相差情報検出用のフォトダイオード $P D A$ の蓄積時間の制御が終了する。

【0025】

時刻 t_6 から、各最大値検出部からの出力を、不図示の走査回路によって出力バッファ $B u f$ に順次伝達することで、単位画素毎の個別信号を得る。

【0026】

以上で説明した動作によれば、時刻 t_3 に転送トランジスタ $M O N$ をオフした後に、フォトダイオード $P D A$ に蓄積された電荷を $F D$ 容量 $C f d$ に転送している。そのため、位相差情報を検出する際にアンプ $A m p$ の入力ノードに付随する容量は $F D$ 容量 $C f d$ のみとなり、電荷電圧変換係数が大きくなる。言い換えると、フォトダイオード $P D A$ で発生する電荷量が少ない場合でも、電圧信号として検出することができる範囲を広げることが可能となるので、被写体が低輝度である場合でも合焦させることが容易となる。

【0027】

次に、本実施例に係る光電変換装置の動作を、図 4 (b) を参照しながら説明する。この動作は、被写体の輝度が高い条件で有効なものである。図 4 (a) に示した動作との相違点は、時刻 $t_4 \sim t_5$ の期間に信号 $P M O N$ がハイレベルになり、モニタ用のフォトダイオード $P D M$ が $F D$ 部と導通する点である。

【0028】

この動作によれば、フォトダイオード $P D A$ に蓄積された電荷を $F D$ 容量 $C f d$ に転送する時にアンプ $A m p$ の入力ノードに付随する容量は $F D$ 容量 $C f d$ にフォトダイオード $P D M$ の容量 $C m o n$ が加わったものとなる。そのため、電荷変換係数が小さくなるので、被写体が高輝度であったとしても、飽和せずに電圧信号として検出できる範囲を広げることが可能となる。

【0029】

本実施例によれば、リセット時にフォトダイオード $P D A$ は空乏化し、フォトダイオード $P D M$ は完全空乏化しない。このため、低輝度条件では小さい容量値の $C p d$ により電荷電圧変換係数を大きくすることができ、高輝度条件では大きな容量値の $C m o n$ を加えることで電荷電圧変換係数を小さくすることができ、広範な輝度条件に対応することを可能とする。特に低輝度条件ではフォトダイオード $P D A$ の容量値が小さいことから感度の向上も実現できる。

【0030】

図 4 (a) の動作を第 1 のモード、図 4 (b) の動作を第 2 のモードとして、被写体の輝度に応じて第 1 と第 2 のモードを切り換えることで、精度良く検出できる輝度条件の範囲、すなわちダイナミックレンジを拡大することが可能となる。

【0031】

次に、モニタ部 30 で判定する、単位画素の電荷蓄積動作を終了させるレベルについて

10

20

30

40

50

説明を行う。

【 0 0 3 2 】

単位画素から出力された信号に対して、モニタ部 30 に入力されるまでにかかるゲインを G として、低輝度時、すなわち高ゲイン時にモニタ部 30 に入力される信号を V_{high} 、高輝度時、すなわち低ゲイン時にモニタ部 30 に入力される信号を V_{low} とすると、それぞれ以下のように表される。ここで、 Q_{pd} はフォトダイオード PDA で発生した電荷量、 Q_{mon} はフォトダイオード PDM で発生した電荷量を意味する。

【 0 0 3 3 】

【 数 1 】

低輝度時：

$$V_{high} = G \times \frac{Q_{pd}}{C_{fd} + C_{pd}} \quad (1)$$

【 0 0 3 4 】

【 数 2 】

高輝度時：

$$V_{low} = G \times \frac{Q_{pd} + Q_{mon}}{C_{mon} + C_{fd} + C_{pd}} \quad (2)$$

【 0 0 3 5 】

式 (1)、(2) から明らかなように、低輝度時と高輝度時とでは信号の振幅が異なる。しかし、モニタ部 30 に入力される信号の振幅は被写体の条件によらずある振幅レンジ内に入ることが望ましい。その所望の値を V_{target} とすると、ある時刻 t にモニタ部 30 に入力される信号を $V_{agc}(t)$ として、以下の関係にあることが求められる。

【 0 0 3 6 】

【 数 3 】

低輝度時：

$$V_{target} \times \frac{V_{high}}{V_{agc}} = \frac{Q_{pd}}{Q_{mon}} \times \frac{C_{mon} + C_{fd}}{C_{fd} + C_{pd}} \quad (3)$$

【 0 0 3 7 】

【 数 4 】

高輝度時：

$$V_{target} \times \frac{V_{low}}{V_{agc}} = \frac{Q_{pd} + Q_{mon}}{Q_{mon}} \times \frac{C_{mon} + C_{fd}}{C_{mon} + C_{fd} + C_{pd}} \quad (4)$$

【 0 0 3 8 】

次に、本実施例に係る単位画素を半導体基板上に作成する場合の平面レイアウト例を図 5 に示す。ここでは、アンプ Amp として演算増幅器を用いた電圧フォロワとした場合を例示している。

【 0 0 3 9 】

図 5 から明らかなように、単位画素 11A、12A、・・・が配列される繰り返し方向を第 1 の方向として、フォトダイオード PDA とフォトダイオード PDM とは、第 1 の方向に対して直交する第 2 の方向に沿って配列されている。AF 用の光電変換装置において、単位画素のフォトダイオード PDA とフォトダイオード PDM とが第 1 の方向に沿って配列されていると、画素ピッチの狭小化への対応が困難となる。さらに、同一の単位画素でありながら、第 1 の方向に異なる位置からの入射光を用いてモニタ動作を行うためにモニタ動作の精度が十分でなくなる恐れがある。

【 0 0 4 0 】

これに対して、図 5 に示したようなレイアウトにすることで、第 1 の方向としては同じ位置からの入射光を用いてモニタ動作を行うことが可能となる。これにより画素ピッチの狭小化に対応できるだけでなく、モニタ動作の精度を向上させることができる。

【 0 0 4 1 】

また、フォトダイオード PDA は、フォトダイオード PDM よりも受光面積が大きくな

10

20

30

40

50

るように設計される。これは、位相差情報として用いるフォトダイオードPDAで生成される電荷量を多くする目的である。

【0042】

(実施例2)

本発明にかかる第2の実施例を以下に説明する。第2の実施例は、位相差方式の焦点検出用の光電変換装置に適用した例を示す。第1の実施例との相違点は、モニタ用のフォトダイオードPDMとFD部との間に転送スイッチMONがない点である。電源電圧VRESによるリセット時に、フォトダイオードPDAは空乏化し、フォトダイオードPDMは完全に空乏化しない点は実施例1と同じである。

【0043】

10

図6は、本実施例に係る等価回路図である。図3と同じ構成には同じ符号を付している。図7は、本実施例に係る動作を説明するためのタイミング図である。図7には示していないが、信号PSELxはこの期間内で常時ハイレベルにあるものとする。また、対となっているラインセンサ部は同時に動作するように制御されている。

【0044】

時刻t0に信号PRESおよびPTXがハイレベルになると、これに対応してリセットトランジスタRESおよび転送トランジスタTXがオンする。これにより、フォトダイオードPDA、PDM、アンプAmpの入力ノードが電源電圧VRESによってリセットされる。

【0045】

20

時刻t1に信号PTXがローレベルになると、これに対応してリセットトランジスタRESがオフし、フォトダイオードPDAが電荷を蓄積する状態になる。この時点においてはリセットトランジスタRESがオンしているので、FD電位およびモニタ用のフォトダイオードPDMの電位は変化しない。

【0046】

時刻t2に信号PRESがローレベルになるとリセットトランジスタRESがオフし、フォトダイオードPDMのリセット状態が解除される。この時点から、フォトダイオードPDMで発生した電荷によってFD電位が変化する。

【0047】

時刻t2から時間が経過し、モニタ部30で検出されるP-B信号が予め定められた閾値を超えると(時刻t3)、信号PRESがハイになり、アンプAmpの入力ノードおよびフォトダイオードPDMが電源電圧VRESによってリセットされる。

30

【0048】

時刻t4に信号PRESがローレベルに遷移するのと入れ替わりに、信号PTX時刻t5までの期間にハイレベルになる。これにより、位相差情報検出用のフォトダイオードPDAに蓄積された電荷がFD容量Cfdに転送される。以上をもって位相差情報検出用のフォトダイオードPDAの蓄積時間が終了する。

【0049】

時刻t6から、各最大値検出部からの出力を、不図示の走査回路によって出力バッファに順次伝達することで、単位画素毎の個別信号を得る。

40

【0050】

本実施例では、FD部とフォトダイオードPDMとが常に電氣的に接続されているために容量Cfdに加えて容量Cmonを含めて電荷電圧変換を行うことになる。

【0051】

このように、位相差情報検出用のフォトダイオードPDAは、蓄積期間中に転送トランジスタによってFD容量から電氣的に切断されているために蓄積期間中にFD容量で生じる暗電流の影響を受けない。これにより、高精度に情報を読み出すことが可能となる。さらに、転送スイッチMONが省略されたことにより受光部の面積をより大きくすることが可能となり、感度の向上に寄与する。また、単位画素の制御が容易になるという利点もある。

50

【 0 0 5 2 】

本実施例に係る単位画素を半導体基板上に作成する場合の平面レイアウトを図 8 に示す。

【 0 0 5 3 】

図 8 から明らかなように、単位画素 1 1 A、1 2 A、・・・が配列される繰り返し方向を第 1 の方向として、フォトダイオード P D A とフォトダイオード P D M とは、第 1 の方向に対して直交する第 2 の方向に沿って配列されている。このようなレイアウトにすることで、第 1 の方向としては同じ位置からの入射光を用いてモニタ動作を行うことが可能となる。これにより画素ピッチの狭小化に対応できるだけでなく、モニタ動作の精度を向上させることができる。

10

【 0 0 5 4 】

(実施例 3)

次に、本発明にかかる第 3 の実施例を説明する。

【 0 0 5 5 】

本実施例は、第 1 の実施例で説明した構成に対して、ノイズ低減回路としてのオフセットキャンセル回路をさらに設けたものである。図 9 (a) は、ラインセンサ部 L 1 A のうちの 1 画素を抜き出した模式的な回路図である。説明を簡単にするために、図 3 に示した単位画素の構成から、選択スイッチ S E L を省略している。また、タイミングジェネレータ 1 5 は信号 P T X、P M O N、P R E S、P S E L、P A G C、などを出力して、光電変換装置の動作を制御する。

20

【 0 0 5 6 】

図 9 (a) の O C 1 は最小値検出部用のオフセットキャンセル回路であって、O C 2 は最大値検出部用のオフセットキャンセル回路である。

【 0 0 5 7 】

最小値検出部は差動アンプ B A とスイッチとを含んで成り、差動アンプ B A の出力がオフセットキャンセル回路 O C 1 にフィードバックされる構成となっている。複数の最小値検出部の出力は信号線 9 に共通に接続されており、端子 B O U T に出力された信号がモニタ部 3 0 に与えられる。また、複数の最小値検出部のスイッチは共通の信号 P A G C によって制御される。

【 0 0 5 8 】

30

最小値検出部の差動アンプ B A の構成例を図 9 (b) に示す。差動アンプ B A は、差動増幅アンプと、ソースフォロワ出力段とを含む。信号 B P 2 は外部から与えられる信号であって、差動入力段に流れる電流を制御するためのものである。また、信号 B P 3 はソースフォロワ出力段の定電流源を制御するためのものである。

【 0 0 5 9 】

信号線 9 に接続されたトランジスタ 1 1 は、最小値検出部のスイッチが信号 P A G C によってオンした際にソースフォロワ出力段の定電流源として機能する。

【 0 0 6 0 】

最大値検出部の差動アンプ P A の構成例を図 9 (c) に示す。差動アンプ B A との違いは、ソースフォロワ出力段の極性が逆である点である。

40

【 0 0 6 1 】

最大値検出部は差動アンプ P A とスイッチとを含んで成り、差動アンプ P A の出力がオフセットキャンセル回路 O C 2 にフィードバックされる構成となっている。複数の最大値検出部の出力は信号線 1 0 に共通に接続されており、端子 P O U T に出力された信号がモニタ部 3 0 に与えられる。信号 B P 1 は外部から与えられる信号であって、差動入力段に流れる電流を制御するためのものである。また、信号 B N 1 はソースフォロワ出力段の定電流源を制御するためのものである。

【 0 0 6 2 】

複数の最大値検出部のスイッチは、共通の信号 P A G C によって制御される一方で、走査回路から出力される信号 P H 1、P H 2、・・・によっても制御することが可能である

50

ため、単位画素から出力された信号を個別に読み出すことが可能となる。

【 0 0 6 3 】

信号線 1 0 に接続されたトランジスタ 1 2 は、最大値検出部のスイッチが信号 P A G C によってオンした際にソースフォロワ出力段の定電流源として機能する。

【 0 0 6 4 】

モニタ部 3 0 は、差動アンプ 1 3 と、比較器 1 4 を含む。差動アンプ 1 3 は反転入力端子に信号線 9 が、非反転入力端子に信号線 1 0 が接続される。つまり、信号 P A G C によって最小値検出部と最大値検出部がそれぞれの信号線に同時に接続されると、ラインセンサ部 L 1 A の最大値と最小値の差分、すなわち P - B 信号を出力する。この P - B 信号と参照信号 V R E F との比較結果が反転したタイミングで、タイミングジェネレータ 1 5 は各単位画素の電荷蓄積動作を終了させる。

10

【 0 0 6 5 】

次に、図 1 0 を参照しながら本実施例に係る光電変換装置の動作を説明する。実施例 1 で説明した動作と共通する部分は省略する。

【 0 0 6 6 】

時刻 T 0 ~ T 1 0 までの P D リセット期間で行われるフォトダイオードのリセット動作は実施例 1 の動作と同じである。この期間では、オフセットキャンセル回路 O C 1、O C 2 に係る信号 P N 1、P N 2、P S 1、P S 2、P G R、P A G C はローレベルである。

【 0 0 6 7 】

オフセットキャンセル (O f f s e t C a n c e l ; O C) 期間 1 は、位相差情報検出用のフォトダイオード P D A が電荷を蓄積する期間に含まれる。時刻 T 1 1 に信号 P N 1、P N 2、P G R がハイレベルになると、スイッチ 2 1、2 3、2 5 がオンする。これにより、単位画素から出力される信号がスイッチ 2 1 を介して差動アンプ B A に与えられ、差動アンプ B A から出力される信号がスイッチ 2 3 を介してクランプ容量 2 4 の一方の端子に与えられる。この信号には、差動アンプ B A のオフセットが含まれる。

20

【 0 0 6 8 】

時刻 T 1 2 から信号 P N 2 と P N 1 が順次ローレベルになり、スイッチ 2 3 と 2 1 とがそれぞれオフする。

【 0 0 6 9 】

時刻 T 1 4 に信号 P S 2 がハイレベルになるとスイッチ 2 8 がオンして差動アンプ B A の非反転入力端子のノードがクランプ電圧 V G P によってリセットされる。

30

【 0 0 7 0 】

時刻 T 1 5 に信号 P G R がローレベルになると、クランプ容量 2 4 の他方の端子、すなわち差動アンプ B A の非反転入力端子のノードが電氣的に浮遊状態になる。これにより、クランプ容量には単位画素からの信号に差動アンプ B A のオフセットが加わった電圧とクランプ電圧との間の電位差が保持される。

【 0 0 7 1 】

時刻 T 2 0 から開始する A G C 期間では、信号 P S 1 と P A G C とがハイレベルになる。このとき、単位画素から出力された信号はスイッチ 2 2 を介してクランプ容量 2 4 の一方の端子に与えられる。つまり、時刻 T 1 5 にクランプされたレベルからの電位変動分だけが差動アンプ B A に伝達される。そして、再び差動アンプ B A を経由することで、差動アンプ B A から出力される信号には、差動アンプ B A のオフセットが含まれない。

40

【 0 0 7 2 】

時刻 T 2 0 から時間が経過し、モニタ部 3 0 から出力される信号 C O M P 1 8 の論理レベルが時刻 T 3 0 に反転すると、A G C 期間が終了する。そして、時刻 T 3 0 からの F D リセット期間において、モニタ部 3 0 は信号 C O M P 1 8 が反転したことに応じて信号 P R E S をハイレベルにして、F D 容量 C f d をリセットするとともに、信号 P M O N をローレベルにしてモニタ用のフォトダイオード P D M を F D 容量 C f d から電氣的に切断する。このほか、信号 P S 1、P S 2、P A G C をローレベルにする。

【 0 0 7 3 】

50

時刻 T 4 0 に、信号 P R E S がローレベルになり、アンプ A m p の入力ノードのリセット状態が解除される。時刻 T 4 0 から時刻 T 5 0 までの O C 期間 2 で行われる動作は、信号 P M O N がローレベルとなっている点を除いては O C 期間 1 で行われる動作と同じである。すなわち、この期間では、モニタ用のフォトダイオード P D M がアンプ A m p の入力ノードから電氣的に切断された状態でオフセットキャンセル動作が行われるものである。

【 0 0 7 4 】

時刻 T 5 0 から A F 信号転送期間が開始し、信号 P T X がハイレベルになる。これにより、位相差情報検出用のフォトダイオード P D A に蓄積された電荷が F D 容量 C f d に転送される。そして、信号 P S 1 および P S 2 がハイレベルであるので、単位画素で発生したノイズと、差動アンプ B A のオフセットが低減された信号が差動アンプ B A から出力される。オフセットキャンセル回路 O C 2 および最大値検出部についても同様である。

10

【 0 0 7 5 】

時刻 T 6 0 から読み出し期間では、走査回路から信号 P H 1、P H 2、P H 3、・・・が順次出力され、位相差情報検出用のフォトダイオード P D A で蓄積された信号に基づく信号が出力端子 P O U T から順次出力される。

【 0 0 7 6 】

本実施例によれば、実施例 1 の構成で得られる効果に加えて、単位画素で生じるノイズと最大値検出部および最小値検出部で生じるオフセットとを低減できるので、信号をより精度よく検出できる。

【 0 0 7 7 】

20

(実施例 4)

次に、本実施例に係る単位画素を半導体基板上に作成する場合の平面レイアウト例を図 1 1 に示す。

【 0 0 7 8 】

本実施例では、モニタ用のフォトダイオード P D M が、F D 部と直接接続されている。図 9 との違いは、モニタ用のフォトダイオードが、より F D 部に近い位置に設けられている点である。

【 0 0 7 9 】

ここでは、フォトダイオード P D M と F D 部とが、連続した拡散層で接続されているが、互いに異なる拡散層に形成し、配線で接続させてもよい。このような構成では図 9 に示したレイアウトよりも配線の長さを短縮できるため、F D 部に付随する容量値を低減することが可能となり、感度の向上が得られる。

30

【 0 0 8 0 】

(実施例 5)

次に、本実施例に係る単位画素を半導体基板上に作成する場合の平面レイアウト例を図 1 2 に示す。

【 0 0 8 1 】

本実施例では、モニタ用のフォトダイオード P D M A と P D M B とが、F D 部と直接接続されている。

【 0 0 8 2 】

40

図 9 や図 1 1 に示した構成では、第 2 の方向に沿ってフォトダイオード P D A に対して一方の側にしかモニタ用のフォトダイオードが設けられていなかった。本実施例によれば、第 2 の方向に沿ってフォトダイオード P D A を挟むようにモニタ用のフォトダイオードの光電変換領域が設けられるため、第 2 の方向に被写体の輝度分布がある場合でも、精度よくモニタ動作を行い、蓄積時間を制御することができる。

【 0 0 8 3 】

(実施例 6)

本発明の第 6 の実施例に係る単位画素を半導体上に形成する場合の平面レイアウト例を図 1 3 に示す。

【 0 0 8 4 】

50

本実施例では、図 6 で示したレイアウトと比較して、フォトダイオード P D M が F D 部に近接して設けられるので、フォトダイオード P D M と F D 部とを接続する配線を短縮できる。これにより、アンプ A m p の入力ノードに接続される容量値が低減できるので、感度の向上が得られる。

【 0 0 8 5 】

(実施例 7)

続いて、本発明の第 7 の実施例に係る単位画素を半導体基板上に形成する場合の平面レイアウト例を図 1 4 に示す。

【 0 0 8 6 】

本実施例では、図 1 2 に示した構成と同様に、モニタ用のフォトダイオードの光電変換領域が 2 つ、第 2 の方向にフォトダイオード P D A を挟むように設けられている。

10

【 0 0 8 7 】

実施例 5 と同様に、第 2 の方向に輝度分布がある場合でも精度よく蓄積時間を制御できることに加えて、モニタ用のフォトダイオードがそれぞれスイッチを介して F D 部と接続されているため、実施例 1 と同じく被写体の輝度に応じて電荷電圧変換係数を切り替えることができる。

【 0 0 8 8 】

(実施例 8)

本発明の第 8 の実施例に係る単位画素を半導体基板上に形成する場合の平面レイアウト例を図 1 5 に示す。

20

【 0 0 8 9 】

本実施例では、位相差情報検出用のフォトダイオードが P D A 1 と P D A 2 として 2 つの光電変換領域が設けられており、その間にモニタ用のフォトダイオード P D M が設けられている。この配置によれば、フォトダイオードが P D A 1 と P D A 2 との間で被写体の輝度が大きく異なっても、両者の中間にあるモニタ用のフォトダイオードにより、精度よく蓄積時間の制御を行える。

【 0 0 9 0 】

(実施例 9)

本発明の第 9 の実施例に係る単位画素を半導体基板上に形成する場合の平面レイアウト例を図 1 6 に示す。

30

【 0 0 9 1 】

本実施例では、位相差情報検出用のフォトダイオードが P D A 1 と P D A 2 として 2 つの光電変換領域が設けられており、その間にモニタ用のフォトダイオード P D M が設けられている。この配置によれば、フォトダイオードが P D A 1 と P D A 2 との間で被写体の輝度が大きく異なっても、両者の中間にあるモニタ用のフォトダイオードにより、精度よく蓄積時間の制御を行える。

【 0 0 9 2 】

(実施例 1 0)

図 1 7 は、本発明の実施例 1 0 に係る位相差 A F 用の光電変換装置の主要な構成を模式的に示した図である。実施例 1 で示した光電変換装置との相違点を中心に説明する。

40

【 0 0 9 3 】

光電変換装置 1 ' は、対となるラインセンサ部 L 1 A と L 1 B 、 L 2 A と L 2 B 、 . . . 、 L N A と L N B を有する。一对のラインセンサ部は撮像面のある領域における被写体のデフォーカス量を測定するために用いられ、このラインセンサ部の対を複数配列することで測距点を複数設け、 A F の精度の向上を図るものである。各ラインセンサ部は、それぞれが位相差情報を検出するための A F 用光電変換部と、光量を検出するためのモニタ用光電変換部と、を有する単位画素 1 1 A 、 1 2 A 、 . . . を含んでいる。複数のラインセンサ部 L 1 A 、 L 2 A 、 . . . 、 L N A および L 1 B 、 L 2 B 、 . . . 、 L N B の単位画素は、それぞれ信号出力部 2 1 A 、 2 2 A 、 . . . および 2 1 B 、 2 2 B を備え、 2 1 A 、 2 2 A 、 . . . および 2 1 B 、 2 2 B を介して信号を例えば M U X 3 1 に出力し、 M U X

50

31で選択された信号がモニタ部30に出力する。

【0094】

図18は、ラインセンサ部L1Aに係る部分をより詳細に示した図である。単位画素11Aは、光電変換部100Aを含み、信号出力部21Aは最大値検出部102-1Aと最小値検出部102-2Aとを含んで成る。光電変換部から出力された信号は信号保持部を介して、最大値検出部102-1Aと最小値検出部102-2Aとに供給される。最大値検出部102-1Aおよび最小値検出部102-2Aは例えばソースフォロワアンプである。このほか、信号検出の精度を向上させるために、ノイズ除去回路を含んでも良い。他の単位画素は単位画素11Aと同じ構成である。ラインセンサ部L2A、L3A、・・・、L1B、L2B、・・・もラインセンサ部L1Aと同様の構成なので、説明を省略する。

10

【0095】

以上で説明した本実施例に係る光電変換装置の構成でも、上述した各実施例の構成を適用することで同じ効果を得ることができる。

【0096】

(実施例11)

図19は、本発明の実施例11を示す撮像システムの構成例を示すブロック図である。

【0097】

901は後述するレンズのプロテクトを行うバリア、902は被写体の光学像を固体撮像装置904に結像するレンズ、903はレンズを通過した光量を調整するための絞りである。904はレンズで結像された被写体の光学像を画像信号として取得する固体撮像装置である。905は先述の各実施例で説明した光電変換装置を用いたAFセンサである。

20

【0098】

906は固体撮像装置904やAFセンサ905から出力される信号を処理するアナログ信号処理装置、907は信号処理装置906から出力された信号をアナログデジタル変換するA/D変換器である。908はA/D変換器907より出力された画像データに対して各種の補正や、データを圧縮するデジタル信号処理部である。

【0099】

909は画像データを一時記憶するためのメモリ部、910は外部コンピュータなどと通信するための外部I/F回路、911はデジタル信号処理部908などに各種タイミング信号を出力するタイミング発生部である。912は各種演算とカメラ全体を制御する全体制御・演算部、913は記録媒体制御I/F部、914は取得した画像データを記録、又は読み出しを行うための半導体メモリなどの着脱可能な記録媒体、915は外部コンピュータである。

30

【0100】

次に、上記の撮像システムの撮影時の動作について説明する。

バリア901がオープンされ、AFセンサ905から出力された信号をもとに、全体制御・演算部912は前記したような位相差検出により被写体までの距離を演算する。その後、演算結果に基づいてレンズ902を駆動し、再び合焦しているか否かを判断し、合焦していないと判断したときには、再びレンズ902を駆動するオートフォーカス制御を行う。次いで、合焦が確認された後に固体撮像装置904による電荷蓄積動作が始まる。固体撮像装置904の電荷蓄積動作が終了すると、固体撮像装置904から出力された画像信号はA/D変換器907でアナログデジタル変換され、デジタル信号処理部908を通り全体制御・演算によりメモリ部909に書き込まれる。その後、メモリ部909に蓄積されたデータは全体制御・演算部912の制御により記録媒体制御I/F部910を介して記録媒体914に記録される。また、外部I/F部910を通り直接コンピュータなどに入力してもよい。

40

【符号の説明】

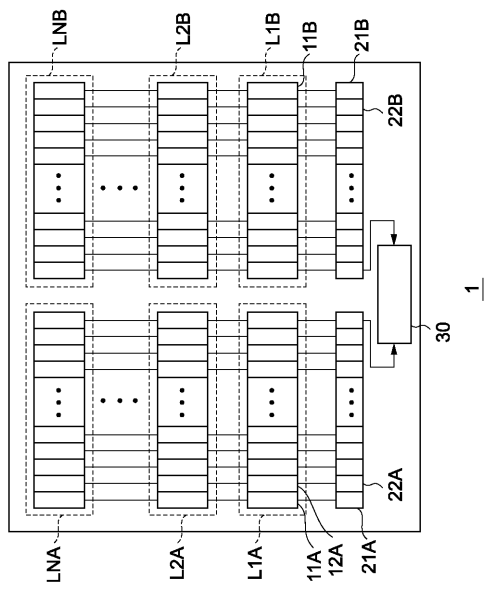
【0101】

11A 単位画素

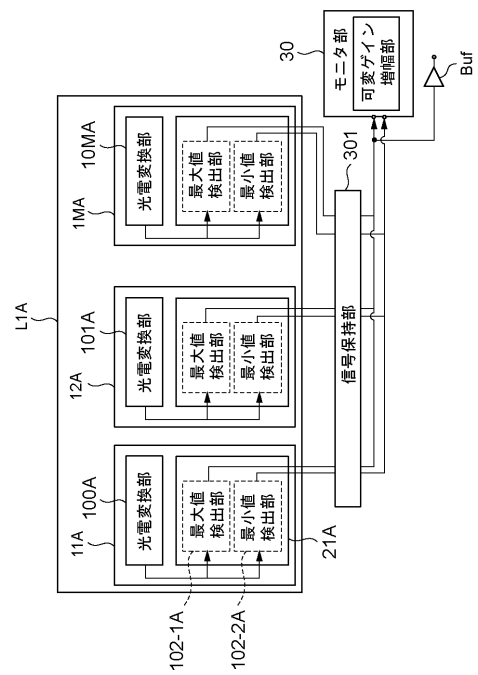
50

2 1 A 信号出力部
3 0 モニタ部

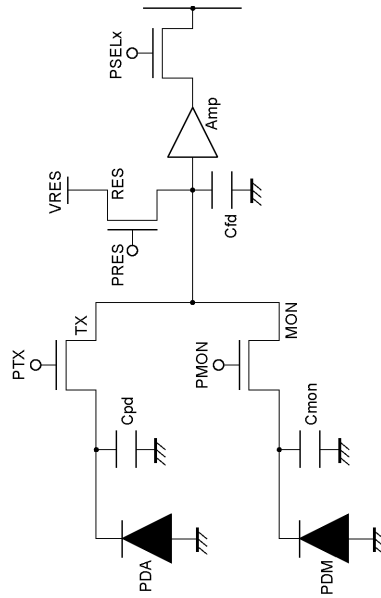
【図 1】



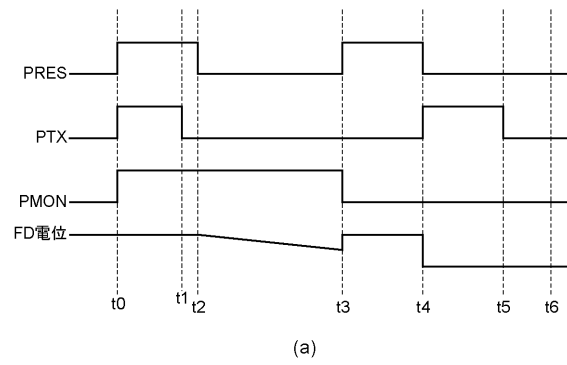
【図 2】



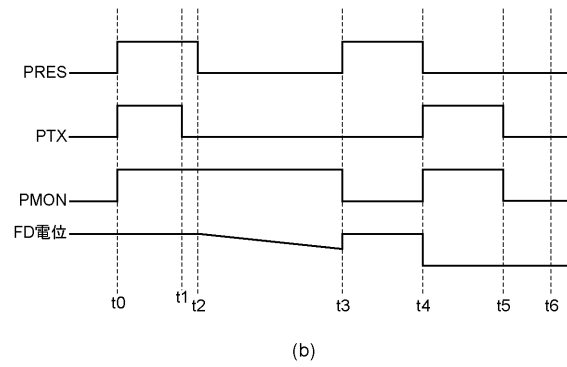
【図 3】



【図 4】

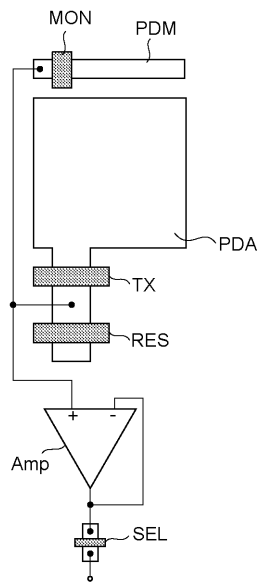


(a)

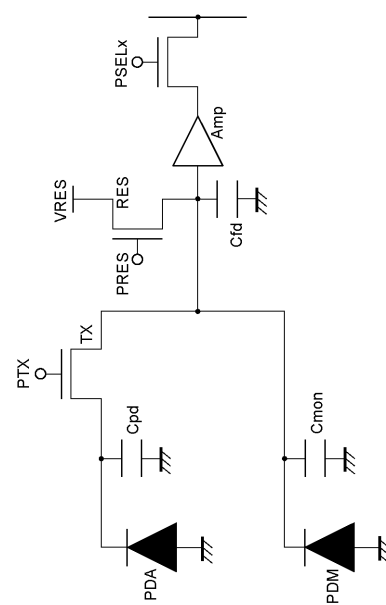


(b)

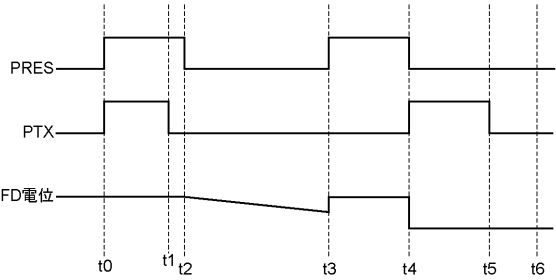
【図 5】



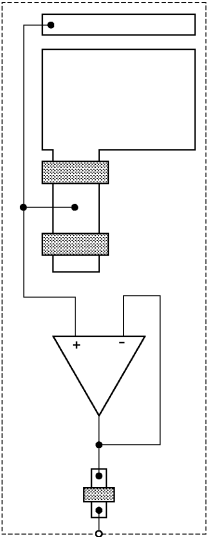
【図 6】



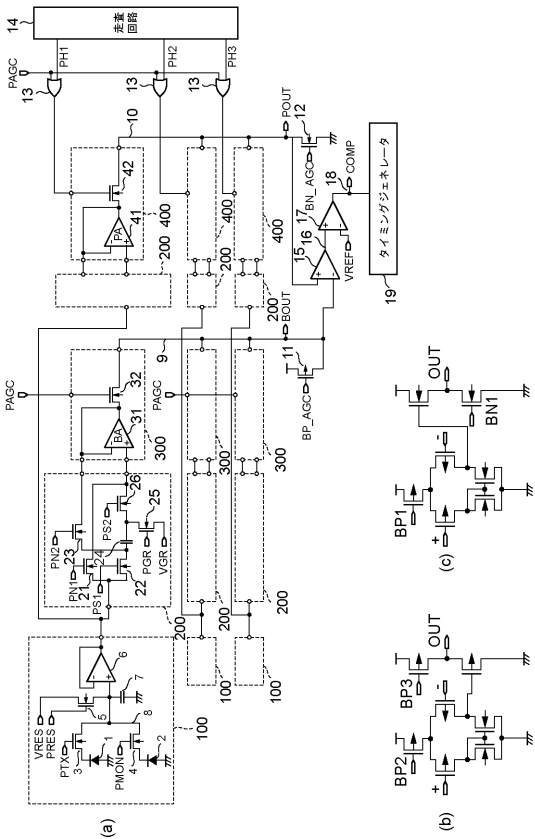
【 図 7 】



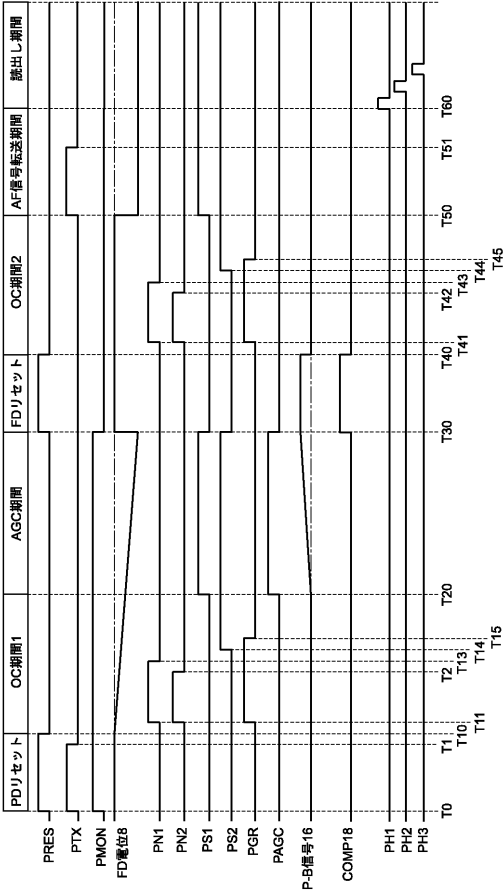
【 図 8 】



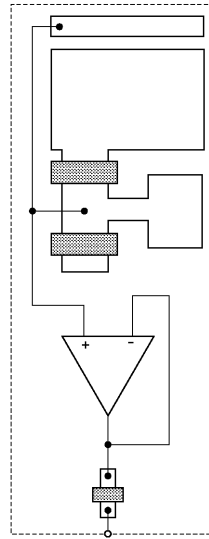
【 図 9 】



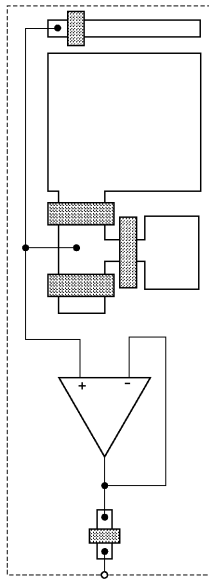
【 図 1 0 】



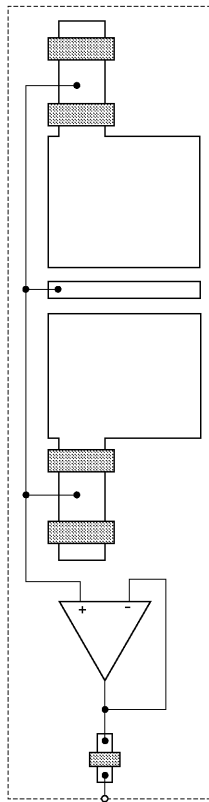
【 図 1 2 】



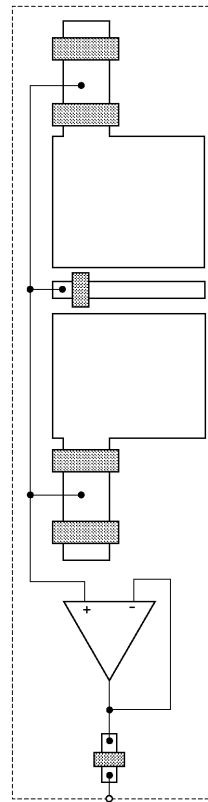
【 図 1 4 】



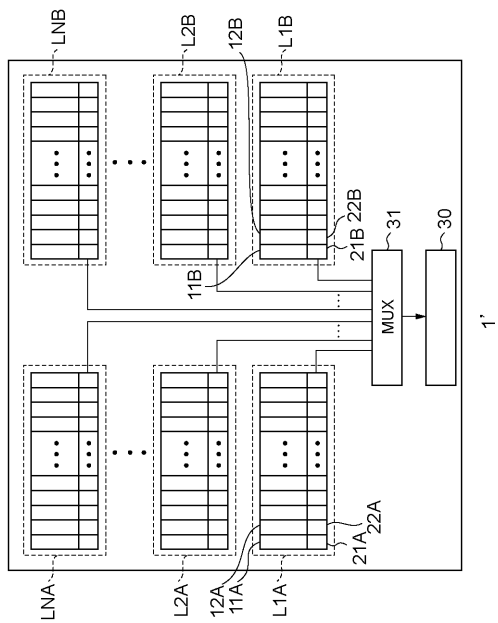
【図 15】



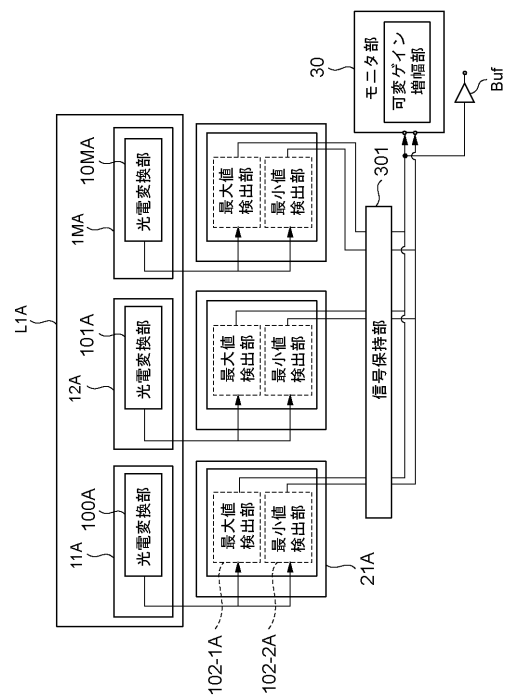
【図 16】



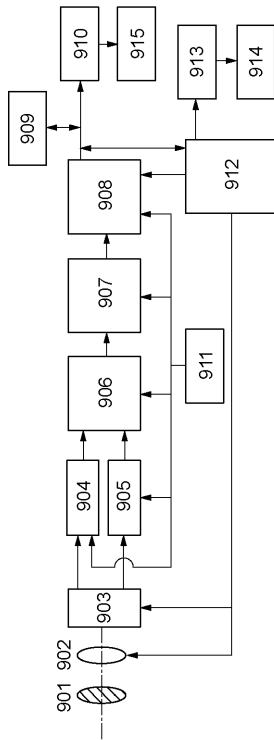
【図 17】



【図 18】



【図 19】



フロントページの続き

(72)発明者 黒田 享裕

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72)発明者 衣笠 友壽

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72)発明者 斉藤 和宏

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

Fターム(参考) 2H151 BA17 CB21 CB24 CD05

5C024 CY47 EX11 GX03 GX16 GX18 GY31 HX35 HX40