

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成25年6月6日(2013.6.6)

【公開番号】特開2010-288266(P2010-288266A)

【公開日】平成22年12月24日(2010.12.24)

【年通号数】公開・登録公報2010-051

【出願番号】特願2010-99067(P2010-99067)

【国際特許分類】

H 0 3 F 3/45 (2006.01)

【F I】

H 0 3 F 3/45 Z

【手続補正書】

【提出日】平成25年4月19日(2013.4.19)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

入力差動対を成す第 1 の入力信号及び第 2 の入力信号を差動増幅して、対を成す第 1 の中間信号及び第 2 の中間信号を生成する差動増幅部と、

前記第 1 の中間信号を増幅して第 1 の出力信号を生成する第 1 の A B 級増幅部と、

前記第 2 の中間信号を増幅して第 2 の出力信号を生成する第 2 の A B 級増幅部とを備え

、  
前記差動増幅部は、前記第 1 の入力信号を受ける第 1 の入力トランジスタと、前記第 2 の入力信号を受ける第 2 の入力トランジスタと、前記第 1 の入力トランジスタと直列に接続された第 1 の負荷素子と、前記第 2 の入力トランジスタと直列に接続された第 2 の負荷素子と、前記第 1 の入力トランジスタおよび前記第 2 の入力トランジスタに対して共通に設けられた電流源とを含み、

前記第 1 の出力信号及び前記第 2 の出力信号は、出力差動対を成し、

前記第 1 の A B 級増幅部は、前記第 1 の出力信号及び前記第 2 の出力信号のコモンモード成分である第 1 のフィードバック信号によって調整された基準電圧を基準として前記第 1 の中間信号を増幅し、

前記第 2 の A B 級増幅部は、前記第 1 の出力信号及び前記第 2 の出力信号のコモンモード成分である第 2 のフィードバック信号によって調整された基準電圧を基準として前記第 2 の中間信号を増幅する、

ことを特徴とする全差動増幅回路。

【請求項 2】

入力差動対を成す第 1 の入力信号及び第 2 の入力信号を差動増幅して、対を成す第 1 の中間信号及び第 2 の中間信号を生成する差動増幅部と、

前記第 1 の中間信号を増幅して第 1 の出力信号を生成する第 1 の A B 級増幅部と、

前記第 2 の中間信号を増幅して第 2 の出力信号を生成する第 2 の A B 級増幅部とを備え

、  
前記第 1 の出力信号及び前記第 2 の出力信号は、出力差動対を成し、

前記第 1 の A B 級増幅部は、前記第 1 の出力信号及び前記第 2 の出力信号のコモンモード成分である第 1 のフィードバック信号によって調整された基準電圧を基準として前記第 1 の中間信号を増幅し、

前記第 2 の A B 級増幅部は、前記第 1 の出力信号及び前記第 2 の出力信号のコモンモード成分である第 2 のフィードバック信号によって調整された基準電圧を基準として前記第 2 の中間信号を増幅し、

前記第 1 の A B 級増幅部は、

ソースが電源電位に接続され、ドレインから前記第 1 の出力信号を出力する第 1 の P M O S トランジスタと、

ソースがグランド電位に接続され、ドレインが前記第 1 の P M O S トランジスタのドレインに接続された第 1 の N M O S トランジスタと、

第 1 の基準信号に対する前記第 1 の中間信号の差分である第 1 の信号を前記第 1 の P M O S トランジスタのゲートへ伝達する第 1 の伝達部と、

第 2 の基準信号に対する前記第 1 の中間信号の差分である第 2 の信号を前記第 1 の N M O S トランジスタのゲートへ伝達する第 2 の伝達部と、

前記第 1 の出力信号及び前記第 2 の出力信号を受けて、前記第 1 のフィードバック信号を用いて前記第 1 の基準信号又は前記第 2 の基準信号を調整する第 1 の調整部とを含み、

前記第 2 の A B 級増幅部は、

ソースが電源電位に接続され、ドレインから前記第 2 の出力信号を出力する第 2 の P M O S トランジスタと、

ソースがグランド電位に接続され、ドレインが前記第 2 の P M O S トランジスタのドレインに接続された第 2 の N M O S トランジスタと、

第 3 の基準信号に対する前記第 2 の中間信号の差分である第 3 の信号を前記第 2 の P M O S トランジスタのゲートへ伝達する第 3 の伝達部と、

第 4 の基準信号に対する前記第 2 の中間信号の差分である第 4 の信号を前記第 2 の N M O S トランジスタのゲートへ伝達する第 4 の伝達部と、

前記第 1 の出力信号及び前記第 2 の出力信号を受けて、前記第 2 のフィードバック信号を用いて前記第 3 の基準信号又は前記第 4 の基準信号を調整する第 2 の調整部とを含む、ことを特徴とする全差動増幅回路。

#### 【請求項 3】

前記第 1 の調整部は、

前記第 1 の出力信号を一端で受ける第 1 のコンデンサと、

前記第 2 の出力信号を一端で受ける第 2 のコンデンサと、

を含み、

前記第 1 のコンデンサの他端と前記第 2 のコンデンサの他端とは、互いに接続されるとともに前記第 1 の基準信号又は前記第 2 の基準信号が保持されるべきノードに接続されており、

前記第 2 の調整部は、

前記第 1 の出力信号を一端で受ける第 3 のコンデンサと、

前記第 2 の出力信号を一端で受ける第 4 のコンデンサと、

を含み、

前記第 3 のコンデンサの他端と前記第 4 のコンデンサの他端とは、互いに接続されるとともに前記第 3 の基準信号又は前記第 4 の基準信号が保持されるべきノードに接続されている

ことを特徴とする請求項 2 に記載の全差動増幅回路。

#### 【請求項 4】

前記第 1 の調整部は、

前記第 1 の中間信号をサンプリングする期間に前記第 1 のコンデンサと並列に接続される第 5 のコンデンサと、

前記第 1 の中間信号をサンプリングする期間に前記第 2 のコンデンサと並列に接続される第 6 のコンデンサとを含み、

前記第 5 のコンデンサの一端と前記第 6 のコンデンサの一端とは、互いに接続されるとともに、前記第 1 の中間信号をホールドする期間に、前記第 1 の基準信号が供給されるノ

ード又は前記第 2 の基準信号が供給されるノードに接続されて、

前記第 5 のコンデンサの他端と前記第 6 のコンデンサの他端とは、前記第 1 の中間信号をホールドする期間に前記第 1 の出力信号及び前記第 2 の出力信号のコモンレベルを目標値にするために設定されるコモンレベル基準信号に接続され、

前記第 2 の調整部は、

前記第 2 の中間信号をサンプリングする期間に前記第 3 のコンデンサと並列に接続される第 7 のコンデンサと、

前記第 2 の中間信号をサンプリングする期間に前記第 4 のコンデンサと並列に接続される第 8 のコンデンサとを含み、

前記第 7 のコンデンサの一端と前記第 8 のコンデンサの一端とは、互いに接続されるとともに、前記第 2 の中間信号をホールドする期間に、前記第 3 の基準信号が供給されるノード又は前記第 4 の基準信号が供給されるノードに接続され、

前記第 7 のコンデンサの他端と前記第 8 のコンデンサの他端とは、前記第 2 の中間信号をホールドする期間に前記コモンレベル基準信号に接続されている

ことを特徴とする請求項 3 に記載の全差動増幅回路。

【請求項 5】

前記第 1 の調整部は、

前記第 1 の中間信号をホールドする期間に前記第 1 のコンデンサと並列に接続される第 5 のコンデンサと、

前記第 1 の中間信号をホールドする期間に前記第 2 のコンデンサと並列に接続される第 6 のコンデンサとを含み、

前記第 5 のコンデンサの一端と前記第 6 のコンデンサの一端とは、互いに接続されるとともに、前記第 1 の中間信号をサンプリングする期間に、前記第 1 の基準信号が供給されるノード又は前記第 2 の基準信号が供給されるノードに接続され、

前記第 5 のコンデンサの他端と前記第 6 のコンデンサの他端とは、前記第 1 の中間信号をサンプリングする期間に、前記第 1 の出力信号及び前記第 2 の出力信号のコモンレベルを目標値にするために設定されるコモンレベル基準信号に接続され、

前記第 2 の調整部は、

前記第 2 の中間信号をホールドする期間に前記第 3 のコンデンサと並列に接続される第 7 のコンデンサと、

前記第 2 の中間信号をホールドする期間に前記第 4 のコンデンサと並列に接続される第 8 のコンデンサとを含み、

前記第 7 のコンデンサの一端と前記第 8 のコンデンサの一端とは、互いに接続されるとともに、前記第 2 の中間信号をサンプリングする期間に、前記第 3 の基準信号が供給されるノード又は前記第 4 の基準信号が供給されるノードに接続され、

前記第 7 のコンデンサの他端と前記第 8 のコンデンサの他端とは、前記第 2 の中間信号をサンプリングする期間に前記コモンレベル基準信号に接続されている

ことを特徴とする請求項 3 に記載の全差動増幅回路。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

本発明の 1 つの側面に係る全差動増幅回路は、入力差動対を成す第 1 の入力信号及び第 2 の入力信号を差動増幅して、対を成す第 1 の中間信号及び第 2 の中間信号を生成する差動増幅部と、前記第 1 の中間信号を増幅して第 1 の出力信号を生成する第 1 の A B 級増幅部と、前記第 2 の中間信号を増幅して第 2 の出力信号を生成する第 2 の A B 級増幅部とを備え、前記差動増幅部は、前記第 1 の入力信号を受ける第 1 の入力トランジスタと、前記第 2 の入力信号を受ける第 2 の入力トランジスタと、前記第 1 の入力トランジスタと直列

に接続された第 1 の負荷素子と、前記第 2 の入力トランジスタと直列に接続された第 2 の負荷素子と、前記第 1 の入力トランジスタおよび前記第 2 の入力トランジスタに対して共通に設けられた電流源とを含み、前記第 1 の出力信号及び前記第 2 の出力信号は、出力差動対を成し、前記第 1 の A B 級増幅部は、前記第 1 の出力信号及び前記第 2 の出力信号のコモンモード成分である第 1 のフィードバック信号によって調整された基準電圧を基準として前記第 1 の中間信号を増幅し、前記第 2 の A B 級増幅部は、前記第 1 の出力信号及び前記第 2 の出力信号のコモンモード成分である第 2 のフィードバック信号によって調整された基準電圧を基準として前記第 2 の中間信号を増幅する。