

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02015/114802

発行日 平成29年3月23日 (2017. 3. 23)

(43) 国際公開日 平成27年8月6日 (2015. 8. 6)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 17/687 (2006.01)	H03K 17/687	F 5H74O
H02M 1/08 (2006.01)	H02M 1/08	A 5J055

審査請求 有 予備審査請求 未請求 (全 69 頁)

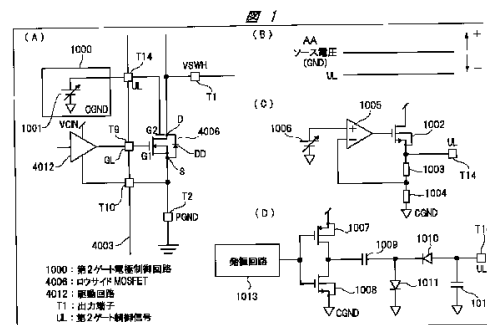
出願番号	特願2014-551466 (P2014-551466)	(71) 出願人	302062931
(21) 国際出願番号	PCT/JP2014/052286		ルネサスエレクトロニクス株式会社
(22) 国際出願日	平成26年1月31日 (2014. 1. 31)		東京都江東区豊洲三丁目2番24号
(81) 指定国	AP (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA (AM, AZ, BY, KG, KZ, RU, TJ, TM), EP (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US	(74) 代理人	100080001 弁理士 筒井 大和
		(74) 代理人	100113642 弁理士 菅田 篤志
		(74) 代理人	100117008 弁理士 筒井 章子
		(74) 代理人	100147430 弁理士 坂次 哲也
		(72) 発明者	近藤 大介 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置および電源システム

(57) 【要約】

半導体集積回路装置は、第1電圧端子、第2電圧端子、出力端子、第1電圧端子と出力端子との間に接続されたハイサイドMOSFETと、出力端子と第2電圧端子との間に接続され、第1および第2ゲート電極を有するロウサイドMOSFETと、ハイサイドMOSFETとロウサイドMOSFETとを相補的にオン/オフする駆動回路と、ロウサイドMOSFETの第2ゲート電極へ供給される第2ゲート制御信号を形成する第2ゲート電極制御回路とを具備する。第2ゲート電極制御回路は、ロウサイドMOSFETのソースにおける電圧に対して、負の電圧を、ロウサイドMOSFETの第2ゲート電極に供給する電圧形成回路を具備する。



1000 Second gate electrode control circuit
1013 Oscillation circuit
4006 Low-side MOSFET
4012 Drive circuit
T1 Output terminal
UL Second gate control signal
AA Source voltage (GND)

【特許請求の範囲】**【請求項 1】**

第 1 電圧が供給される第 1 電圧端子と、

前記第 1 電圧とは、電圧値が異なる第 2 電圧が供給される第 2 電圧端子と、
出力端子と、

第 1 入力電極と、ドレインと、ソースとを有し、前記第 1 電圧端子と前記出力端子との間に接続され、前記第 1 入力電極に供給される第 1 入力信号に従って、前記第 1 電圧端子と前記出力端子間を電氣的に接続する第 1 MOSFET と、

第 1 入力電極と、ドレインと、ソースと、前記第 1 入力電極よりも前記ドレイン側に配置された第 2 入力電極とを有し、前記第 2 電圧端子と前記出力端子との間に接続され、前記第 1 入力電極に供給される第 2 入力信号に従って、前記第 2 電圧端子と前記出力端子間を電氣的に接続する第 2 MOSFET と、

前記第 1 MOSFET および前記第 2 MOSFET のそれぞれの第 1 入力電極に結合され、前記第 1 MOSFET と前記第 2 MOSFET とが、相補的にオン / オフする様に、前記第 1 入力信号および前記第 2 入力信号を形成する駆動回路と、

前記第 2 MOSFET の第 2 入力電極に結合され、前記第 2 MOSFET のソースにおける電圧に対して、負の電圧を、前記第 2 入力電極に供給する第 1 電圧形成回路と、

を具備する、半導体集積回路装置。

【請求項 2】

請求項 1 に記載の半導体集積回路装置において、

前記第 2 MOSFET は、第 1 導電型の第 1 半導体領域と、前記第 1 半導体領域に積層された第 2 導電型の第 2 半導体領域と、前記第 2 半導体領域に積層された第 1 導電型の第 3 半導体領域とを有し、

前記第 2 MOSFET のドレインは、前記第 1 半導体領域により構成され、前記第 2 MOSFET のソースは、前記第 3 半導体領域により構成され、前記第 2 MOSFET の第 1 入力電極は、絶縁層を挟んで前記第 2 半導体領域に埋設された第 1 金属層により構成され、前記第 2 MOSFET の第 2 入力電極は、絶縁層を挟んで前記第 1 半導体領域に埋設された第 2 金属層により構成されている、半導体集積回路装置。

【請求項 3】

請求項 2 に記載の半導体集積回路装置において、

前記第 1 電圧の電圧値は、前記第 2 電圧の電圧値よりも高く、

前記第 2 MOSFET のソースの電圧は、前記第 2 電圧である、半導体集積回路装置。

【請求項 4】

請求項 2 に記載の半導体集積回路装置において、

前記第 2 電圧の電圧値は、前記第 1 電圧の電圧値よりも高く、

前記第 2 MOSFET のソースの電圧は、前記出力端子における電圧である、半導体集積回路装置。

【請求項 5】

請求項 2 に記載の半導体集積回路装置において、

前記半導体集積回路装置は、

前記第 2 MOSFET のソースにおける電圧に対して正の電圧を形成する第 2 電圧形成回路と、

前記第 1 電圧形成回路による負の電圧と、前記第 2 電圧形成回路による正の電圧とを選択して、前記第 2 MOSFET の第 2 入力電極に供給する選択回路と、

を具備する、半導体集積回路装置。

【請求項 6】

請求項 5 に記載の半導体集積回路装置において、

前記選択回路は、前記駆動回路による前記第 2 MOSFET のオン / オフに同期して、前記第 2 MOSFET の第 2 入力電極に供給される電圧を選択する、半導体集積回路装置。

。

10

20

30

40

50

【請求項 7】

請求項 5 に記載の半導体集積回路装置において、

前記半導体集積回路装置は、前記出力端子を流れる電流が、所定の電流値を超えているか否かを検出する検出回路を具備し、

前記選択回路は、前記検出回路からの検出信号に応答して、前記第 2 MOSFET の第 2 入力電極に供給される電圧を選択する、半導体集積回路装置。

【請求項 8】

請求項 7 に記載の半導体集積回路装置において、

前記選択回路は、前記出力端子を流れる電流が、前記所定の電流値よりも低いとき、前記負の電圧を前記第 2 MOSFET の第 2 入力電極に供給する、半導体集積回路装置。

10

【請求項 9】

第 1 電圧が供給される第 1 電圧端子と、

前記第 1 電圧とは、電圧値が異なる第 2 電圧が供給される第 2 電圧端子と、出力端子と、

第 1 入力電極と、ドレインと、ソースと、前記第 1 入力電極よりも前記ドレイン側に配置された第 2 入力電極とを有し、前記第 1 電圧端子と前記出力端子との間に接続され、前記第 1 入力電極に供給される第 1 入力信号に従って、前記第 1 電圧端子と前記出力端子間を電氣的に接続する第 1 MOSFET と、

第 1 入力電極と、ドレインと、ソースと、前記第 1 入力電極よりも前記ドレイン側に配置された第 2 入力電極とを有し、前記第 2 電圧端子と前記出力端子との間に接続され、前記第 1 入力電極に供給される第 2 入力信号に従って、前記第 2 電圧端子と前記出力端子間を電氣的に接続する第 2 MOSFET と、

20

前記第 1 MOSFET および前記第 2 MOSFET のそれぞれの第 1 入力電極に結合され、前記第 1 MOSFET と前記第 2 MOSFET とが、相補的にオン / オフする様に、前記第 1 入力信号および前記第 2 入力信号を形成する駆動回路と、

前記出力端子を流れる電流が、所定の電流値を超えているか否かを検出する検出回路と

、前記検出回路、前記第 1 MOSFET の第 2 入力電極および第 2 MOSFET の第 2 入力電極に結合され、前記出力端子を流れる電流が前記所定の電流値を超えているか否かにより、前記第 1 MOSFET および前記第 2 MOSFET のそれぞれの第 2 入力電極に、異なる電圧値の電圧を供給する制御回路と、

30

を具備する、半導体集積回路装置。

【請求項 10】

請求項 9 に記載の半導体集積回路装置において、

前記制御回路は、前記出力端子を流れる電流が、前記所定の電流値を超えているとき、前記第 1 MOSFET および前記第 2 MOSFET のそれぞれの第 2 入力電極に、それぞれの MOSFET のソースにおける電圧に対して正の電圧値を有する電圧を供給し、前記出力端子を流れる電流が、前記所定の電流値を超えていないとき、前記第 1 MOSFET および前記第 2 MOSFET のそれぞれの第 2 入力電極に、それぞれの MOSFET のソースにおける電圧に対して負の電圧値を有する電圧を供給する、半導体集積回路装置。

40

【請求項 11】

請求項 10 に記載の半導体集積回路装置において、

前記第 1 MOSFET および前記第 2 MOSFET のそれぞれは、第 1 導電型の第 1 半導体領域と、前記第 1 半導体領域に積層された第 2 導電型の第 2 半導体領域と、前記第 2 半導体領域に積層された第 1 導電型の第 3 半導体領域とを有し、

前記第 1 MOSFET のドレインは、前記第 1 半導体領域により形成され、前記第 1 MOSFET のソースは、前記第 3 半導体領域により形成され、前記第 1 MOSFET の第 1 入力電極は、絶縁層を挟んで前記第 2 半導体領域に埋設された第 1 金属層により形成され、前記第 2 MOSFET の第 2 入力電極は、絶縁層を挟んで前記第 1 半導体領域に埋設された第 2 金属層により形成され、

50

前記第2 MOSFETのドレインは、前記第1半導体領域により形成され、前記第2 MOSFETのソースは、前記第3半導体領域により形成され、前記第2 MOSFETの第1入力電極は、絶縁層を挟んで前記第2半導体領域に埋設された第3金属層により形成され、前記第2 MOSFETの第2入力電極は、絶縁層を挟んで前記第1半導体領域に埋設された第4金属層により形成されている、半導体集積回路装置。

【請求項12】

請求項11に記載の半導体集積回路装置において、

前記駆動回路、前記電圧形成回路および前記制御回路は、1つの第1半導体チップに形成され、前記第1 MOSFETは、前記第1半導体チップとは異なる第2半導体チップに形成され、前記第2 MOSFETは、前記第1半導体チップおよび前記第2半導体チップと異なる第3半導体チップに形成され、前記第1半導体チップ、前記第2半導体チップおよび前記第3半導体チップは、1のパッケージに封止されている、半導体集積回路装置。

10

【請求項13】

第1電圧端子と、第2電圧端子と、出力端子とを有する半導体集積回路装置と、前記出力端子に、その一端が接続され、その流れる方向が周期的に変化する電流を受けるコイル素子とを具備する電源システムであって、

前記半導体集積回路装置は、

第1入力電極と、ドレインと、ソースとを有し、前記第1電圧端子と前記出力端子との間に接続され、前記第1入力電極に供給される入力信号に従って、オン/オフされる第1 MOSFETと、

20

第1入力電極と、ドレインと、ソースと、前記第1入力電極よりも前記ドレイン側に配置された第2入力電極とを有し、前記第2電圧端子と前記出力端子との間に接続され、前記第1入力電極に供給される入力信号に従って、前記第1 MOSFETとは相補的にオン/オフされる第2 MOSFETと、

前記第2 MOSFETの第2入力電極に結合され、前記第2 MOSFETのソースにおける電圧に対して、負の電圧を、前記第2入力電極に供給する第1電圧形成回路と、
を具備する、電源システム。

【請求項14】

請求項13に記載の電源システムにおいて、

前記第2 MOSFETは、第1導電型の第1半導体領域と、前記第1半導体領域に積層された第2導電型の第2半導体領域と、前記第2半導体領域に積層された第1導電型の第3半導体領域とを有し、

30

前記第2 MOSFETのドレインは、前記第1半導体領域により形成され、前記第2 MOSFETのソースは、前記第3半導体領域により形成され、前記第2 MOSFETの第1入力電極は、絶縁層を挟んで前記第2半導体領域に埋設された第1金属層により形成され、前記第2 MOSFETの第2入力電極は、絶縁層を挟んで前記第1半導体領域に埋設された第2金属層により形成されている、電源システム。

【請求項15】

請求項14に記載の電源システムにおいて、

前記半導体集積回路装置は、

40

前記第2 MOSFETのソースにおける電圧に対して正の電圧を形成する第2電圧形成回路と、

前記第1電圧形成回路による負の電圧と、前記第2電圧形成回路による正の電圧とを選択して、前記第2 MOSFETの第2入力電極に供給する選択回路と、

前記出力端子を流れる前記電流が、所定の電流値を超えているか否かを検出する検出回路を具備し、

前記選択回路は、前記検出回路の検出信号に応答して、前記第2 MOSFETの第2入力電極に供給される電圧を選択する、電源システム。

【請求項16】

請求項15に記載の電源システムにおいて、

50

前記出力端子を流れる前記電流が、所定の電流値を超えているとき、前記選択回路は、前記正の電圧を前記第2 MOSFETの第2ゲート電極に供給し、前記出力端子を流れる前記電流が、前記所定の電流値を超えていないとき、前記選択回路は、前記負の電圧を前記第2 MOSFETの第2ゲート電極に供給する、電源システム。

【請求項17】

第1電圧端子と、第2電圧端子と、出力端子とを有する半導体集積回路装置と、前記出力端子に、その一端が接続され、その流れる方向が周期的に変化する電流を受けるコイル素子とを具備する電源システムであって、

前記半導体集積回路装置は、

第1入力電極と、ドレインと、ソースと、前記第1入力電極よりも前記ドレイン側に配置された第2入力電極とを有し、前記第1電圧端子と前記出力端子との間に接続され、前記第1入力電極に供給される入力信号に従って、オン/オフされる第1 MOSFETと、

第1入力電極と、ドレインと、ソースと、前記第1入力電極よりも前記ドレイン側に配置された第2入力電極とを有し、前記第2電圧端子と前記出力端子との間に接続され、前記第1入力電極に供給される入力信号に従って、オン/オフされる第2 MOSFETと、

前記出力端子を流れる電流が、所定の電流値を超えているか否かを検出する検出回路と

、
前記検出回路、前記第1 MOSFETの第2入力電極および第2 MOSFETの第2入力電極に結合され、前記出力端子を流れる電流が前記所定の電流値を超えているか否かにより、前記第1 MOSFETおよび前記第2 MOSFETのそれぞれの第2入力電極に、異なる電圧値の電圧を供給する制御回路と、

を具備する、電源システム。

【請求項18】

請求項17に記載の電源システムにおいて、

前記制御回路は、前記出力端子を流れる電流が、前記所定の電流値を超えているとき、前記第1 MOSFETおよび前記第2 MOSFETのそれぞれの第2入力電極に、それぞれの MOSFETのソースにおける電圧に対して正の電圧値を有する電圧を供給し、前記出力端子を流れる電流が、前記所定の電流値を超えていないとき、前記第1 MOSFETおよび前記第2 MOSFETのそれぞれの第2入力電極に、それぞれの MOSFETのソースにおける電圧に対して負の電圧値を有する電圧を供給する、電源システム。

【請求項19】

請求項18に記載の電源システムにおいて、

前記第1 MOSFETおよび前記第2 MOSFETのそれぞれは、第1導電型の第1半導体領域と、前記第1半導体領域に積層された第2導電型の第2半導体領域と、前記第2半導体領域に積層された第1導電型の第3半導体領域とを有し、

前記第1 MOSFETのドレインは、前記第1半導体領域により形成され、前記第1 MOSFETのソースは、前記第3半導体領域により形成され、前記第1 MOSFETの第1入力電極は、絶縁層を挟んで前記第2半導体領域に埋設された第1金属層により形成され、前記第2 MOSFETの第2入力電極は、絶縁層を挟んで前記第1半導体領域に埋設された第2金属層により形成され、

前記第2 MOSFETのドレインは、前記第1半導体領域により形成され、前記第2 MOSFETのソースは、前記第3半導体領域により形成され、前記第2 MOSFETの第1入力電極は、絶縁層を挟んで前記第2半導体領域に埋設された第3金属層により形成され、前記第2 MOSFETの第2入力電極は、絶縁層を挟んで前記第1半導体領域に埋設された第4金属層により形成されている、電源システム。

【請求項20】

請求項19に記載の電源システムにおいて、

前記駆動回路、前記電圧形成回路および前記制御回路は、1つの第1半導体チップに形成され、前記第1 MOSFETは、前記第1半導体チップとは異なる第2半導体チップに形成され、前記第2 MOSFETは、前記第1半導体チップおよび前記第2半導体チップ

と異なる第 3 半導体チップに形成され、前記第 1 半導体チップ、前記第 2 半導体チップおよび前記第 3 半導体チップは、1 のパッケージに封止されている、電源システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路装置および電源システムに関し、例えば電圧を変換する際に用いられる半導体集積回路装置およびその半導体集積回路装置を用いた電源システムに関する。

【背景技術】

【0002】

10

所定の電圧値を有する直流電圧を、該所定の電圧値とは異なる電圧値の直流電圧へ変換する電源システムが、所謂 DC / DC コンバータとして知られている。DC / DC コンバータは、種々の電子装置で用いられている。電子装置としては、コンピュータが一例として挙げられる。コンピュータにおいては、例えば、マイクロプロセッサ（以下、CPU と称する）に給電される電源電圧が DC / DC コンバータにより形成される。

【0003】

DC / DC コンバータの様な電源システムは、コイルとコイルを流れる電流の方向を周期的に変化させる複数のスイッチ素子とを有している。複数のスイッチ素子のそれぞれは、電界効果型トランジスタ（以下、MOSFET と称する）の様なトランジスタによって構成されている。DC / DC コンバータに用いられる MOSFET の構造としては、種々の構造が提案されている。特許文献 1 および特許文献 2 には、この様な MOSFET の構造の一例が開示されている。特許文献 1 には、例えばその第 1 図 D に、第 1 のゲート電極 10 と第 2 のゲート電極 12 が縦方向に積み上げられた MOSFET の構造が示されている。また、特許文献 2 にも、例えば図 4 K に、ゲート電極 26（以下、第 1 のゲート電極とする）とゲート電極 30（以下、第 2 のゲート電極とする）が縦方向に積み上げられた MOSFET の構造が示されている。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開昭 63 - 296282 号公報

30

【特許文献 2】国際公開 W000 / 25365 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献 1 および 2 に示されている様に、第 1 のゲート電極と第 2 のゲート電極とを、縦方向に積み上げることにより、例えば特許文献 1 において教示されている様に、高集積化を維持しつつ、第 2 のゲート電極と MOSFET のドレイン領域との間の容量を低減することが可能となる。これにより、当該 MOSFET の高周波特性を改善することが可能となる。高周波特性が改善されることにより、DC / DC コンバータの損失が低減され、効率の向上が可能となる。DC / DC コンバータの効率の向上は、例えば、DC / DC コンバータを用いた電子装置における消費電力の低減に繋がるため、重要な事項である。

40

【0006】

本発明者は、本願発明に先立って、この様な第 1 および第 2 のゲート電極を有する MOSFET を用いた DC / DC コンバータを検討した。検討するに際して、先ず、特許文献 1 および 2 を検討した。

【0007】

特許文献 1 では、当該 MOSFET の第 1 のゲート電極を所定の正電圧にし、第 2 のゲート電極に入力信号を供給することを示している。一方、特許文献 2 では、第 1 のゲート電極を当該 MOSFET のソースに接続することを示している。本願発明者が検討したところでは、第 1 のゲート電極に供給される電圧を、当該 MOSFET のソースに供給され

50

る電圧に対して、正電圧あるいは負電圧へ変えると、当該MOSFETの特性（オン抵抗値、容量値）が変わることを、見出した。本発明は、この見出した知見に基づいてなされている。

【0008】

本発明の目的は、効率を向上させることが可能な電源システムおよびそれに用いられる半導体集積回路装置を提供することにある。

【0009】

その他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

10

【0010】

本願明細書には、解決するための手段が複数開示されている。ここでは、代表的な解決手段について、電源システムに用いられる半導体集積回路装置の観点および代表的な電源システムの観点についてのみ述べる。なお、以下の説明においては、MOSFETとして、Nチャンネル型MOSFETを用いる場合を説明する。言うまでもなく、MOSFETとしては、Pチャンネル型MOSFETを用いることもでき、その場合には、電圧の電位関係を変更すればよい。

【0011】

<半導体集積回路装置の観点>

(1) 半導体集積回路装置は、第1電圧端子と、第2電圧端子と、出力端子と、第1電圧端子と出力端子との間に接続された第1MOSFETと、第2電圧端子と出力端子との間に接続された第2MOSFETとを具備する。ここで、第1MOSFETは、第1入力電極と、ドレインと、ソースとを有しており、第2MOSFETは、第1入力電極と、ドレインと、ソースと、第1入力電極よりもドレイン側に配置された第2入力電極とを有している。

20

【0012】

第1MOSFETおよび第2MOSFETのそれぞれの第1入力電極には、当該第1MOSFETと第2MOSFETとを相補的にオン/オフさせる入力信号が供給される。これにより、出力端子には、第1電圧端子および第2電圧端子から交互に電流が供給される。

30

【0013】

一方、第2MOSFETにおいて、第1入力電極よりもドレイン側に配置された第2入力電極には、当該第2MOSFETのソースにおける電圧に対して、負の電圧が供給される。これにより、第1入力電極とドレインとの間に生じる寄生容量を、さらに低減させることが可能となる。寄生容量が低減することにより、第2MOSFETが、オフからオンあるいはオンからオフへ遷移する際の過渡時間を短くすることが可能となる。第1MOSFETと第2MOSFETは、相補的にオン/オフするが、オンからオフあるいはオフからオンへ遷移する過渡時間においては、第1電圧端子と第2電圧端子間、第1電圧端子と出力端子間あるいは第2電圧端子と出力端子間を電流が流れる。この過渡時間を短くすることにより、半導体集積回路装置の損失（消費電力）を低減することが可能となる。

40

【0014】

(2) 一実施の形態においては、第2MOSFETの第2入力電極と第1入力電極は、積層された第1半導体領域と第3半導体領域に、それぞれ埋設された第2金属層と第1金属層により形成される。ここで、第1半導体領域は、第2MOSFETのドレインを形成し、第3半導体領域は、第2MOSFETのソースを形成する。これにより、第2入力電極は、第1入力電極に比べて、第2MOSFETのドレイン側に配置されることになる。また、積層されるため、高集積化が可能となる。この場合、第1半導体領域と第3半導体領域との間に介在する第2半導体領域に第2MOSFETのチャンネルが生成される。

【0015】

(3) 一実施の形態においては、半導体集積回路装置は、第2MOSFETの第2入力

50

電極に、第2 MOSFETのソースにおける電圧に対して、正の電圧と負の電圧を選択的に供給する選択回路を具備する。第2 MOSFETの第2入力電極に、ソースにおける電圧に対して正の電圧を供給することにより、第2 MOSFETがオンしたときの、オン抵抗の低減を図ることが可能となる。第2 MOSFETのオン抵抗を低減することにより、当該第2 MOSFETにおける損失の低減を図ることが可能となる。

【0016】

選択回路によって、第2入力電極に供給される電圧の極性（ソースにおける電圧を基準として）を選択することにより、過渡時間を短縮することによる損失の低減とオン抵抗の低減による損失の低減とを選択することが可能となる。

【0017】

（4）一実施の形態においては、第2 MOSFETが、その第1入力電極に供給される入力信号に従ってオン/オフされるタイミングに同期して、選択回路は、第2入力電極に供給される電圧の極性を選択する。これにより、第2 MOSFETのオン/オフに合わせて、過渡時間を短縮することによる損失の低減とオン抵抗の低減による損失の低減とを行うことが可能となる。

【0018】

（5）一実施の形態においては、半導体集積回路装置は、出力端子を流れる電流が、所定の電流値を超えているか否かを検出する検出回路を具備する。検出回路からの検出信号に応答して、選択回路は、第2入力電極に供給される電圧の極性を変更する。これにより、出力端子に結合される負荷によって要求される負荷電流の値に応じて、過渡時間を短縮することによる損失の低減とオン抵抗の低減による損失の低減とを選択することが可能となる。言い換えるならば、負荷電流の大小に応じて適切な低損失化のための電圧極性が選択される。その結果として、負荷電流の大小に応じた低損失化が可能となる。

【0019】

負荷電流は、そのときの負荷の状態に応じて変わる。従って、負荷に応じた適切な低損失化の手段（過渡時間短縮とオン抵抗低減）を選択することが可能となる。

【0020】

（6）また、一実施の形態においては、半導体集積回路装置は、第1電圧端子と、第2電圧端子と、出力端子と、第1電圧端子と出力端子との間に結合された第1 MOSFETと、出力端子と第2電圧端子との間に結合された第2 MOSFETとを具備する。ここで、第1 MOSFETおよび第2 MOSFETのそれぞれは、第1入力電極と、ドレインと、ソースと、第1入力電極よりもドレイン側に配置された第2入力電極とを有する。

【0021】

第1 MOSFETと第2 MOSFETは、入力信号によって、相補的にオン/オフされる。相補的にオン/オフされることにより、出力端子には、第1電圧端子および第2電圧端子から交互に電流が供給される。出力端子を流れる電流値は、出力端子に結合される負荷が要求する負荷電流により変化する。

【0022】

半導体集積回路装置は、さらに、出力端子を流れる電流値を検出する検出回路と、当該検出回路からの検出信号に応答して、第1 MOSFETおよび第2 MOSFETのそれぞれの第2入力電極に、異なる電圧を供給する制御回路を具備する。

【0023】

これにより、負荷電流の値に応じて、第1 MOSFETおよび第2 MOSFETのそれぞれにおける過渡時間の短縮化による損失の低減と、オン抵抗の低減あるいは増加の抑制による損失の低減あるいは増加の抑制とが行われることになる。その結果として、負荷に応じた半導体集積回路装置の低損失化を図ることが可能となり、効率の向上を図ることが可能となる。

【0024】

また、一実施の形態においては、出力端子を流れる電流が所定の電流値を超えるとき、制御回路は、第1 MOSFETおよび第2 MOSFETのそれぞれの第2ゲート電極に、

10

20

30

40

50

それぞれのソースにおける電圧に対して正極性の電圧を供給する。一方、出力端子を流れる電流が所定の電流値を超えないとき、第1 MOSFETおよび第2 MOSFETのそれぞれの第2ゲート電極に、それぞれのソースにおける電圧に対して負極性の電圧を供給する。これにより、出力端子を流れる出力電流（負荷電流）の電流値に従って、過渡時間短縮による低損失化とオン抵抗の低減による低損失化が図れる。

【0025】

< 代表的な電源システムの観点 >

電源システムに関する複数の実施の形態において、電源システムは、半導体集積回路装置と、コイル素子を具備する。コイル素子の一端は半導体集積回路装置の出力端子に結合され、出力端子からコイル素子に供給される電流の方向が周期的に変化する。

10

【0026】

電源システムに関するそれぞれの実施の形態において、半導体集積回路装置は、先に< 半導体集積回路装置の観点 >で述べた解決するための手段(1)から(6)のいずれかを有する。この解決するための手段(1)から(6)のいずれにおいても、半導体集積回路装置の低損失化を図ることが可能であるため、電源システムの低損失化が図れ、効率の向上を図ることが可能となる。

【0027】

特に、解決するための手段(5)あるいは(6)を有する半導体集積回路装置を用いた電源システムにおいては、電源システムによって給電される装置（例えば、CPU）が負荷と見なされる。負荷と見なされる装置の動作状況により、負荷が要求する電流（負荷電流）が変わる。

20

【0028】

本願発明者の検討によれば、半導体集積回路装置での損失における、過渡時間に起因して発生する損失と、オン抵抗により発生する損失との割合が、負荷が重く（重負荷）、負荷電流が高い場合と、負荷が軽く（軽負荷）、負荷電流が比較的低い場合とで、異なることが判明した。本願発明者の検討によれば、負荷電流が高くなるのに従って、オン抵抗により発生する損失の割合が、高くなる。

【0029】

解決するための手段(5)あるいは(6)においては、検出回路によって負荷電流が検出され、検出信号に応答して、選択回路（手段(5)）あるいは制御回路（手段(6)）が、MOSFET（手段(5)では、第2 MOSFET、手段(6)では、第1 MOSFETおよび第2 MOSFET）の第2入力電極に供給する電圧を選択する。負荷電流が所定の電流値を超えると、選択回路あるいは制御回路は、当該MOSFETの第2入力電極に供給される電圧が、当該MOSFETのソースにおける電圧よりも正となる極性の電圧を選択する。これにより、重負荷のときに発生する損失を低減させる。一方、軽負荷においては、選択回路あるいは制御回路は、MOSFETのソースにおける電圧よりも負となる極性の電圧を選択し、当該MOSFETの第2入力電極に供給する。これにより、軽負荷のときの損失を低減させる。

30

【0030】

このようにして、負荷となる装置の状態に応じて、そのとき低減に効果的な項目（過渡時間短縮による損失低減、オン抵抗低減による損失低減）で、損失の低減が図られる。その結果として、負荷に応じた電源システムの損失低減が可能となる。

40

【0031】

なお、上記した説明から理解されるように、上記した第1入力電極は、例えば特許文献1の第2のゲート電極に対応し、上記した第2入力電極が、第1のゲート電極に対応する。また、以下の説明においては、過渡時間における損失は、スイッチング損失とも称し、オン抵抗による損失は、導通損失とも称する。

【発明の効果】

【0032】

一実施の形態によれば、効率を向上させることが可能な電源システムおよびそれに用い

50

られる半導体集積回路装置を提供することができる。

【図面の簡単な説明】

【0033】

【図1】(A)から(D)は、実施の形態1に係わる半導体集積回路装置の要部回路を示す回路図および電圧波形図である。

【図2】(A)および(B)は、実施の形態2に係わる半導体集積回路装置の要部構成を示すブロック図および回路図である。

【図3】(A)から(D)は、実施の形態2に係わる半導体集積回路装置の動作を示す波形図である。

【図4】(A)から(D)は、実施の形態2に係わる半導体集積回路装置の動作を説明する説明図である。

【図5】実施の形態3に係わる半導体集積回路装置の要部構成を示すブロック図である。

【図6】(A)および(B)は、実施の形態3に係わる半導体集積回路装置の動作を示す波形図である。

【図7】実施の形態4に係わる半導体集積回路装置の要部構成を示すブロック図である。

【図8】(A)から(D)は、実施の形態4に係わる半導体集積回路装置の動作を示す波形図である。

【図9】(A)から(F)は、実施の形態4に係わる半導体集積回路装置の動作を説明するための説明図である。

【図10】実施の形態4に係わる半導体集積回路装置の特性を示す特性図である。

【図11】(A)から(F)は、実施の形態1に係わる半導体集積回路装置の動作を説明するための説明図である。

【図12】(A)から(F)は、実施の形態1に係わる半導体集積回路装置の動作を説明するための説明図である。

【図13】実施の形態1に係わる半導体集積回路装置の特性を示す特性図である。

【図14】(A)から(F)は、実施の形態2に係わる半導体集積回路装置の動作を説明するための説明図である。

【図15】実施の形態2に係わる半導体集積回路装置の特性を示す特性図である。

【図16】(A)および(B)は、実施の形態5に係わる半導体集積回路装置の要部構成を示すブロック図および波形図である。

【図17】(A)から(E)は、実施の形態5に係わる半導体集積回路装置の動作を説明するための説明図である。

【図18】実施の形態5に係わる半導体集積回路装置の特性を示す特性図である。

【図19】(A)および(B)は、実施の形態6に係わる半導体集積回路装置の要部構成および動作波形図である。

【図20】(A)から(E)は、実施の形態6に係わる半導体集積回路装置の動作を説明するための説明図である。

【図21】実施の形態6に係わる半導体集積回路装置の特性を示す特性図である。

【図22】(A)および(B)は、実施の形態7に係わる半導体集積回路装置の要部構成を示すブロック図および波形図である。

【図23】(A)から(E)は、実施の形態7に係わる半導体集積回路装置の動作を説明するための説明図である。

【図24】実施の形態7に係わる半導体集積回路装置の特性を示す特性図である。

【図25】実施の形態8に係わる半導体集積回路装置における要部の波形を示す波形図である。

【図26】実施の形態8に係わる半導体集積回路装置の特性を示す特性図である。

【図27】実施の形態9に係わる半導体集積回路装置の構成を示すブロック図である。

【図28】実施の形態9に係わる半導体集積回路装置の変形例2を示すブロック図である。

【図29】実施の形態9に係わる半導体集積回路装置の変形例3を示すブロック図である。

10

20

30

40

50

。

【図 3 0】実施の形態 1 0 に係わる半導体集積回路装置の構成を示すブロック図である。

【図 3 1】実施の形態 1 0 に係わる半導体集積回路装置の要部構成を示す回路図である。

【図 3 2】(A) から (E) は、実施の形態 1 0 に係わる半導体集積回路装置の動作を示す波形図である。

【図 3 3】実施の形態 1 1 に係わる半導体集積回路装置の構成を示すブロック図である。

【図 3 4】実施の形態 1 1 に係わる半導体集積回路装置の要部構成を示す回路図である。

【図 3 5】(A) から (E) は、実施の形態 1 1 に係わる半導体集積回路装置の動作を示す波形図である。

【図 3 6】(A) および (B) は、半導体集積回路装置、パッケージおよび電源システムの関係を示す模式図および平面図である。

10

【図 3 7】(A) および (B) は、第 1 ゲート電極および第 2 ゲート電極を有する MOS FET の平面図および断面図である。

【図 3 8】半導体集積回路装置の損失を説明するための説明図である。

【図 3 9】(A) および (B) は、MOS FET における損失を説明するための説明図である。

【図 4 0】実施の形態に係わる半導体集積回路装置および電源システムの構成を示すブロック図である。

【図 4 1】(A) から (G) は、実施の形態に係わる半導体集積回路装置の動作を示す波形図である。

20

【発明を実施するための形態】

【0034】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一部分には原則として同一の符号を付し、その繰り返しの説明は、原則省略する。

【0035】

＜電源システムおよび電源システムに用いられる半導体集積回路装置の概要＞

複数の実施の形態を、以下順次説明するが、各実施の形態において、共通となる電源システムおよびそれに用いられる半導体集積回路装置について、構成と動作の概要を、先ず説明する。

30

【0036】

図 4 0 は、電源システムの構成を示すブロック図である。同図において、4000 は、電源システム、4001 は、電源システム 4000 に結合された負荷である。負荷 4001 は、等価的には電流源として見なすことができるため、同図には電流源の記号として示されているが、先に説明したように、例えば CPU が負荷に相当する。電源システム 4000 は、特に制限されないが、制御用半導体集積回路装置 4007、コイル素子 4008、平滑用コンデンサ 4008、ブート用コンデンサ 4009、および 1 つのパッケージ 4002 に封止された複数の半導体チップ 4004 ~ 4006 を具備している。

【0037】

1 つのパッケージ 4002 に封止された複数の半導体チップは、この実施の形態においては、ハイサイド MOS FET 4005、ロウサイド MOS FET 4006、ハイサイド MOS FET 4005 およびロウサイド MOS FET 4006 を駆動するドライバー 4003 である。すなわち、ハイサイド MOS FET 4005、ロウサイド MOS FET 4006 およびドライバー 4003 は、それぞれ別々の半導体チップに形成されている。これら 3 個の半導体チップは、後で図 3 6 (A) および図 3 6 (B) を用いて説明するが、1 つのパッケージに封止されている。パッケージを 1 つの単位として、例えばプリント基板等を実装されるため、本願明細書においては、このパッケージ 4002 を半導体集積回路装置と称する。従って、以下の説明においては、4002 を半導体集積回路装置として説明する。なお、この実施の形態においては、MOS FET 4006 のソースに供給される電圧よりも、MOS FET 4005 のドレインに供給される電圧の方が電位が高い。そのた

40

50

め、MOSFET4005をハイサイドMOSFETと称し、MOSFET4006をロウサイドMOSFETと称している。

【0038】

図40において、T1～T6のそれぞれは、半導体集積回路装置4002に設けられた端子である。半導体集積回路装置4002には複数の端子が設けられているが、図40には、主要な端子のみが端子T1～T6として示されている。例えば、制御用半導体集積回路装置4007からの入力信号が伝達される端子は、図40では省略されている。端子T1は、半導体集積回路装置4002の出力信号VSWHを出力する出力端子、端子T2は、ロウサイドMOSFET4006に接地電圧PGNDを供給する電圧端子、端子T3は、ドライバーに接地電圧CGNDを供給する電圧端子である。また、端子T4は、制御回路4004に電源電圧VCINを供給する電圧端子、端子T5は、出力信号VSWHの電圧に応じた電源電圧BOOTをドライバーに供給する電圧端子、端子T6は、ハイサイドMOSFET4005に入力電圧VINを供給する電圧端子である。

10

【0039】

ハイサイドMOSFET4005およびロウサイドMOSFET4006のそれぞれは、先に述べたように、Nチャンネル型MOSFETであり、後で図37(A)および(B)を用いて説明するが、第1入力電極に相当する第1ゲート電極G1、第2入力電極に相当する第2ゲート電極G2、ソースSおよびドレインDを有している。第2入力電極(第2ゲート電極)G2は、第1入力電極(第1ゲート電極)G1よりも、ドレインD側に配置されており、第1ゲート電極G1に供給される電圧に従って、MOSFETはオンあるいはオフ(オン/オフ)する。すなわち、Nチャンネル型MOSFETであるため、ソースSにおける電圧に対して正の所定の電圧(しきい値電圧)を超える電圧が、第1ゲート電極G1に供給されることにより、オンする。一方、ソースSにおける電圧に対して、しきい値電圧以下の電圧が、第1ゲート電極G1に供給されると、オフする。

20

【0040】

後で、複数の実施の形態において説明するが、ハイサイドMOSFET4005およびロウサイドMOSFET4006のそれぞれの第2入力電極(第2ゲート電極)G2には、ソースSにおける電圧を基準として、正の極性の電圧あるいは負の極性の電圧が、供給される。ここでは、電源システムおよび半導体集積回路装置の概要を説明するので、これ以上の説明はしない。また、図40では、ハイサイドMOSFET4005およびロウサイドMOSFET4006において、これらのMOSFETが形成された半導体領域とドレインに相当する半導体領域との間で形成される寄生ダイオードがDDとして示されている。また、これらのMOSFETのバックゲートは、ソースに接続されている。ハイサイドMOSFET4005およびロウサイドMOSFET4006のそれぞれの第2ゲート電極G2の接続先は、後で実施の形態毎に説明するので、図40においては、第2ゲート電極G2の接続先は明示していない。

30

【0041】

ハイサイドMOSFET4005は、電圧端子T6と出力端子T1との間に、そのソース・ドレインの経路が直列に接続され、第1ゲート電極G1は、ドライバー4003の出力端子T7に接続されている。また、ロウサイドMOSFET4006は、出力端子T1と電圧端子T2との間に、そのソース・ドレイン経路が直列に接続され、第1ゲート電極G1は、ドライバー4003の出力端子T9に接続されている。実施の形態においては、電圧端子T2に接地電圧PGNDが供給され、接地電圧PGNDに対して高い正の電圧が、入力電圧VINとして、電圧端子T6に供給される。そのため、ここでは、ハイサイドMOSFET4005のドレインDが電圧端子T6に接続され、ソースSが出力端子T1に接続されているものとする。同様に、ロウサイドMOSFET4006のドレインDが出力端子T1に接続され、ソースSが電圧端子T2に接続されているものとする。

40

【0042】

ドライバー4003の出力端子T7から出力される出力信号(駆動信号)GHを、ハイサイドMOSFET4005は入力信号として、第1ゲート電極G1に受ける。また、ド

50

ライバー 4003 の出力端子 T9 から出力される出力信号（駆動信号）GL を、ロウサイド MOSFET 4006 は入力信号として、第 1 ゲート電極 G1 に受ける。ドライバー 4003 は、ハイサイド MOSFET 4005 とロウサイド MOSFET 4006 とが、相補的にオン/オフするように、駆動信号 GH、GL の電圧を変化させる。この駆動信号 GH、GL によって、ハイサイド MOSFET 4005 およびロウサイド MOSFET 4006 が、相補的にオン/オフすることにより、これに応じて、ハイサイド MOSFET 4005 あるいはロウサイド MOSFET 4006 のソース・ドレイン経路を介して、電圧端子 VIN あるいは電圧端子 PGND が、出力端子 T1 に電氣的に接続される。

【0043】

ハイサイド MOSFET 4005 がオンすることにより、入力電圧 VIN から、出力端子 T1 を介してコイル素子 4008 の一端の方向へ向けて、電流が供給される。反対に、ロウサイド MOSFET 4006 がオンすると、コイル素子 4008 の一端から出力端子 T1 の方向へ電流が供給され、電圧端子 T2 に供給される。ハイサイド MOSFET 4005 とロウサイド MOSFET 4006 とが相補的にオン/オフを繰り返すことにより、コイル素子 4008 の一端に周期的に交番的に変化する電流が供給されることになり、逆起電力が発生し、コイル素子 4008 の他端には、入力電圧 VIN とは異なる電圧値の出力電圧 Vout が形成され、平滑用コンデンサ 4009 により、平滑され、負荷 4001 に給電される。

【0044】

一方、コイル素子 4008 の一端に形成された電圧は、ブート用容量素子 4010 に供給される。ブート用容量素子 4010 は、コイル素子 4008 の一端における電圧が、周期的に変化することにより、出力端子 T1 における電圧値よりも高い電圧値を有する電圧 BOOT を形成し、電圧端子 T5 に供給する。

【0045】

ドライバー 4003 は、駆動回路 4011、4012 および制御回路 4004 を具備している。駆動回路 4011 は、電圧端子 T8 からの電圧を基準電圧とし、電圧端子 T5 からの電圧 BOOT を電源電圧とし、制御回路 4004 からの出力信号 f に従った信号を駆動信号 GH として出力する。ここで、電圧端子 T8 は、ハイサイド MOSFET 4005 のソース S に接続されているため、駆動回路 4011 は、ハイサイド MOSFET 4005 のソース S における電圧、言い換えるならば出力端子 T1 における電圧を基準とした駆動信号 GH を出力する。そのため、駆動信号 GH の電圧は、例えば基準電圧（電圧端子 T8 における電圧）と電圧 BOOT との間で変化することになる。

【0046】

一方、駆動回路 4012 は、電圧端子 T10 における電圧を基準電圧とし、電圧端子 T4 に供給される電源電圧 Vcin を電源電圧として、動作する。ここで、電圧端子 T10 は、電圧端子 T2 に接続されているため、駆動回路 4012 は、接地電圧 PGND と電圧 Vcin を電源電圧とし、制御回路 4004 からの出力信号 c に従った駆動信号 GL を、出力端子 T9 を介して、ロウサイド MOSFET 4006 の第 1 ゲート電極 G1 へ出力する。

【0047】

制御回路 4004 は、電圧端子 T3 に供給される接地電圧 CGND、電圧端子 T4 に供給される電圧 Vcin および電圧端子 T5 に供給される電圧 BOOT を動作電源として、動作する。制御回路 4004 は、制御端子 T11、T12 を有し、制御用半導体集積回路装置 4007 から制御端子 T11 に供給されるパルス幅制御信号 PWM（入力信号 a）に従った出力信号 f および c を形成する。制御端子 T12 には、制御回路 4004 を動作させるか否かを指示する制御信号 DISBL# が供給される。図 40 においては、抵抗素子 4022 を介して制御端子 T12 に電源電圧 Vcin が供給されている。電源電圧 Vcin は、ハイレベルであるため、制御信号 DISBL# はハイレベルとなり、制御回路 4004 は、制御端子 T11 に供給されるパルス幅制御信号 PWM に従った出力信号 g および c を形成する。一方、制御信号 DISBL# がロウレベルにされた場合には、制御回路 4

10

20

30

40

50

004は非動作状態となる。これにより、制御信号DISBL#によって、電源システム4000を動作状態あるいは非動作状態に制御することが可能とされている。

【0048】

制御回路4004の電圧端子T3に供給される接地電圧CGNDは、ロウサイドMOSFET4006のソースSに接続された電圧端子T2に供給される接地電圧PGNDと実質的に同じ電圧（接地電圧GND）である。この実施の形態においては、制御回路4004に接地電圧を供給する電圧端子T3とロウサイドMOSFET4006のソースSに接地電圧を供給する電圧端子T2とを電氣的に分離することにより、例えばロウサイドMOSFET4006が動作することにより生じる接地電圧PGNDの変動が、制御回路4004に伝達されるのを防ぐことが可能とされている。また、電圧端子T5に供給される電圧BOOTの電圧値は、電圧端子T4に供給される電源電圧VCINよりも高くされる。制御回路4004の出力信号fのハイレベルは、電圧BOOTの電圧となるように、制御回路4004は構成される。これにより、電源電圧VCINよりも高い電圧である電圧BOOTを有する出力信号fが駆動回路4011に入力される。

10

【0049】

なお、特に制限されないが、入力電圧VINは例えば12Vであり、ドライバー4003用の電源電圧VCINは例えば5Vである。

【0050】

この実施の形態において、駆動回路4011および4012のそれぞれは、バッファ回路として機能する。そのため、駆動回路4012は、制御回路4004からの出力信号cをロウサイドMOSFET4006の第1ゲート電極G1に供給する。ここで、ロウサイドMOSFET4006の第1ゲート電極G1に供給される駆動信号GLの電圧は、電源電圧VCINと接地電圧との間を遷移する。

20

【0051】

一方、駆動回路4011は、制御回路4004からの出力信号fをハイサイドMOSFET4005の第1ゲート電極G1に供給する。駆動回路4011には、電源電圧として電圧BOOTが供給されており、出力信号fのハイレベルの電圧は電圧BOOTとなる。そのため、ハイサイドMOSFET4005の第1ゲート電極G1に供給される駆動信号GHの電圧は、電圧BOOTと電圧端子T8における電圧VSWH（ハイサイドMOSFETのソースにおける電圧）との間を遷移する。このように、ハイサイドMOSFET4005の第1ゲート電極G1に供給される駆動信号GHの電圧を高くすることにより、ハイサイドMOSFET4005のしきい値電圧による損失を低減する。

30

【0052】

電源システム4000の出力端子T13から出力される出力電圧Voutは、制御用半導体集積回路装置4007に供給される。制御用半導体集積回路装置4007は、出力電圧Voutの電圧値に応じて、パルス幅制御信号PWM（入力信号a）を形成する。すなわち、出力電圧Voutの電圧値に応じたパルス幅（例えばハイレベルとなっている期間）を有するパルス幅制御信号PWMを形成する。

【0053】

この実施の形態における制御回路4004は、レベルシフタ4013および4014、入力論理回路4018、アンド回路4016および4017、ノア回路4014、インバータ回路4020、低電圧検出回路4021、およびオーバーラップ防止回路4015を有している。ここで、レベルシフタ4013には、上記した電圧BOOTが供給され、レベルシフタ4013から出力される出力信号fのハイレベルは電圧BOOTの電圧値となるようにされている。なお、特に制限されないが、オーバーラップ防止回路4015には、出力信号fのハイレベルの電圧値を適切な値に変換する電圧変換回路が設けられている。

40

【0054】

図40から理解されるように、アンド回路4016は、1つの反転入力端子と2つの非反転入力端子を有する3入力のアンド回路であり、アンド回路4017は、2つの反転入力端子と1つの非反転入力端子を有する3入力のアンド回路である。ここで、反転入力端

50

子は、その端子に供給された信号を反転させて、アンド回路に供給する端子であり、非反転端子は、その端子に供給された信号を、そのままアンド回路に供給する端子を意味する。なお、この実施の形態において、インバータ4020は、ノイズによる誤動作を防ぐために、ヒステリシス機能を有する。

【0055】

入力論理回路4018は、複数の機能を有するが、ここではその説明は省略する。制御用半導体集積回路装置4007から出力されたパルス幅制御信号PWM（入力信号a）は、制御端子T11を介して入力論理回路4018に入力される。入力論理回路4018の出力信号bは、アンド回路4017の反転入力端子とアンド回路4016の非反転入力端子に供給される。アンド回路4016、4017のそれぞれの非反転入力端子には、ノア回路4019の出力信号が供給される。当該ノア回路4019の一方の入力端子には、インバータ4019を介して制御信号DISBL#が供給され、他方の入力端子には、低電圧検出回路4021を介して電源電圧VCINが供給されている。

10

【0056】

低電圧検出回路4021には、電源電圧VCINが入力され、電源電圧VCINが所定の電圧値よりも低下したとき、ハイレベルの出力信号を形成し、ノア回路4019へ供給する。これにより、制御信号DISBL#をロウレベルにした場合あるいは電源電圧VCINが所定の電圧値よりも低下した場合、ノア回路4019が、ロウレベルの出力信号を形成する。ノア回路4019の出力信号がロウレベルとなることにより、アンド回路4016、4017のそれぞれの、入力論理回路4018の出力信号bあるいはノア回路4019の出力信号d、gを、その出力へ伝達しなくなる。この結果として、制御回路4004は非動作状態となる。これに対して、電源電圧VCINが所定の電圧値を超えており、ハイレベルの制御信号DISBL#が供給されている場合には、ノア回路4019の出力信号はハイレベルとなる。その結果として、アンド回路4016、4017のそれぞれの、入力論理回路4018の出力信号bあるいはノア回路4019の出力信号d、gを、その出力へ伝達するようになり、制御回路4004は動作状態となる。

20

【0057】

アンド回路4016の反転入力端子には、オーバーラップ防止回路4015の出力信号dが供給され、アンド回路4017の反転入力端子には、オーバーラップ防止回路4015の出力信号gが供給される。アンド回路4016の出力信号eは、レベルシフタ4013を介して、制御回路4004の出力信号fとして駆動回路4011へ入力される、また、この出力信号fは、オーバーラップ防止回路4015へ入力される。一方、アンド回路4017の出力信号cは、制御回路4004の出力信号として、駆動回路4012に入力される。また、出力信号cは、レベルシフタ4014によって所望の電圧値にレベルシフトされ、オーバーラップ防止回路4015に供給される。

30

【0058】

オーバーラップ防止回路4015は、ハイスайдMOSFET4005とロウサイドMOSFET4006とが、同時にオン状態となるのを防ぐための回路である。同時にオン状態となるのを防ぐために、出力信号cおよびfを受け、互いにハイレベルが、時間的にオーバーラップしない出力信号dおよびgを形成する。このような回路は、例えば複数の論理回路および遅延回路を用いることにより構成することができる。

40

【0059】

次に、図41(A)～図41(G)を用いて、図40に示した電源システムの動作を説明する。図41(A)～図41(G)は、上記した信号（出力信号および制御信号）a～gの波形図である。これらの図において、横軸は時間を示し、縦軸は電圧を示す。

【0060】

図41(A)は、制御用半導体集積回路装置4007から出力されるパルス幅制御信号PWM（同図では、aと記載）の波形図である。この図においては、説明のために、ハイレベルとなっている期間（パルス幅）が、1つだけ示されているが、ハイレベルとなって

50

いる期間（パルス幅）は、周期的に発生する。この実施の形態においては、電源システム 4000 の出力電圧 V_{out} の電圧値に従って、制御用半導体集積回路装置 4007 は、パルス幅制御信号 PWM におけるパルス幅（ハイレベルとなっている期間）を変え、出力電圧 V_{out} の電圧値が所定の値となるように制御する。所謂、PWM 制御方式を採用している。

【0061】

図 41 (A) において、パルス幅制御信号 PWM (a) が、時刻 t_1 でロウレベルからハイレベルへ変化する。入力論理回路 4018 は、パルス幅制御信号 PWM のこの変化に
10 応答して、所定の遅延時間後の時刻 t_2 において、出力信号 b をロウレベルからハイレベルへ変化させる（図 41 (B)）。アンド回路 4017 は、反転入力端子に供給されている出力信号 b がハイレベルへ変化することにより、時刻 t_2 において、出力信号 c をロウレベルへ変化させる（図 41 (C)）。駆動回路 4012 は、出力信号 c がロウレベルへ変化すること
20 に応答して、ロウレベルの駆動信号 GL を形成して、ロウサイド MOSFET 4006 の第 1 ゲート電極 G1 へ供給する。駆動回路 4012 はバッファとして機能するため、駆動信号 GL と出力信号 c とは互いに同期している。そのため、図 41 (C) には、駆動信号 GL の波形が示されていると見なすことができ、図 41 (C) には、駆動信号 GL を意味する符号 GL が、(GL) として示されている。

【0062】

オーバラップ防止回路 4015 は、レベルシフタ 4014 を介して出力信号 c の変化（ハイレベルからロウレベルへの変化）を受ける。この変化を受けると、所定遅延時間後の
20 時刻 t_3 において、オーバラップ防止回路 4015 は、出力信号 d をハイレベルからロウレベルへ変化させる（図 41 (D)）。出力信号 d は、アンド回路 4016 の反転入力端子に供給されているため、出力信号 d がロウレベルへ変化することにより、アンド回路 4016 は、その出力信号 e をロウレベルからハイレベルへ、時刻 t_3 において変化させる（図 41 (E)）。

【0063】

アンド回路 4016 の出力信号 e がロウレベルからハイレベルへ変化することにより、これに応答して、レベルシフタ 4013 は、ハイレベルの出力信号 f を形成する。レベルシフタ 4013 には、電圧 B_{OOT} が動作電圧として、給電されているため、出力信号 f
30 のハイレベルは、電圧 B_{OOT} の電圧値となる。この出力信号 f は、バッファとして機能する駆動回路 4011 を介してハイサイド MOSFET 4005 の第 1 ゲート電極 G1 に供給される。駆動回路 4011 は、電圧 B_{OOT} と、電圧端子 T8 における電圧 V_{SWH} を動作電圧としている。そのため、駆動回路 4011 からハイサイド MOSFET 4005 の第 1 ゲート電極 G1 に供給される駆動信号 GH のハイレベルの電圧値は、電圧 B_{OOT} となり、駆動信号 GH のロウレベルの電圧値は、電圧 V_{SWH} となる。出力信号 f と駆動信号 GH とは同期しているため、図 41 (F) には、出力信号 f と出力信号 GH が、時刻 t_4 において、ハイレベル（電圧 B_{OOT} ）へ変化するように示されている。

【0064】

オーバラップ防止回路 4015 は、出力信号 f がハイレベルへ変化すると、所定時間後の時刻 t_5 において、出力信号 g をロウレベルからハイレベルへ変化させる（図 41 (G)）。
40

【0065】

上記したように、パルス幅制御信号 PWM（図 41 では a）が、ロウレベルからハイレベルへ変化することにより、時刻 t_2 において、駆動回路 4012 の駆動信号 GL はハイレベルからロウレベルへ変化する。一方、時刻 t_2 よりも後の時刻 t_4 において、駆動回路 4011 の駆動信号 GH はロウレベル（ V_{SWH} ）からハイレベル（ B_{OOT} ）へ変化する。これにより、時刻 t_2 において、ロウサイド MOSFET 4006 はオフ状態へ遷移を開始し、時刻 t_4 において、ハイサイド MOSFET 4005 はオン状態へ遷移を開始する。その結果として、入力電圧 V_{IN} が、ハイサイド MOSFET 4005 を介して出力端子 T1 に供給され、コイル素子 4008 の一端およびブート容量 4010 の一端に
50

供給される。言い換えるならば、出力端子 T 1 を介して、電圧端子 T 6 からコイル素子 4 0 0 8 の一端へ電流が供給される。

【 0 0 6 6 】

次に時刻 t 6 において、パルス幅制御信号 P W M (図 4 1 (A) では a) が、ハイレベルからロウレベルへ変化する (図 4 1 (A))。この変化にตอบสนองして、入力論理回路 4 0 1 8 は、所定時間後の時刻 t 7 において、その出力信号 b をハイレベルからロウレベルへ変化させる (図 4 1 (b))。出力信号 b がロウレベルへ変化することにより、アンド回路 4 0 1 6 の出力信号 e は、時刻 t 7 において、ロウレベルへ変化する (図 4 1 (e))。

【 0 0 6 7 】

出力信号 e がロウレベルへ変化すると、レベルシフタ 4 0 1 3 は、その出力信号 f をハイレベル (電圧 B O O T) からロウレベルへ変化させる。レベルシフタ 4 0 1 3 の出力信号 f の変化にตอบสนองして、駆動回路 4 0 1 1 は駆動信号 G H をハイレベル (B O O T) からロウレベル (V S W H) へ変化させる (図 4 1 (F) の時刻 t 8)。

【 0 0 6 8 】

出力信号 f がハイレベルからロウレベルへ変化すると、オーバーラップ防止回路 4 0 1 5 は、このロウレベルへの変化にตอบสนองして、所定時間後の時刻 t 9 において、その出力信号 g をハイレベルからロウレベルへ変化させる (図 4 1 (G))。これにより、アンド回路 4 0 1 7 の 2 つの反転入力端子には、ともにロウレベルが供給されることになり、アンド回路 4 0 1 7 の出力信号 c は、ロウレベルからハイレベルへ変化する (図 4 1 (C) の時刻 t 9)。この出力信号 c は、駆動回路 4 0 1 2 によってバッファリングされ、駆動信号 G L としてロウサイド M O S F E T 4 0 0 6 の第 1 ゲート電極 G 1 に供給される。

【 0 0 6 9 】

出力信号 c が、時刻 t 9 においてロウレベルからハイレベルへ変化すると、オーバーラップ防止回路 4 0 1 5 は、出力信号 c がハイレベルへ変化してから所定時間経過後に、出力信号 d をロウレベルからハイレベルへ変化させる (図 4 1 (D) の時刻 t 1 0)。

【 0 0 7 0 】

時刻 t 1 0 以降は、時刻 t 1 よりも前の状態となり、次にパルス幅制御信号 P W M が再びハイレベルになることにより、上記した動作が繰り返される。

【 0 0 7 1 】

上記したように、時刻 t 8 において、ハイスайд M O S F E T 4 0 0 5 の第 1 ゲート電極 G 1 に供給される駆動信号 G H がロウレベル (V S W H) へ遷移し、時刻 t 8 よりも後の時刻 t 9 において、ロウサイド M O S F E T 4 0 0 6 の第 1 ゲート電極 G 1 に供給される駆動信号 G L がロウレベルへ遷移する。すなわち、ハイスайд M O S F E T 4 0 0 5 とロウサイド M O S F E T 4 0 0 6 とが、同時にオン状態となる期間を防止することができる。

【 0 0 7 2 】

一方、時刻 t 9 において、駆動信号 G L がハイレベル (V C I N) となることにより、ロウサイド M O S F E T 4 0 0 6 がオン状態へ遷移する。これにより、出力端子 T 1 は、ロウサイド M O S F E T 4 0 0 6 を介して電圧端子 T 2 に接続されることになる。言い換えるならば、出力端子 T 1 を介して、コイル素子 4 0 0 8 の一端から電圧端子 T 2 の方向へ電流が流れる。

【 0 0 7 3 】

コイル素子 4 0 0 8 に対して交番的に電流を供給することにより、コイル素子 4 0 0 8 には、逆起電圧が発生し、コイル素子 4 0 0 8 の他端には、入力電圧 V I N とは異なる電圧値の出力電圧 V o u t が発生する。

【 0 0 7 4 】

発生した出力電圧 V o u t の電圧値が所定の値となるように、制御用半導体集積回路装置 4 0 0 7 は、出力電圧 V o u t の電圧値に応じてパルス幅制御信号 P W M のパルス幅を制御する。

10

20

30

40

50

【 0 0 7 5 】

< ハイサイド MOS F E T およびロウサイド MOS F E T の構造 >

次に、上記したハイサイド MOS F E T 4 0 0 5 およびロウサイド MOS F E T 4 0 0 6 の構造を説明する。ハイサイド MOS F E T 4 0 0 5 とロウサイド MOS F E T 4 0 0 6 とは、サイズは異なっているが、互いに同じ構造を有している。ここでは、ロウサイド MOS F E T 4 0 0 6 の構造を例として説明する。

【 0 0 7 6 】

図 3 7 (A) は、ロウサイド MOS F E T 4 0 0 6 の半導体チップにおけるレイアウトを示す模式的な平面図である。また、図 3 7 (B) は、図 3 7 (A) において、B - B ' で見た場合のロウサイド MOS F E T 4 0 0 6 の断面を示す模式的な断面図である。図 3 7 (A) において、3 7 0 0 は、半導体チップを示している。この実施の形態においては、特に制限されないが、2 個の MOS F E T が半導体チップ 3 7 0 0 に形成され、2 個の MOS F E T のそれぞれのソース S、ドレイン D、第 1 ゲート電極 G 1、および第 2 ゲート電極 G 2 が、互いに接続され、1 個のロウサイド MOS F E T 4 0 0 6 を構成している。

10

【 0 0 7 7 】

図 3 7 (A) において、3 7 0 1 は、上記した 2 個の MOS F E T のそれぞれのソース電極、3 7 0 2 は、2 個の MOS F E T のそれぞれの第 2 ゲート電極 G 2、3 7 0 3 は、ロウサイド MOS F E T 4 0 0 6 の第 1 ゲート電極 G 1 の接続パッドである。なお、ロウサイド MOS F E T 4 0 0 6 のドレイン電極は、半導体チップ 3 7 0 0 の裏面である。ソース電極 3 7 0 1 は、第 2 ゲート電極 3 7 0 2 の一部の領域を覆うように形成されている。ソース電極 3 7 0 2 によって覆われていない第 2 ゲート電極 3 7 0 2 の領域を用いて、第 2 ゲート電極 3 7 0 2 に駆動信号 G L が供給される。

20

【 0 0 7 8 】

図 3 7 (B) において、3 7 0 4 は、N⁻型 (第 1 導電型) の半導体領域であり、ロウサイド MOS F E T 4 0 0 6 のドレイン D として機能する半導体領域である。3 7 0 5 は、P⁻型 (第 2 導電型) の半導体領域であり、MOS F E T のチャンネルが形成される半導体領域である。また、3 7 0 6 は、N⁺型 (第 1 導電型) の半導体領域であり、MOS F E T のソース S として機能する半導体領域である。半導体領域 3 7 0 4 の主面に、半導体領域 3 7 0 5 が積層され、さらに半導体領域 3 7 0 5 の主面に半導体領域 3 7 0 6 が積層される。同図に示されているように、半導体領域 3 7 0 4、3 7 0 5 および 3 7 0 6 には、溝が形成されている。半導体領域 3 7 0 4 の溝には、絶縁層 3 7 0 7 を挟んで金属層 3 7 0 8 が形成されている。金属層 3 7 0 8 と重なるように、半導体領域 3 7 0 4、3 7 0 5 の溝には、絶縁層 3 7 0 7 を挟んで金属層 3 7 0 9 が形成されている。金属層 3 7 0 9 は、上記した第 1 ゲート電極 G 1 を構成し、金属層 3 7 0 8 は、上記した第 2 ゲート電極 G 2 を構成する。

30

【 0 0 7 9 】

第 1 ゲート電極 G 1 として機能する金属層 3 7 0 9 と半導体領域 3 7 0 5 との間に挟まれた部分の絶縁層 3 7 0 7 は、ロウサイド MOS F E T 4 0 0 6 のゲート絶縁膜と理解することができる。この実施の形態においては、溝の縦方向において、第 1 ゲート電極 G 1 を構成する金属層 3 7 0 9 が、ソース S として機能する半導体領域 3 7 0 6 とドレイン D として機能する半導体領域 3 7 0 4 と一部の領域が重なるようにされている。また、第 2 ゲート電極 G 2 として機能する金属層 3 7 0 8 は、溝の縦方向において、ドレイン D として機能する半導体領域 3 7 0 4 に埋設されている。言い換えるならば、溝の縦方向において、第 2 ゲート電極 G 2 は、第 1 ゲート電極 G 1 よりも、ドレイン D 側に配置されている。

40

【 0 0 8 0 】

また、図 3 7 (B) において、3 7 0 1 はソース電極であり、ソース S として機能する半導体領域 3 7 0 6 と電氣的に接続されている。なお、ソース電極 3 7 0 1 は、チャンネルが形成される半導体領域 3 7 0 5 と電氣的に接続されている。これにより、ソース S

50

とロウサイドMOSFET4006のバックゲートとがソース電極3701に電氣的に接続されている。第1ゲート電極G1として機能する金属層3709は、図37(A)に示した接続パッド3703に接続されている。また、3710は、半導体チップ3700の裏面に設けられたドレイン電極を示している。

【0081】

図37(B)において、Crssは、第1ゲート電極G1とドレインDとの間に形成されてしまう第1ゲート・ドレイン間容量を示している。第2ゲート電極G2に供給される電圧を、ソースSに対して負電圧にすることによって、第2ゲート電極により空乏層をより大きく延ばすことができ、第1ゲート・ドレイン間容量Crssを減少させることが可能となる。また、第2ゲート電極G2に供給される電圧を、ソースSに対して正電圧にすることによって、第2ゲート電極G2に対応するドレイン領域における抵抗値を低減することができ、ロウサイドMOSFET4006をオン状態にした際のオン抵抗を減少させることが可能となる。

10

【0082】

ハイサイドMOSFET4005においても、同様に、第2ゲート電極G2に供給する電圧の極性(ソースにおける電圧を基準として)を変えることにより、第1ゲート・ドレイン間の容量Crssを減少させることが可能であり、またオン抵抗を低減することが可能となる。後で、図36(B)で示すが、ロウサイドMOSFET4006(図40)は、コイル素子4008からの電流を接地電圧PGNDへ流し、出力端子T1の電圧を低下させるために、ハイサイドMOSFET4005よりもサイズが大きくされている。そのため、ロウサイドMOSFET4006における第1ゲート・ドレイン間容量Crssおよびオン抵抗の低減は、特に有効である。

20

【0083】

(実施の形態1)

図1(A)は、実施の形態1に係わる半導体集積回路装置4002の要部の構成を示す回路図である。図1(B)は、図1(A)に示した半導体集積回路装置4002における電圧の波形を示す波形図である。

【0084】

図1(A)には、図40に示した半導体集積回路装置4002におけるロウサイドMOSFET4006と駆動回路4012とが示されている。図1(A)に示されていない部分は、図40に示した半導体集積回路装置4002と同じ構成となっているので、説明は省略する。

30

【0085】

図40において説明したように、ロウサイドMOSFET4006の第1ゲート電極G1は、ドライバー4003の出力端子T9に接続され、そのソースおよびバックゲートは、電圧端子T2に接続され、そのドレインは半導体集積回路装置4002の出力端子T1に接続されている。また、ドライバー4003は、ロウサイドMOSFET4006を駆動する駆動回路4012を有しており、駆動回路からの駆動信号GLが出力端子T9を介してロウサイドMOSFET4006の第1ゲート電極G1に供給されている。

40

【0086】

実施の形態1において、ドライバー4003は、制御端子T14と制御端子T14に接続された第2ゲート電極制御回路1001とを具備している。制御端子T14は、ロウサイドMOSFET4006の第2ゲート電極G2に接続されており、第2ゲート電極制御回路1001により形成された第2ゲート制御信号ULが制御端子T14を介してロウサイドMOSFET4006の第2ゲート電極G2へ供給される。第2ゲート電極制御回路1001は、図1(A)においては、例示として可変電圧源1004を有している。可変電圧源1004は、接地電圧CGNDに対して正の電圧を発生する。また、発生する電圧値は可変とされている。接地電圧CGNDは、接地電圧PGNDと実質的に同じ接地電圧GNDである。そのため、第2ゲート電極制御回路1001は、ロウサイドMOSFET4006のソースに対して正の極性を有し、その電圧値が変わる第2ゲート制御信号UL

50

を形成する。

【0087】

ソースにおける電圧（接地電圧PGND）を基準として、正の電圧が第2ゲート制御信号ULとして、ロウサイドMOSFET4006の第2ゲート電極G2に供給されるため、ロウサイドMOSFET4006がオン状態にされたとき、そのオン抵抗を低減することが可能となる。オン抵抗を低減することにより、ロウサイドMOSFET4006がオン状態となったときの損失（消費電力）を低減することが可能となり、ひいては半導体集積回路装置4002の低損失化を図ることが可能となる。また、この実施の形態1においては、第2ゲート電極G2に供給される電圧値を変更できるため、オン抵抗の値を調整することも可能となる。

10

【0088】

第2ゲート電極制御回路1000の一例が、図1（C）および図1（D）に示されている。図1（C）は、正極性の電圧を有する第2ゲート制御信号ULを形成する第2ゲート電極制御回路1000の一例を示す回路図である。また、図1（D）は、負極性の電圧を有する第2ゲート制御信号ULを形成する第2ゲート電極制御回路1000の一例を示す回路図である。図1（B）は、図1（D）に示した第2ゲート電極制御回路1000によって形成される第2ゲート制御信号ULの電圧波形を示す波形図である。なお、この実施の形態においては、ロウサイドMOSFET4006のソースSにおける電圧、すなわち接地電圧GNDに対する電圧であるため、正極性の電圧は、正電圧を意味し、負極性の電圧は負電圧を意味する。

20

【0089】

先ず、正極性の電圧を有する第2ゲート制御信号ULを形成する第2ゲート電極制御回路1000について説明する。図1（C）において、1002は、Nチャンネル型MOSFETであり、1003および1004のそれぞれは、抵抗素子であり、1005は、差動増幅回路であり、1006は、可変電圧源である。

【0090】

制御端子T14と接地電圧CGNDとの間に抵抗素子1003と1004が直列に接続され、抵抗素子1003と1004との間の接続ノードから、分圧電圧が取り出される。取り出された分圧電圧は、差動増幅回路1005の反転入力（-）に供給され、可変電圧源1006からの可変電圧が、差動増幅回路1005の非反転入力（+）に供給されている。差動増幅回路1005の出力信号は、そのドレインに電源電圧VCINが供給され、そのバックゲートとドレインが制御端子T14に接続されたMOSFET1002のゲートに供給されている。抵抗素子1003と抵抗素子1004との間の抵抗比で定まる分圧電圧と、可変電圧源1006からの可変電圧との間の電圧差が減少する様に、差動増幅回路1005はMOSFET1002を制御する。これにより、可変電圧源1006からの可変電圧に対応した電圧が、第2ゲート制御信号ULとして形成され、ロウサイドMOSFET4006の第2ゲート電極G2に供給される。ここでは、可変電圧源1006の可変電圧の値を変更することにより、ロウサイドMOSFET4006のオン抵抗の値を調整することが可能となる。

30

【0091】

次に、図1（D）および図1（B）を用いて、負極性の電圧を有する第2ゲート制御信号ULを形成する第2ゲート電極制御回路1000を説明する。図1（D）において、第2ゲート電極制御回路1000は、Pチャンネル型MOSFET1007、Nチャンネル型MOSFET1008、発振回路1013、容量素子1009および1012、およびダイオード素子1010および1011を有する。

40

【0092】

Pチャンネル型MOSFET1007とNチャンネル型MOSFET1008は、電源電圧VCINと接地電圧CGNDとの間に、それぞれのソース・ドレイン経路が直列に接続されている。また、それぞれのゲート電極には、発振回路1013からの発振出力が供給される。すなわち、Pチャンネル型MOSFET1007とNチャンネル型MOSFET

50

T 1 0 0 8 とにより、C M O S 型のインバータが構成され、当該インバータに発振回路 1 0 1 3 の発振出力が入力されている。インバータの出力 (M O S F E T 1 0 0 7 と M O S F E T 1 0 0 8 の接続ノード) は、容量素子 1 0 0 9 を介してダイオード素子 1 0 1 0 のカソードとダイオード素子 1 0 1 1 のアノードとに接続され、ダイオード素子 1 0 1 0 のアノードは、容量素子 1 0 1 2 の一端と制御端子 T 1 4 に接続されている。ここで、ダイオード素子 1 0 1 1 のカソードと容量素子 1 0 1 2 の他端は、接地電圧 C G N D に接続されている。

【 0 0 9 3 】

発振回路 1 0 1 3 の発振出力に従って、インバータ (M O S F E T 1 0 0 7 、 1 0 0 8) は、容量素子 1 0 0 9 を周期的に充電・放電する。すなわち、M O S F E T 1 0 0 7 がオンすることにより、当該 M O S F E T 1 0 0 7 、容量素子 1 0 0 9 およびダイオード素子 1 0 1 1 によって充電経路が構成され、容量素子 1 0 0 9 の充電が行われる。一方、M O S F E T 1 0 0 8 がオンすることにより、当該 M O S F E T 1 0 0 8 、容量素子 1 0 0 9 、ダイオード素子 1 0 1 0 および容量素子 1 0 1 2 によって放電経路が構成される。放電経路が構成された際に、容量素子 1 0 0 9 と 1 0 1 2 との間で電荷分散が行われ、制御端子 T 1 4 における電圧は、接地電圧 C G N D よりも負の電圧 (負極性の電圧) となる。この負極性の電圧が、第 2 ゲート制御信号 U L として、ロウサイド M O S F E T 4 0 0 6 の第 2 ゲート電極 G 2 に供給される。

【 0 0 9 4 】

図 1 (B) には、ロウサイド M O S F E T 4 0 0 6 のソースにおける電圧 (同図では、ソース電圧 (G N D) と記載) と第 2 ゲート制御信号 U L の電圧波形が示されている。同図において、横軸は時間であり、縦軸は電圧である。ロウサイド M O S F E T 4 0 0 6 のソース S およびバックゲートは、接地電圧 P G N D が供給されている電圧端子 T 2 に接続されている。そのため、ロウサイド M O S F E T 4 0 0 6 のソース S における電圧は、接地電圧 P G N D (同図では G N D と記載) となっている。これに対して、図 1 (D) に示した第 2 ゲート電極制御回路 1 0 0 0 は、接地電圧 C G N D に対し負極性の電圧を形成する。接地電圧 P G N D と接地電圧 C G N D は、ともに接地電圧 (G N D) であるため、図 1 (B) に示すように、図 1 (D) の第 2 ゲート電極制御回路 1 0 0 0 により形成される第 2 ゲート制御信号 U L は、ロウサイド M O S F E T 4 0 0 6 のソース S における電圧よりも低い電圧となる。言い換えるならば、ソース S における電圧を基準とした場合、負極性の電圧となる。

【 0 0 9 5 】

ロウサイド M O S F E T 4 0 0 6 の第 2 ゲート電極 G 2 に、そのソース S における電圧に対し負極性の電圧を供給することにより、第 1 ゲート・ドレイン間の容量 C r s s を低減することが可能となり、ロウサイド M O S F E T 4 0 0 6 がオンからオフあるいはオフからオンへ遷移する過渡時間 (以下、遷移時間とも称する) を短縮することが可能となる。電力を消費する遷移時間が短縮されることにより、ロウサイド M O S F E T 4 0 0 6 の消費電力 (損失) の低減が可能となり、ひいては、半導体集積回路装置 4 0 0 2 の低損失化を図ることが可能となる。

【 0 0 9 6 】

(実施の形態 2)

実施の形態 1 においては、第 2 ゲート電極制御回路 1 0 0 0 によって、ソース S における電圧に対して正極性の電圧あるいは負極性の電圧を有する第 2 ゲート制御信号 U L が形成されている。実施の形態 1 の場合、ロウサイド M O S F E T 4 0 0 6 が、その第 1 ゲート電極 G 1 に供給される駆動信号 G L によって、遷移するとき、およびオン状態あるいはオフ状態のいずれのときにおいても、第 2 ゲート電極 G 2 には、正極性あるいは負極性の電圧を有する第 2 ゲート制御信号 U L が定常的に供給される。

【 0 0 9 7 】

ところが、本願発明者が検討したところでは、負極性の電圧を有する第 2 ゲート制御信号 U L を第 2 ゲート電極 G 2 に供給した場合、第 1 ゲート・ドレイン間容量 C r s s は減

10

20

30

40

50

少するが、M O S F E Tのオン抵抗は増加するということが判明した。同様に、正極性の電圧を有する第2ゲート制御信号U Lを第2ゲート電極G 2に供給した場合には、M O S F E Tのオン抵抗は減少するが、第1ゲート・ドレイン間容量C r s sは増加するということが判明した。そのため、正極性あるいは負極性の電圧を有する第2ゲート制御信号U Lを、定常的にM O S F E Tの第2ゲート電極G 2へ供給していると、損失が増加するときに生じることになる。

【0098】

そこで、本願発明者は、M O S F E Tのオン抵抗により生じる損失、すなわち導通損失と、M O S F E Tをオンからオフあるいはオフからオンする際に生じる損失、すなわちスイッチング損失とを検討した。検討は、電源システム4000に用いられる半導体集積回路装置4002を対象とし、半導体集積回路装置4002での損失の種類と割合とを検討した。

10

【0099】

まず、半導体集積回路装置4002での損失を分類した。図38は、半導体集積回路装置4002での損失を示す特性図である。図38には、3個の測定結果が示されている。まず、図38の中央には、出力端子T 1(図40)を流れる出力電流(負荷電流)I o u t(A)と半導体集積回路装置4002の効率(%)との関係を表す特性グラフが示されている。この特性グラフにおいて、横軸は出力電流を示し、縦軸は、半導体集積回路装置4002の入力電力と出力電力との比(出力電力/入力電力)を示している。電源システム4000の負荷4001が増加し、軽負荷から重負荷へ変化するのに従って、負荷電流(出力電流)I o u tは大きくなる。これは、重負荷になるに従って、負荷が要求する電流が高くなるためである。

20

【0100】

図38の特性グラフから理解されるように、効率は、負荷電流I o u tが比較的低いとき高くなり、負荷電流I o u tが高くなるのに従って低下する。ここで、負荷電流(出力電流)I o u tが、所定の電流値i 2以下のときを、軽負荷時、所定の電流値i 2を超えるとときを、重負荷時と考える。このように考えた場合、軽負荷時と重負荷時とで損失の種類と割合を求めた。図38の左側には、軽負荷時として、負荷電流I o u tが所定の電流値i 2以下の電流値i 1の時の損失の種類と割合が、「軽負荷時の損失内訳」として示されている。同様に、図38の右側には、重負荷時として、負荷電流I o u tが所定の電流値i 2を超える電流値i 3の時の損失の種類と割合が、「重負荷時の損失内訳」として示されている。

30

【0101】

ここで、「軽負荷時の損失内訳」および「重負荷時の損失内訳」のそれぞれは、積み上げ式の棒により表されている。積み上げの項目が、損失の種類を表しており、ここでは、スイッチング損失(以下、S W損とも称する)、導通損失(以下、導通損とも称する)およびその他が、損失の種類となっている。次に、損失の種類について説明する。

【0102】

まず、その他で表される損失は、半導体集積回路装置4002内の論理回路、例えばドライバ4003での損失を表している。S W損および導通損は、ハイサイドM O S F E T 4005およびロウサイドM O S F E T 4006における損失であり、図39(A)および図39(B)を用いて説明する。図39(A)および図39(B)は、S W損および導通損を説明するための説明図である。

40

【0103】

図39(A)の上側には、ロウサイドM O S F E T 4006(ハイサイドM O S F E T 4005)がオフからオンへ遷移する際のソース・ドレイン間電圧V D Sの変化とドレイン電流I D Sの変化と損失Pとが模式的に示されている。また、図39(A)の下側には、第2ゲート電極G 2へ供給される第2ゲート制御信号U Lの電圧と第1ゲート・ドレイン間容量C r s sとの関係が特性グラフとして示されている。この特性グラフにおいて、横軸は第2ゲート制御信号U Lの電圧(同図では、U L電圧と記載)を示し、縦軸は第1

50

ゲート・ドレイン間容量 C_{rss} の容量値を示している。

【0104】

SW 損失、すなわちスイッチング損失 P は、ロウサイド MOSFET (ハイサイド MOSFET) がオフからオン (あるいはオンからオフ) へ遷移する際に発生する損失である。遷移する際、図 39 (A) の上側に示されているように、ソース・ドレイン間電圧 V_{DS} が有限な値を有している期間と、ドレイン電流 I_{DS} が有限な値を有している期間があり、時間的にこれらの期間が重なる。この重なっている期間において、電力が消費され、スイッチング損失 P となる。そのため、スイッチング損失 P は、電圧 (V_{DS}) と電流 (I_{DS}) の積に比例する。一方、遷移に要する時間は、MOSFET の第 1 ゲート電極に付随する容量に依存する。この付随する容量として、第 1 ゲート・ドレイン間容量 C_{rss} が存在する。この第 1 ゲート・ドレイン間容量 C_{rss} は、図 39 (A) の下側に示した特性グラフに示されているように、第 2 ゲート電極 G_2 に供給される第 2 ゲート制御信号 U_L の電圧値を、低下させ、負極性にするることにより、減少させることが可能となる。

10

【0105】

第 1 ゲート・ドレイン間容量 C_{rss} を減少させることにより、ソース・ドレイン間電圧 V_{DS} とドレイン電流 I_{DS} の変化を早くさせ、遷移に要する時間の短縮化が図られ、スイッチング損失 P の減少を図ることが可能となる。

【0106】

導通損失は、図 39 (B) の上側に示されているように、ロウサイド MOSFET (ハイサイド MOSFET) のオン抵抗 (R_{on}) とドレイン電流 I_{DS} の 2 乗 (I_{DS}^2) との積に比例する損失である。図 39 (B) の下側には、第 2 ゲート制御信号 U_L の電圧 (U_L 電圧) とオン抵抗との関係を示す特性グラフが示されている。この特性グラフにおいて、横軸は、第 2 ゲート制御信号 U_L の電圧を示し、縦軸は、ロウサイド MOSFET (ハイサイド MOSFET) のオン抵抗値を示している。図 39 (B) の下側に示した特性グラフから理解されるように、第 2 ゲート電極 G_2 へ供給される第 2 ゲート制御信号の電圧 (U_L 電圧) を負極性の電圧から正極性の電圧へ変化させることにより、ロウサイド MOSFET (ハイサイド MOSFET) のオン抵抗 R_{on} は、減少する。

20

【0107】

図 38 に戻って、軽負荷時の損失内訳および重負荷時の損失内訳の説明をする。図 38 の左側に示した「軽負荷時の損失内訳」から理解されるように、軽負荷時は、「SW 損失」の割合が、「導通損」および「その他」の損失よりも高い。これに対して、図 38 の右側に示した「重負荷時の損失内訳」から理解されるように、重負荷時は、「導通損」の割合が、「SW 損」および「その他」の損失よりも高く、負荷が重くなるのに従って、半導体集積回路装置の損失に占める「導通損」の割合が高くなる。すなわち、半導体集積回路装置の損失における導通損失とスイッチング損失の割合は、負荷により変わる。重負荷のときには、導通損失の割合が高くなり、軽負荷のときには、スイッチング損失の割合が高くなる。

30

【0108】

次に述べる実施の形態 2 に係わる半導体集積回路装置においては、上記したスイッチング損失と導通損失の両方の減少が図られる。

40

【0109】

図 2 (A) は、実施の形態 2 に係わる半導体集積回路装置 4002 におけるドライバー 4003 の要部構成を示すブロック図である。要部としては、第 2 ゲート電極制御回路 1000 が示されている。図 1 (A) において示した第 2 ゲート電極制御回路 1000 の構成が、この実施の形態 2 においては、図 2 (A) に示した構成に変更される。図 2 (A) には、ドライバー 4003 の制御端子 T_{14} と、第 2 ゲート電極制御回路 1000 とが示されており、図 1 (A) に示したロウサイド MOSFET 4006 および駆動回路 4012 は省略されている。勿論、図 2 (A) に示す第 2 ゲート電極制御回路 1000 は、図 40 に示したドライバー 4003 に設けられている。

【0110】

50

図2(A)において、第2ゲート電極制御回路1000は、正電圧レギュレータ2000、負電圧レギュレータ2001、レベルシフタ2003、選択回路2002および第2ゲート電極ドライブ制御回路2004を具備している。正電圧レギュレータ2000は、接地電圧PGNDに対して正の電圧Vposを生成し、負電圧レギュレータ2001は、接地電圧PGNDに対して負の電圧Vnegを生成する。生成された正の電圧Vposおよび負の電圧Vnegは、レベルシフタ2003および選択回路2002へ供給される。

【0111】

第2ゲート電極ドライブ制御回路2004は、駆動回路4012(図40)から出力される駆動信号GLを受け、駆動信号GLに同期した制御信号を形成し、レベルシフタ2003へ供給する。レベルシフタ2003は、第2ゲート電極ドライブ制御回路2004により形成された制御信号を受け、受けた制御信号のハイレベルおよびロウレベルを、正の電圧Vposおよび負の電圧Vnegに適合させた電圧にシフトさせ、電圧をシフトした制御信号を選択回路2002へ供給する。

【0112】

選択回路2002は、供給された制御信号の電圧(ハイレベル/ロウレベル)に従って、正の電圧Vposおよび負の電圧Vnegのいずれかを選択し、選択した電圧(正の電圧Vposあるいは負の電圧Vneg)を、第2ゲート制御信号ULとして、端子T14へ出力する。図1(A)に示されているように、端子T14はロウサイドMOSFET4006の第2ゲート電極G2に接続されている。ここで、レベルシフタ2003から選択回路2002へ供給される制御信号は、駆動回路4012から出力される駆動信号GLと同期している。そのため、ロウサイドMOSFET4006の第2ゲート電極G2に供給される第2ゲート制御信号ULの電圧は、ロウサイドMOSFET4006をオン/オフさせる駆動信号GLに同期して、負の電圧Vnegあるいは正の電圧Vposとなる。

【0113】

図2(B)には、上記した選択回路2002、レベルシフタ2003および第2ゲート電極ドライブ制御回路2004の回路構成例が示されている。第2ゲート電極ドライブ制御回路2004は、電源電圧VCINと接地電圧CGNDとの間に並列に接続された3個のインバータを有し、インバータは、Pチャンネル型MOSFET2009(2008、2007)とNチャンネル型MOSFET2015(2014、2013)とにより構成されたCMOS型のインバータとなっている。インバータの入力は前段のインバータの出力に接続され、カスケード接続されており、初段のインバータ(2009、2015)に駆動回路4012(図40)からの駆動信号GLが供給され、最終段のインバータの出力がレベルシフタ2003に供給されている。これにより、図2(B)に示した第2ゲート電極ドライブ制御回路2004は、駆動信号GLを位相反転した信号を制御信号としてレベルシフタ2003へ供給する。

【0114】

レベルシフタ2003は、第2ゲート電極ドライブ制御回路2004からの制御信号を受けるNチャンネル型MOSFET2012と負荷素子2016とを有しており、Nチャンネル型MOSFET2012のドレインは、負荷素子2016を介して正の電圧Vposに接続されている。図2(B)に示した例においては、Nチャンネル型MOSFET2012のソースは、接地電圧CGNDに接続されている。これにより、負荷素子2016とNチャンネル型MOSFET2012との間の接続ノードから、正の電圧Vposと接地電圧CGNDとの間で変化する制御信号が出力される。すなわち、電圧をシフトした制御信号がレベルシフタ2003から出力される。図2(B)では、Nチャンネル型MOSFET2012のソースを接地電圧CGNDに接続しているが、負の電圧Vnegに接続してもよい。

【0115】

選択回路2002は、正の電圧Vposと負の電圧Vnegとの間に並列に接続された2個のインバータを有し、インバータはNチャンネル型MOSFET2011(2010)とPチャンネル型MOSFET2006(2005)とにより構成されたCMOS型の

インバータとなっている。インバータの入力は前段のインバータの出力に接続され、カスケード接続されている。初段のインバータ(2011、2006)の入力には、レベルシフタ2003からの制御信号が供給され、最終段のインバータ(2010、2005)の出力が制御端子T14に接続されている。選択回路2002における各インバータは、正の電圧Vposと負の電圧Vnegを電源電圧として動作する。そのため、最終段のインバータは、レベルシフタ2003からの制御信号に応じて、正の電圧Vposあるいは負の電圧Vnegを選択して、制御端子T14へ出力する。

【0116】

正電圧レギュレータ2000および負電圧レギュレータ2001は種々の構成を取ることができる。例えば、図1(C)および(D)に示した回路を用いることもできる。

10

【0117】

図3(A)から(D)は、図2(A)および(B)に示した第2ゲート電極制御回路1000を有する半導体集積回路装置4002の動作波形図である。次に、図1(A)、図2(A)、図3(A)から(D)、および図40を用いて、実施の形態2に係わる半導体集積回路装置4002の動作を説明する。

【0118】

図3(A)から(D)において、横軸は時間を示し、縦軸は電圧を示す。また、期間(a)は、ハイサイドMOSFET4005がオンし、ロウサイドMOSFET4006がオフしている期間を示し、期間(b)は、ハイサイドMOSFET4005がオフし、ロウサイドMOSFET4006がオンしている期間を示している。先に図40および図41を用いて説明したように、ハイサイドMOSFET4005およびロウサイドMOSFET4006は、駆動信号GHおよびGLにより相補的にオン/オフする。

20

【0119】

図3(A)は、半導体集積回路装置4002の出力端子T1における出力電圧VSWHの波形を示しており、図3(B)は、駆動回路4011(図40)からの駆動信号GHの波形を示しており、図3(C)は、駆動回路4012(図40)からの駆動信号GLの波形を示している。また、図3(D)は、図2(A)に示した第2ゲート電極制御回路1000から出力される第2ゲート制御信号ULの波形を示している。

【0120】

図2(A)および(B)の説明から理解されるように、第2ゲート制御信号ULの電圧は、駆動信号GLに同期して、正の電圧Vposと負の電圧Vnegとの間を遷移する。ロウサイドMOSFET4006のソースSは、接地電圧の電圧端子T2(図1(A)、図40)に接続されている。従って、第2ゲート制御信号ULの電圧は、図3(D)に示されているように、ロウサイドMOSFET4006のソースSにおける電圧(ソース電圧(GND))を基準として、正極性の電圧(正の電圧Vpos)あるいは負極性の電圧(負の電圧Vneg)となる。この実施の形態2においては、図2(B)から理解されるように、ロウサイドMOSFET4006の第1ゲート電極G1に供給される駆動信号GLが、ハイレベルへ変化すると、この変化に同期して、第2ゲート電極制御回路1000は、正の電圧Vposを第2ゲート制御信号ULとして出力する。一方、駆動信号GLが、ロウレベルへ変化すると、この変化に同期して、第2ゲート電極制御回路1000は、負の電圧Vnegを第2ゲート制御信号ULとして出力する。

30

40

【0121】

まず、時刻t1において、駆動回路4012の出力である駆動信号GLがハイレベルからロウレベルへ変化する。この駆動信号GLは、ロウサイドMOSFET4006の第1ゲート電極G1に供給されているため、ロウサイドMOSFET4006は、オンからオフへ遷移する。一方、駆動信号GLがロウレベルへ変化することにより、第2ゲート電極制御回路1000から出力されている第2ゲート制御信号ULの電圧は、時刻t1において、負の電圧Vnegへ変化する。第2ゲート電極制御信号ULは、ロウサイドMOSFET4006の第2ゲート電極G2に供給されているため、第2ゲート電極制御信号ULが負の電圧Vnegへ変化することにより、ロウサイドMOSFET4006における第

50

1 ゲート・ドレイン間容量 C_{rss} が減少させられる。これにより、ロウサイド MOSFET 4006 は、オンからオフへの遷移が早く行われるようになり、遷移時間が短縮される。

【0122】

ハイサイド MOSFET 4005 とロウサイド MOSFET 4006 がともにオン状態となるのを防ぐために、所定時間（デッドタイム期間）を経過した後の時刻 t_2 において、駆動回路 4011 の出力信号である駆動信号 GH がロウレベルからハイレベルへ変化する。駆動信号 GH は、ハイサイド MOSFET 4005 の第 1 ゲート電極 G1 に供給されているため、ハイサイド MOSFET 4005 は、オフからオンへ変化する。これにより、出力端子 T1 における出力電圧 V_{SWH} の電圧は上昇する。

10

【0123】

デッドタイム期間（時刻 t_1 から時刻 t_2 ）、ハイサイド MOSFET 4005 およびロウサイド MOSFET 4006 は、ともにオフであるが、出力端子 T1 における電圧 V_{SWH} は低下する。この一因は、ロウサイド MOSFET 4006 が、オンからオフへ遷移する期間に生じるスイッチング損失によるものである。この実施の形態 2 においては、遷移する期間を短くすることが可能なため、スイッチング損失を低減することが可能である。

【0124】

次に時刻 t_3 において、駆動信号 GH がハイレベルからロウレベルへ変化する。これにより、ハイサイド MOSFET 4005 は、オンからオフへ遷移する。時刻 t_3 からデッドタイム期間に相当する時間を経過した後の時刻 t_4 において、駆動信号 GL がロウレベルからハイレベルへ変化する。この駆動信号 GL の変化により、ロウサイド MOSFET 4006 はオフからオンへ遷移する。また、この駆動信号の変化により、第 2 ゲート電極制御回路 1000 は、その出力信号である第 2 ゲート電極制御信号 UL の電圧を、正の電圧 V_{pos} へ変化させる。

20

【0125】

ハイサイド MOSFET 4005 がオフとなり、ロウサイド MOSFET 4006 がオンとなるため、出力端子 T1 における出力電圧 V_{SWH} は、低下する。ハイレベルの駆動信号 GL によってロウサイド MOSFET 4006 がオンされているとき、正の電圧 V_{pos} を有する第 2 ゲート電極制御信号 UL が、ロウサイド MOSFET 4006 の第 2 ゲート電極 G2 に供給される。これにより、ロウサイド MOSFET 4006 のオン抵抗を低減することができ、ロウサイド MOSFET 4006 での導通損失を低減することができる。

30

【0126】

時刻 t_5 において、駆動信号 GL が再びハイレベルからロウレベルへ変化する。以後、上記した時刻 $t_1 \sim t_4$ の動作が繰り返される。

【0127】

実施の形態 2 においては、ロウサイド MOSFET 4006 が、第 1 ゲート電極 G1 に供給される駆動信号 GL によってオンするとき、当該駆動信号 GL に従って動作する第 2 ゲート電極制御回路 1000 から、第 2 ゲート電極 G2 へ正の電圧 V_{pos} が供給される。また、ロウサイド MOSFET 4006 が、第 1 ゲート電極 G1 に供給される駆動信号 GL によってオフするとき、当該駆動信号 GL に従って動作する第 2 ゲート電極制御回路 1000 から、第 2 ゲート電極 G2 へ負の電圧 V_{neg} が供給される。これにより、ロウサイド MOSFET 4006 がオンするときには、当該 MOSFET のオン抵抗による導通損失の低減を図ることができ、ロウサイド MOSFET 4006 がオフ / オン（オン / オフ）のスイッチングを行うときには、スイッチング損失の低減を図ることができる。

40

【0128】

図 4 (A) から (D) は、導通損失の低減を説明するための説明図である。図 4 (D) には、上記したロウサイド MOSFET 4006 の回路が示されている。ロウサイド MOSFET 4006 は、そのソース S が接地電圧 PGND (GND) に接続され、そのドレ

50

インDが制御端子T14に接続されている。同図において、 R_{on} は、当該MOSFET 4006がオンしたときのオン抵抗を示しており、 I_{SD} は、オンした当該MOSFET 4006を流れるソース・ドレイン電流を示している。ロウサイドMOSFET 4006は、オンしたとき、コイル素子4008(図40)の一端へ接地電圧から電流を供給すると考えることができるため、ここではドレイン電流 I_{DS} ではなく、ソース・ドレイン電流 I_{SD} として示してある。

【0129】

図4(A)には、図3(A)と同様に、出力端子T1における出力電圧 V_{SWH} の波形が示されている。図4(B)には、図4(A)において、ロウサイドMOSFET 4006がオンしている期間の出力電圧 V_{SWH} の拡大波形が示されている。また、図4(C)には、ロウサイドMOSFET 4011がオンしている期間におけるソース・ドレイン電流 I_{SD} の波形が示されている。

10

【0130】

図4(B)において、破線は、ロウサイドMOSFET 4006の第2ゲート電極G2に、負の電圧を印加した時の出力電圧 V_{SWH} の波形であり、実線は、ロウサイドMOSFET 4006の第2ゲート電極G2に、正の電圧を印加した時の出力電圧 V_{SWH} の波形を示している。第2ゲート電極G2に負の電圧を印加すると、オン抵抗が大きくなる。これに対して、実施の形態のように、第2ゲート電極G2に正の電圧を印加すると、オン抵抗が小さくなる。オン抵抗による電圧は、周知のように抵抗(R_{on})と電流(ソース・ドレイン電流 I_{SD})との積により求まる。そのため、オン抵抗を小さくすることにより、導通損失の低減を図ることが可能となる。また、ロウサイドMOSFETがオンしたときに、出力電圧 V_{SWH} が、低下しすぎるのを防ぐことも可能となる。

20

【0131】

(実施の形態3)

図5は、実施の形態3に係わる半導体集積回路装置4002における第2ゲート電極制御回路1000の構成を示すブロック図である。この実施の形態3には、実施の形態2において述べた本願発明者の検討に基づく知見が適用されている。すなわち、半導体集積回路装置における「導通損失」と「スイッチング損失」の割合は、負荷により変わり、重負荷なるのに従って、「導通損失」の割合が高くなる。この知見に基づき、割合の高い損失の低減を図り、効率的に半導体集積回路装置の損失の低減を図る。

30

【0132】

実施の形態3においては、実施の形態1および2と同様に、ドライバー4003(図40)に第2ゲート電極制御回路1000と、制御端子T14が設けられる。当該制御端子T14は、実施の形態2と同様に、ロウサイドMOSFET 4006(図1、図40)の第2ゲート電極G2に接続される。残りの構成および動作に関しては、図40で説明したのと同様であるため、ここでは省略する。

【0133】

図5において、第2ゲート電極制御回路1000は、負荷電流検出回路5000、第2ゲート電極ドライブ制御回路5001、正電圧レギュレータ5002、負電圧レギュレータ5003、およびスイッチ5004および5005を具備している。この第2ゲート電極制御回路1000は、実施の形態2と同様に、接地電圧GNDを基準として、正極性の電圧あるいは負極性の電圧を有する第2ゲート電極制御信号ULを形成し、制御端子T14を介してロウサイドMOSFET 4006の第2ゲート電極G2に供給する。

40

【0134】

正電圧レギュレータ5002は、第2ゲート電極ドライブ制御回路5001から出力される制御信号5006を、当該正電圧レギュレータ5002を動作/非動作させるON/OFF信号として受ける。制御信号5006が正電圧レギュレータ5002を動作させることを指示している場合、正電圧レギュレータ5002は、接地電圧に対して正の電圧 V_{pos} を形成する。一方、制御信号5006が正電圧レギュレータ5002を非動作にすることを指示している場合、正電圧レギュレータ5002は非動作となる。

50

【 0 1 3 5 】

負電圧レギュレータ 5 0 0 3 も、正電圧レギュレータ 5 0 0 2 と同様に、第 2 ゲート電極ドライブ制御回路 5 0 0 1 から出力される制御信号 5 0 0 7 を、当該負電圧レギュレータ 5 0 0 3 を動作 / 非動作させる ON / OFF 信号として受ける。制御信号 5 0 0 7 が負電圧レギュレータ 5 0 0 3 を動作させることを指示している場合、負電圧レギュレータ 5 0 0 3 は、接地電圧に対して負の電圧 V_{neg} を形成する。一方、制御信号 5 0 0 7 が負電圧レギュレータ 5 0 0 3 を非動作にすることを指示している場合、負電圧レギュレータ 5 0 0 2 は非動作となる。

【 0 1 3 6 】

スイッチ 5 0 0 4 は、制御信号 5 0 0 6 に従って、オン / オフする。スイッチ 5 0 0 4 がオンすることにより、正電圧レギュレータ 5 0 0 2 により形成された正の電圧 V_{pos} を制御端子 T 1 4 へ供給する。スイッチ 5 0 0 4 のオン / オフは、正電圧レギュレータ 5 0 0 2 の動作 / 非動作と同期している。すなわち、制御信号 5 0 0 6 によって、正電圧レギュレータ 5 0 0 2 を動作させるとき、スイッチ 5 0 0 4 はオン状態とされ、制御信号 5 0 0 6 によって、正電圧レギュレータ 5 0 0 2 を非動作にさせるとき、スイッチ 5 0 0 4 はオフ状態とされる。

【 0 1 3 7 】

スイッチ 5 0 0 5 も、スイッチ 5 0 0 4 と同様に、制御信号 5 0 0 7 に従って、オン / オフする。スイッチ 5 0 0 5 がオンすることにより、負電圧レギュレータ 5 0 0 3 により形成された負の電圧 V_{neg} を制御端子 T 1 4 へ供給する。スイッチ 5 0 0 5 のオン / オフは、負電圧レギュレータ 5 0 0 3 の動作 / 非動作と同期している。すなわち、制御信号 5 0 0 7 によって、正電圧レギュレータ 5 0 0 3 を動作させるとき、スイッチ 5 0 0 5 はオン状態とされ、制御信号 5 0 0 7 によって、負電圧レギュレータ 5 0 0 3 を非動作にさせるとき、スイッチ 5 0 0 5 はオフ状態とされる。

【 0 1 3 8 】

第 2 ゲート電極ドライブ制御回路 5 0 0 1 は、負荷電流検出回路 5 0 0 0 から検出信号を受け、検出信号の例えば電圧に従って、制御信号 5 0 0 6 および制御信号 5 0 0 7 を形成し、正電圧レギュレータ 5 0 0 2 あるいは負電圧レギュレータ 5 0 0 3 を動作させる。また、動作させるレギュレータ（正電圧レギュレータ 5 0 0 2 あるいは負電圧レギュレータ 5 0 0 3）に対応するスイッチ（スイッチ 5 0 0 4 あるいはスイッチ 5 0 0 5）をオン状態にする。これにより、第 2 ゲート電極制御回路 1 0 0 0 は、負荷電流検出回路 5 0 0 0 からの検出信号に従って、正の電圧 V_{pos} および負の電圧 V_{neg} の内のいずれかの電圧を有する第 2 ゲート電極制御信号 U_L を端子 T 1 4 へ出力する。

【 0 1 3 9 】

図 6 (A) および (B) は、図 5 に示した第 2 ゲート電極制御回路 1 0 0 0 の動作を示す波形図である。図 6 (A) および (B) において、横軸は時間を示している。図 6 (A) は、半導体集積回路装置 4 0 0 2 の出力端子 T 1 を流れる負荷電流 I_{out} の波形を示しており、同図の縦軸は電流値を表している。また、図 6 (B) は、図 5 に示した第 2 ゲート電極制御回路 1 0 0 0 から出力される第 2 ゲート電極制御信号 U_L の電圧波形を示しており、同図の縦軸は電圧値を表している。

【 0 1 4 0 】

電源システム 4 0 0 0 (図 4 0) の出力端子 T 1 3 に接続される負荷 4 0 0 1 が、重負荷であるか軽負荷であるかによって、図 3 8 において説明したように、負荷電流 I_{out} の値は変わる。すなわち、負荷が重くなるのに従って、負荷電流 I_{out} の電流値が高くなる。

【 0 1 4 1 】

図 5 に示した負荷電流検出回路 5 0 0 0 は、特に制限されないが出力端子 T 1 を流れる負荷電流 I_{out} を受け、負荷電流 I_{out} の電流値が所定の電流値（図 3 8 の例では、電流 i_2 ）を超えたか否かを示す検出信号を形成し、第 2 ゲート電極ドライブ制御回路 5 0 0 1 へ供給する。第 2 ゲート電極ドライブ制御回路 5 0 0 1 は、検出信号が所定の電流

10

20

30

40

50

値を超えたことを示す場合、正電圧レギュレータ5002を動作させ、スイッチ5004をオン状態にさせる。このとき、負電圧レギュレータ5003は非動作にさせ、スイッチ5005はオフ状態にさせる。これにより、負荷電流 I_{out} が所定の電流値を超えた場合には、正の電圧 V_{pos} を有する第2ゲート制御信号 U_L が、ロウサイドMOSFET4005の第2ゲート電極G2に供給されることになる。

【0142】

一方、負荷電流 I_{out} が所定の電流値以下の場合には、第2ゲート電極ドライブ制御回路5001は、正電圧レギュレータ5002を非動作とし、スイッチ5004をオフ状態にさせる。このとき、負電圧レギュレータ5003を動作させ、スイッチ5005はオン状態にさせる。これにより、負荷電流 I_{out} が所定の電流値以下の場合には、負の電圧 V_{neg} を有する第2ゲート制御信号 U_L が、ロウサイドMOSFET4005の第2ゲート電極に供給されることになる。

【0143】

スイッチ5004および5005は、負荷電流検出回路5000からの検出信号に従って、正の電圧 V_{pos} あるいは負の電圧 V_{neg} を第2ゲート制御信号 U_L として出力するため、選択回路と見なすことができる。

【0144】

図6(A)および(B)を、例にして、実施の形態3を説明すると、期間(a)においては、負荷電流 I_{out} が、所定の電流値(例えば、図38の i_2)以下である。そのため、第2ゲート電極制御回路1000から出力される第2ゲート電極制御信号 U_L の電圧は、負の電圧 V_{neg} となる。一方、期間(b)においては、負荷電流 I_{out} が所定の値を超える。そのため、第2ゲート電極制御回路1000から出力される第2ゲート電極制御信号 U_L の電圧は、正の電圧 V_{pos} となる。

【0145】

負荷電流 I_{out} が低い場合は、軽負荷の時であり、負荷電流 I_{out} が高い場合は、重負荷の時である。この実施の形態3においては、軽負荷の時(期間(a))、負の電圧 V_{neg} が、ロウサイドMOSFETの第2ゲート電極G2に供給されることになり、スイッチング損失の低減が図られる。一方、重負荷の時(期間(b))には、正の電圧 V_{pos} が、ロウサイドMOSFETの第2ゲート電極G2に供給されることになる。そのため、重負荷の時には、ロウサイドMOSFETの導通損失の低減が図られることになる。図38において説明したように、重負荷の時には、導通損失の割合が高く、軽負荷の時には、スイッチング損失の割合が高い。実施の形態3によれば、重負荷の時には、そのとき割合が高い導通損失の低減が図られ、軽負荷の時には、そのとき割合の高いスイッチング損失の低減が図れる。そのため、負荷の状況に応じて適切な損失の低減が図れるようになる。

【0146】

なお、負荷電流検出回路5000の構成としては、種々の構成が考えられる。

【0147】

(実施の形態4)

図7は、実施の形態4に係わる半導体集積回路装置4002の構成を示すブロック図である。この実施の形態4においても、実施の形態2において述べた本願発明者の検討に基づく知見が適用されている。

【0148】

実施の形態4においては、図40を用いて説明したドライバー4003に、制御端子T14、負荷電流検出コンパレータ7000、4周期検出回路7001、アナログスイッチ7003、インバータ7002、正電圧レギュレータ2000および負電圧レギュレータ2001が追加される。ここで、正電圧レギュレータ2000および負電圧レギュレータ2001は、図2(A)において説明しているので、説明を省略する。

【0149】

図40に示したようにドライバー4003は、複数の端子を有している。図7には、複

10

20

30

40

50

数の端子の内、図40において説明した端子（電圧端子T8、出力端子T9、電圧端子T10）が示されている。また、上記した複数の実施の形態において述べたのと同様に、ドライバ4003は制御端子T14を有している。ロウサイドMOSFET4006の第1ゲート電極G1は、出力端子T9に接続され、出力端子T9を介して駆動回路4012からの駆動信号GLが、第1ゲート電極G1へ供給される。電圧端子T10は、ロウサイドMOSFET4006のソースSに接続され、さらに接地電圧PGNDに接続されている。電圧端子T8は、ロウサイドMOSFET4006のドレインDに接続されている。

【0150】

この実施の形態4においては、電圧端子T8と電圧端子T10が負荷電流検出コンパレータ7000に接続されている。電圧端子T8は、図40において示したように、半導体集積回路装置4002の出力端子T1にも接続されている。そのため、電圧端子T8の電圧VSWHは、半導体集積回路装置4002の出力に依存して変化する。

10

【0151】

負荷電流検出コンパレータ7000は、反転入力端子（-）と非反転入力端子（+）とを有するコンパレータ7004とオフセット回路7005とを有している。コンパレータ7004の非反転入力端子（+）は、電圧端子T10に接続され、反転入力端子（-）は、オフセット回路7005を介して電圧端子T8に接続されている。オフセット回路7005の構成としては種々の構成が考えられるため、図7においては電池の記号で示されている。この負荷電流検出コンパレータ7000は、ロウサイドMOSFET4006がオン状態のとき、電圧端子T10における電圧PGNDと電圧端子T8における電圧VSWHとを比較する。

20

【0152】

出力端子T9を介して駆動回路4012から、第1ゲート電極G1へ供給される駆動信号GLによって、ロウサイドMOSFET4006がオン状態にされると、接地電圧PGNDからコイル素子4018（図40）の一端へ向かって電流ISDが供給される。この電流ISDが流れることにより、電圧降下が発生し、電圧端子T8における電圧VSWHが低下する。コンパレータ7004の反転入力端子（-）には、この電圧端子T8における低下した電圧（VSWH）にオフセット回路7005によるオフセット電圧とが加えられた電圧（以下、電圧VSWH+offsetと称する）が供給されることになる。一方、コンパレータ7004の非反転入力端子（+）には、接地電圧PGND（GND）が供給されているため、コンパレータ7004は、接地電圧PGNDに対して、電圧VSWH+offsetが高いか否かを判定し、判定結果をハイレベル/ロウレベルの電圧とした出力信号を形成し、負荷電流検出コンパレータ7000の出力信号として出力する。

30

【0153】

負荷電流検出コンパレータ7000の出力信号は、4周期検出回路7001に供給される。4周期検出回路7001は、カウンタ7007とRS型フリップフロップ7006とを有している。カウンタ7007は、所定の周期で、負荷電流検出コンパレータ7000からの出力信号をカウントする。負荷電流検出コンパレータ7000は、例えば電圧VSWH+offsetが接地電圧PGNDよりも高いとき、ハイレベルの出力信号を形成し、電圧VSWH+offsetが接地電圧PGNDよりも低いとき、ロウレベルの出力信号を形成する。カウンタ7007は、負荷電流検出コンパレータ7000の出力信号が、連続して4周期以上ハイレベルのとき、4times信号（図では、4timesと記載）を出力する。一方、連続して4周期未満のハイレベルの出力信号が負荷電流検出コンパレータ7000から供給されたときには、Reset信号（図ではResetと記載）を出力する。

40

【0154】

4周期検出回路7001のRS型フリップフロップ7006は、4times信号をそのセット端子に受け、Reset信号をリセット端子に受けている。そのため、RS型フリップフロップ7006は、4times信号が供給されると、その出力端子Qからセット状態の出力信号（例えばハイレベル）を出力し、Reset信号が供給されると、その

50

出力端子Qからリセット状態の出力信号（ロウレベル）を出力する。このRS型フリップフロップ7006の出力信号が、4周期検出回路7001の出力となる。

【0155】

4周期検出回路7001の出力信号は、アナログスイッチ7003の選択信号として用いられる。アナログスイッチ7003は、互いにソース・ドレイン経路が並列に接続されたNチャンネル型MOSFET7008とPチャンネル型MOSFET7009と、互いにソース・ドレイン経路が並列に接続されたNチャンネル型MOSFET7010とPチャンネル型MOSFET7011とを有している。ここで、Nチャンネル型MOSFET7008とPチャンネル型MOSFET7009のソース・ドレイン経路は、正電圧レギュレータ2000と制御端子T14との間に接続されている。また、Nチャンネル型MOSFET7010とPチャンネル型MOSFET7011のソース・ドレイン経路は、負電圧レギュレータ2001と制御端子T14との間に接続されている。

10

【0156】

上記した4周期検出回路7001の出力信号は、上記したPチャンネル型MOSFET7011のゲート電極と、Nチャンネル型MOSFET7008のゲート電極に供給されている。また、上記した4周期検出回路7001の出力信号は、インバータ7002によって位相反転され、上記したPチャンネル型MOSFET7009のゲート電極と、Nチャンネル型MOSFET7010のゲート電極に供給されている。これにより、4周期検出回路7001の出力信号に従って、Nチャンネル型MOSFET7008とPチャンネル型MOSFET7009とにより構成される第1アナログスイッチと、Nチャンネル型MOSFET7010とPチャンネル型MOSFET7011とにより構成される第2アナログスイッチとが相補的にオン/オフされる。第1アナログスイッチがオンされることにより、この第1アナログスイッチを介して正の電圧Vposが制御端子T14に供給される。一方、第2アナログスイッチがオンされることにより、このアナログスイッチを介して負の電圧Vnegが制御端子T14に供給される。

20

【0157】

次に、この実施の形態4に係わる半導体集積回路装置4002の動作を、図8に示す動作波形を用いて説明するが、動作の概略を述べると次のようになる。すなわち、負荷電流検出コンパレータ7000によって、負荷電流ISDの電流値が所定の値を超えているか否かの検出が行われる。負荷電流検出コンパレータ7000からの検出信号に基づいて、4周期検出回路7001が、連続する4周期以上、負荷電流ISDが所定の値を超えているか否かの判定を行う。この判定の結果に従って、正の電圧Vposあるいは負の電圧VnegがロウサイドMOSFET4006の第2ゲート電極G2に供給されることになる。これにより、重負荷時には、導通損失の低減が図られ、軽負荷時には、スイッチング損失の低減が図られる。

30

【0158】

図8(A)から(D)は、図7に示した半導体集積回路装置4002の動作を示す波形図である。同図において、横軸は時間である。また、図8(A)、(C)および(D)のそれぞれの縦軸は、電圧値であり、図8(B)の縦軸は、電流値である。

【0159】

40

図8(A)は、ロウサイドMOSFET4006の第1ゲート電極G1に供給される駆動信号GLの波形を示しており、図8(B)は、ロウサイドMOSFET4006のソース・ドレイン電流ISD（負荷電流）の電流波形を示している。先に説明した様に、ソース・ドレイン電流ISDは、負荷が重くなるのに従って、その電流値が高くなる。

【0160】

また、図8(C)は、コンパレータ7004の反転入力端子(-)および非反転入力端子(+)に供給される電圧波形を示しており、図8(D)は4周期検出回路7001の出力信号(RS型フリップフロップ7006の出力信号Q)を示している。

【0161】

駆動回路4012から出力される駆動信号GLは、周期的にハイレベルとなり、ロウサ

50

イドMOSFET4006を周期的にオンさせる。ロウサイドMOSFET4006がオンすることにより、このロウサイドMOSFETを介してソース・ドレイン電流ISDが、負荷電流としてコイル素子4008へ供給される。ソース・ドレイン電流ISDが流れると、出力端子T1(図40)に接続された電圧端子T8における電圧VSWHが低下する。この電圧VSWHにオフセット電圧offsetを加えて形成された電圧VSWH+offset(同図ではVSWH(+offset)と記載)も、ソース・ドレイン電流ISDが流れることにより、低下する。

【0162】

時刻t1よりも前の時刻においては、負荷が軽く、負荷電流(ソース・ドレイン電流ISD)の電流値が小さい。そのため、電圧VSWHは、接地電圧PGNDよりも高い電圧値となり、コンパレータ7004からはロウレベルの検出信号が、4周期検出回路7001へ供給される。カウンタ7007は、コンパレータ7004の出力信号がロウレベルであり、連続した4周期以上のハイレベルでないため、4times信号を形成しない。その結果とし、RS型フリップフロップ7006の出力信号Qはロウレベルとなる。ロウレベルの出力信号Qによって、第2アナログスイッチ(MOSFET10、11)がオン状態となり、第1アナログスイッチ(MOSFET8、9)はオフ状態となる。

10

【0163】

これにより、ロウサイドMOSFET4006の第2ゲート電極G2には、負の電圧Vnegを有する第2ゲート電極制御信号ULが供給されることになる。すなわち、軽負荷のときには、負の電圧Vnegを有する第2ゲート電極制御信号ULが、ロウサイドMOSFET4006の第2ゲート電極G2に供給され、ロウサイドMOSFET4006におけるスイッチング損失の低減が図られる。

20

【0164】

時刻t1において、負荷が増加すると、ロウサイドMOSFET4006を流れるソース・ドレイン電流ISDの電流値が高くなる。これにより、ロウサイドMOSFET4006がオンしたときの電圧端子T8における電圧VSWHは、時刻t1よりも前の時刻における電圧値よりも低下する。その結果、コンパレータ7004の反転入力端子(-)における電圧VSWH+offsetは、接地電圧PGNDよりも低下し、コンパレータ7004はハイレベルの検出信号を形成する。図8(B)および(C)に示すように、連続して4周期、ソース・ドレイン電流ISDの電流値が高いと、連続して4周期、電圧VSWH+offsetが、接地電圧PGNDよりも低下する。この連続した周期において、4周期目に、コンパレータ7004は、4times信号を形成する。この4times信号に応答して、フリップフロップ7006は、セット状態へ変更され、フリップフロップ7006の出力信号Qはハイレベルとなる(時刻t2)。

30

【0165】

出力信号Qがハイレベルとなることにより、第1アナログスイッチ(MOSFET7008、7009)がオン状態となり、正の電圧Vposが制御端子T14に供給される。言い換えるならば、正の電圧Vposを有する第2ゲート電極制御信号ULが、制御端子T14からロウサイドMOSFET4006の第2ゲート電極G2へ供給されることになる。

40

【0166】

これにより、負荷が増加して、負荷電流の電流値が高くなると、すなわち重負荷になると、ロウサイドMOSFET4006の第2ゲート電極G2に正の電圧Vposが供給されることになり、ロウサイドMOSFET4006における導通損失の低減が図られる。

【0167】

時刻t3において、重負荷から軽負荷へなると、負荷電流の電流値が低くなり、ロウサイドMOSFET4006がオンしたときの電圧端子T8における電圧VSWHが低下する。その結果として、コンパレータ7004の出力はロウレベルとなり、RS型フリップフロップ7006はリセットされ、その出力信号Qは、時刻t4においてロウレベルとなる。これにより、再び、負の電圧Vnegを有する第2ゲート電極制御信号ULが第2ゲ

50

ート電極 G 2 へ供給されるようになり、ロウサイド MOS F E T 4 0 0 6 におけるスイッチング損失の低減が図られる。

【 0 1 6 8 】

上記したように、この実施の形態 4 によれば、重負荷と軽負荷とが検出され、重負荷の際には、正の電圧 V_{pos} を有する第 2 ゲート電極制御信号 U_L がロウサイド MOS F E T 4 0 0 6 の第 2 ゲート電極 G 2 に供給され、導通損失の低減が図れる。一方、軽負荷の際には、負の電圧 V_{neg} を有する第 2 ゲート電極制御信号 U_L がロウサイド MOS F E T 4 0 0 6 の第 2 ゲート電極 G 2 に供給され、スイッチング損失の低減が図れる。

【 0 1 6 9 】

また、実施の形態 4 によれば、連続して 4 周期以上、負荷電流が高いときに、重負荷と判定するようにしている。そのためノイズ等により負荷電流が急変した場合に、重負荷と判定することを避けることが可能となる。なお、4 周期は、一例であり、この数に限定されるものではない。勿論、負荷電流検出コンパレータ 7 0 0 0、4 周期検出回路 7 0 0 1 およびアナログスイッチ 7 0 0 3 のそれぞれの構成も、種々変形可能である。

【 0 1 7 0 】

先に説明した実施の形態 2 においては、ロウサイド MOS F E T 4 0 0 6 の第 1 ゲート電極 G 1 へ供給される駆動信号 G_L に同期して、ロウサイド MOS F E T 4 0 0 6 の第 2 ゲート電極 G 2 へ供給される第 2 ゲート電極制御信号 U_L の電圧を正の電圧 V_{pos} と負の電圧 V_{neg} とで変更するようにしていた。すなわち、ロウサイド MOS F E T 4 0 0 6 のオン/オフに同期して、第 2 ゲート電極 G 2 へ供給される電圧の極性を変更していた。これに対して、実施の形態 3 および 4 においては、負荷電流に応じて、ロウサイド MOS F E T 4 0 0 6 の第 2 ゲート電極へ供給される第 2 ゲート電極制御信号 U_L の電圧の極性が変更される。

【 0 1 7 1 】

図 9 (A) から図 9 (F) は、実施の形態 3 および 4 における第 2 ゲート電極制御信号 U_L の変化と、軽負荷および重負荷との関係を説明するための説明図である。

【 0 1 7 2 】

図 9 (A) から図 9 (E) において、横軸は時間を表している。図 9 (A) は、半導体集積回路装置 4 0 0 2 の出力端子 T 1 における出力電流 I_{out} の波形を示している。ここで、出力電流 I_{out} は、ハイサイド MOS F E T 4 0 0 5 からの電流とロウサイド MOS F E T からの電流 (ソース・ドレイン電流 I_{SD}) とを含んでいる。図 9 (B) は、駆動回路 4 0 1 3 から出力され、ハイサイド MOS F E T 4 0 0 5 の第 1 ゲート電極 G 1 に供給される駆動信号 G_H の波形を示しており、図 9 (C) は、駆動回路 4 0 1 2 から出力され、ロウサイド MOS F E T 4 0 0 6 の第 1 ゲート電極 G 1 に供給される駆動信号 G_L の波形を示しており、図 9 (D) は、出力端子 T 1 (T 8) における出力電圧 (電圧) V_{SWH} の波形を示している。また、図 9 (E) は、ロウサイド MOS F E T 4 0 0 6 のソース S における電圧と、ロウサイド MOS F E T 4 0 0 6 の第 2 ゲート電極 G 2 に供給される第 2 ゲート電極制御信号 U_L の波形を示している。なお、ロウサイド MOS F E T 4 0 0 6 のソース S は、接地電圧 $P G N D$ に接続されているため、その電圧は接地電圧 ($G N D$) となる。

【 0 1 7 3 】

図 9 (F) は、軽負荷のときの損失と重負荷のときの損失とを積み上げ棒グラフで示している。

【 0 1 7 4 】

図 9 において、時刻 t_1 を境として、時刻 t_1 よりも前の時刻 (同図において左側) では、負荷が軽く、出力電流 I_{out} の電流値が低い。そのため、図 9 においては、「軽負荷」として示されている。これに対して、時刻 t_1 より後の時刻 (同図では右側) では、負荷が重く、出力電流 I_{out} の電流値が高くなっている。この状態が、同図では「重負荷」として示されている。図 4 0 等を用いて、既に説明したように、駆動信号 G_H および G_L により、ハイサイド MOS F E T 4 0 0 5 およびロウサイド MOS F E T は、交互に

10

20

30

40

50

オン／オフし、これにより出力端子 T 1 (端子 T 8) における出力電圧 (電圧) V_{SWH} の電圧値も変化する。

【 0 1 7 5 】

実施の形態 3 および 4 においては、ロウサイド MOSFET 4006 のオン／オフに同期して、第 2 ゲート電極制御信号 U_L の電圧の極性が変化されるのではなく、負荷電流 (ソース・ドレイン電流 I_{SD}) の電流値に従って、第 2 ゲート電極制御信号 U_L の電圧の極性が変化する。また、第 2 ゲート電極制御信号 U_L の電圧の極性 (ロウサイド MOSFET 4006 のソース S における電圧を基準として) は、軽負荷のときに負極性とされ、重負荷のときに正極性とされる。これにより、図 9 (E) に示されているように、実施の形態 3 および 4 においては、軽負荷であって、ロウサイド MOSFET 4006 が複数回 10
オン／オフを繰り返す間、第 2 ゲート電極 G 2 に定常的に負極性の電圧が供給される。同様に、重負荷であって、ロウサイド MOSFET 4006 が複数回 オン／オフを繰り返す間、第 2 ゲート電極 G 2 に定常的に正極性の電圧が供給される。

【 0 1 7 6 】

軽負荷のとき、ロウサイド MOSFET 4006 の第 2 ゲート電極 G 2 には、定常的に負極性の電圧が印加されるため、第 1 ゲート・ドレイン間容量 C_{rss} を低減することができ、スイッチング損失を低減することができる (同図では「容量低減・SW 損低減」と記載) 。ところが、第 2 ゲート電極 G 2 に負極性の電圧を供給することにより、ロウサイド MOSFET 4006 のオン抵抗が増加し、導通損失が増加する可能性がある (同図では「オン抵抗増加・導通損増加」と記載) 。 20

【 0 1 7 7 】

しかしながら、図 38 において述べたことから理解されるように、軽負荷のときには、スイッチング損失の割合が導通損失の割合よりも高い。そのため、図 9 (F) において、時刻 t_1 よりも左側に示されているように、軽負荷のときには、負極性の電圧を第 2 ゲート電極 G 2 へ供給することにより、スイッチング損失を減少させ、軽負荷のときの損失を全体として低下させることができる。なお、図 9 (F) の軽負荷 (時刻 t_1 よりも前) において、矢印の左側は、第 2 ゲート電極 G 2 をロウサイド MOSFET 4006 のソース S に接続したときの損失の内訳を示しており、矢印の右側は、実施の形態 3 および 4 において述べたように、第 2 ゲート電極 G 2 へ負極性の電圧を供給した場合の損失内訳を示している。 30

【 0 1 7 8 】

重負荷のとき、ロウサイド MOSFET 4006 の第 2 ゲート電極 G 2 には、定常的に正極性の電圧が供給される。これにより、ロウサイド MOSFET 4006 のオン抵抗を低減し、導通損失を低減することが可能となる (同図では「オン抵抗低減・導通損低減」と記載) 。ところが、第 2 ゲート電極 G 2 に正極性の電圧を供給することにより、第 1 ゲート・ドレイン間容量 C_{rss} が増加する可能性があり、スイッチング損失が増加する可能性がある (同図では「容量増加・SW 損増加」と記載) 。

【 0 1 7 9 】

しかしながら、図 38 に示したように、重負荷のときには、導通損失の割合が、スイッチング損失の割合よりも高い。そのため、図 9 (F) において、時刻 t_1 よりも右側に示されているように、重負荷のときには、正極性の電圧を第 2 ゲート電極 G 2 へ供給することにより、導通損失を減少させ、重負荷のときの損失を全体として低下させることができる。なお、図 9 (F) の重負荷 (時刻 t_1 よりも後) において、矢印の左側は、第 2 ゲート電極 G 2 をロウサイド MOSFET 4006 のソース S に接続したときの損失の内訳を示しており、矢印の右側は、実施の形態 3 および 4 において述べたように、第 2 ゲート電極 G 2 へ正極性の電圧を供給した場合の損失内訳を示している。 40

【 0 1 8 0 】

図 10 は、出力電流 I_{out} と半導体集積回路装置 4002 の効率との関係を示す特性図である。図 10 において、横軸は出力電流 I_{out} の電流値を表し、縦軸は効率を表している。同図において、破線は、第 2 ゲート電極 G 2 をロウサイド MOSFET のソース 50

Sに接続した場合（U - Sショート）を示しており、実線は実施の形態3および4において説明したように、負荷電流に基づいて第2ゲート電極G2に供給される電圧を正極性と負極性に切り替えた場合を示している。実施の形態3および4のように、負荷電流に基づいて切り替えることにより、軽負荷および重負荷の一部において、効率が向上しており、全体として損失の低減が図られている。

【0181】

なお、図8および図9においては、図面を容易にするために、駆動信号GL（GH）のパルス幅（ハイレベルの期間）は、軽負荷および重負荷において同じ幅で描かれている。しかしながら、負荷の増減によって、駆動信号GL（GH）のパルス幅は変化しているものと理解されたい。また、軽負荷のときに比べ、重負荷のときには、図9に示されているように、出力電圧VSWHのリングングが大きくなる。

10

【0182】

ここで、実施の形態1および2についても、軽負荷のときと重負荷のときの損失について説明しておく。

【0183】

図11（A）から図11（F）は、実施の形態1において、ロウサイドMOSFET4006の第2ゲート電極G2に負極性の電圧を供給した場合の軽負荷および重負荷の損失を説明するための説明図である。また、図12（A）から図12（F）は、実施の形態1において、ロウサイドMOSFET4006の第2ゲート電極G2に正極性の電圧を供給した場合の軽負荷および重負荷の損失を説明するための説明図である。

20

【0184】

図11（A）から図11（F）は、それぞれ図9（A）から図9（F）に対応している。また、図12（A）から図12（F）も、それぞれ図9（A）から図9（F）に対応している。そのため、ここでは、相違点を主に説明する。

【0185】

実施の形態1においては、先に説明した様に、定常的に負極性の電圧あるいは正極性の電圧が、ロウサイドMOSFET4006の第2ゲート電極G2に供給される。そのため、図11（E）および図12（E）に示されているように、第2ゲート電極制御信号ULは、軽負荷のときも重負荷のときも、定常的に負電圧あるいは正電圧となっている。

【0186】

30

図11（F）から理解されるように、負極性の電圧を第2ゲート電極G2へ供給することにより、軽負荷のときには、スイッチング損失の低減を図ることが可能となり、軽負荷のときの損失を低減することが可能となる。一方、正極性の電圧を第2ゲート電極G2へ供給することにより、図12（F）から理解されるように、導通損失を低減することが可能となり、重負荷のときの損失を低減することが可能となる。

【0187】

図13は、実施の形態1における半導体集積回路装置4002の出力電流Ioutとその効率とを示す特性図である。同図は、図10に類似しているので、図10との相違点を主に説明する。図13において、破線は、ロウサイドMOSFET4006の第2ゲート電極G2を、そのMOSFET4006のソースSに接続した場合を示している。これに対して、実線は負極性の電圧を第2ゲート電極G2に供給した場合を示し、一点破線は、正極性の電圧を第2ゲート電極G2に供給した場合を示している。このように、負極性の電圧を第2ゲート電極G2へ供給することにより、軽負荷のときの効率が向上する。一方、正極性の電圧を第2ゲート電極G2へ供給することにより、重負荷のときの効率を向上させることが可能となる。

40

【0188】

なお、第2ゲート電極G2を、当該MOSFETのソースSに接続することは、特許文献2における教示に基づくものである。

【0189】

次に、実施の形態2について、軽負荷のときの損失と重負荷のときの損失を説明する。

50

図 14 は (A) から図 14 (F) は、実施の形態 2 において、ロウサイド MOSFET 4006 の第 2 ゲート電極 G2 に、当該 MOSFET の駆動に同期して、正極性あるいは負極性の電圧を供給した場合の軽負荷および重負荷の損失を説明するための説明図である。図 14 (A) から図 14 (F) は、それぞれ図 9 (A) から図 9 (F) に対応しているので、相違点を主に説明する。

【0190】

実施の形態 2 において説明したように、ロウサイド MOSFET 4006 の第 2 ゲート電極 G2 に供給される第 2 ゲート電極制御信号 UL は、当該 MOSFET の第 1 ゲート電極 G1 へ供給される駆動信号 GL に同期して変化する。すなわち、図 14 (E) に示されているように、第 2 ゲート電極制御信号 UL は、駆動信号 GL によってロウサイド MOSFET 4006 をオンするとき、正極性の電圧となり、ロウサイド MOSFET 4006 をオフさせるとき、負極性の電圧となる。これにより、ロウサイド MOSFET 4006 をオンさせるときには、当該 MOSFET のオン抵抗を減少させることができる。一方、ロウサイド MOSFET 4006 をオフさせるときには、第 1 ゲート・ドレイン間少量 Crss を減少させることができる。

10

【0191】

オン抵抗を減少させることが可能なため、軽負荷のときも重不可能ときも、ロウサイド MOSFET 4006 がオンしているときの導通損失 (図では、「オン抵抗低減・導通損失低減」と記載) を低減することが可能である。一方、第 1 ゲート・ドレイン間容量 Crss を低減することが可能なため、軽負荷のときも重負荷のときも、ロウサイド MOSFET 4006 のスイッチング損失を低減することが可能となる (同図では、「容量低減・SW 損低減」と記載)。この結果として、図 14 (F) に示されているように、導通損失とスイッチング損失の両方を、軽負荷のときと重負荷のときとで低減することが可能となり、全体の損失を低減することが可能である。

20

【0192】

図 15 は、半導体集積回路装置の効率と、その出力電流 Iout との関係を示す特性図である。同図は、図 10 と類似している。図 10 との相違点は、実線が、実施の形態 2 に従って第 2 ゲート電極 G2 をドライブした場合 (図では正負ドライブと記載) の特性を示していることである。図 10 から理解されるように、第 2 ゲート電極 G2 をソース S に接続した場合 (破線) に比べ、この実施の形態 2 によれば、軽負荷のときも、重負荷のときも効率が向上しており、損失が低減されている。

30

【0193】

図 2 に示した実施の形態 2 においては、選択回路 2002 により、正極性の電圧 Vpos と負極性の電圧 Vneg が選択される。選択回路 2002 を構成すると MOSFET の耐圧を向上させることにより、絶対値のより大きな電圧 Vpos および電圧 Vneg を第 2 ゲート電極に供給することが可能となる。より絶対値の大きな電圧 Vpos および Vneg を用いることにより、図 15 に示した効率は向上させることが可能である。

【0194】

(実施の形態 5)

実施の形態 1 から 4 は、ロウサイド MOSFET 4006 を対象とし、その第 2 ゲート電極 G2 へ供給する第 2 ゲート電極制御信号 UL を説明した。これから説明する実施の形態 5 から 8 は、ハイスайд MOSFET 4005 を対象とし、その第 2 ゲート電極 G2 へ供給される第 2 ゲート電極制御信号 UH を説明する。

40

【0195】

図 16 (A) は、実施の形態 5 に係わる半導体集積回路装置 4002 の構成を示す回路図であり、図 16 (B) は、実施の形態 5 に係わる半導体集積回路装置 4002 の波形を示す波形図である。図 16 (A) には、図 40 に示した構成の内、ハイスайд MOSFET 4005 およびハイスайд MOSFET 4005 の第 1 ゲート電極 G1 へ供給される駆動信号 GH を出力する駆動回路 4011 のみが示されている。残りの構成は図 40 と同じであるため、ここでは省略されている。この実施の形態 5 においては、ドライバー 400

50

3に制御端子T15が設けられる。この制御端子T15を介して、ハイサイドMOSFET4005の第2ゲート電極G2へ第2ゲート制御信号UHを供給する第2ゲート電極制御回路1600が、ドライバー4003に設けられる。

【0196】

第2ゲート電極制御回路1600は、可変電圧源1601を有し、所定の電圧を有する第2ゲート制御信号UHを形成し、制御端子T15を介して、ハイサイドMOSFET4005の第2ゲート電極G2へ供給する。所定の電圧は、例えば2Vとされ、2Vの電圧値を有する第2ゲート信号UHが、第2ゲート電極制御回路1600から制御端子T15を介して、ハイサイドMOSFET4005の第2ゲート電極G2へ供給される。勿論、ハイサイドMOSFET4005の第1ゲート電極G1には、駆動回路4011から駆動信号GHが供給され、駆動信号GHに従って、ハイサイドMOSFET4005はオン/オフ制御される。

10

【0197】

半導体集積回路装置4002の出力端子T1と、ドライバー4003の電圧端子T8と、ハイサイドMOSFET4005のソースSとは、互いに接続されている。ハイサイドMOSFET4005およびロウサイドMOSFET4006は、図40において述べたように、交互にオン/オフする。そのため、出力端子T1、電圧端子T8およびハイサイドMOSFET4005のソースSにおける電圧の電圧値は、時間によって変化する。言い換えるならば、ハイサイドMOSFET4005およびロウサイドMOSFET4006のオン/オフにより、ハイサイドMOSFET4005のソースSにおける電圧の値は

20

【0198】

ハイサイドMOSFET4005とロウサイドMOSFET4006とが、相補的にオン/オフすることにより、電圧端子T8における電圧VSWHは、ほぼ接地電圧(GND=0V)と電圧VINとの間で変化する。この電圧振幅を、例えば12Vとし、上記のように、第2制御信号UHの電圧値を2Vとした場合、ハイサイドMOSFET4005がオンする直前では、ロウサイドMOSFET4006のオンにより、電圧端子T8は、ほぼ接地電圧となっているため、ハイサイドMOSFET4005の第2ゲート電極G2には、ソースS(電圧端子T8)に対して正極性の電圧である2Vが供給されることになる。これに対して、ハイサイドMOSFET4005がオフする直前では、ハイサイドMOSFET4005のオンにより、当該MOSFETのソースS(電圧端子T8)の電圧は12Vであるため、ハイサイドMOSFET4005の第2ゲート電極G2には、当該MOSFETのソースSにおける電圧に対して負極性の電圧である-10Vが供給されることになる。

30

【0199】

図16(B)には、ハイサイドMOSFET4005のソースS(電圧端子T8)における電圧VSWH(ソース電圧(VSWH))の波形と、第2制御信号UHの波形が示されている。図16(B)において、横軸は時間であり、縦軸は電圧値である。図16(B)においては、ハイサイドMOSFET4005がオンするときに、期間(a)として示されており、ハイサイドMOSFET4005がオフするときに、期間(b)として示されている。なお、ソースSにおける電圧(ソース電圧)VSWHが、接地電圧(0V)よりも低下している期間があるが、これは、コイル素子4008(図40)による逆起電力によって生じる変化を示している。

40

【0200】

この実施の形態5によれば、ハイサイドMOSFET4005がオフするとき(期間(b))、ハイサイドMOSFET4005の第2ゲート電極G2には、そのソースSにおけるソース電圧(VSWH)に対して負極性の電圧が供給されることになり、ハイサイドMOSFET4005の第1ゲート・ドレイン間容量Crssが低減される。その結果として、スイッチング損失の低減を図ることが可能となる。

【0201】

50

図 17 (A) から図 17 (E) は、実施の形態 5 において、ハイサイド MOSFET 4005 の第 2 ゲート電極 G2 に、所定の電圧を有する第 2 ゲート制御信号 UH を、第 2 ゲート電極制御回路 1600 から供給した場合の軽負荷および重負荷の損失を説明するための説明図である。図 17 (A) から図 17 (C) および図 17 (E) は、それぞれ図 9 (A) から図 9 (C) および図 9 (F) に対応している。図 17 (D) は、図 9 (D) および図 9 (E) に類似しており、図 17 (D) には、ハイサイド MOSFET 4005 のソース S (電圧端子 T8) における電圧 (ソース電圧) VSWH の波形と、第 2 ゲート制御信号 UH の波形が示されている。図 9 との相違点を主に説明する。

【0202】

図 16 (A) および (B) において説明したように、この実施の形態 5 においては、正の所定の電圧が、第 2 ゲート電極制御回路 1600 により形成され、ハイサイド MOSFET 4005 の第 2 ゲート電極 G2 に、定常的に供給される。これにより、ハイサイド MOSFET 4005 はオフするとき、第 2 ゲート電極 G2 には、そのソースに対して負極性の電圧が供給されることになる。定常的に供給されているため、軽負荷のときも、重負荷のときも、ハイサイド MOSFET 4005 はオンからオフへ変化する際のスイッチング損失を低減することが可能となる (同図では、「(Turn Off) 容量低減・SW 損低減」と記載)。

【0203】

このスイッチング損失の低減により、図 17 (E) に示されているように、軽負荷のときには、全体として損失を低減することが可能となる。これは、図 38 において説明したように、低負荷のときには、スイッチング損失の割合が高いためである。一方、ハイサイド MOSFET 4005 がオンするときには、第 1 ゲート・ドレイン間容量 Crss が増加する可能性がある。また、ハイサイド MOSFET 4005 がオンしている期間においては、第 2 ゲート電極 G2 に供給される電圧は、図 17 (D) から理解されるように、ソースにおける電圧に対して負極性となるため、この期間ではオン抵抗が増加する可能性がある。

【0204】

図 18 は、実施の形態 5 に係わる半導体集積回路装置 4002 の効率とその出力電流 Iout との関係を示す特性図である。図 18 は、先に説明した図 10 と類似しており、異なる点は、実施の形態 5 の半導体集積回路装置 4002 の出力電流 Iout と効率との関係が、実線 (定電圧) として示されている。この図 18 から、軽負荷のときに効率の向上が図られ、損失が低減されていることがわかる。

【0205】

(実施の形態 6)

図 19 (A) は、実施の形態 6 に係わる半導体集積回路装置 4002 の構成を示す回路図であり、図 19 (B) は、図 19 (A) に示した半導体集積回路装置 4002 の波形を示す波形図である。図 19 (A) に示した構成は、実施の形態 5 で説明した図 16 (A) の構成と類似しているので、相違点を主に説明する。

【0206】

図 16 (A) に示した構成と異なるのは、第 2 ゲート電極制御回路 1600 の構成が異なることである。すなわち、図 19 (A) において、第 2 ゲート電極制御回路 1600 は、電圧端子 T8 と接地電圧 CGND との間に直接接続された抵抗素子 1900 と 1901 とを有している。抵抗素子 1900 と 1901 とによって、ハイサイド MOSFET 4005 のソースにおける電圧 (ソース電圧) VSWH は、分圧される。分圧により得た電圧は、抵抗素子 1900 と 1901 との間の接続ノードから取り出され、第 2 ゲート制御信号 UH として、第 2 ゲート電極制御回路 1600 から制御端子 T15 に供給される。制御端子 T15 は、ハイサイド MOSFET 4006 の第 2 ゲート電極 G2 に接続されている。そのため、ハイサイド MOSFET 4005 のソース S における電圧 VSWH に応じた電圧が、第 2 ゲート制御信号 UH として、ハイサイド MOSFET 4005 の第 2 ゲート電極 G2 に供給されることになる。

【0207】

図19(B)には、図19(A)におけるハイサイドMOSFET4005のソースSにおけるソース電圧(電圧端子T8における電圧)VS_{WH}の波形と、分圧により形成された第2ゲート制御信号UHの波形が示されている。図19(B)において、期間(a)は、ハイサイドMOSFET4005がオフからオンに変化する期間を示しており、期間(b)は、ハイサイドMOSFET4005がオンからオフへ変化する期間を示している。第2ゲート制御信号UHは、ハイサイドMOSFET4005のソースSにおける電圧を分圧して形成されているため、その電圧値は、当該ソースSにおける電圧VS_{WH}の変化に追従して変化する。

【0208】

従って、ハイサイドMOSFET4005をオフからオンさせるとき(期間(a))、ハイサイドMOSFET4005の第2ゲート電極G2には、当該MOSFET4005のソースSにおける電圧VS_{WH}と同様に上昇する電圧が供給されることになる。これにより、ハイサイドMOSFET4005が、オフからオンに変化するとき、第2ゲート電極G2の電圧とハイサイドMOSFETのソースSにおける電圧との間の電圧差を低減することが可能となり、第1ゲート・ドレイン間容量C_{rss}の増加を抑制することが可能となる。一方、ハイサイドMOSFET4005をオンからオフさせるとき(期間(b))、第2ゲート制御信号UHの電圧は、そのソース電圧VS_{WH}の分圧電圧であるため、第2ゲート電極G2に供給される電圧は、ソース電圧VS_{WH}よりも低く、ソース電圧VS_{WH}に対して負極性の電圧となる。これにより、ハイサイドMOSFET4005がオンからオフへ遷移する際には、第1ゲート・ドレイン間容量C_{rss}を低減することが可能となり、実施の形態5と同様にスイッチング損失を低減することが可能となる。

【0209】

この実施の形態6によれば、ハイサイドMOSFET4005が、オフからオンするときの第1ゲート電極・ドレイン間容量C_{rss}の増加を抑制することが可能であり、またハイサイドMOSFET4005がオンからオフするときには、第1ゲート・ドレイン間容量C_{rss}の低減を図ることが可能となる。そのため、実施の形態5に比べ、ハイサイドMOSFETのスイッチング損失の低減を図ることが可能となる。

【0210】

図20(A)から図20(E)は、実施の形態6において示した半導体集積回路装置4002について、軽負荷および重負荷の損失を説明するための説明図である。図20(A)から図20(E)は、それぞれ図17(A)から図17(E)に対応している。そのため、ここでは相違点を主に説明する。

【0211】

主として、図20(D)に示した波形が、図17(D)に示した波形と相違している。実施の形態6においては、ハイサイドMOSFET4005の第2ゲート電極G2に供給される第2ゲート信号UHの電圧は、ハイサイドMOSFET4005のソースSにおける電圧VS_{WH}の変化に追従して変化する。また、第2ゲート制御信号UHの電圧振幅は、ハイサイドMOSFET4005のソースSにおける電圧(ソース電圧VS_{WH})に比べて小さい。

【0212】

これにより、ハイサイドMOSFET4005がオンからオフへ変化する際には、ソース電圧に対して負極性の電圧が第2ゲート電極G2に供給され、スイッチング損失が低減される(図20(D)では、「(Turn Off)容量低減・SW損低減」と記載)。また、第2ゲート電極G2に供給される電圧は、ソース電圧VS_{WH}に追従するため、ハイサイドMOSFET4005がオフからオンへ変化する際には、第2ゲート電極G2とソース電圧VS_{WH}との間の電圧差を小さくすることができ、第1ゲート・ドレイン間容量C_{rss}の増加を抑制することが可能となる(図20(D)では、「(Turn On)容量変動なし」と記載)。これは、軽負荷のときと重負荷のときの両方において、発生する。そのため、軽負荷のときも重負荷のときも、ハイサイドMOSFET4005のス

10

20

30

40

50

イッチング損失を低減することが可能となる（図20（E）参照）。

【0213】

図21は、実施の形態6に係わる半導体集積回路装置4002の効率とその出力電流 I_{out} との関係を示す特性図である。図21は、先に説明した図18と類似しており、異なる点は、実施の形態5に係わる半導体集積回路装置4002の出力電流 I_{out} と効率との関係が、一点破線（定電圧）として示され、実施の形態6に係わる半導体集積回路装置4002の出力電流 I_{out} と効率との関係が、実線（ V_{SWH} 分圧）として示されている。図21から理解されるように、出力電流 I_{out} の電流値が小さいとき、すなわち軽負荷のときに効率の向上が図られ、損失が低減されている。

【0214】

（実施の形態7）

図22（A）は、実施の形態7に係わる半導体集積回路装置4002の構成を示す回路図であり、図22（B）は、図22（A）に示した半導体集積回路装置4002の波形を示す波形図である。図22（A）に示した構成は、実施の形態6で説明した図19（A）の構成と類似しているので、相違点を主に説明する。

【0215】

図19（A）に示した構成と異なるのは、第2ゲート電極制御回路1600の構成が異なることである。すなわち、図19（A）においては、第2ゲート電極制御回路1600は、抵抗素子1900と抵抗素子1901とにより分圧電圧を形成し、形成した分圧電圧を第2ゲート制御信号 UH としていた。これに対して、この実施の形態7における第2ゲート電極制御回路1600は、電圧端子 $T8$ と制御端子 $T15$ との間に接続された抵抗素子2200、制御端子 $T18$ と接地電圧 $CGND$ との間に接続された可変抵抗素子2201、可変抵抗素子2201の抵抗値を変更するためのハイサイド電圧制御回路2203および負荷電流検出回路2202を具備している。

【0216】

負荷電流検出回路2202は、半導体集積回路装置4002の出力端子 $T1$ を流れる出力電流 I_{out} の電流値が所定の電流値を超えているか否かを検出し、所定の電流値を超えているか否かを示す検出信号をハイサイド電圧制御回路2203へ供給する。ハイサイド電圧制御回路2203は、供給された検出信号に従って可変抵抗素子2201の抵抗値を変更する。抵抗素子2200と可変抵抗素子2201は、出力端子 $T8$ と接地電圧 $CGND$ との間に直列に接続され、接続ノードが制御端子 $T15$ に接続されている。これにより、抵抗素子2200と可変抵抗素子2201とによって、ハイサイドMOSFET4005のソース S における電圧（ソース電圧） V_{SWH} が、分圧され、分圧によって形成された分圧電圧を有する第2ゲート制御信号 UH が、制御端子 $T15$ を介してハイサイドMOSFET4005の第2ゲート電極 $G2$ へ供給される。ここで、可変抵抗素子2201の抵抗値は、負荷電流検出回路2202による検出信号に従って、ハイサイド電圧制御回路2203により変更される。すなわち、負荷電流の値に従って、ハイサイドMOSFET4005の第2ゲート電極 $G2$ へ供給される電圧の値が変化する。

【0217】

この実施の形態7においては、出力電流（負荷電流） I_{out} の電流値が所定の電流値を超えたとき、すなわち負荷電流検出回路2202の出力が所定の値を超えたとき、ハイサイド電圧制御回路2203は、可変抵抗素子2201の抵抗値を高くする。言い換えるならば、可変抵抗素子2202の抵抗値は、負荷電流 I_{out} の電流値が所定の電流値以下のときには、第1の抵抗値とされ、負荷電流 I_{out} の電流値が所定の電流値を超えたとき、第1の抵抗値よりも高い第2の抵抗値にされる。これにより、負荷電流 I_{out} の電流値が所定の電流値を超えたときには、所定の電流値以下のときに比べて、高い電圧が、第2ゲート制御信号 UH としてハイサイドMOSFET4005の第2ゲート電極 $G2$ へ供給されることになる。すなわち、負荷電流 I_{out} が所定の電流値を超えた場合には、ハイサイドMOSFET4005のソース電圧 V_{SWH} に近い電圧が、ハイサイドMOSFET4005の第2ゲート電極 $G2$ へ供給されることになる。

10

20

30

40

50

【0218】

ここで、所定の電流値は、軽負荷と重負荷とを区切る負荷電流の値とされる。例えば、図38を例にするならば、電流値 i_2 が所定の電流値とされる。このようにすることにより、重負荷のときであって、ハイサイドMOSFET4005がオンしているときには、そのハイサイドMOSFET4005の第2ゲート電極G2にソース電圧VSWHに近い電圧値を有する第2ゲート制御信号UHが供給されることになる。これにより、ハイサイドMOSFET4005がオンしているときの、オン抵抗が増加するのを抑制することが可能となる。

【0219】

図22(B)には、図22(A)におけるハイサイドMOSFET4005のソースSにおけるソース電圧(電圧端子T8における電圧)VSWHの波形と、可変抵抗素子2201と抵抗素子(固定抵抗素子)2200とによる分圧により形成された第2ゲート制御信号UHの波形が示されている。図22(B)に示した波形は、図19(B)に示した波形と類似しているので、相違点を主に説明する。図22(B)において、期間(a)は、ハイサイドMOSFET4005がオフからオンに変化する期間を示しており、期間(b)は、ハイサイドMOSFET4005がオンからオフへ変化する期間を示している。この期間(a)および(b)における動作は、図19(B)と同じである。すなわち、第2ゲート制御信号UHの電圧値は、当該ソースにおける電圧VSWHの変化に追従して変化する。

【0220】

そのため、ハイサイドMOSFET4005が、オフからオンに変化するとき(期間(a))、第2ゲート電極G2の電圧とハイサイドMOSFETのソースにおける電圧との間の電圧差を低減することが可能となり、第1ゲート・ドレイン間容量Crssの増加を抑制することが可能となる。一方、ハイサイドMOSFET4005をオンからオフさせるとき(期間(b))、第2ゲート制御信号UHの電圧は、そのソース電圧VSWHの分圧電圧であるため、第2ゲート電極G2に供給される電圧は、ソース電圧VSWHよりも低く、負極性の電圧となる。これにより、ハイサイドMOSFET4005がオンからオフへ遷移する際には、第1ゲート・ドレイン間容量Crssを低減することが可能となり、スイッチング損失を低減することが可能となる。

【0221】

この実施の形態7においては、負荷電流Ioutが所定の値を超えた場合、ハイサイド電圧制御回路2003によって、可変抵抗素子2201の抵抗値が増加させられる。これにより、ハイサイドMOSFET4005がオンしているとき、第2ゲート電極G2へ供給される電圧が、そのソース電圧VSWHに近づくことになる。これにより、ハイサイドMOSFET4005のオン抵抗の増加が抑制され、導通損失の増加が抑制されることになり、実施の形態5および6に比べ、ハイサイドMOSFETの導通損失の低減を図ることが可能となる。すなわち、この実施の形態7によれば、特に導通損失の割合が高い重負荷のときに、導通損失の増加を抑制することが可能となる。

【0222】

図23(A)から図23(E)は、実施の形態7において示した半導体集積回路装置4002について、軽負荷および重負荷の損失を説明するための説明図である。図23(A)から図23(E)は、それぞれ図20(A)から図20(E)に対応している。そのため、ここでは相違点を主に説明する。

【0223】

主として、図23(D)に示した波形において、重負荷のときの波形が、図20(D)に示した波形と相違している。実施の形態7においては、負荷電流検出回路2202からの検出信号によって、ハイサイド電圧制御回路2203は、負荷電流Ioutの電流値が所定の値を超えたことを認識し、可変抵抗素子2201の抵抗値を高くする。負荷電流Ioutの電流値が所定の値以下のとき、すなわち軽負荷のときには、ハイサイド電圧制御回路2203は、可変抵抗素子2201の抵抗値を高くしない。そのため、軽負荷のとき

には、実施の形態 6 と同様に、ハイサイド MOSFET 4005 のスイッチング損失の低減が図られている（図 23（E）の軽負荷を参照）。

【0224】

これに対して、重負荷のときには、ハイサイド MOSFET 4005 の第 2 ゲート電極 G2 に供給される第 2 ゲート制御信号 UH の電圧は、ハイサイド MOSFET 4005 のソース電圧 VSWH の変化と同様に変化し、ソース電圧 VSWH の電圧値に近い電圧値まで到達する。言い換えるならば、重負荷のときには、ハイサイド MOSFET 4005 の第 2 ゲート電極 G2 は、電圧的には、そのソース S とショートされた状態に類似した状態になる（図 23（D）では、「US ショート（U - S ショート）類似」と記載）。これにより、重負荷のときには、ハイサイド MOSFET 4005 のオン抵抗が増加するのが抑制され、導通損失が増加するのを抑制することが可能となる。結果として、実施の形態 7 によれば、軽負荷のときに割合が高くなるスイッチング損失を低減し、重負荷のときに割合が高くなる導通損失の増加を抑制することが可能となる。

【0225】

図 24 は、実施の形態 7 に係わる半導体集積回路装置 4002 の効率とその出力電流 Iout との関係を示す特性図である。図 24 は、先に説明した図 21 と類似しており、異なる点は、実施の形態 6 に係わる半導体集積回路装置 4002 の出力電流 Iout と効率との関係が、一点破線（VSWH 分圧）で示されており、実施の形態 7 に係わる半導体集積回路装置 4002 の出力電流 Iout と効率との関係が、実線（分圧 + 分圧比制御）で示されている。図 21 から理解されるように、出力電流 Iout の電流値が大きいとき、すなわち重負荷のときに、実施の形態 6 に比べて効率の向上が図られ、損失が低減されている。

【0226】

図 22 においては、制御端子 T15 と接地電圧 CGND との間に接続された抵抗素子が可変抵抗素子とされていた。しかしながら、制御端子 T15 と接地電圧 CGND との間に接続された抵抗素子を固定抵抗素子とし、出力端子 T8 と制御端子 T15 との間に接続される抵抗素子を可変抵抗素子にして、その抵抗値をハイサイド電圧制御回路 2203 により制御してもよい。この場合には、重負荷のときに、可変抵抗素子の抵抗値が小さくなるように制御される。また、抵抗素子 2200 と 2201 の両方を可変抵抗素子とし、それぞれの抵抗値をハイサイド電圧制御回路 2203 により制御してもよい。

【0227】

さらに、可変抵抗素子の抵抗値は、第 1 の抵抗値と第 2 の抵抗値の 2 段階の変化ではなく、3 段階以上に変化するようにしてもよい。あるいは、負荷電流検出回路 2202 から、負荷電流に従って連続的にその値が変化する検出信号が出力されるようにし、ハイサイド電圧制御回路 2003 は、この検出信号に従って、可変抵抗素子の抵抗値を連続的に変化させるようにしてもよい。

【0228】

（実施の形態 8）

図 25 は、実施の形態 8 に係わる半導体集積回路装置 4002 が具備する第 2 ゲート電極制御回路 1600 により形成される第 2 ゲート制御信号 UH の波形を示す波形図である。実施の形態 8 における第 2 ゲート電極制御回路 1600 により形成された第 2 ゲート制御信号 UH は、例えば図 22 に示した制御端子 T15 を介してハイサイド MOSFET 4005 の第 2 ゲート電極 G2 へ供給される。

【0229】

図 25 において、横軸は時間を表し、縦軸は電圧を表す。ハイサイド MOSFET 4005 の第 1 ゲート電極 G1 に供給される駆動信号 GH によって、ハイサイド MOSFET 4005 がオフ状態にされているとき、実施の形態 8 に係わる第 2 ゲート電極制御回路 1600 は、ハイサイド MOSFET 4005 のソース S におけるソース電圧（出力端子 T8）VSWH に対して負極性の電圧 V1 を有する第 2 ゲート制御信号 UH を、ハイサイド MOSFET 4005 の第 2 ゲート電極 G2 へ供給する。

【0230】

時刻 t_1 において、駆動信号 GH によりハイサイド MOSFET 4005 をオフからオンへ変更する直前に、第2ゲート電極制御回路 1600 は、第2ゲート制御信号 UH の電圧値を電圧 V1 から電圧 V2 へ変更する。このときの電圧値 V2 は、ハイサイド MOSFET 4005 をオン状態にしたときのハイサイド MOSFET 4005 のソース電圧 VSWH よりも高電圧となるように設定されている。

【0231】

その後、時刻 t_2 において、駆動信号 GH によりハイサイド MOSFET 4005 がオン状態からオフへ変更する直前に、第2ゲート電極制御回路 1600 は、第2ゲート制御信号 UH の電圧値を、電圧 V2 から電圧 V3 へ変更する。ここで、電圧 V3 は、このときのハイサイド MOSFET のソース電圧 VSWH の電圧値に対して負極性を有する電圧値に設定されている。特に制限されないが、第2ゲート電極制御回路 1600 は、第2ゲート制御信号 UH の電圧値を電圧 V2 へ変更した後で、さらに電圧値 V1 へ変更する。

【0232】

第2ゲート制御信号 UH の電圧値を、このように順次変更することにより、ハイサイド MOSFET 4005 がオフ状態からオンへ遷移する際（時刻 t_1 ）には、第2ゲート電極 G2 には、ソース電圧 VSWH に対して負極性の電圧が供給されることになる。同様にハイサイド MOSFET 4005 をオン状態からオフへ遷移させる際（時刻 t_2 ）にも、第2ゲート電極 G2 には、そのときのハイサイド MOSFET 4005 のソース電圧 VSWH に対して負極性の電圧が供給されることになる。そのため、ハイサイド MOSFET 4005 をオフ状態からオンへ遷移させるとき、およびオン状態からオフへ遷移させるとき、ハイサイド MOSFET 4005 の第1ゲート・ドレイン間容量 C_{rss} を低減することが可能となり、スイッチング損失を低減することが可能となる。

【0233】

また、ハイサイド MOSFET 4005 がオン状態の期間（時刻 t_1 と時刻 t_2 の間）においては、第2ゲート電極 G2 には、ソース電圧 VSWH に対して正極性の電圧が供給されることになり、ハイサイド MOSFET 4005 のオン抵抗を低減することが可能となり、導通損失の低減を図ることができる。これにより、スイッチング損失と導通損失の両方を低減することが可能となる。

【0234】

図25に示すような電圧変化をする第2ゲート制御信号 UH を形成する第2ゲート電極制御回路 1600 は、例えば、電圧 V1 を形成する負電圧発生回路、電圧 V2 を形成する正電圧発生回路、および図40において説明したドライバ 4004 からの制御信号 f を受ける論理回路により実現することができる。例えば、制御信号 f に基づいて、ハイサイド MOSFET 4005 の第1ゲート電極 G1 へ供給される駆動信号 GH のハイレベルへの変化を、変化前に把握し、第2ゲート制御信号 UH の電圧値を電圧 V2 へ変更する。同様に、制御信号 f に基づいて、駆動信号 GH のロウレベルへの変化を、その変化前に把握し、第2ゲート制御信号 UH の電圧値を電圧 V2 から電圧 V3 へ変更すればよい。なお、電圧 V3 は、例えば電圧 V2 から生成することが可能である。また、電圧 V3 は、予め測定により求めてもよいし、出力端子 T8 の電圧を測定するようにしてもよい。

【0235】

図26は、実施の形態8に係わる半導体集積回路装置 4002 の効率とその出力電流 I_{out} との関係を示す特性図である。図26は、先に説明した図24と類似しており、異なる点は、実施の形態7に係わる半導体集積回路装置 4002 の出力電流 I_{out} と効率との関係が、一点破線（分圧＋分圧比制御）で示されており、実施の形態8に係わる半導体集積回路装置 4002 の出力電流 I_{out} と効率との関係が、実線（実施の形態8）として示されている。実施の形態8によれば、スイッチング損失と導通損失の両方が低減されているため、図26から理解されるように、出力電流 I_{out} の電流値が小さいときも大きいときも、すなわち軽負荷のときも重負荷のときも、効率の向上が図られ、損失が低減されている。

10

20

30

40

50

【 0 2 3 6 】

(実施の形態 9)

図 2 7 は、実施の形態 9 に係わる半導体集積回路装置 4 0 0 2 の構成を示すブロック図である。同図に示されている半導体集積回路装置 4 0 0 2 は、先に図 4 0 で説明した半導体集積回路装置 4 0 0 2 と類似しており、互いに同じ要素については、同じ符号が付されている。ここでは、相違している部分についてのみ主に説明する。

【 0 2 3 7 】

この実施の形態 9 において、ドライバー 4 0 0 3 は、図 4 0 に示したドライバー 4 0 0 3 に対して、負荷電流検出回路 2 7 0 0、第 2 ゲート電極制御回路 2 7 0 1、制御端子 T 1 4、および制御端子 T 1 5 を有している。

10

【 0 2 3 8 】

負荷電流検出回路 2 7 0 0 は、ドライバー 4 0 0 3 の電圧端子 T 1 0 を介して半導体集積回路装置 4 0 0 2 の電圧端子 T 2 と、ドライバー 4 0 0 3 の電圧端子 T 8 を介して半導体集積回路装置 4 0 0 2 の出力端子 T 1 とに接続されている。負荷電流検出回路 2 7 0 0 は、既に複数の実施の形態において説明している負荷電流検出回路（負荷電流検出コンパレータ 7 0 0 0（図 7）を含む）に相当する。例えば、負荷電流検出回路 2 7 0 0 は、実施の形態 3 あるいは実施の形態 7 において説明した負荷電流検出回路 5 0 0 0（図 5）あるいは 2 2 0 2（図 2 2）に相当する。負荷電流検出回路 2 7 0 0 は、半導体集積回路装置 4 0 0 2 の出力端子 T 1 を流れる出力電流 I_{out} を、負荷電流として検出し、出力電流 I_{out} が所定の電流値（例えば、図 3 8 の電流 i_2 ）を超えたか否かを検出して、検出信号を第 2 ゲート電極制御回路 2 7 0 1 へ供給する。

20

【 0 2 3 9 】

第 2 ゲート電極制御回路 2 7 0 1 は、負荷電流検出回路 2 7 0 0 からの検出信号に従って、第 2 ゲート制御信号 U_H と第 2 ゲート制御信号 U_L を形成する。形成された第 2 ゲート制御信号 U_H は、ハイサイド MOSFET 4 0 0 5 の第 2 ゲート電極 G 2 を制御するのに用いられ、第 2 ゲート制御信号 U_L は、ロウサイド MOSFET 4 0 0 6 の第 2 ゲート電極 G 2 を制御するのに用いられる。そのため、第 2 ゲート制御信号 U_H は、制御端子 T 1 5 を介してハイサイド MOSFET 4 0 0 5 の第 2 ゲート電極 G 2 へ供給され、第 2 ゲート制御信号 U_L は、制御端子 T 1 4 を介してロウサイド MOSFET 4 0 0 6 の第 2 ゲート電極 G 2 へ供給される。

30

【 0 2 4 0 】

当該第 2 ゲート電極制御回路 2 7 0 1 は、負荷電流検出回路 2 7 0 0 からの検出信号が、出力端子 T 1 を介して流れる出力電流 I_{out} が所定の電流値を超えるような値であることを示す場合、ハイサイド MOSFET 4 0 0 5 のソース S における電圧 V_{SWH} に対して正の電圧を有する第 2 ゲート制御信号 U_H を形成する。また、この場合、第 2 ゲート電極制御回路 2 7 0 1 は、ロウサイド MOSFET 4 0 0 6 のソース S における電圧 P_{GND} に対して正の電圧を有する第 2 ゲート制御信号 U_L を形成する。

【 0 2 4 1 】

一方、出力電流 I_{out} が所定の電流値以下であることを示す検出信号が、第 2 ゲート電極制御回路 2 7 0 1 に供給された場合、第 2 ゲート電極制御回路 2 7 0 1 は、ハイサイド MOSFET 4 0 0 5 のソース S における電圧 V_{SWH} に対して負極性の電圧を有する第 2 ゲート制御信号 U_H を形成し、ロウサイド MOSFET 4 0 0 6 のソース S における電圧 P_{GND} に対して負極性の電圧を有する第 2 ゲート制御信号 U_L を形成する。

40

【 0 2 4 2 】

CPU 等の負荷が、軽負荷から重負荷へ変化することにより、負荷電流（出力電流） I_{out} の電流値が高くなる。この実施の形態においては、電流 i_2 が軽負荷と重負荷とを区別する負荷電流の電流値として設定されている。これにより、重負荷のときには、ハイサイド MOSFET 4 0 0 5 の第 2 ゲート電極 G 2 には、そのソース S における電圧よりも高い（正極性の）電圧が、定常的に供給されることになる。同様に、ロウサイド MOSFET 4 0 0 6 の第 2 ゲート電極 G 2 には、そのソース S における電圧よりも高い（正極

50

性の) 電圧が、定常的に供給されることになる。第2ゲート電極G2へ供給される電圧が、ソースにおける電圧に対して正極性となることにより、ハイサイドMOSFET4005およびロウサイドMOSFET4006は、オン状態となったときのオン抵抗が低減される。その結果として、重負荷のときのハイサイドMOSFET4005およびロウサイドMOSFET4006のそれぞれの導通損失が低減される。

【0243】

一方、負荷電流 I_{out} が所定の電流値(i_2)以下の場合(軽負荷のとき)には、ハイサイドMOSFET4005の第2ゲート電極G2には、そのソースSにおける電圧に対して負極性の電圧が、定常的に供給されることになり、ロウサイドMOSFET4006の第2ゲート電極G2にも、そのソースSにおける電圧に対して負極性の電圧が、定常的に供給されることになる。これにより、軽負荷のときには、ハイサイドMOSFET4005およびロウサイドMOSFET4006のそれぞれにおける第1ゲート電極・ドレイン間容量 C_{rss} が低減され、スイッチング損失が低減される。

【0244】

第2ゲート電極制御回路2701は、特に制限されないが正電圧レギュレータと、負電圧レギュレータと4個のスイッチにより構成することができる。ここで正電圧レギュレータは、例えば図5において説明した正の電圧 V_{pos} と図25において説明した正の電圧 V_2 を形成する。また、負電圧レギュレータは、図5において説明した負の電圧 V_{neg} と図25において説明した電圧 V_1 を形成する。4個のスイッチは、2個が1対とされ、2対にされる。図5のスイッチ5004、5005のように、一方の1対のスイッチのそれぞれの一端には、正の電圧 V_{pos} と負の電圧 V_{neg} が供給され、この一方の1対のスイッチの他方の端から第2ゲート制御信号 U_L が出力される。同様に、他方の1対のスイッチのそれぞれの一端には、正の電圧 V_2 と負の電圧 V_1 が供給され、この他方の1対のスイッチの他方の端から第2ゲート制御信号 U_H が出力される。負荷電流検出回路2700からの検出信号が所定の値を超えているか否かで、2対のスイッチを制御し、ハイサイドMOSFET4005およびロウサイドMOSFET4006のそれぞれの第2ゲート電極G2へ供給される電圧を選択する。

【0245】

すなわち、重負荷のときには、正の電圧 V_{pos} 、 V_2 が供給されているスイッチをオン状態とし、軽負荷のときには、負の電圧 V_{neg} 、 V_1 が供給されているスイッチをオン状態にする。勿論、正の電圧 V_{pos} 、 V_2 (負の電圧 V_{neg} 、 V_1)が供給されているスイッチがオン状態にされるときには、負の電圧 V_{neg} 、 V_1 (正の電圧 V_{pos} 、 V_2)が供給されているスイッチをオフ状態にする。

【0246】

この実施の形態9によれば、負荷に応じて、導通損失の削減とスイッチング損失の削減を行うことができる。すなわち、重負荷のときには、そのときの割合が高い導通損失をハイサイドMOSFET4005およびロウサイドMOSFET4006の両方において、削減することが可能であり、軽負荷のときには、そのとき割合の高いスイッチング損失を両方のMOSFETにおいて削減することが可能となる。言い換えるならば、そのときの負荷に応じた適切な損失の低減が、行われ、負荷の変化にかかわらずに損失の削減を図ることが可能となる。

【0247】

<変形例1>

上記した図27の説明では、重負荷のとき、ハイサイドMOSFET4005の第2ゲート電極G2に、そのソースSにおける電圧よりも高い電圧を、定常的に供給するようにしていた。しかしながら、実施の形態7の構成を、図27のハイサイドMOSFET4005に適用してもよい。この場合、図27のロウサイドMOSFET4006には、実施の形態3で説明した構成を適用すればよい。

【0248】

この場合、図27に示した負荷電流検出回路2700は、例えば、図5に示した負荷電

流検出回路5000と図22に示した負荷検出回路2202を具備する。また、図27に示した第2ゲート電極制御回路2701は、図5に示した第2ゲート電極ドライブ制御回路5001、正電圧レギュレータ5002、負電圧レギュレータ5003、スイッチ5004および5005、および図22(A)に示したハイサイド電圧制御回路2203、抵抗素子2200および可変抵抗素子2201を具備する。

【0249】

この変形例1によれば、重負荷のとき、ハイサイドMOSFET4005の第2ゲート電極G2の電圧は、このハイサイドMOSFETのソースSにおける電圧に追従して変化することになる。そのため、ハイサイドMOSFET4005の第2ゲート電極G2へ供給される正の電圧V2および負の電圧V1を形成するための電圧レギュレータを削減することが可能となる。

10

【0250】

<変形例2>

図28は、実施の形態9の変形例に係わる半導体集積回路装置4002の構成を示すブロック図である。図28に示した構成は、図27に示した構成と類似している。ここでは、相違する部分を主に説明する。

【0251】

図28において、2802は、第2ゲート電極G2を有していないMOSFETを示している。このようなMOSFET2802は、例えばトレンチ型のMOSFETとして知られており、例えば図37(B)において、N型半導体層3704に絶縁層と第2ゲート電極G2に相当する金属層3708が形成されていないMOSFET(以下、1ゲート電極MOSFETと称する)である。また、図28において、2800は、負荷電流検出回路であり、2801は、第2ゲート電極制御回路である。

20

【0252】

負荷電流検出回路2800は、出力端子T1を流れる出力電流(負荷電流)I_{out}を検出し、負荷電流I_{out}が所定の電流値を超えているか否を示す検出信号を第2ゲート電極制御回路2801へ供給する。第2ゲート電極制御回路2801は、検出信号に従った第2ゲート制御信号U_Lを形成し、制御端子T14を介してロウサイドMOSFET4006の第2ゲート電極G2へ供給する。図28に示した半導体集積回路装置4002においては、ハイサイドMOSFETが、1ゲート電極MOSFET2802によって構成されているため、ハイサイドMOSFET用の第2ゲート制御信号U_Hは形成されない。

30

【0253】

負荷電流検出回路2800および第2ゲート電極制御回路2801としては、実施の形態3あるいは4において説明した構成を適用する。

【0254】

実施の形態3を適用する場合、図5で説明した第2ゲート電極ドライブ制御回路5001、正電圧レギュレータ5002、負電圧レギュレータ5003、およびスイッチ5004および5005が、図28における第2ゲート電極制御回路2801と見なされる。また、図5において説明した負荷電流検出回路5000が、図28における負荷電流検出回路2700と見なされる。

40

【0255】

実施の形態4を適用する場合には、図7の負荷電流検出コンパレータ7000が、図28における負荷電流検出回路2800と見なされる。また、図7で説明した4周期検出回路7001、アナログスイッチ7003、インバータ7002、正電圧レギュレータ2000および負電圧レギュレータ2001が、図28の第2ゲート電極制御回路2801とみなされる。

【0256】

この変形例2においても、そのときの負荷の状況に合わせて、ロウサイドMOSFET4006の損失が低減され、半導体集積回路装置4002、電源システムの低消費電力化が図れる。

50

【0257】

<変形例3>

図29は、実施の形態9の変形例に係わる半導体集積回路装置4002の構成を示すブロック図である。図29に示した構成は、図27に示した構成と類似している。ここでは、相違する部分を主に説明する。

【0258】

図29において、2902は、第2ゲート電極G2を有していない1ゲート電極MOSFETである。また、図29において、2900は、負荷電流検出回路であり、2901は、第2ゲート電極制御回路である。

【0259】

10

負荷電流検出回路2900は、変形例2において述べた負荷電流検出回路2800と同様な構成にされており、出力端子T1を流れる出力電流(負荷電流)I_{out}を検出し、負荷電流が所定の電流値を超えているか否かを示す検出信号を第2ゲート電極制御回路2901へ供給する。第2ゲート電極制御回路2901は、検出信号に従った第2ゲート制御信号UHを形成し、制御端子T15を介してハイサイドMOSFET4005の第2ゲート電極G2へ供給する。図29に示した半導体集積回路装置4002においては、ロウサイドMOSFETが、1ゲート電極MOSFET2902によって構成されているため、ロウサイドMOSFET用の第2ゲート制御信号ULは形成されない。

【0260】

20

負荷電流検出回路2900および第2ゲート電極制御回路2901としては、実施の形態7あるいは実施の形態9において説明した構成を適用する。

【0261】

実施の形態7を適用するとき、図22(A)に示した負荷電流検出回路2202が、図29における負荷電流検出回路2900と見なされる。また、図22(A)に示したハイサイド電圧制御回路2203、固定抵抗素子2200および可変抵抗素子2201が、第2ゲート電極制御回路2901と見なされる。

【0262】

実施の形態9を適用する場合は、電圧V1が、軽負荷のときに、ハイサイドMOSFET4005の第2ゲート電極G2へ供給され、電圧V2が、重負荷のときに、ハイサイドMOSFET4005の第2ゲート電極G2へ供給される。

30

【0263】

この変形例3においても、そのときの負荷の状況に合わせて、ハイサイドMOSFET4005の損失が低減され、半導体集積回路装置4002、電源システムの低消費電力化が図れる。

【0264】

(実施の形態10)

図30は、実施の形態10に係わる半導体集積回路装置4002の構成を示すブロック図である。図30に示した構成は、図40に示した半導体集積回路装置4002の構成と類似している。同じ構成部分には、同じ符号を付してあるので、相違する部分を主に説明する。

40

【0265】

実施の形態10に係わる半導体集積回路装置4002は、端子T16を有しており、端子T16には、ロウサイドMOSFET4006の第2ゲート電極G2が接続されている。既に説明したように、半導体集積回路装置4002は、複数の半導体チップを封止したパッケージである。そのため、端子T16は、パッケージに設けられた外部端子に該当する。パッケージに設けられた端子(外部端子)T16と接地電圧PGNDとの間には抵抗素子3000が接続される。この場合、抵抗素子3000は、パッケージの外部に設けられる。

【0266】

図31は、図30に示した半導体集積回路装置4002のうちのハイサイドMOSFET

50

T4005およびロウサイドMOSFET4006に注目した回路図である。図31においては、ハイサイドMOSFET4005とロウサイドMOSFET4006に注目しているため、ドライバー4003の構成は省略されている。また、図31には、寄生抵抗、寄生容量、寄生インダクタンスも等価的に明示されている。

【0267】

図31において、ハイサイドMOSFET4005およびロウサイドMOSFET4006は、互いに同じ構成にされている。ロウサイドMOSFET4006（ハイサイドMOSFET3005）は、第1ゲート電極G1とソースSとの間に形成される寄生容量 C_{gs} 、第2ゲート電極G2とドレインDとの間に形成される寄生容量 C_{ed} 、ソースSとドレインDとの間に形成される寄生容量 C_{ds} 、バックゲートがソースSと接続されることにより形成される寄生ダイオードDDを有している。ハイサイドMOSFET4005およびロウサイドMOSFET4006のそれぞれの第1ゲート電極G1は、ドライバー4003に接続され、ドライバー4003からの駆動信号GHおよびGLによって駆動される。

10

【0268】

ハイサイドMOSFET4005のドレインDは、配線L1に接続され、配線L1を介して端子（外部端子）T6から入力電圧VINが供給される。この配線L1には安定化のために容量素子Cinが接続されている。また、この配線L1には寄生のインダクタンスLP1が付随している。ハイサイドMOSFET4005のドレインは寄生インダクタンスLP3を介してスイッチングノードNsに接続され、スイッチングノードNsはロウサイドMOSFET4006のドレインDに接続されている。ロウサイドMOSFET4006のソースSは、寄生のインダクタンスLP2を介して接地電圧PGNDに接続されている。スイッチングノードNsは、コイル素子4008の一端に接続され、コイル素子4008の他端は平滑用容量4009に接続されている。同図では、負荷4001としてCPUが例示されている。

20

【0269】

この実施の形態10においては、ハイサイドMOSFET4005の第2ゲート電極G2は、特に制限されないが、接地電圧PGNDに接続されている。また、ロウサイドMOSFET4006の第2ゲート電極G2は、端子T16（図30）を介してパッケージの外部に設けられた抵抗素子3000を介して、接地電圧PGNDに接続されている。この実施の形態10においては、ロウサイドMOSFET4006の第2ゲート電極G2と、当該MOSFET4006のソースSとの間に形成される寄生容量 C_{ed} と外付けの抵抗素子3000とによってスナバ回路が構成される。このスナバ回路により、スイッチングノードNsにおける電圧のリングングが抑制される。

30

【0270】

図32（A）から図32（E）は、図31に示した構成の動作を示す波形図である。以下、図31および図32（A）から図32（E）を用いて、動作を説明する。

【0271】

図32において、横軸は時間を表している。図32（A）は、ロウサイドMOSFET4006の第1ゲート電極G1・ソース間の電圧変化（Lo-Side V_{gs} ）を示しており、図32（B）は、ハイサイドMOSFET4005の第1ゲート電極G1・ソース間の電圧変化（Hi-Side V_{gs} ）を示している。言い換えるならば、ドライバー4003からの駆動信号GL、GHの電圧変化が示されている。図32（C）は、ロウサイドMOSFET4006の寄生ダイオードDD（ボディダイオード）を流れる電流（Body Diode Forwarding Current）を示している。図32（E）は、外付けの抵抗素子3000を設けることにより、スナバ回路が構成された場合のスイッチングノードNsにおける電圧を示している。また、図32（D）は、スナバ回路を構成しなかった場合のスイッチングノードNsにおける電圧を示している。

40

【0272】

ロウサイドMOSFET4006の第1ゲート電極G1・ソース間電圧 V_{gs} が、図3

50

2 (A) のように低下すると、コイル素子 4 0 0 8 の作用により、ロウサイド MOS F E T 4 0 0 6 のダイオード D D を介して、接地電圧 P G N D から電流が流れる (図 3 2 (C)) 。次に、図 3 2 (B) に示されているように、ハイサイド MOS F E T 4 0 0 5 の第 1 ゲート電極 G 1 ・ソース間電圧 V_{gs} が上昇すると、その上昇における変化率 (dv/dt) によって、寄生インダクタンスによりスイッチングノード N s の電圧がリングングを起こす (図 3 2 (D)) 。外付け抵抗素子 3 0 0 0 を端子 T 1 6 に接続することにより、ロウサイド MOS F E T 4 0 0 6 の第 2 ゲート電極 G 2 に抵抗素子 3 0 0 0 が接続されることになり、寄生容量 C e d と外付け抵抗素子 3 0 0 0 とが、接地電圧 P G N D とスイッチングノード N s との間に直列接続され、スイッチングノード N s におけるリングングを抑制するスナバ回路として動作する。これにより、図 3 2 (E) に示されているように、スイッチングノード N s におけるリングングが、図 3 2 (D) に比べて抑制される。すなわち、ハイサイド MOS F E T 4 0 0 5 がオンする際のリングングが抑制され、ノイズを抑制した出力電圧 V_{out} を形成することが可能となる。

10

【 0 2 7 3 】

この実施の形態 1 0 によれば、外付けの抵抗素子 3 0 0 0 の抵抗値を調整することにより、抑制されるリングングの量を調整することが可能である。そのため、抵抗素子 3 0 0 0 は、半導体集積回路装置 4 0 0 2 であるパッケージの端子 T 1 6 に、パッケージの外部で接続することがより望ましい。

【 0 2 7 4 】

(実施の形態 1 1)

20

図 3 3 は、実施の形態 1 1 に係わる半導体集積回路装置 4 0 0 2 の構成を示すブロック図である。図 3 3 に示した構成は、図 4 0 に示した半導体集積回路装置 4 0 0 2 の構成と類似しているので、相違点を主に説明する。

【 0 2 7 5 】

図 3 3 において、ハイサイド MOS F E T 4 0 0 5 の第 2 ゲート電極 G 2 は、半導体集積回路装置 4 0 0 2 の内部において、接地電圧 P G N D に接続されている。次に図 3 4 および図 3 5 を用いて説明するが、このようにすることにより、ハイサイド MOS F E T 4 0 0 5 がオンしたときのノイズを低減することが可能となる。

【 0 2 7 6 】

図 3 4 は、図 3 3 に示した半導体集積回路装置 4 0 0 2 のうちのハイサイド MOS F E T 4 0 0 5 およびロウサイド MOS F E T 4 0 0 6 に注目した回路図である。図 3 4 においては、ハイサイド MOS F E T 4 0 0 5 とロウサイド MOS F E T 4 0 0 6 に注目しているため、ドライバ 4 0 0 3 の構成は省略されている。図 3 4 に示した回路は、図 3 1 に示した回路に類似している。図 3 1 と図 3 4 との相違点は、図 3 4 においては、ロウサイド MOS F E T 4 0 0 6 の第 2 ゲート電極 G 2 が、抵抗素子 3 0 0 0 を介さずに接地電圧 P G N D に接続されていることと、ハイサイド MOS F E T 4 0 0 5 の第 2 ゲート電極 G 2 が、パッケージ内において接地電圧 P G N D に接続されていることである。これ以外は、実施の形態 1 0 において説明しているので、省略する。なお、特に制限されないが、この実施の形態 1 1 においては、ロウサイド MOS F E T 4 0 0 6 の第 2 ゲート電極 G 2 も、パッケージの内部において、接地電圧 P G N D に接続されている。

30

40

【 0 2 7 7 】

図 3 5 (A) から図 3 5 (E) は、図 3 4 に示した回路の動作を示す波形図である。図 3 5 において、横軸は時間を表している。また、図 3 5 (A) から図 3 5 (C) のそれぞれは、図 3 2 (A) から図 3 2 (C) のそれぞれと同じである。図 3 5 (D) は、ハイサイド MOS F E T 4 0 0 5 のソース・ドレイン経路を流れる電流 ($H i - S i d e I d$) の波形を示している。また、図 3 5 (E) は、入力電圧 V_{IN} をハイサイド MOS F E T 4 0 0 5 のドレイン D へ供給する配線 L 1 における電圧の波形 ($V_{in R i p p l e V o l t a g e}$) を示している。図 3 1 において説明したが、この配線 L 1 には寄生インダクタンス L P 1 が接続されており、また安定化のための容量 C i n も接続されている。

50

【 0 2 7 8 】

この実施の形態 1 1 においては、ハイサイド MOS F E T 4 0 0 5 の第 2 ゲート電極 G 2 が、半導体集積回路装置 4 0 0 2 の内部において、接地電圧 P G N D に接続される。これにより、入力電圧 V I N を伝達する配線 L 1 と接地電圧との間に、第 2 ゲート電極 G 2 ・ドレイン間に寄生する寄生容量 C e d が接続されることになる。この寄生容量 C e d は、寄生インダクタンス L P 1 を介して、安定化用の容量素子 C i n と並列に接続されることになる。

【 0 2 7 9 】

図 3 5 (B) に示されているように、ハイサイド MOS F E T 4 0 0 5 の第 1 ゲート電極 G 1 ・ソース間電圧が上昇し、ハイサイド MOS F E T 4 0 0 5 がオフからオンへ遷移する過程において、入力電圧 V I N と接地電圧 P G N D との間で突入電流が流れる。この突入電流は、ハイサイド MOS F E T 4 0 0 5 のドレイン電流 I d にピークとして表れている (図 3 5 (D)) 。ドレイン電流 I d におけるこの変化によって、寄生インピーダンス L P 1 の作用により、配線 L 1 における電圧は振動する (図 3 5 (E)) 。安定化用の容量素子 C i n により、配線 L 1 における電圧の安定化を図っているが、それでも配線 L 1 におけるハイサイド MOS F E T 4 0 0 5 のドレイン D 近傍では、電圧のリップルが発生する。この実施の形態 1 1 によれば、ハイサイド MOS F E T 4 0 0 5 のドレイン D は、寄生容量 C e d によって、交流的に半導体集積回路装置 4 0 0 2 内の接地電圧 P G N D に接続されている。この寄生容量 C e d によって、ハイサイド MOS F E T 4 0 0 5 のドレイン D の近傍において、ハイサイド MOS F E T 4 0 0 5 がオンへ遷移する際に発生する電圧の振動 (リップル) を吸収することが可能となり、ノイズの発生を抑制することが可能となる。

【 0 2 8 0 】

ここで、半導体集積回路装置 4 0 0 2 、パッケージおよび電源システム 4 0 0 0 の相互の関係を、改めて説明しておく。図 3 6 (A) は、半導体集積回路装置 4 0 0 2 、パッケージおよび電源システム 4 0 0 0 の関係を説明するブロック図である。電源システム 4 0 0 0 は、制御用半導体集積回路装置 4 0 0 7 、半導体集積回路装置 4 0 0 2 、コイル素子 4 0 0 8 および平滑用容量素子 4 0 0 9 を具備している。ここで、半導体集積回路装置 4 0 0 2 は、実施の形態においては 3 個の半導体チップを具備している。これらの半導体チップは 1 個のパッケージに封止されている。従って、本願明細書においては、半導体集積回路装置 4 0 0 2 は、半導体チップ (実施例では 3 個の半導体チップ) を内蔵したパッケージ (同図では、4 0 0 2 P と記載) を指している。

【 0 2 8 1 】

実施の形態に沿って説明すると、3 個の半導体チップは、ハイサイド MOS F E T 4 0 0 5 が形成された半導体チップ 4 0 0 5 C 、ロウサイド MOS F E T 4 0 0 6 が形成された半導体チップ 4 0 0 6 C およびドライバー 4 0 0 3 が形成された半導体チップ 4 0 0 3 C である。なお、同図では、図面が複雑になるのを避けるために、ドライバー 4 0 0 3 の構成として、駆動回路 4 0 1 1 および 4 0 1 2 が機能的に示されている。ドライバー 4 0 0 3 の具体的な一例は、図 4 0 に示されている通りであり、図 3 6 (A) では、ハイサイド MOS F E T 4 0 0 5 とロウサイド MOS F E T 4 0 0 6 とを相補的にオン / オフすることを機能的に明示するために、駆動回路 4 0 1 1 は、バッファとして示され、駆動回路 4 0 1 2 はインバータとして示されている。また、ドライバー用の半導体チップ 4 0 0 3 C へ供給される電圧 V C I N および接地電圧 C G N D は省略されている。

【 0 2 8 2 】

次に、半導体チップを内蔵したパッケージ 4 0 0 2 P の構成を説明する。図 3 6 (B) は、パッケージ 4 0 0 2 P の構成を示す平面図である。図 3 6 (B) において、複数の P のそれぞれは、リードフレームにおける外部端子であり、同図において、破線で囲まれた領域 3 6 0 0 が、樹脂等により封止される。複数の外部端子 P の内の所定の外部端子が、図 4 0 において説明した半導体集積回路装置 4 0 0 2 の端子 T 1 から T 6 とされる。図 3 6 (B) には、端子 T 1 、 T 2 および T 6 に対応する外部端子 P が、V S W H (T 1) 、

P G N D (T 2) および V I N (T 6) として示されている。

【 0 2 8 3 】

図 3 6 (B) において、3 6 0 3 は、ハイサイド M O S F E T 4 0 0 5 が形成された半導体チップ 4 0 0 5 C を搭載したタブ、3 6 0 4 は、ロウサイド M O S F E T 4 0 0 6 が形成された半導体チップ 4 0 0 6 C を搭載したタブ、3 6 0 5 は、ドライバー 4 0 0 3 を形成した半導体チップ 4 0 0 3 C を搭載したタブを示している。各半導体チップ 4 0 0 3 C、4 0 0 5 C および 4 0 0 6 C のそれぞれにおける端子 (パッド) は、リード線あるいは銅板により、所定の外部端子 P あるいは半導体チップに電氣的に接続されている。図 3 6 (B) においては、例示としてハイサイド M O S F E T 4 0 0 5 のソース S のパッド S、第 1 ゲート電極 G 1 のパッド G、第 2 ゲート電極 G 2 のパッド U、およびロウサイド M O S F E T 4 0 0 6 のソース S のパッド S、第 1 ゲート電極 G 1 のパッド G が示されている。

10

【 0 2 8 4 】

特に制限されないが、ハイサイド M O S F E T 4 0 0 5 およびロウサイド M O S F E T 4 0 0 6 のそれぞれのソース・ドレイン経路には比較的高い値の電流が流れる。そのため、ロウサイド M O S F E T 4 0 0 5 のソース S およびハイサイド M O S F E T 4 0 0 6 のソース S は、銅板 3 6 0 1、3 6 0 2 によって、所定の部分に接続されている。例えば、ロウサイド M O S F E T 4 0 0 6 のソース S は、銅板 3 6 0 2 によって、接地電圧 P G N D を受ける複数の外部端子 P (T 2) に接続されている。実施の形態においては、接地電圧 P G N D と出力端子 T 1 との間で高い電流を流すことが可能なように、ハイサイド M O S F E T 4 0 0 5 に比べて、ロウサイド M O S F E T のサイズが大きくされている。

20

【 0 2 8 5 】

実施の形態 1 1 においては、ハイサイド M O S F E T 4 0 0 5 の第 2 ゲート電極 G 2 が、半導体集積回路装置 4 0 0 2 内で、接地電圧 P G N D に接続されている。図 3 6 (B) においては、ハイサイド M O S F E T 4 0 0 5 の第 2 ゲート電極 G 2 は、パッド U に対応する。そのため、図 3 6 (B) に示されているように、ハイサイド M O S F E T 4 0 0 5 のパッド U は、破線 3 6 0 0 で示されたパッケージ内において、リード線 3 6 0 6 によって、接地電圧 P G N D が供給される外部端子 P に接続されている。

【 0 2 8 6 】

また、実施の形態 1 0 の場合には、ロウサイド M O S F E T 4 0 0 6 の第 2 ゲート電極 G 2 が接続されたパッドが、所定の外部端子 P に接続され、破線 3 6 0 0 で示したパッケージの外部において、当該外部端子 P に抵抗素子 3 0 0 0 が接続される。

30

【 0 2 8 7 】

本発明は上記した実施の形態に限定されるものではなく、様々な変形例が含まれる。上記した実施の形態 1 ~ 1 1 は、本発明を分かりやすく説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。また、ある実施の形態の構成の一部を他の実施の形態の構成に置き換えることもできる。また、ある実施の形態の構成に他の実施の形態の構成を加えることもできる。また、各実施の形態の構成の一部について、他の構成を追加・削除・置換することもできる。

【 0 2 8 8 】

例えば、実施の形態 1 0 の構成に実施の形態 1 1 の構成を加えてもよい。実施の形態 1 から実施の形態 4 および実施の形態 9 の変形例 2 は、ロウサイド M O S F E T に向けられている。そのため、実施の形態 1 1 の構成を、実施の形態 1 から 4、9 の変形例 2 の構成に加えてもよい。実施の形態 5 から実施の形態 8 および実施の形態 9 の変形例 1 の構成は、ハイサイド M O S F E T に向けられている。そのため、実施の形態 1 0 の構成を、実施の形態 5 から 8、9 の変形例 1 の構成の構成に加えてもよい。

40

【 0 2 8 9 】

さらに、実施の形態 1 および 2、1 0 において、ハイサイド M O S F E T は、1 ゲート電極 M O S F E T であってもよい。また実施の形態 4 から 6、1 1 において、ロウサイド M O S F E T は、1 ゲート電極 M O S F E T であってもよい。

50

【 0 2 9 0 】

さらに、実施の形態では、ハイサイド MOSFET およびロウサイド MOSFET が N チャンネル型 MOSFET の場合を説明したが、勿論、P チャンネル型 MOSFET であってもよい。

【 0 2 9 1 】

本願明細書には、複数の発明が開示されており、その内のいくつかは、特許請求の範囲に記載しているが、これ以外の発明も開示しており、その代表的なものを次に列記する。

【 0 2 9 2 】

(A) 第 1 電圧端子と、前記第 1 電圧端子に供給される電圧よりも電圧値の低い電圧が供給される第 2 電圧端子と、出力端子とを有し、前記出力端子に結合されるコイル素子に供給される電流の方向を周期的に変える半導体集積回路装置であって、

10

半導体集積回路装置は、

第 1 入力電極と、ドレインと、ソースとを有し、前記第 1 電圧端子と前記出力端子との間に接続され、前記第 1 入力電極に供給される第 1 入力信号に従って、前記第 1 電圧端子と前記出力端子間を電氣的に接続する第 1 MOSFET と、

第 1 入力電極と、ドレインと、ソースと、前記第 1 入力電極よりも前記ドレイン側に配置された第 2 入力電極とを有し、前記第 2 電圧端子と前記出力端子との間に接続され、前記第 1 入力電極に供給される第 2 入力信号に従って、前記第 2 電圧端子と前記出力端子間を電氣的に接続する第 2 MOSFET と、

前記第 1 MOSFET および前記第 2 MOSFET のそれぞれの第 1 入力電極に結合され、前記第 1 MOSFET と前記第 2 MOSFET とが、相補的にオン / オフする様に、前記第 1 入力信号および前記第 2 入力信号を形成する駆動回路と、

20

前記第 2 MOSFET の第 2 入力電極が結合された外部端子と、

を具備し、

前記第 1 MOSFET、第 2 MOSFET および前記駆動回路は、一のパッケージに封止され、前記外部端子は、前記パッケージに設けられ、前記外部端子と、所定の電圧との間に抵抗素子が接続される、半導体集積回路装置。

【 0 2 9 3 】

(B) (A) に記載の半導体集積回路装置において、

前記第 2 MOSFET は、第 1 導電型の第 1 半導体領域と、前記第 1 半導体領域に積層された第 2 導電型の第 2 半導体領域と、前記第 2 半導体領域に積層された第 1 導電型の第 3 半導体領域とを有し、

30

前記第 2 MOSFET のドレインは、前記第 1 半導体領域により形成され、前記第 2 MOSFET のソースは、前記第 3 半導体領域により形成され、前記第 2 MOSFET の第 1 入力電極は、絶縁層を挟んで前記第 2 半導体領域に埋設された第 1 金属層により形成され、前記第 2 MOSFET の第 2 入力電極は、絶縁層を挟んで前記第 1 半導体領域に埋設された第 2 金属層により形成されている、半導体集積回路装置。

【 0 2 9 4 】

(C) 第 1 電圧端子と、前記第 1 電圧端子に供給される電圧よりも電圧値の低い電圧が供給される第 2 電圧端子と、出力端子とを有し、前記出力端子に結合されるコイル素子に供給される電流の方向を周期的に変える半導体集積回路装置であって、

40

半導体集積回路装置は、

第 1 入力電極と、ドレインと、ソースと、前記第 1 入力電極よりも前記ドレイン側に配置された第 2 入力電極とを有し、前記第 1 電圧端子と前記出力端子との間に接続され、前記第 1 入力電極に供給される第 1 入力信号に従って、前記第 1 電圧端子と前記出力端子間を電氣的に接続する第 1 MOSFET と、

第 1 入力電極と、ドレインと、ソースとを有し、前記第 2 電圧端子と前記出力端子との間に接続され、前記第 1 入力電極に供給される第 2 入力信号に従って、前記第 2 電圧端子と前記出力端子間を電氣的に接続する第 2 MOSFET と、

前記第 1 MOSFET および前記第 2 MOSFET のそれぞれの第 1 入力電極に結合さ

50

れ、前記第1 MOSFETと前記第2 MOSFETとが、相補的にオン/オフする様に、前記第1入力信号および前記第2入力信号を形成する駆動回路と、

を具備し、

前記第1 MOSFET、第2 MOSFETおよび前記駆動回路は、一のパッケージに封止され、前記第1 MOSFETの第2入力電極は、前記パッケージにおいて、前記第2電圧端子に接続されている、半導体集積回路装置。

【0295】

(D)(C)に記載の半導体集積回路装置において、

前記第1 MOSFETは、第1導電型の第1半導体領域と、前記第1半導体領域に積層された第2導電型の第2半導体領域と、前記第2半導体領域に積層された第1導電型の第3半導体領域とを有し、

前記第1 MOSFETのドレインは、前記第1半導体領域により形成され、前記第1 MOSFETのソースは、前記第3半導体領域により形成され、前記第1 MOSFETの第1入力電極は、絶縁層を挟んで前記第2半導体領域に埋設された第1金属層により形成され、前記第1 MOSFETの第2入力電極は、絶縁層を挟んで前記第1半導体領域に埋設された第2金属層により形成されている、半導体集積回路装置。

【0296】

(E)第1電圧が供給される第1電圧端子と、

前記第1電圧とは、電圧値が異なる第2電圧が供給される第2電圧端子と、出力端子と、

第1入力電極と、ドレインと、ソースとを有し、前記第1電圧端子と前記出力端子との間に接続され、前記第1入力電極に供給される第1入力信号に従って、前記第1電圧端子と前記出力端子間を電氣的に接続する第1 MOSFETと、

第1入力電極と、ドレインと、ソースと、前記第1入力電極よりも前記ドレイン側に配置された第2入力電極とを有し、前記第2電圧端子と前記出力端子との間に接続され、前記第1入力電極に供給される第2入力信号に従って、前記第2電圧端子と前記出力端子間を電氣的に接続する第2 MOSFETと、

前記第1 MOSFETおよび前記第2 MOSFETのそれぞれの第1入力電極に結合され、前記第1 MOSFETと前記第2 MOSFETとが、相補的にオン/オフする様に、前記第1入力信号および前記第2入力信号を形成する駆動回路と、

前記出力端子を流れる電流を検出する検出回路と、

前記検出回路の検出信号に従った制御信号を、前記第2 MOSFETの前記第2入力電極に供給する制御回路と、

を具備する半導体集積回路装置。

【0297】

(F)第1電圧が供給される第1電圧端子と、

前記第1電圧とは、電圧値が異なる第2電圧が供給される第2電圧端子と、出力端子と、

第1入力電極と、ドレインと、ソースとを有し、前記第1電圧端子と前記出力端子との間に接続され、前記第1入力電極に供給される第1入力信号に従って、前記第1電圧端子と前記出力端子間を電氣的に接続する第1 MOSFETと、

第1入力電極と、ドレインと、ソースと、前記第1入力電極よりも前記ドレイン側に配置された第2入力電極とを有し、前記第2電圧端子と前記出力端子との間に接続され、前記第1入力電極に供給される第2入力信号に従って、前記第2電圧端子と前記出力端子間を電氣的に接続する第2 MOSFETと、

前記第1 MOSFETおよび前記第2 MOSFETのそれぞれの第1入力電極に結合され、前記第1 MOSFETと前記第2 MOSFETとが、相補的にオン/オフする様に、前記第1入力信号および前記第2入力信号を形成する駆動回路と、

前記第2 MOSFETのオン/オフに同期して、前記第2 MOSFETの第2ゲート電極へ供給される電圧を変更する制御回路と、

10

20

30

40

50

を具備する半導体集積回路装置。

【符号の説明】

【0298】

1000、1600、2701、2801、2901 第2ゲート電極制御回路

4000 電源システム

4002 半導体集積回路装置

4003 ドライバ

4004 制御回路

4005 ハイサイドMOSFET

4006 ロウサイドMOSFET

4007 制御用半導体集積回路装置

G1 第1ゲート電極

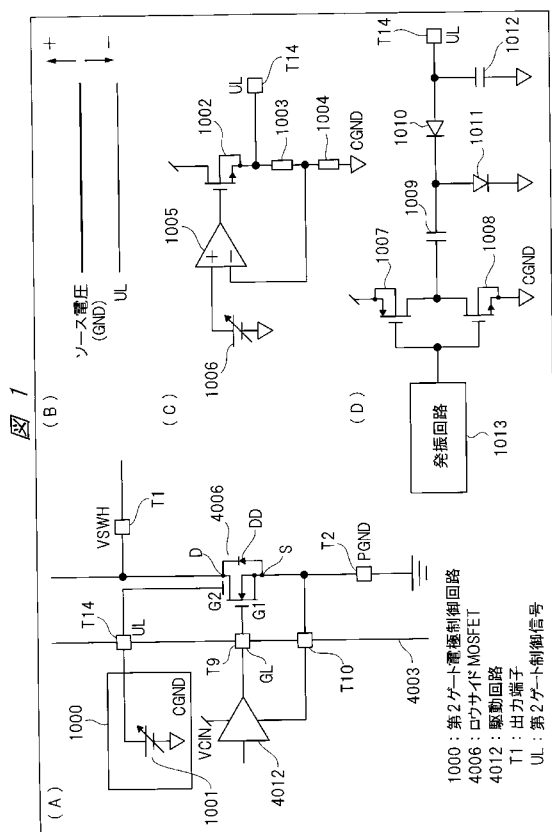
G2 第2ゲート電極

GL、GH 駆動信号

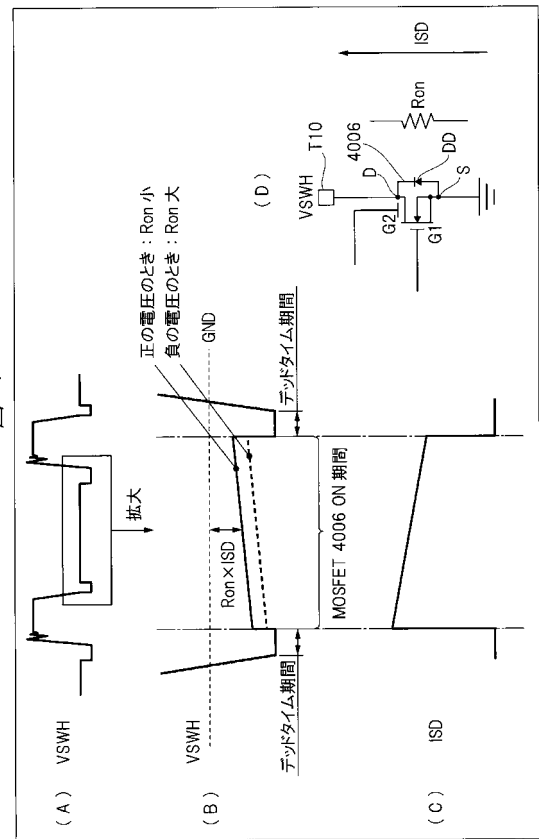
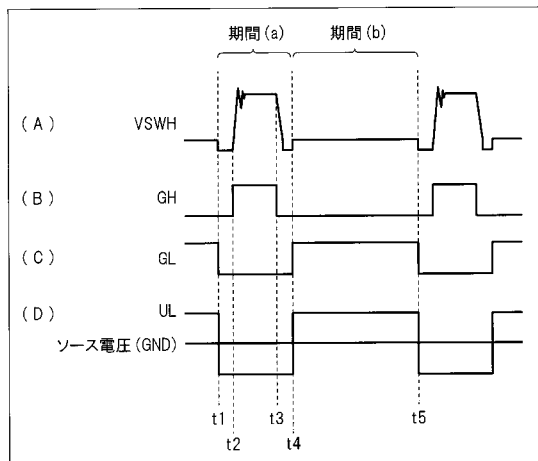
UH、UL 第2ゲート制御信号

10

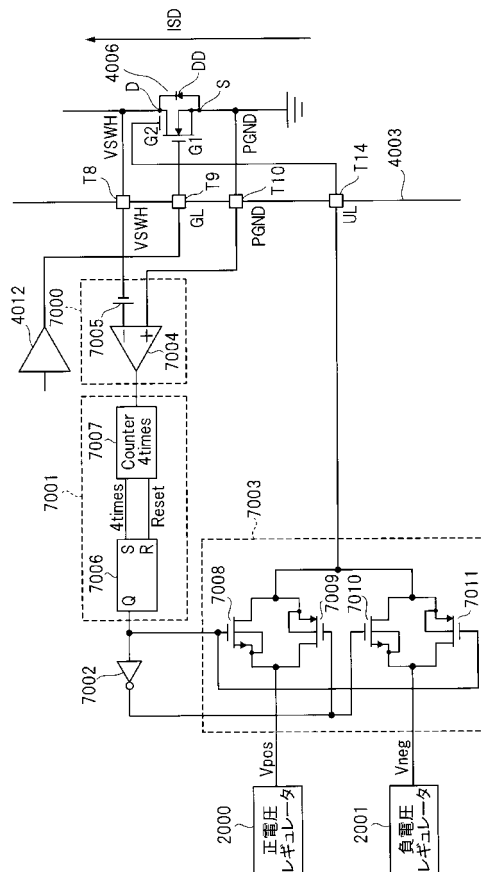
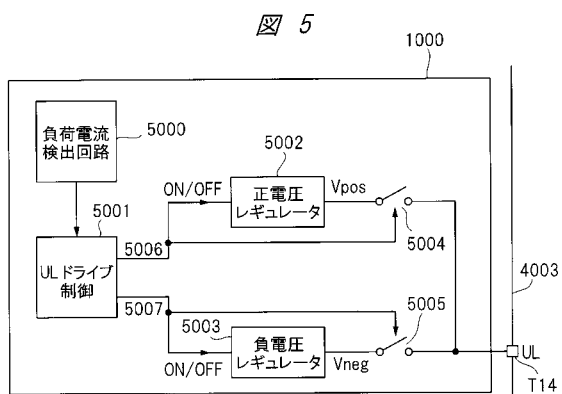
【図1】



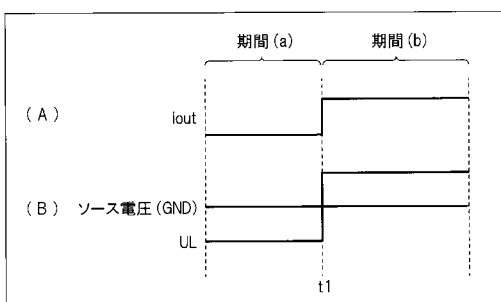
【 図 4 】



【 図 7 】

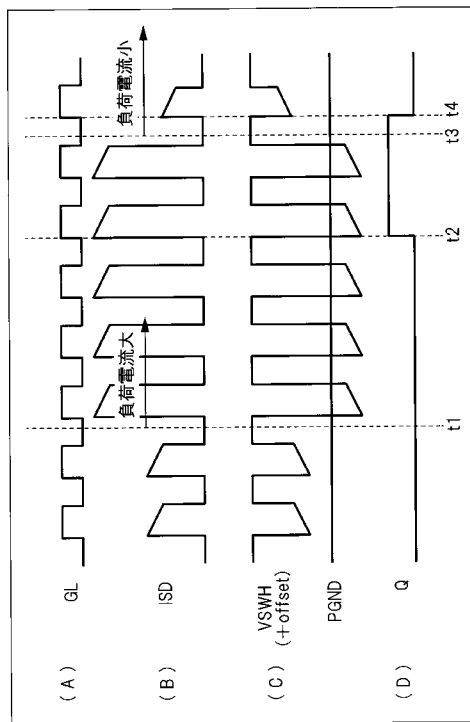


7



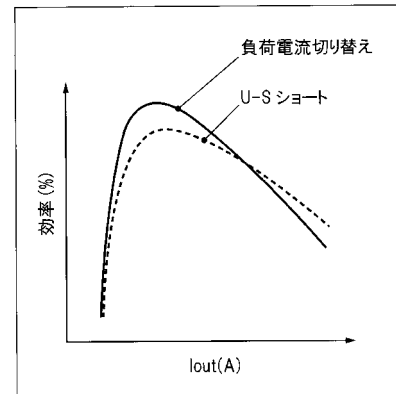
【図 8】

図 8



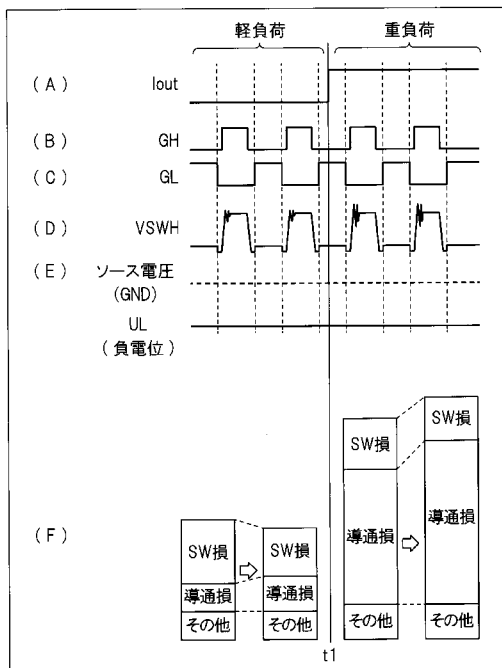
【図 10】

図 10



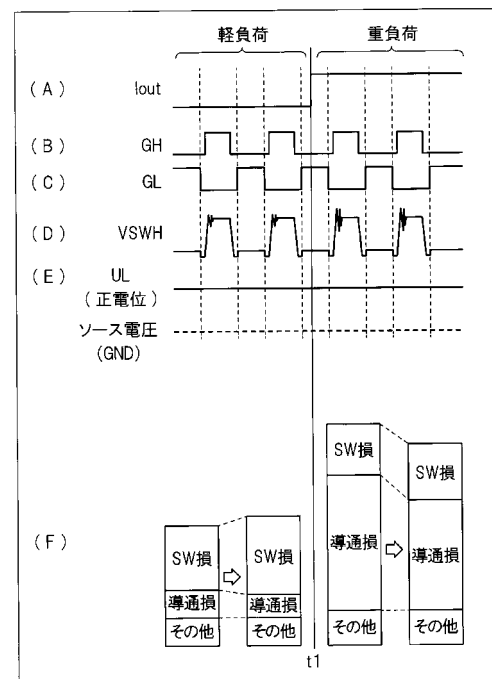
【図 11】

図 11



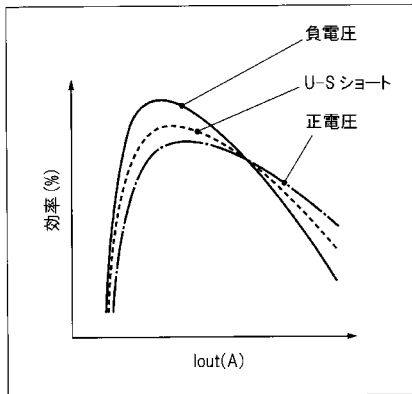
【図 12】

図 12



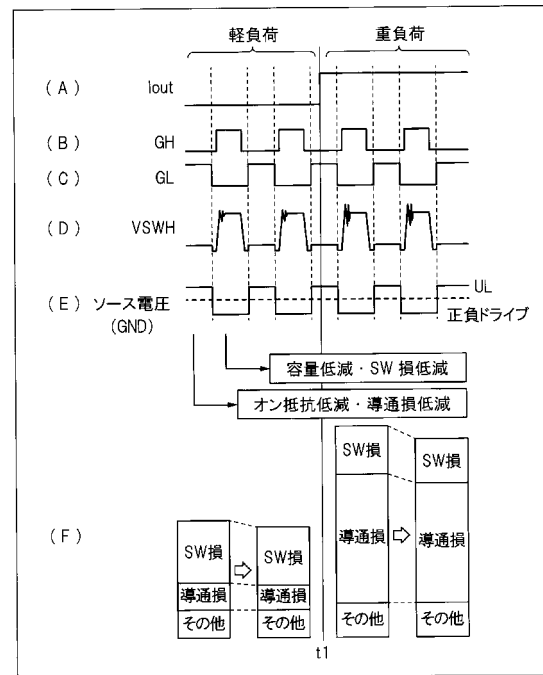
【図 13】

図 13



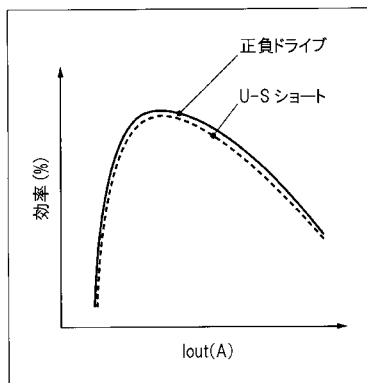
【図 14】

図 14



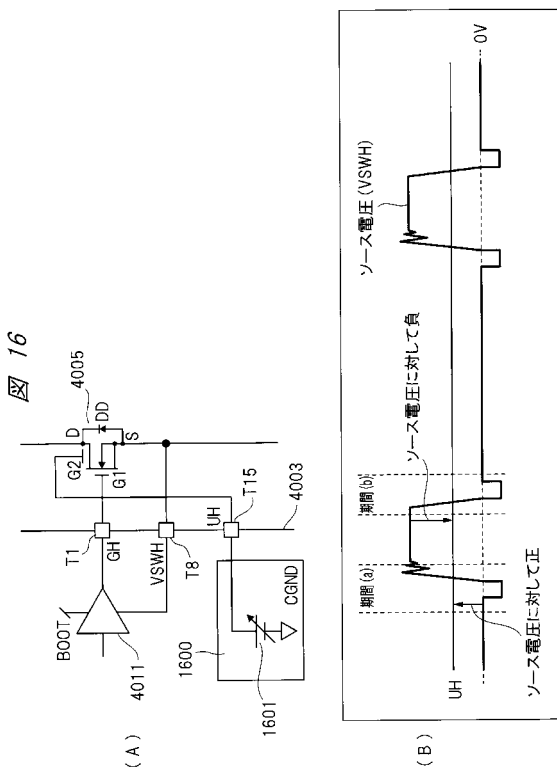
【図 15】

図 15

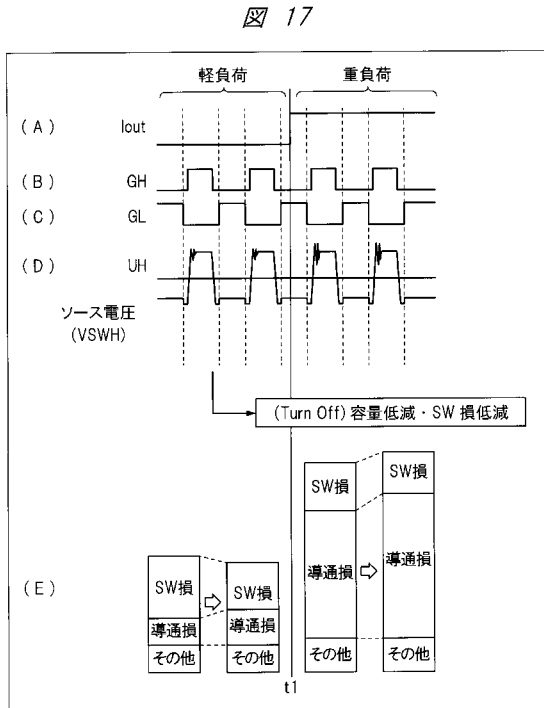


【図 16】

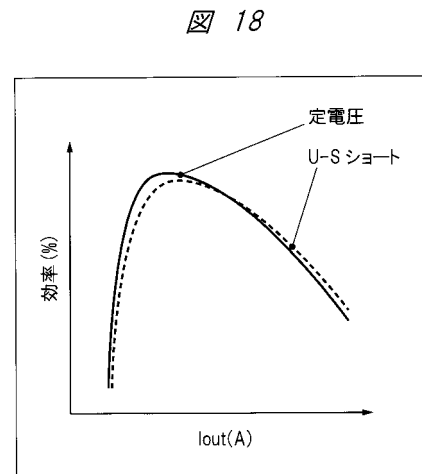
図 16



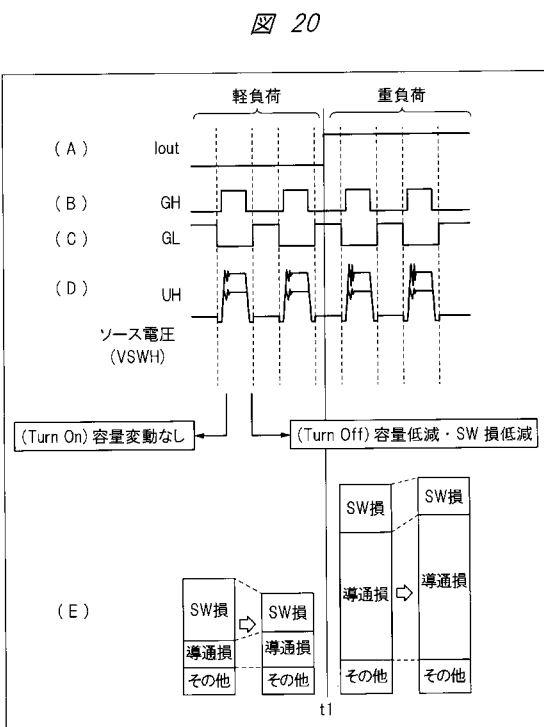
【図 17】



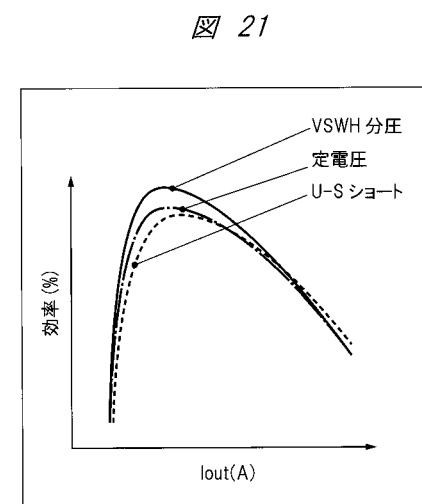
【図 18】



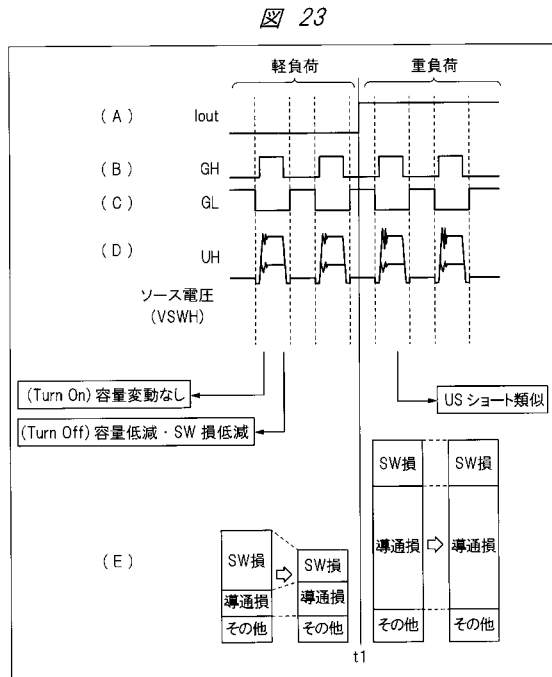
【図 20】



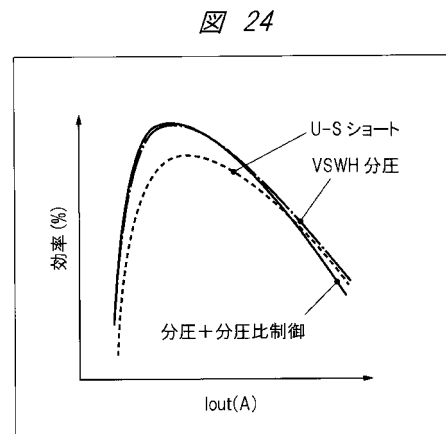
【図 21】



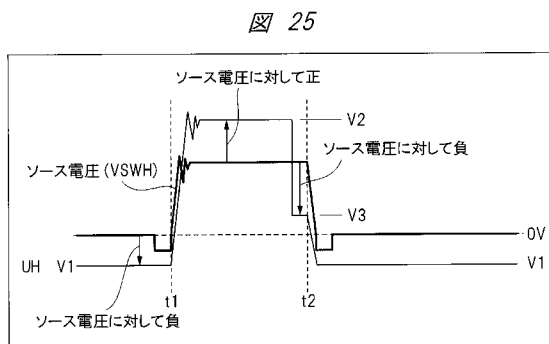
【図 23】



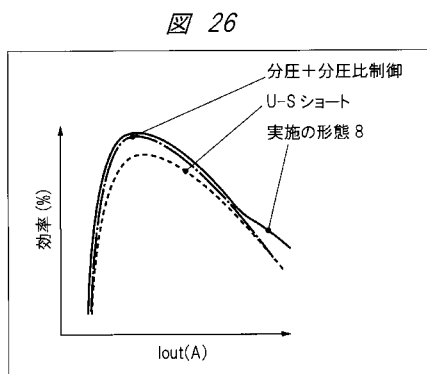
【図 24】



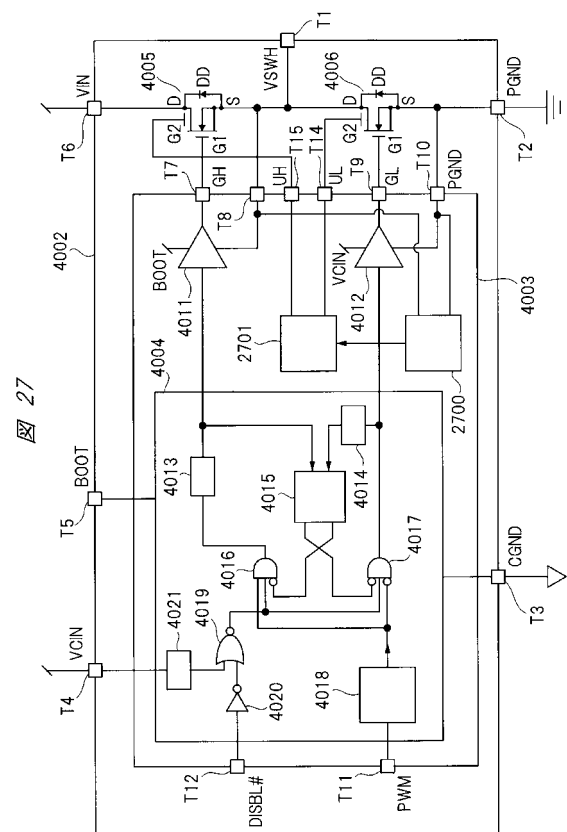
【図 25】



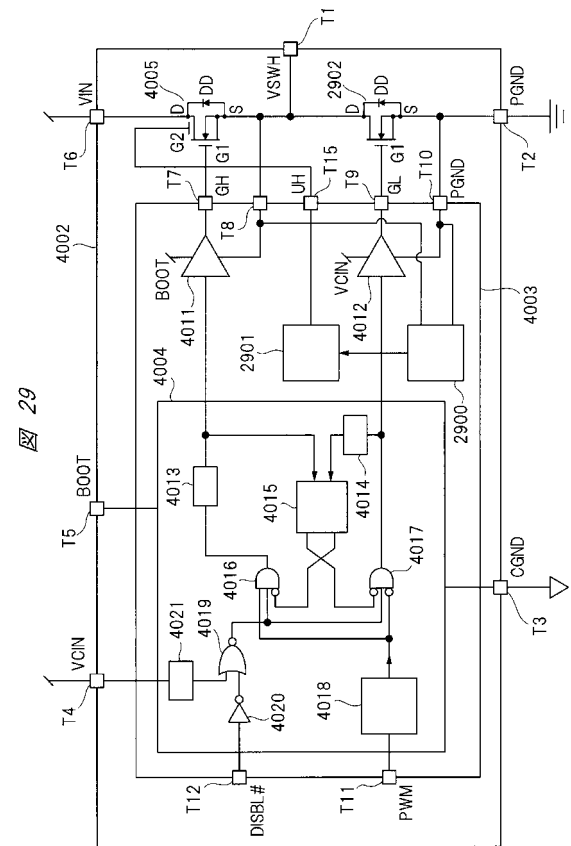
【図 26】



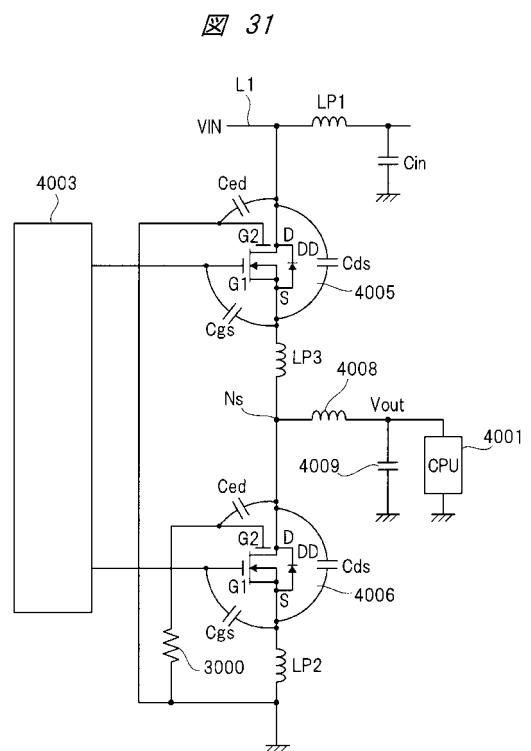
【図 27】



【 図 2 9 】

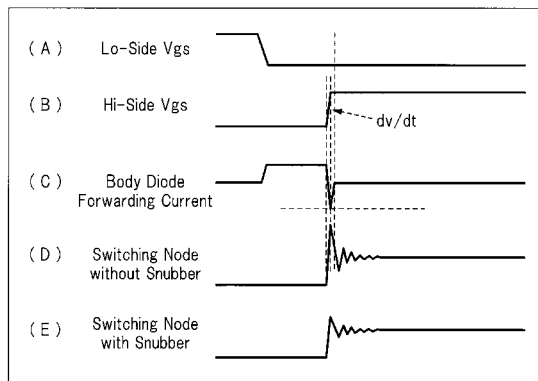


【 図 3 1 】



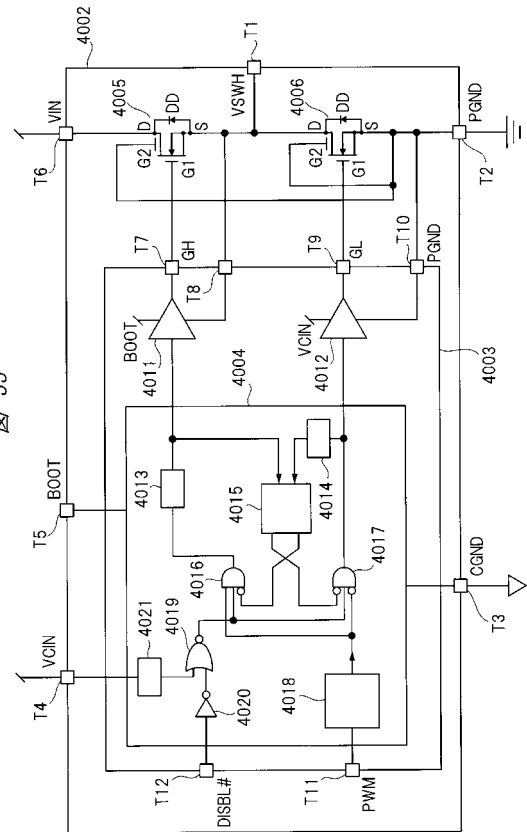
【図 3 2】

図 32



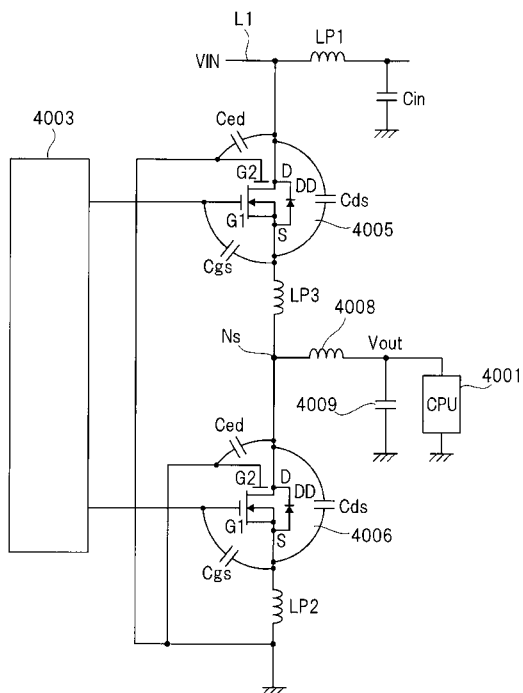
【図 3 3】

図 33



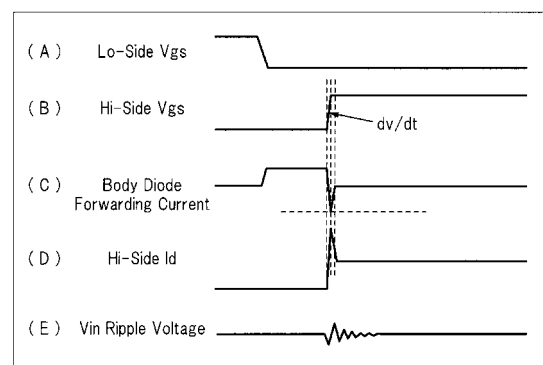
【図 3 4】

図 34

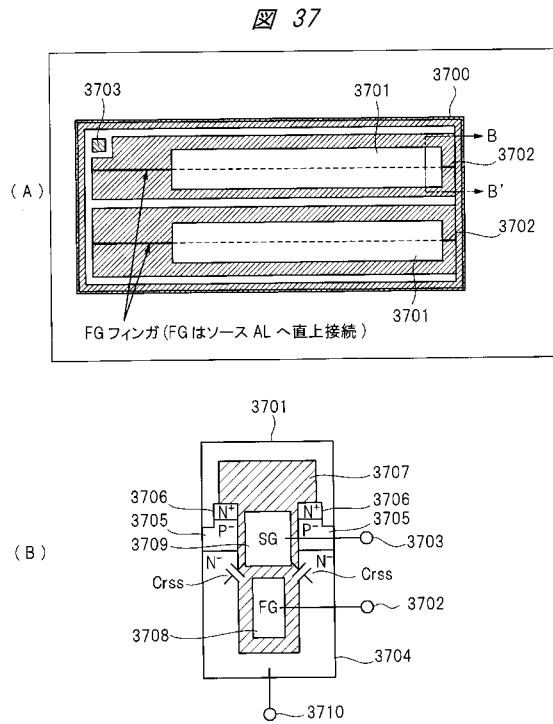


【図 3 5】

図 35

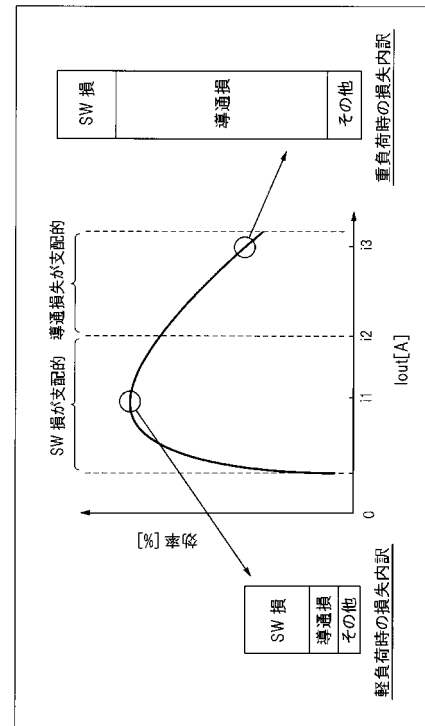


【図 37】



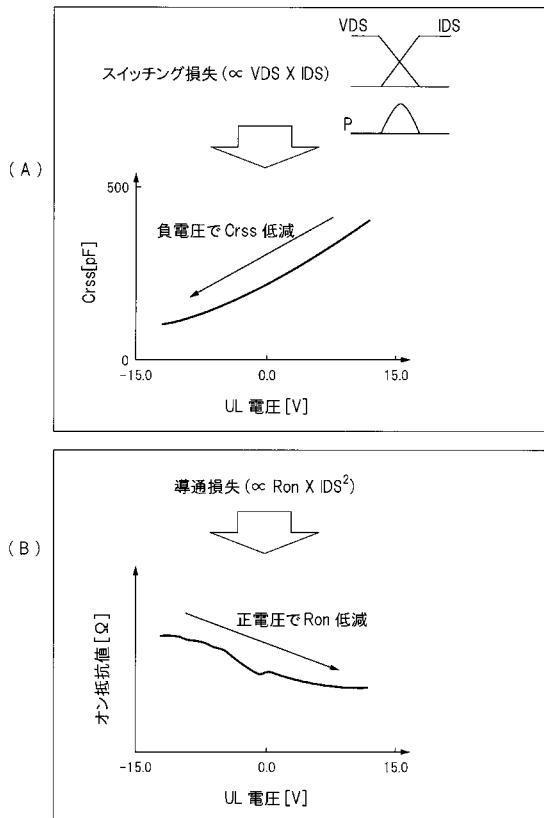
【図 38】

図 38



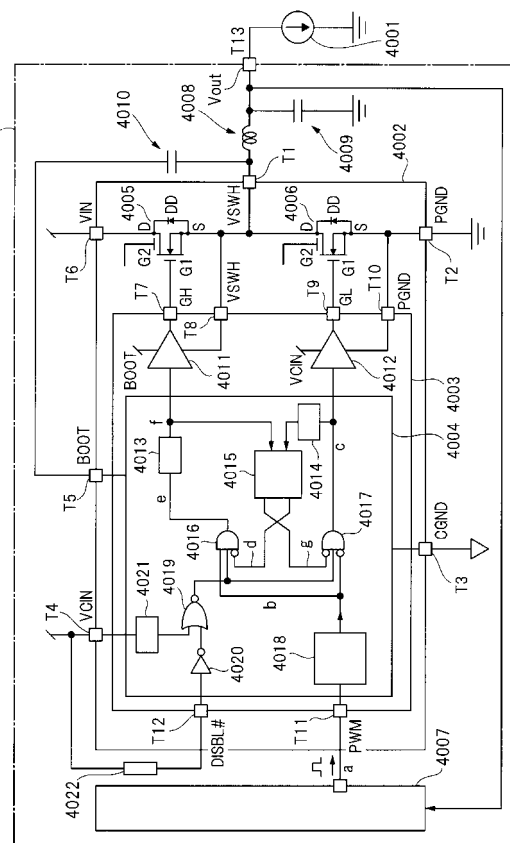
【図 39】

図 39

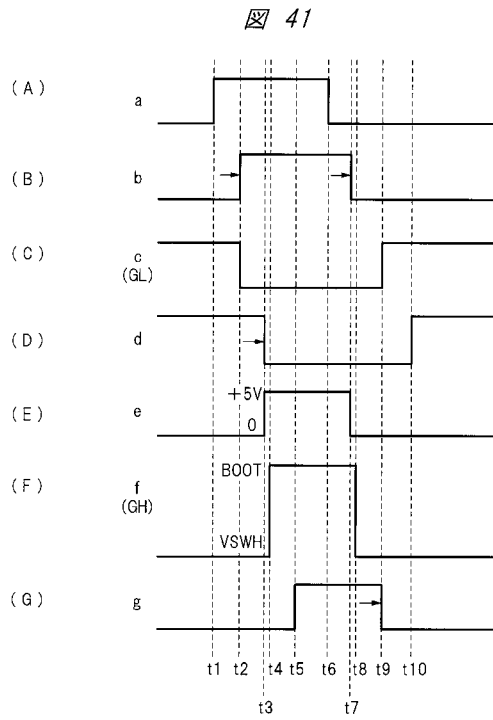


【図 40】

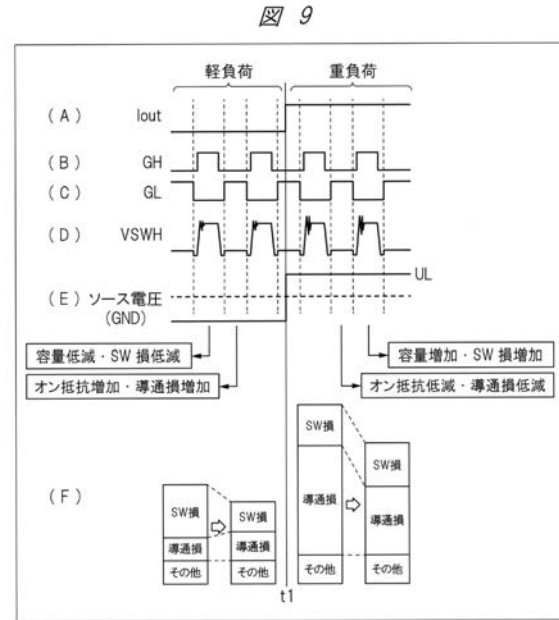
図 40



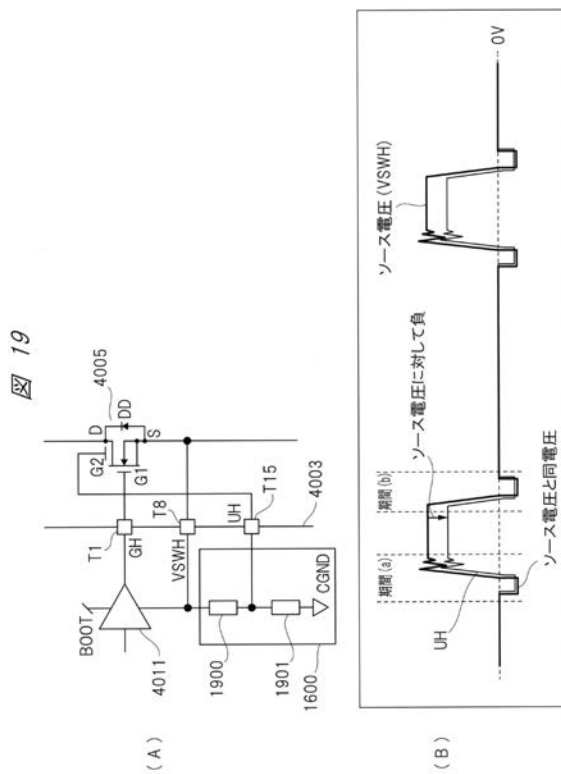
【図 41】



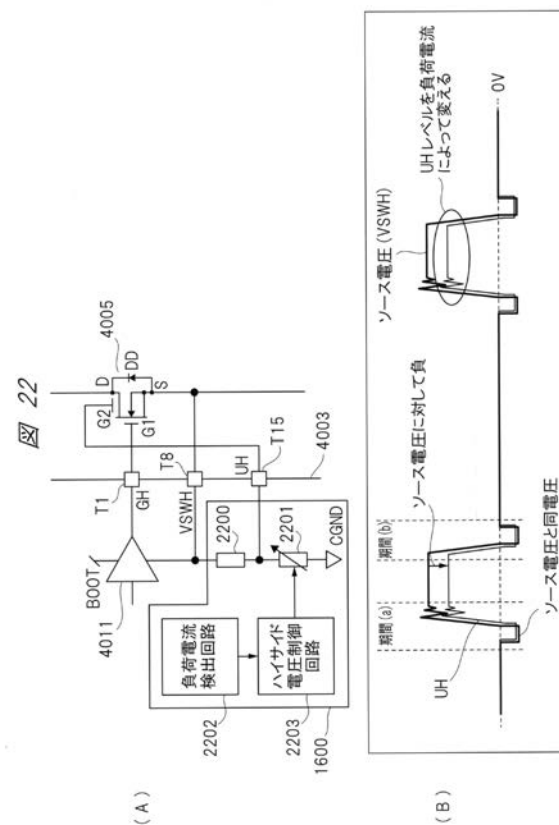
【図 9】



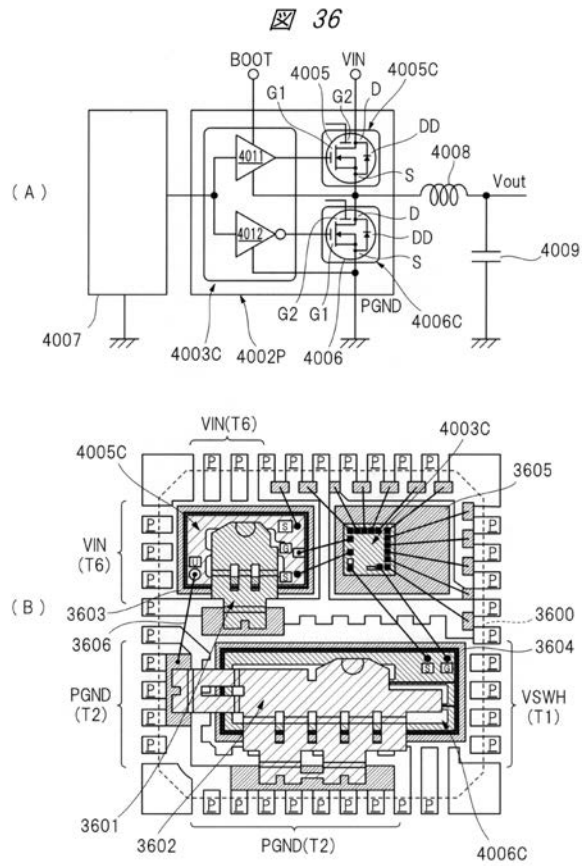
【図 19】



【図 22】



【図 36】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2014/052286
A. CLASSIFICATION OF SUBJECT MATTER H03K17/687(2006.01)i, H02M3/00(2006.01)i, H02M3/135(2006.01)i, H03K17/695(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H03K17/687, H02M3/00, H02M3/135, H03K17/695 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2014 Kokai Jitsuyo Shinan Koho 1971-2014 Toroku Jitsuyo Shinan Koho 1994-2014 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2-155456 A (Toshiba Corp.), 14 June 1990 (14.06.1990), entire text; all drawings (Family: none)	1-20
A	JP 6-125256 A (Fuji Electric Co., Ltd.), 06 May 1994 (06.05.1994), entire text; all drawings & US 5459339 A & US 5561393 A & EP 0848497 A2 & EP 0854575 A2 & EP 0568353 A1	1-20
A	JP 8-316810 A (Fuji Electric Co., Ltd.), 29 November 1996 (29.11.1996), entire text; all drawings (Family: none)	1-20
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 04 March, 2014 (04.03.14)		Date of mailing of the international search report 11 March, 2014 (11.03.14)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/052286

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-205112 A (Renesas Electronics Corp.), 13 October 2011 (13.10.2011), paragraphs [0023] to [0030]; fig. 1 to 3 (Family: none)	1-20
A	JP 63-296282 A (Sony Corp.), 02 December 1988 (02.12.1988), entire text; all drawings (Family: none)	1-20
A	WO 00/25365 A2 (NORTH CAROLINA STATE UNIVERSITY), 04 May 2000 (04.05.2000), page 18, lines 15 to 19; fig. 4K & JP 2002-528916 A & US 5998833 A & CN 1695251 A	1-20

国際調査報告		国際出願番号 PCT/J P 2 0 1 4 / 0 5 2 2 8 6	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03K17/687(2006, 01)i, H02M3/00(2006, 01)i, H02M3/135(2006, 01)i, H03K17/695(2006, 01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03K17/687, H02M3/00, H02M3/135, H03K17/695			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2014年 日本国実用新案登録公報 1996-2014年 日本国登録実用新案公報 1994-2014年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
A	JP 2-155456 A (株式会社東芝) 1990.06.14, 全文, 全図 (ファミリーなし)	1-20	
A	JP 6-125256 A (富士電機株式会社) 1994.05.06, 全文, 全図 & US 5459339 A & US 5561393 A & EP 0848497 A2 & EP 0854575 A2 & EP 0568353 A1	1-20	
A	JP 8-316810 A (富士電機株式会社) 1996.11.29, 全文, 全図 (ファミリーなし)	1-20	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 04.03.2014		国際調査報告の発送日 11.03.2014	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 栗栖 正和 電話番号 03-3581-1101 内線 3596	5 X 3987

国際調査報告		国際出願番号 PCT/J P 2 0 1 4 / 0 5 2 2 8 6
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-205112 A (ルネサスエレクトロニクス株式会社) 2011.10.13, 【0023】-【0030】, 図1-3 (ファミリーなし)	1-20
A	JP 63-296282 A (ソニー株式会社) 1988.12.02, 全文, 全図 (ファミリーなし)	1-20
A	WO 00/25365 A2 (NORTH CAROLINA STATE UNIVERSITY) 2000.05.04, 第18頁第15-19行, 図4 K JP 2002-528916 A & US 5998833 A & CN 1695251 A	1-20

フロントページの続き

(72)発明者 立野 孝治
神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内
(72)発明者 木下 由美
神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内
(72)発明者 宇野 友彰
神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内
F ターム(参考) 5H740 BA12 BB05 BC01 BC02 HH05 JA01 JB01
5J055 AX07 AX39 BX01 CX07 DX12 DX22 EX16 EY10 EY12 EY21
FX12 GX01 GX04

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。